

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-129472
(P2009-129472A)

(43) 公開日 平成21年6月11日(2009.6.11)

(51) Int.Cl. F I テーマコード(参考)
G 1 1 C 16/06 (2006.01) G 1 1 C 17/00 6 3 4 E 5 B 1 2 5
 G 1 1 C 17/00 6 3 4 D

審査請求 未請求 請求項の数 6 O L (全 29 頁)

(21) 出願番号 特願2007-300474 (P2007-300474)
 (22) 出願日 平成19年11月20日(2007.11.20)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100096921
 弁理士 吉元 弘
 (74) 代理人 100103263
 弁理士 川崎 康
 (74) 代理人 100137523
 弁理士 出口 智也

最終頁に続く

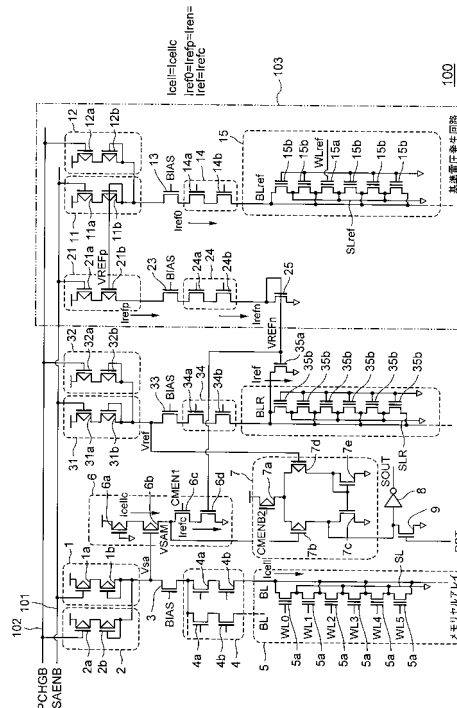
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】読み出し時間をより短くすることが可能な半導体記憶装置を提供する。

【解決手段】半導体記憶装置100の差動アンプ回路7は、初段アンプ回路6の出力であるアンプ用入力MOSトランジスタ6bとアンプ用基準MOSトランジスタ6dとの間の電位V_{SAM}と、電位V_{ref}と、を比較し、この比較結果に応じた信号を出力する。インバータ8は、この信号の位相を反転させた信号S_{OUT}を出力する。この信号S_{OUT}に基づいてメモリセルに記憶されたデータが読み出される。

【選択図】図3



【特許請求の範囲】

【請求項 1】

電源に一端が接続され、ダイオード接続された第 1 導電型の第 1 の負荷 MOS トランジスタと、

前記第 1 の負荷 MOS トランジスタの他端と接地との間に接続され、しきい値電圧が調整可能な不揮発性メモリセルと、

前記電源に一端が接続され、ダイオード接続され、前記第 1 の負荷 MOS トランジスタと同じサイズを有する第 1 導電型の第 2 の負荷 MOS トランジスタと、

前記第 2 の負荷 MOS トランジスタの他端と前記接地との間に接続され、しきい値電圧が調整可能な不揮発性リファレンスセルと、

前記電源に一端が接続され、前記第 2 の負荷 MOS トランジスタのゲートにゲートが接続され、前記第 1 の負荷 MOS トランジスタと同じサイズを有し、前記第 2 の負荷 MOS トランジスタに流れる電流をカレントミラーした電流が流れる第 1 導電型の第 3 の負荷 MOS トランジスタと、

前記第 3 の負荷 MOS トランジスタの他端と前記接地との間に接続され、ダイオード接続された第 2 導電型の第 1 の基準 MOS トランジスタと、

前記電源に一端が接続され、前記第 1 の負荷 MOS トランジスタの他端にゲートが接続され、前記第 1 の負荷 MOS トランジスタと同じサイズを有し、初段アンプ回路を構成する第 1 導電型のアンプ用入力 MOS トランジスタと、

前記アンプ用入力 MOS トランジスタの他端と前記接地との間に接続され、前記第 1 の基準 MOS トランジスタと同じサイズを有し、前記第 1 の基準 MOS トランジスタに流れる電流をカレントミラーした電流が流れ、前記初段アンプ回路を構成する第 2 導電型のアンプ用基準 MOS トランジスタと、を備え、

前記初段アンプ回路の出力である前記アンプ用入力 MOS トランジスタと前記アンプ用基準 MOS トランジスタとの間の電位に基づいて、前記メモリセルに記憶されたデータを読み出すことを特徴とする半導体記憶装置。

【請求項 2】

しきい値電圧が互いに異なる複数の前記不揮発性リファレンスセルを有し、

複数の前記リファレンスセルにそれぞれ対応して、前記第 2 の負荷 MOS トランジスタ、第 3 の負荷 MOS トランジスタ、第 1 の基準 MOS トランジスタ、および前記初段アンプ回路が複数設けられ、

複数の前記初段アンプ回路のアンプ用基準 MOS トランジスタのゲートが、前記第 1 の負荷 MOS トランジスタの他端に共通に接続されていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記電源に一端が接続され、ダイオード接続され、前記第 1 の負荷 MOS トランジスタと同じサイズを有する第 1 導電型の第 4 の負荷 MOS トランジスタと、

前記第 4 の負荷 MOS トランジスタの他端と前記接地との間に接続され、前記第 1 の基準 MOS トランジスタのゲートにゲートが接続され、前記第 1 の基準 MOS トランジスタと同じサイズを有し、前記第 1 の基準 MOS トランジスタに流れる電流をカレントミラーした電流が流れる第 2 の基準 MOS トランジスタと、

前記第 4 の負荷 MOS トランジスタの他端と前記接地との間で、前記第 2 の基準 MOS トランジスタと並列に接続されたダミーセルと、

前記初段アンプ回路の出力電位および前記第 4 の負荷 MOS トランジスタと前記第 2 の基準 MOS トランジスタとの間の電位が入力され、これらの電位を比較し、この比較結果に応じた信号を出力する差動アンプと、をさらに備え、

前記メモリセルが複数設けられ、

複数の前記メモリセルにそれぞれ対応して、前記初段アンプ回路および前記差動アンプ回路が複数設けられ、

複数の前記初段アンプ回路のアンプ用基準 MOS トランジスタのゲートに、前記第 1 の

10

20

30

40

50

基準MOSトランジスタのゲートの電位が共通して印加され、

前記第4の負荷MOSトランジスタと前記2の基準MOSトランジスタとの間の電位が、複数の前記差動アンプ回路に共通に入力されていることを特徴とする請求項1に記載の半導体記憶装置。

【請求項4】

前記アンプ用入力MOSトランジスタのゲートに一端が接続されたブート容量をさらに備え、

前記初段アンプ回路の起動とともに、前記ブート容量の他端の電位が昇圧されることを特徴とする請求項1乃至請求項3の何れか1項に記載の半導体記憶装置。

【請求項5】

電源に一端が接続され、ダイオード接続された第1導電型の第1の負荷MOSトランジスタと、

前記第1の負荷MOSトランジスタの他端と接地との間に接続され、しきい値電圧が調整可能な不揮発性メモリセルと、

前記電源に一端が接続され、ダイオード接続され、前記第1の負荷MOSトランジスタと同じサイズを有する第1導電型の第2の負荷MOSトランジスタと、

前記第2の負荷MOSトランジスタの他端と前記接地との間に接続され、しきい値電圧が調整可能な不揮発性リファレンスセルと、

前記電源に一端が接続され、前記第2の負荷MOSトランジスタのゲートにゲートが接続され、前記第1の負荷MOSトランジスタと同じサイズを有し、前記第2の負荷MOSトランジスタに流れる電流をカレントミラーした電流が流れる第1導電型の第3の負荷MOSトランジスタと、

前記第3の負荷MOSトランジスタの他端と前記接地との間に接続され、ダイオード接続された第2導電型の第1の基準MOSトランジスタと、

前記電源に一端が接続され、前記第1の負荷MOSトランジスタの他端にゲートが接続され、前記第1の負荷MOSトランジスタと同じサイズを有し、初段アンプ回路を構成する第1導電型のアンプ用入力MOSトランジスタと、

前記アンプ用入力MOSトランジスタの他端と前記接地との間に接続され、前記第1の基準MOSトランジスタと同じサイズを有し、前記第1の基準MOSトランジスタに流れる電流をカレントミラーした電流が流れ、前記初段アンプ回路を構成する第2導電型のアンプ用基準MOSトランジスタと、

前記電源に一端が接続され、ダイオード接続され、前記第1の負荷MOSトランジスタと同じサイズを有する第1導電型の第4の負荷MOSトランジスタと、

前記第4の負荷MOSトランジスタの他端と前記接地との間に接続され、前記第1の基準MOSトランジスタのゲートにゲートが接続され、前記第1の基準MOSトランジスタと同じサイズを有し、前記第1の基準MOSトランジスタに流れる電流をカレントミラーした電流が流れる第2導電型の第2の基準MOSトランジスタと、

前記第4の負荷MOSトランジスタの他端と前記接地との間で、前記第2の基準MOSトランジスタと並列に接続されたダミーセルと、

前記初段アンプ回路の出力である前記アンプ用入力MOSトランジスタと前記アンプ用基準MOSトランジスタとの間の電位、および前記第4の負荷MOSトランジスタと前記2の基準MOSトランジスタとの間の電位が入力され、これらの電位を比較し、この比較結果に応じた信号を出力する差動アンプ回路と、を備え、

前記差動アンプ回路の出力信号に基づいて、前記メモリセルに記憶されたデータを読み出すことを特徴とする半導体記憶装置。

【請求項6】

電源に一端が接続され、ダイオード接続された第1導電型の第1の負荷MOSトランジスタと、

前記第1の負荷MOSトランジスタの他端と接地との間に接続され、しきい値電圧が調整可能な不揮発性メモリセルと、

10

20

30

40

50

前記電源に一端が接続され、ダイオード接続され、前記第1の負荷MOSトランジスタと同じサイズを有する第1導電型の第2の負荷MOSトランジスタと、

前記第2の負荷MOSトランジスタの他端と前記接地との間に接続され、しきい値電圧が調整可能な不揮発性リファレンスセルと、

前記電源に一端が接続され、前記第2の負荷MOSトランジスタのゲートにゲートが接続され、前記第1の負荷MOSトランジスタと同じサイズを有し、前記第2の負荷MOSトランジスタに流れる電流をカレントミラーした電流が流れる第1導電型の第3の負荷MOSトランジスタと、

前記第3の負荷MOSトランジスタの他端と前記接地との間に接続され、ダイオード接続された第2導電型の第1の基準MOSトランジスタと、

前記電源に一端が接続され、前記第1の負荷MOSトランジスタの他端にゲートが接続され、前記第1の負荷MOSトランジスタと同じサイズを有し、初段アンプ回路を構成する第1導電型のアンプ用入力MOSトランジスタと、

前記アンプ用入力MOSトランジスタの他端と前記接地との間に接続され、前記第1の基準MOSトランジスタと同じサイズを有し、前記第1の基準MOSトランジスタに流れる電流をカレントミラーした電流が流れ、前記初段アンプ回路を構成する第2導電型のアンプ用基準MOSトランジスタと、

前記初段アンプ回路の出力である前記アンプ用入力MOSトランジスタと前記アンプ用基準MOSトランジスタとの間の電位、および電源電位と接地電位との間の固定電位が入力され、これらの電位を比較し、この比較結果に応じた信号を出力する差動アンプ回路と、

を備え、
前記差動アンプ回路の出力信号に基づいて、前記メモリセルに記憶されたデータを読み出すことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に係り、例えば、NOR型フラッシュメモリ等の不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

近年、EEPROMセルにより構成され、電氣的に書き込みおよび一括消去可能な半導体記憶装置（フラッシュメモリ）が種々開発されている。例えば、NOR型フラッシュメモリの読み出し動作およびペリファイ動作は、選択されたメモリセルとリファレンスセルに流れる電流とをセンスアンプ（差動アンプ回路）により比較することで実行される（例えば、特許文献1参照。）。

【0003】

上記従来の半導体記憶装置の読み出し動作において、例えば、メモリセルとその電流源により読み出し電圧が生成される。同様に、リファレンスセルとその電流源により基準電圧が生成される。該センスアンプは、生成されたこれらの電位を差動電圧入力とし、比較結果に応じた信号を出力する。この信号に基づいて、メモリセルに記憶されたデータが取得される。

【0004】

該センスアンプの高速かつ安定な動作のためには、差動電位差が大きいことが望まれる。例えば、センスアンプの安定動作に必要な電圧をVとした時、その電位差が得られる時間tは、以下に示す式（1）で表される。

$$t = CV / ((I_{cell} - I_{load}) - (I_{ref} - I_{rload})) \dots (1)$$

【0005】

なお、式（1）において、Cは、メモリセル側の電流源からメモリセルに至る経路の寄生容量を表し、リファレンスセル側の電流源からリファレンスセルに至る経路も等価の寄生容量を持つように設計されている。また、セル電流をI_{cell}、リファレンスセル電

10

20

30

40

50

流（参照電流）を I_{ref} とし、メモリセル側の電流源からの供給電流を I_{load} 、リファレンス側の電流源からの供給電流を I_{rload} とする。

【0006】

式（1）に示すように、時間 t は、メモリセルに記憶されたデータのセンスアンプにおける判定時間を与える。また、近年、半導体記憶装置の微細化により、配線寄生容量 C は大きく、セル電流は小さくなる傾向にある。特に、多値データを記憶する半導体記憶装置においては、セル電流差はより小さくなる傾向にある。

【0007】

微細化によりもたらされる上記傾向が与える結果は、式（1）が示すように、読み出し時間 t の増加である。すなわち、既述の従来技術では、半導体記憶装置が微細化され、多値データの記憶に使用された場合、読み出し時間が増加し得るといった問題があった。

10

【特許文献1】特開2007-42193号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明は、読み出し時間をより短くすることが可能な半導体記憶装置を提供する。

【課題を解決するための手段】

【0009】

本発明の一態様に係る半導体記憶装置は、電源に一端が接続され、ダイオード接続された第1導電型の第1の負荷MOSトランジスタと、前記第1の負荷MOSトランジスタの他端と接地との間に接続され、しきい値電圧が調整可能な不揮発性メモリセルと、前記電源に一端が接続され、ダイオード接続され、前記第1の負荷MOSトランジスタと同じサイズを有する第1導電型の第2の負荷MOSトランジスタと、前記第2の負荷MOSトランジスタの他端と前記接地との間に接続され、しきい値電圧が調整可能な不揮発性リファレンスセルと、前記電源に一端が接続され、前記第2の負荷MOSトランジスタのゲートにゲートが接続され、前記第1の負荷MOSトランジスタと同じサイズを有し、前記第2の負荷MOSトランジスタに流れる電流をカレントミラーした電流が流れる第1導電型の第3の負荷MOSトランジスタと、前記第3の負荷MOSトランジスタの他端と前記接地との間に接続され、ダイオード接続された第2導電型の第1の基準MOSトランジスタと、前記電源に一端が接続され、前記第1の負荷MOSトランジスタの他端にゲートが接続され、前記第1の負荷MOSトランジスタと同じサイズを有し、初段アンプ回路を構成する第1導電型のアンプ用入力MOSトランジスタと、前記アンプ用入力MOSトランジスタの他端と前記接地との間に接続され、前記第1の基準MOSトランジスタと同じサイズを有し、前記第1の基準MOSトランジスタに流れる電流をカレントミラーした電流が流れ、前記初段アンプ回路を構成する第2導電型のアンプ用基準MOSトランジスタと、を備え、前記初段アンプ回路の出力である前記アンプ用入力MOSトランジスタと前記アンプ用基準MOSトランジスタとの間の電位に基づいて、前記メモリセルに記憶されたデータを読み出すことを特徴とする。

20

30

【0010】

本発明の他の態様に係る半導体記憶装置は、電源に一端が接続され、ダイオード接続された第1導電型の第1の負荷MOSトランジスタと、前記第1の負荷MOSトランジスタの他端と接地との間に接続され、しきい値電圧が調整可能な不揮発性メモリセルと、前記電源に一端が接続され、ダイオード接続され、前記第1の負荷MOSトランジスタと同じサイズを有する第1導電型の第2の負荷MOSトランジスタと、前記第2の負荷MOSトランジスタの他端と前記接地との間に接続され、しきい値電圧が調整可能な不揮発性リファレンスセルと、前記電源に一端が接続され、前記第2の負荷MOSトランジスタのゲートにゲートが接続され、前記第1の負荷MOSトランジスタと同じサイズを有し、前記第2の負荷MOSトランジスタに流れる電流をカレントミラーした電流が流れる第1導電型の第3の負荷MOSトランジスタと、前記第3の負荷MOSトランジスタの他端と前記接地との間に接続され、ダイオード接続された第2導電型の第1の基準MOSトランジスタ

40

50

と、前記電源に一端が接続され、前記第1の負荷MOSトランジスタの他端にゲートが接続され、前記第1の負荷MOSトランジスタと同じサイズを有し、初段アンプ回路を構成する第1導電型のアンプ用入力MOSトランジスタと、前記アンプ用入力MOSトランジスタの他端と前記接地との間に接続され、前記第1の基準MOSトランジスタと同じサイズを有し、前記第1の基準MOSトランジスタに流れる電流をカレントミラーした電流が流れ、前記初段アンプ回路を構成する第2導電型のアンプ用基準MOSトランジスタと、前記電源に一端が接続され、ダイオード接続され、前記第1の負荷MOSトランジスタと同じサイズを有する第1導電型の第4の負荷MOSトランジスタと、前記第4の負荷MOSトランジスタの他端と前記接地との間に接続され、前記第1の基準MOSトランジスタのゲートにゲートが接続され、前記第1の基準MOSトランジスタと同じサイズを有し、前記第1の基準MOSトランジスタに流れる電流をカレントミラーした電流が流れる第2導電型の第2の基準MOSトランジスタと、前記第4の負荷MOSトランジスタの他端と前記接地との間で、前記第2の基準MOSトランジスタと並列に接続されたダミーセルと、前記初段アンプ回路の出力である前記アンプ用入力MOSトランジスタと前記アンプ用基準MOSトランジスタとの間の電位、および前記第4の負荷MOSトランジスタと前記第2の基準MOSトランジスタとの間の電位が入力され、これらの電位を比較し、この比較結果に応じた信号を出力する差動アンプ回路と、を備え、前記差動アンプ回路の出力信号に基づいて、前記メモリセルに記憶されたデータを読み出すことを特徴とする。

10

【0011】

本発明のさらに他の態様に係る半導体記憶装置は、電源に一端が接続され、ダイオード接続された第1導電型の第1の負荷MOSトランジスタと、前記第1の負荷MOSトランジスタの他端と接地との間に接続され、しきい値電圧が調整可能な不揮発性メモリセルと、前記電源に一端が接続され、ダイオード接続され、前記第1の負荷MOSトランジスタと同じサイズを有する第1導電型の第2の負荷MOSトランジスタと、前記第2の負荷MOSトランジスタの他端と前記接地との間に接続され、しきい値電圧が調整可能な不揮発性リファレンスセルと、前記電源に一端が接続され、前記第2の負荷MOSトランジスタのゲートにゲートが接続され、前記第1の負荷MOSトランジスタと同じサイズを有し、前記第2の負荷MOSトランジスタに流れる電流をカレントミラーした電流が流れる第1導電型の第3の負荷MOSトランジスタと、前記第3の負荷MOSトランジスタの他端と前記接地との間に接続され、ダイオード接続された第2導電型の第1の基準MOSトランジスタと、前記電源に一端が接続され、前記第1の負荷MOSトランジスタの他端にゲートが接続され、前記第1の負荷MOSトランジスタと同じサイズを有し、初段アンプ回路を構成する第1導電型のアンプ用入力MOSトランジスタと、前記アンプ用入力MOSトランジスタの他端と前記接地との間に接続され、前記第1の基準MOSトランジスタと同じサイズを有し、前記第1の基準MOSトランジスタに流れる電流をカレントミラーした電流が流れ、前記初段アンプ回路を構成する第2導電型のアンプ用基準MOSトランジスタと、前記初段アンプ回路の出力である前記アンプ用入力MOSトランジスタと前記アンプ用基準MOSトランジスタとの間の電位、および電源電位と接地電位の中間の固定電位が入力され、これらの電位を比較し、この比較結果に応じた信号を出力する差動アンプ回路と、を備え、前記差動アンプ回路の出力信号に基づいて、前記メモリセルに記憶された

20

30

40

【発明の効果】

【0012】

本発明の一態様に係る半導体記憶装置によれば、読み出し時間をより短くすることができる。

【発明を実施するための最良の形態】

【0013】

【比較例】

【0014】

図1は、比較例となる半導体記憶装置(NOR型フラッシュメモリ)の回路構成の一例

50

を示す図である。

【0015】

既述のように、図1に示す半導体記憶装置の読み出し動作において、例えば、メモリセルとその電流源により読み出し電圧 (V_{sa}) が生成される。同様に、リファレンスセルとその電流源により基準電圧 (V_{ref}) が生成される。センスアンプ (差動アンプ回路) は、生成されたこれらの電位を差動電圧入力とし、比較結果に応じた信号 (SOUT) を出力する。この信号に基づいて、メモリセルに記憶されたデータが取得される。

【0016】

ここで、図2は、図1に示す従来の半導体記憶装置のセンスアンプの各信号波形を示す図である。図2に示すように、信号SAENBが“High”から“Low”になり、読み出し電圧 (V_{sa}) および基準電圧 (V_{ref}) が上昇する。図1に示す半導体記憶装置では、既述のように、例えば、多値化によりセル電流が小さくなると、これらの電圧の差動電位差 V が、センスアンプの判定に必要な大きさになるまでの時間が増加する。

10

【0017】

さらに、差動電位差 V が小さいまま判定動作を開始すると、例えば、微細化により配線寄生容量が増大している場合、センスアンプの判定動作時間が長くなる。

【0018】

このように、上記従来の半導体記憶装置では、微細化、記憶データの多値化に伴い、読み出し時間が増加し得るという課題があった。

【0019】

以下、出願人が見出した上記課題に対応して、本発明を適用した各実施例について図面を参照しながら説明する。

20

【0020】

なお、以下の実施例では、第1導電型MOSトランジスタをpMOSトランジスタとし、第2導電型MOSトランジスタをnMOSトランジスタとして説明する。しかし、同様の動作を実現するように、回路の極性を変更し、第1導電型MOSトランジスタをnMOSトランジスタとし、第2導電型MOSトランジスタをpMOSトランジスタとしてもよい。

【実施例1】

【0021】

図3は、本発明の一態様である実施例1に係る半導体記憶装置 (NOR型フラッシュメモリ) 100の要部構成を示す回路図である。図3に示すように、半導体記憶装置100は、電流源1と、この電流源1が出力する電流を補助する補助電流源2と、nMOSトランジスタ3と、カラムゲート4と、メモリセルアレイ5と、を備える。

30

【0022】

電流源1は、電源に一端 (ソース) が接続され、信号SAENBが印加される第1の配線101にゲートが接続されたpMOSトランジスタ1aと、このpMOSトランジスタ1aを介して電源に一端 (ソース) が接続され、ダイオード接続されたpMOSトランジスタである負荷MOSトランジスタ1bと、を有する。

【0023】

補助電流源2は、電源に一端 (ソース) が接続され、信号PCHGBが印加される第2の配線102にゲートが接続されたpMOSトランジスタ2aと、このpMOSトランジスタ2aを介して電源に一端 (ソース) が接続され、ダイオード接続されたpMOSトランジスタである負荷MOSトランジスタ2bと、を有する。

40

【0024】

nMOSトランジスタ3は、負荷MOSトランジスタ1b、2bの他端 (ドレイン) に一端 (ドレイン) が接続されている。このnMOSトランジスタ3のしきい値電圧は、0V近傍に設定され、このしきい値電圧以上の所定の固定電圧BIASが印加されている。

【0025】

カラムゲート4は、nMOSトランジスタ3の他端 (ソース) とビット線BLとの間に

50

直列に接続された n M O S トランジスタ 4 a、4 b で構成されている。これらの n M O S トランジスタ 4 a、4 b のゲートは、カラム選択線に接続され、このカラム選択線に印加される信号に応じて、ビット線 B L が選択されるようになっている。

【 0 0 2 6 】

メモリセルアレイ 5 は、複数本ずつのビット線 B L とワード線 W L 0 ~ W L 5 との交差部にメモリセル 5 a が配置された構造となっている。このメモリセル 5 a は、例えば、しきい値電圧が調整可能な不揮発性トランジスタ（例えば、浮遊ゲートに電子を注入する、或いは、電荷蓄積層としての窒化膜に電子をトラップさせることでしきい値調整可能な E E P R O M セル）により構成されている。各列に配置されたメモリセル 5 a のドレインは、対応するビット線 B L に接続されている。

10

【 0 0 2 7 】

また、メモリセル 5 a のゲート（制御ゲート）は、ワード線 W L 0 ~ W L 5 に接続されている。メモリセル 5 a のソースは、共通ソース線 S L を介して接地に接続されている。すなわち、メモリセル 5 a は、n M O S トランジスタ 3 およびカラムゲート 4 を介して、p M O S トランジスタ 1 b の他端（ドレイン）と接地との間に接続されている。

【 0 0 2 8 】

また、図 3 に示すように、半導体記憶装置 1 0 0 は、基準電圧発生回路 1 0 3 を備える。この基準電圧発生回路 1 0 3 は、電流源 1 1 と、この電流源 1 1 が出力する電流を補助する補助電流源 1 2 と、n M O S トランジスタ 1 3 と、ダミーカラムゲート 1 4 と、リファレンスセルアレイ 1 5 と、を備える。

20

【 0 0 2 9 】

電流源 1 1 は、電源に一端（ソース）が接続され、第 1 の配線 1 0 1 にゲートが接続された p M O S トランジスタ 1 1 a と、この p M O S トランジスタ 1 1 a を介して電源に一端（ソース）が接続され、ダイオード接続された p M O S トランジスタである負荷 M O S トランジスタ 1 1 b と、を有する。この負荷 M O S トランジスタ 1 1 b は、負荷 M O S トランジスタ 1 b と同じサイズを有する。

【 0 0 3 0 】

補助電流源 2 は、電源に一端（ソース）が接続され、第 2 の配線 1 0 2 にゲートが接続された p M O S トランジスタ 1 2 a と、この p M O S トランジスタ 1 2 a を介して電源に一端（ソース）が接続され、ダイオード接続された p M O S トランジスタである負荷 M O S トランジスタ 1 2 b と、を有する。

30

【 0 0 3 1 】

n M O S トランジスタ 1 3 は、負荷 M O S トランジスタ 1 1 b、1 2 b の他端（ドレイン）に一端（ドレイン）が接続されている。この n M O S トランジスタ 1 3 のしきい値電圧は、0 V 近傍に設定され、このしきい値電圧以上の所定の固定電圧 B I A S が印加されている。

【 0 0 3 2 】

ダミーカラムゲート 1 4 は、n M O S トランジスタ 1 3 の他端（ソース）と基準ビット線 B L r e f との間に直列に接続された n M O S トランジスタ 1 4 a、1 4 b で構成されている。これらの n M O S トランジスタ 1 4 a、1 4 b のゲートには、所定の電圧が印加されている。これにより、n M O S トランジスタ 4 a、4 b による寄生容量と n M O S トランジスタ 1 4 a、1 4 b による寄生容量が等しくなるようになっている。

40

【 0 0 3 3 】

リファレンスセルアレイ 1 5 は、基準ビット線 B L r e f に接続されたリファレンスセル 1 5 a とダミーセル 1 5 b とが配置された構造となっている。

【 0 0 3 4 】

このリファレンスセル 1 5 a は、例えば、メモリセル 5 と同様の構成およびサイズを有する、しきい値電圧が調整可能な不揮発性トランジスタ（例えば、浮遊ゲートに電子を注入する、或いは、電荷蓄積層としての窒化膜に電子をトラップさせることでしきい値調整可能な E E P R O M セル）により構成されている。リファレンスセル 1 5 a のドレインは

50

、対応する基準ビット線 $B L r e f$ に接続されている。

【0035】

また、リファレンスセル 15 a のゲート (制御ゲート) は、配線 $W L r e f$ に接続され、所定の電圧が印加されている。リファレンスセル 15 a のソースは、共通ソース線 $S L r e f$ を介して接地に接続されている。すなわち、リファレンスセル 15 a は、 $n M O S$ トランジスタ 13 およびダミーカラムゲート 14 を介して、 $p M O S$ トランジスタ 11 b の他端 (ドレイン) と接地との間に接続されている。

【0036】

また、ダミーセル 15 b は、例えば、メモリセル 5 およびリファレンスセル 15 a と同様の構成およびサイズを有する、しきい値電圧が調整可能な不揮発性トランジスタにより構成されている。

10

【0037】

ダミーセル 15 b のドレインは、対応する基準ビット線 $B L r e f$ に接続されている。ダミーセル 15 b のゲート (制御ゲート) は、接地に接続されている。ダミーセル 15 b のソースは、共通ソース線 $S L r e f$ を介して接地に接続されている。これにより、ダミーセル 15 b は、オフ状態になっている。

【0038】

このように、リファレンスセルアレイ 15 は、リファレンスセル 15 a およびダミーセル 15 b を有することにより、メモリセルアレイ 5 と寄生容量が等しくなるように設定されている。これにより、電流源からリファレンスセル 15 a に至る経路は、電流源からメモリセル 5 a に至る経路の寄生容量と、等価の寄生容量を持つようになる。

20

【0039】

また、基準電圧発生回路 103 は、電流源 21 と、 $n M O S$ トランジスタ 23 と、ダミーカラムゲート 24 と、基準 $M O S$ トランジスタ 25 と、を備える。

【0040】

電流源 21 は、電源に一端 (ソース) が接続され、第 1 の配線 101 にゲートが接続された $p M O S$ トランジスタ 21 a と、この $p M O S$ トランジスタ 21 a を介して電源に一端 (ソース) が接続され、負荷 $M O S$ トランジスタ 11 b のゲートにゲートが接続された $p M O S$ トランジスタである負荷 $M O S$ トランジスタ 21 b と、を有する。この負荷 $M O S$ トランジスタ 21 b は、負荷 $M O S$ トランジスタ 1 b、11 b と同じサイズを有する。

30

【0041】

したがって、負荷 $M O S$ トランジスタ 21 b には、負荷 $M O S$ トランジスタ 11 b に流れる電流 $I r e f 0$ をカレントミラーした電流 $I r e f p$ が流れる。そして、電流 $I r e f 0$ の電流値と電流 $I r e f p$ の電流値とは等しくなる。

【0042】

$n M O S$ トランジスタ 23 は、負荷 $M O S$ トランジスタ 21 b の他端 (ドレイン) に一端 (ドレイン) が接続されている。この $n M O S$ トランジスタ 23 のしきい値電圧は、0 V 近傍に設定され、このしきい値電圧以上の所定の固定電圧 $B I A S$ が印加されている。

【0043】

ダミーカラムゲート 24 は、 $n M O S$ トランジスタ 23 と基準 $M O S$ トランジスタ 25 との間に直列に接続された $n M O S$ トランジスタ 24 a、24 b で構成されている。これらの $n M O S$ トランジスタ 24 a、24 b のゲートには、所定の電圧が印加されている。これにより、 $n M O S$ トランジスタ 4 a、4 b による寄生容量と $n M O S$ トランジスタ 24 a、24 b による寄生容量が等しくなるようになっている。

40

【0044】

基準 $M O S$ トランジスタ 25 は、ダイオード接続された $n M O S$ トランジスタである。この $n M O S$ トランジスタの一端 (ソース) は、ダミーカラムゲート 24 および $n M O S$ トランジスタ 23 を介して、負荷 $M O S$ トランジスタ 21 a の他端 (ドレイン) に接続されている。すなわち、基準 $M O S$ トランジスタ 25 は、負荷 $M O S$ トランジスタ 21 a の他端 (ドレイン) と接地との間に接続されている。ここで、基準 $M O S$ トランジスタ 25

50

に流れる電流 I_{refn} は、電流源 21 から出力された電流 I_{refp} と等しい。

【0045】

また、図3に示すように、半導体記憶装置100は、電流源31と、この電流源31が出力する電流を補助する補助電流源32と、nMOSトランジスタ33と、カラムゲート34と、基準MOSトランジスタ35aと、ダミーセル35bと、を備える。

【0046】

電流源31は、電源に一端(ソース)が接続され、第1の配線101にゲートが接続されたpMOSトランジスタ31aと、このpMOSトランジスタ31aを介して電源に一端(ソース)が接続され、ダイオード接続されたpMOSトランジスタである負荷MOSトランジスタ31bと、を有する。この負荷MOSトランジスタ31bは、負荷MOSトランジスタ1b、11b、21bと同じサイズを有する。

10

【0047】

補助電流源32は、電源に一端(ソース)が接続され、配線102にゲートが接続されたpMOSトランジスタ32aと、このpMOSトランジスタ32aを介して電源に一端(ソース)が接続され、ダイオード接続されたpMOSトランジスタである負荷MOSトランジスタ32bと、を有する。

【0048】

nMOSトランジスタ33は、負荷MOSトランジスタ31b、32bの他端(ドレイン)に一端(ドレイン)が接続されている。このnMOSトランジスタ33のしきい値電圧は、0V近傍に設定され、このしきい値電圧以上の所定の固定電圧BIASが印加されている。

20

【0049】

ダミーカラムゲート34は、nMOSトランジスタ33と基準MOSトランジスタ35との間に直列に接続されたnMOSトランジスタ34a、34bで構成されている。これらのnMOSトランジスタ34a、34bのゲートには、所定の電圧が印加されている。これにより、nMOSトランジスタ34a、34bによる寄生容量とnMOSトランジスタ34a、34bによる寄生容量が等しくなるようになっている。

【0050】

基準MOSトランジスタ35aは、基準MOSトランジスタ25と同じサイズで、互いにゲートを共通とし、カレントミラー接続されたnMOSトランジスタである。

30

【0051】

このnMOSトランジスタの一端(ソース)は、ダミーカラムゲート34およびnMOSトランジスタ33を介して、負荷MOSトランジスタ31a、32aの他端(ドレイン)に接続されている。すなわち、基準MOSトランジスタ35aは、負荷MOSトランジスタ31a、32aの他端(ドレイン)と接地との間に接続されている。

【0052】

したがって、基準MOSトランジスタ35aには、基準MOSトランジスタ25に流れる電流 I_{refn} をカレントミラーした電流 I_{ref} が流れる。そして、電流 I_{refn} の電流値と電流 I_{ref} の電流値とは等しくなる。

【0053】

また、ダミーセル35bのドレインは、対応するダミービット線BLRに接続されている。ダミーセル35bのゲート(制御ゲート)は、接地に接続されている。ダミーセル35bのソースは、共通ソース線SLRを介して接地に接続されている。これにより、ダミーセル35bは、オフ状態になっている。

40

【0054】

また、ダミーセル35bは、メモリセルアレイ5のメモリセル5aと寄生容量が等しくなるように設定されている。これにより、ビット線BLとダミービット線BLR間の寄生容量が等しくなる。これにより、より精度よくカレントミラーすることができる。

【0055】

また、図3に示すように、半導体記憶装置100は、初段アンプ回路6と、差動アンプ

50

回路 7 と、インバータ 8 と、リセット回路 9 と、を備える。

【 0 0 5 6 】

初段アンプ回路 6 は、pMOS トランジスタ 6 a と、アンプ用入力 MOS トランジスタ 6 b と、nMOS トランジスタ 6 c と、アンプ用基準 MOS トランジスタ 6 d と、を有する。

【 0 0 5 7 】

pMOS トランジスタ 6 a は、電源に一端（ソース）が接続され、接地にゲートが接続されている。アンプ用入力 MOS トランジスタ 6 b は、pMOS トランジスタ 6 a を介して、電源に一端（ソース）が接続された pMOS トランジスタである。このアンプ用入力 MOS トランジスタ 6 b は、負荷 MOS トランジスタ 1 b の他端（ドレイン）にゲートが接続され、電圧 V_{sa} が印加されている。このアンプ用入力 MOS トランジスタ 6 b は、負荷 MOS トランジスタ 1 b と同じサイズを有する。これにより、電流 I_{cell} と電流 I_{cellc} とが等しくなる。

10

【 0 0 5 8 】

nMOS トランジスタ 6 c は、アンプ用入力 MOS トランジスタ 6 b とアンプ用基準 MOS トランジスタ 6 d との間に接続されている。この nMOS トランジスタ 6 c のゲートには、信号 C_{MEN1} が入力されている。この信号 C_{MEN1} に応じて nMOS トランジスタ 6 c がオン/オフし、初段アンプ回路 6 の動作が制御される。

【 0 0 5 9 】

アンプ用基準 MOS トランジスタ 6 d は、pMOS トランジスタ 6 c を介して負荷 MOS トランジスタ 6 b の他端（ドレイン）に一端（ソース）が接続され、接地に他端（ドレイン）が接続された nMOS トランジスタである。

20

【 0 0 6 0 】

このアンプ用基準 MOS トランジスタ 6 d のゲートは、基準 MOS トランジスタ 2 5 のゲートに接続され、電位 V_{REFn} が印加されている。また、アンプ用基準 MOS トランジスタ 6 d は、基準 MOS トランジスタ 2 5、3 5 a と同じサイズを有する。これにより、電流 I_{refn} と電流 I_{refc} とが等しくなる。

【 0 0 6 1 】

したがって、アンプ用基準 MOS トランジスタ 6 d には、基準 MOS トランジスタ 2 5 に流れる電流 I_{refn} をカレントミラーした電流 I_{refc} が流れる。そして、電流 I_{refn} の電流値と電流 I_{refc} の電流値とは等しくなる。

30

【 0 0 6 2 】

上述のように、初段アンプ回路 6 は、メモリセル 5 a の電流 I_{cell} をカレントミラーした電流 I_{cellc} を流す回路とリファレンスセル 1 5 a の電流 I_{ref} をカレントミラーした電流 I_{refc} を流す回路とを直列に接続して構成される。

【 0 0 6 3 】

また、アンプ用入力 MOS トランジスタ 6 b とアンプ用基準 MOS トランジスタ 6 d との間の電位が、初段アンプ回路 6 の出力信号 V_{SAM} として出力されるようになっている。すなわち、初段アンプ回路 6 は、電位 V_{sa} に応じて、出力信号 V_{SAM} を出力する。例えば、電位 V_{sa} が高くなると電流 I_{cellc} が増加して、出力信号 V_{SAM} の電位が低くなる。一方、電位 V_{sa} が低くなると電流 I_{cellc} が制限され、出力信号 V_{SAM} の電位が高くなる。

40

【 0 0 6 4 】

この初段アンプ回路 6 の出力信号 V_{SAM} は、初段アンプ回路 6 の容量が小さいので、電流 I_{cellc} と電流 I_{refc} との差により得られる動作点へ高速に遷移する。

【 0 0 6 5 】

また、差動アンプ回路 7 は、pMOS トランジスタ 7 a、7 b、7 d と、nMOS トランジスタ 7 c、7 e と、を有する。pMOS トランジスタ 7 a は、電源に一端（ソース）が接続され、差動アンプ回路 7 の動作を制御するための信号 C_{MENB2} がゲートに入力される。

50

【0066】

pMOSトランジスタ7bは、pMOSトランジスタ7aの他端(ドレイン)に一端(ソース)が接続され、アンプ用入力MOSトランジスタ6bの他端(ドレイン)にゲートが接続されている。

【0067】

nMOSトランジスタ7cは、pMOSトランジスタ7bの他端(ドレイン)に一端(ドレイン)が接続され、接地に他端(ソース)が接続されている。pMOSトランジスタ7dは、pMOSトランジスタ7aの他端(ドレイン)に一端(ソース)が接続され、負荷MOSトランジスタ31bの他端(ドレイン)にゲートが接続されている。

【0068】

nMOSトランジスタ7eは、pMOSトランジスタ7dの他端(ドレイン)に一端(ドレイン)が接続され、接地に他端(ソース)が接続されている。さらに、nMOSトランジスタ7eは、nMOSトランジスタ7cのゲートにゲートが接続され、ダイオード接続されている。

【0069】

このような差動アンプ回路7は、初段アンプ回路6の出力電位V_{SAM}、および負荷MOSトランジスタ31bと基準MOSトランジスタ35aとの間の電位V_{ref}が入力され、これらの電位を比較し、この比較結果に応じた信号を出力するようになっている。

【0070】

インバータ8は、この差動アンプ回路7の出力信号の位相を反転した信号S_{OUT}を出力する。この信号S_{OUT}に基づいて、メモリセル5aに記憶されたデータが読み出される。すなわち、初段アンプ回路6の出力信号であるV_{SAM}に基づいて、信号S_{OUT}が生成され、メモリセル5aに記憶されたデータが読み出される。

【0071】

リセット回路9は、例えば、差動アンプ回路7の出力と接地との間に接続され、ゲートに信号R_{ST}が入力されるnMOSトランジスタで構成される。このリセット回路9は、信号R_{ST}に応じて、インバータ8に入力される信号を“Low”にリセットするようになっている。

【0072】

ここで、以上のような構成を有する半導体記憶装置100の動作について説明する。

【0073】

図4は、図3に示す半導体記憶装置100の各信号の波形を示す図である。図4に示すように、時間t₀で、信号P_{CHGB}、S_{AENB}、C_{MENB}2が“High”から“Low”になることにより、各電流源1、11、21、31、補助電流源2、12、32が活性化され、電位V_{sa}、V_{ref}が上昇する。

【0074】

次に、時間t₁で、信号P_{CHGB}が“High”になり、各補助電流源2、12、32が非活性化される。これにより、プリチャージ動作は終了し、メモリセル5aが保持しているデータに応じた電流I_{cell}が流れる。

【0075】

次に、時間t₂で、信号C_{MEN}1が“Low”から“High”に変化し、初段アンプ回路6が活性化される。

【0076】

ここで、メモリセル5aが保持しているデータがData1の場合、電流I_{cell}がメモリセル5aに流れるセル電流と等しくなる。これにより電位V_{sa}が電位V_{ref}よりも低くなる。これにより、初段アンプ回路6は、出力電位V_{SAM}(Data1)を出力する。

【0077】

一方、メモリセル5aが保持しているデータがData0の場合、電流I_{cell}が流れない。これにより電位V_{sa}が電位V_{ref}よりも高くなる。これにより、初段アンプ

10

20

30

40

50

回路 6 は、出力電位 $V_{SAM}(Data1)$ よりも低い出力電位 $V_{SAM}(Data0)$ を出力する。

【0078】

ここで、既述のように、初段アンプ回路 6 の容量が小さいので、初段アンプ回路 6 の出力である電位 V_{SAM} は、電流 I_{cell} と電流 I_{ref} の差により得られる動作点へ高速に遷移する。これにより、差動アンプ回路 7 に必要な所望の差動入力電位差 V が高速に得られる。

【0079】

次に、時間 t_3 で、信号 RST が “High” から “Low” になり、リセット回路 9 によるリセットが解除され、差動アンプ回路 7 が電位 V_{SAM} と電位 V_{ref} を比較した結果に応じた信号がインバータ 8 に入力される。そして、インバータ 8 は、この信号を反転させた信号を $SOUT$ として出力する。

10

【0080】

ここで、微細化により配線寄生容量が増大しても、上記差動電位差 V が十分大きいので、差動アンプ回路 7 の判定動作時間は短縮される。

【0081】

以上のように、本実施例に係る半導体記憶装置によれば、読み出し時間をより短くすることができる。特に、セル電流が低減される微細化されたメモリ、及びセル電流とリファレンス電流差が低減される多値メモリで有効である。

【0082】

なお、本実施例においては、差動アンプ回路の出力信号に基づいて、メモリセルに記憶されたデータを読み出すようにしているが、初段アンプ回路の出力に基づいて、メモリセルに記憶されたデータを読み出すようにしてもよい。

20

【実施例 2】

【0083】

実施例 1 では、メモリセルに記憶されたデータを読み出すための構成の一例について述べた。本実施例では、特に、多値化されたメモリセルに記憶されたデータを読み出すための構成の一例について述べる。

【0084】

図 5 は、本発明の一態様である実施例 2 に係る半導体記憶装置 200 の要部構成の一例を示す回路図である。なお、実施例 1 と同様の符号を付された構成は、実施例 1 と同様の構成である。

30

【0085】

図 5 に示すように、半導体記憶装置 200 は、電流源 1 と、補助電流源 2 と、nMOS トランジスタ 3 と、カラムゲート 4 と、メモリセルアレイ 5 と、を備える。このメモリセルアレイ 5 のメモリセル 5a は、既述のように、しきい値電圧が調整可能であり、多値データの記憶が可能とされている。

【0086】

また、図 5 に示すように、半導体記憶装置 200 は、複数（ここでは、3 個）の基準電圧発生回路 103 - 1 ~ 103 - 3 を備える。さらに、半導体記憶装置 200 は、基準電圧発生回路 103 - 1 ~ 103 - 3 それぞれに対応して、初段アンプ回路 6 と、差動アンプ回路 7 と、インバータ 8 と、リセット回路 9 と、を備える。さらに、半導体記憶装置 200 は、基準電圧発生回路 103 - 1 ~ 103 - 3 それぞれに対応して、電流源 31 と、補助電流源 32 と、nMOS トランジスタ 33 と、カラムゲート 34 と、基準 MOS トランジスタ 35a と、ダミーセル 35b と、を備える。

40

【0087】

各初段アンプ回路 6 のアンプ用入力 MOS トランジスタ 6b のゲートは、負荷 MOS トランジスタ 1b の他端（ドレイン）に共通に接続されている。これにより、各アンプ用入力 MOS トランジスタ 6b のゲートには、電位 V_{sa} が共通に印加される。したがって、各アンプ用入力 MOS トランジスタ 6b には、電流 I_{cell} をカレントミラーした電流

50

I_{cellc1} 、2、3が流れることになる。各アンプ用入力MOSトランジスタ6bのサイズは同じに設定されるので、各電流 I_{cellc1} 、2、3は等しくなる。

【0088】

基準電圧発生回路103-1~103-3は、実施例1の図3に示す基準電圧発生回路103と同じ構成を有する。また、基準電圧発生回路103-1~103-3のリファレンスセル15aは、互いにしきい値電圧が異なる。すなわち、半導体記憶装置200には、しきい値電圧が異なる複数のリファレンスセル15aが設けられていることになる。さらに、半導体記憶装置200は、複数のリファレンスセル15aにそれぞれ対応するように、少なくとも負荷MOSトランジスタ11b、21b、基準MOSトランジスタ25が設けられていることになる。

10

【0089】

基準電圧発生回路103-1は、そのリファレンスセル15aに流れる電流に応じて、電位 V_{REFn1} を生成する。この電位 V_{REFn1} がゲートに印加された基準MOSトランジスタ35aには、電流 I_{ref1} が流れる。また、電位 V_{REFn1} は、基準電圧発生回路103-1に接続された初段アンプ回路6のアンプ用基準MOSトランジスタ6dのゲートに入力される。これにより、このアンプ用基準MOSトランジスタ6dに電流 I_{refc1} が流れる。実施例1で述べたように、電流 I_{ref1} と電流 I_{refc1} は等しくなる。

【0090】

また、同様に、基準電圧発生回路103-2は、そのリファレンスセル15aに流れる電流に応じて、電位 V_{REFn2} を生成する。この電位 V_{REFn2} がゲートに印加された基準MOSトランジスタ35aには、電流 I_{ref2} が流れる。また、電位 V_{REFn2} は、基準電圧発生回路103-2に接続された初段アンプ回路6のアンプ用基準MOSトランジスタ6dのゲートに入力される。これにより、このアンプ用基準MOSトランジスタ6dに電流 I_{refc2} が流れる。実施例1で述べたように、電流 I_{ref2} と電流 I_{refc2} は等しくなる。

20

【0091】

また、同様に、基準電圧発生回路103-3は、そのリファレンスセル15aに流れる電流に応じて、電位 V_{REFn3} を生成する。この電位 V_{REFn3} がゲートに印加された基準MOSトランジスタ35aには、電流 I_{ref3} が流れる。また、電位 V_{REFn3} は、基準電圧発生回路103-3に接続された初段アンプ回路6のアンプ用基準MOSトランジスタ6dのゲートに入力される。これにより、このアンプ用基準MOSトランジスタ6dに電流 I_{refc3} が流れる。実施例1で述べたように、電流 I_{ref3} と電流 I_{refc3} は等しくなる。

30

【0092】

なお、既述のように、基準電圧発生回路103-1~3の各リファレンスセル15aのしきい値電圧が異なるように設定されているため、電位 V_{REFn1} 、2、3の値は、それぞれ異なる。これにより、電流 I_{ref1} 、2、3の値もそれぞれ異なることとなる。

【0093】

また、基準電圧発生回路103-1~3のカレントミラー構成等を調整して、電位 V_{REFn1} 、2、3が等しくなるように設定してもよい。この場合、各基準MOSトランジスタ35aのサイズが異なるように設定される。これにより、各基準MOSトランジスタ35aに流れる電流 I_{ref1} 、2、3の値がそれぞれ異なることとなる。

40

【0094】

ここで、図6Aは、図5に示す多値化されたメモリセルに流れる電流 I_{cell} と、基準となる電流 I_{ref1} 、2、3と、記憶された多値データとの関係を示す図である。また、図6Bは、図6Aに示す多値データと図5に示す各インバータの出力SOUTとの関係を示す図である。

【0095】

図6A、6Bに示すように、メモリセルに流れる電流 I_{cell} と電流 I_{ref1} 、2

50

、3との関係に基づいて、各インバータ8の出力S O U Tの論理が決定される。この各出力S O U Tの論理に対応して、メモリセル5 aに記憶されたデータが判定される。

【0096】

また、図6 Cは、図5に示す半導体記憶装置200の各信号の波形を示す図である。図6 Cに示すように、時間 t_0 で、信号P C H G B、S A E N B、C M E N B 2が“ H i g h ”から“ L o w ”になることにより、各電流源、補助電流源が活性化され、電位 $V_{s a}$ 、 $V_{r e f 1}$ 、2、3が上昇する。

【0097】

次に、時間 t_1 で、信号P C H G Bが“ H i g h ”になり、各補助電流源が非活性化される。これにより、プリチャージ動作は終了し、メモリセル5 aが保持しているデータに応じた電流 $I_{c e l l}$ が流れる。

10

【0098】

次に、時間 t_2 で、信号C M E N 1が“ L o w ”から“ H i g h ”に変化し、各初段アンプ回路6が活性化される。

【0099】

ここで、実施例1と同様に、初段アンプ回路6の容量が小さいので、初段アンプ回路6の出力である電位 $V_{S A M 1}$ 、2、3は、電流 $I_{c e l l}$ と電流 $I_{r e f 1}$ 、2、3の差により得られる動作点へ高速に遷移する。これにより、差動アンプ回路7に必要な所望の差動入力電位差 V が高速に得られる。

【0100】

20

次に、時間 t_3 で、信号R S Tが“ H i g h ”から“ L o w ”になり、リセット回路9によるリセットが解除され、それぞれの差動アンプ回路7が電位 $V_{S A M 1}$ 、2、3と電位 $V_{r e f 1}$ 、2、3を比較した結果に応じた信号がインバータ8に入力される。そして、インバータ8は、この信号を反転させた信号をS O U T 1、2、3として出力する。このS O U T 1、2、3により、メモリセル5 aに記憶された多値データが判定される。

【0101】

このような多値読み出しにおいても、実施例1と同様に、微細化により配線寄生容量が増大しても、上記差動電位差 V が十分大きいので、差動アンプ回路7の判定動作時間は短縮される。

【0102】

30

以上のように、本実施例に係る半導体記憶装置によれば、読み出し時間をより短くすることができる。

【実施例3】

【0103】

実施例2では、多値読み出しに対応して、電位 $V_{s a}$ を各初段アンプ回路で共有する構成の一例について述べた。本実施例では、基準電圧発生回路が出力する電位を複数の差動アンプ回路で共有して、回路面積および消費電流を削減する構成の一例について述べる。

【0104】

図7は、本発明の一態様である実施例2に係る半導体記憶装置300の要部構成の一例を示す回路図である。なお、実施例1、2と同様の符号を付された構成は、実施例1、2と同様の構成である。なお、図7において、簡単のため、インバータ8およびリセット回路9が省略されている。

40

【0105】

図7に示すように、半導体記憶装置300は、複数(ここでは、3個)のメモリセルアレイ5-1、5-2、5-3を備える。なお、これらのメモリセルアレイ5-1、5-2、5-3は、実施例2のメモリセルアレイ5と同じ構成を有する。

【0106】

また、半導体記憶装置300は、実施例2と同様に、これらのメモリセルアレイ5-1、5-2、5-3それぞれに対応して、初段アンプ回路6-1~6-3、差動アンプ回路7-1~7-3を備える。なお、これらの初段アンプ回路6-1~6-3および差動アンプ

50

ブ回路 7 - 1 ~ 7 - 3 は、実施例 2 の初段アンプ回路 6 および差動アンプ回路 7 と同じ構成を有する。

【 0 1 0 7 】

また、半導体記憶装置 3 0 0 は、基準電圧発生回路 1 0 3 - 1 ~ 1 0 3 - 3 それぞれに対応して、電流源 3 1 と、補助電流源 3 2 と、n M O S トランジスタ 3 3 と、カラムゲート 3 4 と、基準 M O S トランジスタ 3 5 a と、ダミーセル 3 5 b と、を備える。

【 0 1 0 8 】

ここで、図 7 に示すように、各初段アンプ回路 6 - 1 に供給される電位 V_{REFn1} は、同じ基準電圧発生回路 1 0 3 - 1 から供給されるようになっている。すなわち、複数の初段アンプ回路 6 - 1 のアンプ用基準 M O S トランジスタ 6 d のゲートに、基準電圧発生回路 1 0 3 - 1 の基準 M O S トランジスタ 2 5 のゲートの電位 (基準電圧発生回路 1 0 3 - 1 の出力電位) V_{REFn1} が共通して印加される。

10

【 0 1 0 9 】

同様に、各初段アンプ回路 6 - 2 に供給される電位 V_{REFn2} は、同じ基準電圧発生回路 1 0 3 - 2 から供給されるようになっている。すなわち、複数の初段アンプ回路 6 - 2 のアンプ用基準 M O S トランジスタ 6 d のゲートに、基準電圧発生回路 1 0 3 - 2 の基準 M O S トランジスタ 2 5 のゲートの電位 (基準電圧発生回路 1 0 3 - 2 の出力電位) V_{REFn2} が共通して印加される。

【 0 1 1 0 】

同様に、各初段アンプ回路 6 - 3 に供給される電位 V_{REFn3} は、同じ基準電圧発生回路 1 0 3 - 3 から供給されるようになっている。すなわち、複数の初段アンプ回路 6 - 3 のアンプ用基準 M O S トランジスタ 6 d のゲートに、基準電圧発生回路 1 0 3 - 3 の基準 M O S トランジスタ 2 5 のゲートの電位 (基準電圧発生回路 1 0 3 - 3 の出力電位) V_{REFn3} が共通して印加される。

20

【 0 1 1 1 】

このように、基準電圧発生回路 1 0 3 - 1 ~ 1 0 3 - 3 が、電位 $V_{REFn1} \sim 3$ を供給するために共有して用いられている。

【 0 1 1 2 】

また、各差動アンプ回路 7 - 1 に供給される電位 V_{ref1} は、基準電圧発生回路 1 0 3 - 1 に接続された同じ基準 M O S トランジスタ 3 5 a と負荷 M O S トランジスタ 3 1 b との間から供給されるようになっている。すなわち、負荷 M O S トランジスタ 3 1 b と基準 M O S トランジスタ 2 5 との間の電位 V_{ref1} が、複数の差動アンプ回路 7 - 1 に共通に入力されている。

30

【 0 1 1 3 】

また、各差動アンプ回路 7 - 2 に供給される電位 V_{ref2} は、基準電圧発生回路 1 0 3 - 2 に接続された同じ基準 M O S トランジスタ 3 5 a と負荷 M O S トランジスタ 3 1 b との間から供給されるようになっている。すなわち、負荷 M O S トランジスタ 3 1 b と基準 M O S トランジスタ 2 5 との間の電位 V_{ref2} が、複数の差動アンプ回路 7 - 2 に共通に入力されている。

【 0 1 1 4 】

また、各差動アンプ回路 7 - 3 に供給される電位 V_{ref3} は、基準電圧発生回路 1 0 3 - 3 に接続された同じ基準 M O S トランジスタ 3 5 a と負荷 M O S トランジスタ 3 1 b との間から供給されるようになっている。すなわち、負荷 M O S トランジスタ 3 1 b と基準 M O S トランジスタ 2 5 との間の電位 V_{ref3} が、複数の差動アンプ回路 7 - 3 に共通に入力されている。

40

【 0 1 1 5 】

このように基準電圧発生回路 1 0 3 - 1 ~ 1 0 3 - 3 が、電位 $V_{ref1} \sim 3$ を供給するために共有して用いられている。すなわち、半導体記憶装置 3 0 0 の回路面積および消費電流を削減することができる。

【 0 1 1 6 】

50

なお、上記構成を有する半導体記憶装置 300 の動作は、実施例 2 の半導体記憶装置と同様である。

【0117】

以上のように、本実施例に係る半導体記憶装置によれば、回路面積および消費電流を削減することができる。また、実施例 1 と同様に、読み出し時間をより短くすることができる。

【実施例 4】

【0118】

実施例 1 では、メモリセルに記憶されたデータを読み出すための構成の一例について述べた。本実施例では、特に、補助電流源によるプリチャージが完了する前に初段アンプ回路を動作させる構成の一例について述べる。

10

【0119】

図 8 は、本発明の一態様である実施例 4 に係る半導体記憶装置 400 の要部構成の一例を示す回路図である。なお、実施例 1 と同様の符号を付された構成は、実施例 1 と同様の構成である。

【0120】

図 8 に示すように、半導体記憶装置 400 は、実施例 1 と比較して、リセット電流源 61 を、さらに備える。他の構成は、実施例 1 と同様である。このリセット電流源 61 は、電源とアンプ用基準 MOS トランジスタ 6d のドレインとの間に直列に接続された、p MOS トランジスタ 61a と、リセット MOS トランジスタ 61b と、を有する。p MOS トランジスタ 61a は、接地にゲートが接続されている。

20

【0121】

リセット MOS トランジスタ 61b は、信号 CMEN3 がゲートに入力されるようになっている。この信号 CMEN3 に応じて、リセット MOS トランジスタ 61b がオンし、電流 I_{imgn} が流れるようになっている。これにより、初段アンプ回路 6 が起動している場合に、電位 V_{SAM} が電位 V_{ref} より高くなるように設定される。

【0122】

ここで、図 9 は、図 8 に示す半導体記憶装置 400 の各信号の波形を示す図である。図 9 に示すように、時間 t_0 で、信号 PCHGB、SAENB、CMENB2 が “High” から “Low” になることにより、各電流源 1、11、21、31、補助電流源 2、12、32 が活性化され、電位 V_{sa} 、 V_{ref} が上昇する。

30

【0123】

さらに、信号 CMEN1 が “Low” から “High” に変化し、初段アンプ回路 6 が活性化される。このように、初段アンプ回路 6 が実施例 1 と比較して、速く活性化される。

【0124】

次に、時間 t_1 で、信号 PCHGB が “High” になり、各補助電流源が非活性化される。これにより、プリチャージが完了し、放電が開始される。

【0125】

なお、信号 CMEN3 は “Low” であるので、リセット MOS トランジスタ 61b はオンし、電流 I_{imgn} が流れている。したがって、初段アンプ回路 6 の出力である電位 V_{SAM} は、電位 V_{ref} より高く維持されている。これにより、電位 V_{sa} がある値に維持され、安定する。すなわち、初段アンプ回路 6 の出力が安定することになる。

40

【0126】

次に、時間 t_2 で、信号 CMEN3 が “Low” から “High” に変化し、リセット MOS トランジスタ 61b がオフされる。これにより、初段アンプ回路 6 の出力である電位 V_{SAM} は、メモリセルに記憶されたデータ（設定されたしきい値電圧）に応じて、変化する。

【0127】

ここで、実施例 1 と同様に、初段アンプ回路 6 の容量が小さいので、初段アンプ回路 6

50

の出力である電位 V_{SAM} は、電流 I_{cell} と電流 I_{ref} の差により得られる動作点へ高速に遷移する。これにより、差動アンプ回路 7 に必要な所望の差動入力電位差 V が高速に得られる。

【0128】

次に、時間 t_3 で、信号 RST が “High” から “Low” になり、リセット回路 9 によるリセットが解除され、それぞれの差動アンプ回路 7 が電位 V_{SAM} と電位 V_{ref} を比較した結果に応じた信号がインバータ 8 に入力される。そして、インバータ 8 は、この信号を反転させた信号を $SOUT$ として出力する。この $SOUT_1$ 、 2 、 3 により、メモリセル 5a に記憶された多値データが判定される。

【0129】

このような多値読み出しにおいても、実施例 1 と同様に、微細化により配線寄生容量が増大しても、上記差動電位差 V が十分大きいので、差動アンプ回路 7 の判定動作時間は短縮される。

【0130】

既述のように、初段アンプ回路が出力する電位 V_{SAM} が、プリチャージの完了後、電位 V_{ref} 以上に維持される。これにより、差動アンプ回路 7 が疑似データを出力するのを抑制することができる

以上のように、本実施例に係る半導体記憶装置によれば、より正確に読み出し動作をすることができる。さらに、実施例 1 と同様に、読み出し時間をより短くすることができる。

【実施例 5】

【0131】

実施例 1 では、メモリセルに記憶されたデータを読み出すための構成の一例について述べた。本実施例では、特に、初段アンプ回路 6 の起動によるノイズの影響を低減するための構成の一例について述べる。

【0132】

図 10 は、本発明の一態様である実施例 5 に係る半導体記憶装置 500 の要部構成の一例を示す回路図である。なお、実施例 1 と同様の符号を付された構成は、実施例 1 と同様の構成である。

【0133】

図 10 に示すように、半導体記憶装置 500 は、実施例 1 と比較して、アンプ用入力 MOS トランジスタ 6b のゲートに一端が接続されたブート容量 62 を、さらに備える。他の構成は、実施例 1 と同様である。

【0134】

このブート容量 62 の他端には、電位 $BOOT$ が印加されるようになっている。電位 $BOOT$ が昇圧されることにより、ブート容量 62 の一端の電位（すなわち、電位 V_{sa} ）が昇圧されるようになっている。

【0135】

ここで、図 11 は、図 10 に示す半導体記憶装置 500 の各信号の波形を示す図である。図 11 に示すように、時間 t_0 で、信号 $PCHGB$ 、 $SAENB$ 、 $CMENB_2$ が “High” から “Low” になることにより、各電流源、補助電流源が活性化され、電位 V_{sa} 、 V_{ref} が上昇する。

【0136】

次に、時間 t_1 で、信号 $PCHGB$ が “High” になり、各補助電流源が非活性化される。

【0137】

次に、時間 t_2 で、信号 $CMEN_1$ が “Low” から “High” に変化し、 $nMOS$ トランジスタ 6c がオンして、電流 I_{cellc} 、 I_{refc} が流れて初段アンプ回路 6 が起動する。すなわち、初段アンプ回路 6 が活性化される。

【0138】

10

20

30

40

50

ここで、既述の実施例 1 の構成では、初段アンプ回路 6 の起動により、初段アンプ回路 6 のアンプ用入力 MOS トランジスタ 6 b のゲート容量を經由して電位 V_{sa} にノイズが重畳され、電位が低下する。

【0139】

一方、本実施例 5 においては、時間 t_2' において、初段アンプ回路 6 の起動とともに、ブート容量 6 2 の他端の電位 B_{OOT} が昇圧される。これにより、ブート容量 6 2 の一端の電位（すなわち、電位 V_{sa} ）が昇圧される。これにより、電位 V_{sa} が所望の値に調整され、初段アンプ回路 6 の起動時のノイズの影響が低減される。

【0140】

また、実施例 1 と同様に、初段アンプ回路 6 の容量が小さいので、各初段アンプ回路 6 の出力信号 V_{SAM} は、電流 I_{cell} と電流 I_{ref} の差により得られる動作点へ高速に遷移する。これにより、差動アンプ回路 7 に必要な所望の差動入力電位差 V が高速に得られる。

10

【0141】

次に、時間 t_3 で、信号 RST が “High” から “Low” になり、リセット回路 9 によるリセットが解除され、差動アンプ回路 7 が電位 V_{SAM} と電位 V_{ref} を比較した結果に応じた信号がインバータ 8 に入力される。そして、インバータ 8 は、この信号を反転させた信号を S_{OUT} として出力する。この信号 S_{OUT} により、メモリセル 5 a に記憶された多値データが判定される。

【0142】

以上のように、本実施例に係る半導体記憶装置によれば、初段アンプ回路 6 の起動時のノイズの影響を低減することができる。さらに、実施例 1 と同様に、読み出し時間をより短くすることができる。

20

【実施例 6】

【0143】

実施例 5 では、初段アンプ回路 6 の起動によるノイズの影響を低減するための構成の一例について述べた。本実施例では、初段アンプ回路 6 の起動によるノイズの影響を低減するための構成の他の例について述べる。

【0144】

図 1 2 は、本発明の一態様である実施例 6 に係る半導体記憶装置 6 0 0 の要部構成の一例を示す回路図である。なお、実施例 1 と同様の符号を付された構成は、実施例 1 と同様の構成である。

30

【0145】

図 1 2 に示すように、半導体記憶装置 6 0 0 は、実施例 1 と比較して、アンプ用入力 MOS トランジスタ 6 b の他端（ドレイン）に一端が接続され、負荷 MOS トランジスタ 3 1 b の他端（ドレイン）に他端が接続された容量 6 3 を、さらに備える。他の構成は、実施例 1 と同様である。

【0146】

ここで、図 1 3 は、図 1 2 に示す半導体記憶装置 6 0 0 の各信号の波形を示す図である。図 1 3 に示すように、時間 t_0 で、信号 $PCHGB$ 、 $SAENB$ 、 $CMENB_2$ が “High” から “Low” になることにより、各電流源、補助電流源が活性化され、電位 V_{sa} 、 V_{ref} が上昇する。

40

【0147】

次に、時間 t_1 で、信号 $PCHGB$ が “High” になり、各補助電流源が非活性化される。

【0148】

次に、時間 t_2 で、信号 $CMEN_1$ が “Low” から “High” に変化し、nMOS トランジスタ 6 c がオンして、電流 I_{cellc} 、電流 I_{refc} が流れて初段アンプ回路 6 が起動する。すなわち、初段アンプ回路 6 が活性化される。

【0149】

50

実施例 5 で述べたように、初段アンプ回路 6 の起動により、初段アンプ回路 6 のアンプ用入力 MOS トランジスタ 6 b のゲート容量を經由して電位 V_{sa} にノイズが重畳され、電位が低下する。

【0150】

そこで、本実施例 6 では、容量素子 6 3 を設けることにより、電位 V_{sa} の低下に連動させて、電位 V_{ref} を低下させる。すなわち、電位 V_{sa} と電位 V_{ref} に印加されるノイズの位相を合わせる。これによりノイズの影響が相殺される。したがって、差動アンプ回路 7 を安定動作させることができる。

【0151】

また、実施例 1 と同様に、初段アンプ回路 6 の容量が小さいので、各初段アンプ回路 6 の出力信号 V_{SAM} は、電流 I_{cell} と電流 I_{ref} の差により得られる動作点へ高速に遷移する。これにより、差動アンプ回路 7 に必要な所望の差動入力電位差 V が高速に得られる。

10

【0152】

次に、時間 t_3 で、信号 RST が “High” から “Low” になり、リセット回路 9 によるリセットが解除され、差動アンプ回路 7 が電位 V_{SAM} と電位 V_{ref} を比較した結果に応じた信号がインバータ 8 に入力される。そして、インバータ 8 は、この信号を反転させた信号を $SOUT$ として出力する。この信号 $SOUT$ により、メモリセル 5 a に記憶された多値データが判定される。

【0153】

以上のように、本実施例に係る半導体記憶装置によれば、初段アンプ回路 6 の起動時のノイズの影響を低減することができる。さらに、実施例 1 と同様に、読み出し時間をより短くすることができる。

20

【実施例 7】

【0154】

既述の各実施例では、電位 V_{SAM} と電位 V_{ref} とを差動アンプ回路により比較する。そして、この比較に応じた信号を、インバータを介して、データを判定するための信号 $SOUT$ として出力する。

【0155】

しかし、電位 V_{SAM} に、メモリセルに記憶されたデータとの相関を判定できる十分な振幅があれば、この電位 V_{SAM} に基づいて信号 $SOUT$ を出力してもよい。そこで、本実施例では、差動アンプ回路を省略した構成の一例について述べる。

30

【0156】

図 1 4 は、本発明の一態様である実施例 7 に係る半導体記憶装置 7 0 0 の要部構成の一例を示す回路図である。なお、実施例 1 と同様の符号を付された構成は、実施例 1 と同様の構成である。

【0157】

図 1 4 に示すように、半導体記憶装置 7 0 0 は、実施例 1 と比較して、初段アンプ回路 6 の出力（アンプ用入力 MOS トランジスタ 6 b とアンプ用基準 MOS トランジスタ 6 d との間）に入力が接続されたインバータ 7 0 8 a と、このインバータ 7 0 8 a の出力に入力が接続され、信号 $SOUT$ を出力するインバータ 7 0 8 b と、さらに備える。

40

【0158】

しかし、実施例 1 と比較して、差動アンプ回路 7、インバータ 8、リセット回路 9、および差動アンプ回路 7 に電位 V_{ref} を供給するための構成が不要となる。他の構成は、実施例 1 と同様である。

【0159】

このように、半導体記憶装置 7 0 0 は、初段アンプ回路 6 の出力である電位 V_{SAM} （アンプ用入力 MOS トランジスタ 6 b とアンプ用基準 MOS トランジスタ 6 d との間の電位）に基づいて、メモリセルに記憶されたデータを読み出すための信号 $SOUT$ を出力する。

50

【0160】

これにより、半導体記憶装置700は、実施例1と比較して、回路を簡略化し、さらなる高速化を図ることができる。また、実施例1と同様に、初段アンプ回路6の容量が小さいので、各初段アンプ回路6の出力信号VSAMは、電流Icellと電流Irefの差により得られる動作点へ高速に遷移する。これにより、差動アンプ回路7に必要な所望の差動入力電位差Vが高速に得られる。

【0161】

以上のように、本実施例に係る半導体記憶装置によれば、回路を簡略化し、さらなる高速化を図ることができる。さらに、実施例1と同様に、読み出し時間をより短くすることができる。

10

【実施例8】

【0162】

実施例1では、電位VSAMと電位Vrefとを差動アンプ回路により比較する。そして、この比較に応じた信号を、インバータを介して、データを判定するための信号SOUTとして出力する。しかし、電位Vrefを生成するための回路で消費電流が発生する。また、電位Vrefは、電位VSAMの振幅の中心に位置するのが好ましい。

【0163】

そこで、本実施例では、電位Vrefに代えて、差動アンプ回路7に固定電位を入力する構成の一例について述べる。

【0164】

図15は、本発明の一態様である実施例8に係る半導体記憶装置800の要部構成の一例を示す回路図である。なお、実施例1と同様の符号を付された構成は、実施例1と同様の構成である。

20

【0165】

図15に示すように、半導体記憶装置800の差動アンプ回路7は、初段アンプ回路6の出力であるアンプ用入力MOSトランジスタ6bとアンプ用基準MOSトランジスタ6dとの間の電位VSAM、および電源電位VDDと接地電位VSSとの中間の固定電位 $(1/2) \times VDD$ が入力されている。なお、実施例1と比較して、差動アンプ回路7に電位Vrefを供給するための構成が不要となる。他の構成は、実施例1と同様である。

【0166】

差動アンプ回路7は、電位VSAMと固定電位 $(1/2) \times VDD$ とを比較し、この比較結果に応じた信号を出力する。

30

【0167】

インバータ8は、この信号の位相を反転した信号をSOUTとして出力する。

【0168】

これにより、半導体記憶装置700は、実施例1と比較して、回路を簡略化し、消費電流を低減することができる。

【0169】

また、実施例1と同様に、初段アンプ回路6の容量が小さいので、各初段アンプ回路6の出力信号VSAMは、電流Icellと電流Irefの差により得られる動作点へ高速に遷移する。これにより、差動アンプ回路7に必要な所望の差動入力電位差Vが高速に得られる。

40

【0170】

以上のように、本実施例に係る半導体記憶装置によれば、回路を簡略化し、消費電流の削減を図ることができる。さらに、実施例1と同様に、読み出し時間をより短くすることができる。

【0171】

なお、上述した各実施例は、NOR型フラッシュメモリに限らず、NAND型フラッシュメモリ等の各種半導体記憶装置に適用可能である。

【0172】

50

(応用例)

以下、上記構成および機能を有する半導体記憶装置（NOR型フラッシュメモリ）100を半導体チップに搭載した一例について説明する。なお、各実施例で述べた、半導体記憶装置200、300、400、500、600、700、および800に対しても同様の説明が適用し得る。

【0173】

図16は、本発明の一態様である実施例1に係る半導体記憶装置、例えば、NOR型フラッシュメモリ100を備えた半導体チップ（マルチ・チップ・パッケージ：MCP（Multi Chip Package））1000の一例を示す断面図である。

【0174】

図16に示すように、半導体チップ1000は、基板1001上に順次積層されたNAND型フラッシュメモリ1002、スペーサ1003、NOR型フラッシュメモリ100、スペーサ1004、PSRAM（Pseudo Static Random Access Memory）1005、およびコントローラ1006を同一パッケージ内に搭載している。

【0175】

NAND型フラッシュメモリ1002は、例えば、多値データの記憶が可能な複数のメモリセルを有している。また、半導体チップ1000において、PSRAMに換えて、SDRAM（Synchronous Dynamic Random Access Memory）を用いた構成であっても良い。

【0176】

上記メモリのうち、メモリシステムによる用途により、NAND型フラッシュメモリ1002は、例えば、データ格納用メモリとして使用される。また、NOR型フラッシュメモリ100は、例えば、プログラム格納用メモリとして使用される。また、PSRAM1005は、例えば、ワーク用メモリとして使用される。

【0177】

コントローラ1006は、主としてNAND型フラッシュメモリ1002に対するデータ入出力制御、データ管理を行う。コントローラ1006は、ECC訂正回路（図示せず）を有しており、データを書き込む際には誤り訂正符号（ECC）付加し、読み出す際にも誤り訂正符号の解析・処理を行う。

【0178】

NAND型フラッシュメモリ1002、NOR型フラッシュメモリ100、PSRAM1005、およびコントローラ1006は、ワイヤ1007により基板1001にボンディングされている。

【0179】

基板1001の裏面に設けられた各半田ボール1008は、それぞれワイヤ1007に電氣的に接続されている。パッケージ形状としては、例えば、各半田ボール1008が二次元的に配置された表面実装型のBGA（Ball Grid Array）が採用される。

【0180】

次に、上記半導体チップ1000を、電子機器の一例である携帯電話に適用する場合について説明する。

【0181】

図17は、半導体チップ1000を内部に実装する携帯電話を示す図である。図17に示すように、携帯電話2000は、メイン画面2001を有する本体上部2002と、キーパッド2003を有する本体下部2004と、を備えている。この携帯電話2000には、半導体チップ1000が搭載される。

【0182】

携帯電話2000に搭載されたCPU（図示せず）は、半導体チップ1000にインターフェイス（図示せず）を介してアクセスし、データ等の転送を行うようになっている。携帯電話2000は、例えば、NAND型フラッシュメモリ1002をユーザデータの格納領域として、NOR型フラッシュメモリ100をファームウェア等のプログラム格納領域として使用する。

10

20

30

40

50

【 0 1 8 3 】

この様なメモリシステムにおいて、NOR型フラッシュメモリ100には、より短い時間でのデータ読み出しが要求される。また、アプリケーションソフトの高機能化に伴い、格納すべきプログラムのデータ量も増大傾向にある。

【 0 1 8 4 】

本発明の一態様である実施例1に係るNOR型フラッシュメモリ100は、上述したように、例えば、記憶容量を増加させるために記憶データを多値化した場合であっても、読み出し時間を犠牲にすることなく、高速なデータ読み出しを実現することが可能である。

【 0 1 8 5 】

なお、半導体チップ1000は、上記携帯電話以外にも、パーソナルコンピュータ、デジタルスチルカメラ、PDA等の各種電子機器に適用することができる。

10

【 図面の簡単な説明 】

【 0 1 8 6 】

【 図 1 】 比較例となる半導体記憶装置（NOR型フラッシュメモリ）の回路構成の一例を示す図である。

【 図 2 】 図 1 に示す半導体記憶装置のセンスアンプの各信号波形を示す図である。

【 図 3 】 本発明の一態様である実施例1に係る半導体記憶装置100の要部構成を示す回路図である。

【 図 4 】 図 1 に示す半導体記憶装置100の各信号の波形を示す図である。

【 図 5 】 本発明の一態様である実施例2に係る半導体記憶装置200の要部構成の一例を示す回路図である。

20

【 図 6 A 】 図 5 に示す多値化されたメモリセルに流れる電流 I_{cell} と、基準となる電流 I_{ref1} 、2、3 と、記憶された多値データとの関係を示す図である。

【 図 6 B 】 図 6 A に示す多値データと図 5 に示す各インバータの出力 $SOUT$ との関係を示す図である。

【 図 6 C 】 図 5 に示す半導体記憶装置200の各信号の波形を示す図である。

【 図 7 】 本発明の一態様である実施例2に係る半導体記憶装置300の要部構成の一例を示す回路図である。

【 図 8 】 本発明の一態様である実施例4に係る半導体記憶装置400の要部構成の一例を示す回路図である。

30

【 図 9 】 図 8 に示す半導体記憶装置400の各信号の波形を示す図である。

【 図 10 】 本発明の一態様である実施例5に係る半導体記憶装置500の要部構成の一例を示す回路図である。

【 図 11 】 図 10 に示す半導体記憶装置500の各信号の波形を示す図である。

【 図 12 】 本発明の一態様である実施例6に係る半導体記憶装置600の要部構成の一例を示す回路図である。

【 図 13 】 図 12 に示す半導体記憶装置600の各信号の波形を示す図である。

【 図 14 】 本発明の一態様である実施例7に係る半導体記憶装置700の要部構成の一例を示す回路図である。

【 図 15 】 本発明の一態様である実施例8に係る半導体記憶装置800の要部構成の一例を示す回路図である。

40

【 図 16 】 本発明の一態様である実施例1に係る半導体記憶装置（NOR型フラッシュメモリ）100を備えた半導体チップの一例を示す断面図である。

【 図 17 】 図 16 に示す半導体チップを格納する携帯電話を示す図である。

【 符号の説明 】

【 0 1 8 7 】

1、11、21、31 電流源

1a、11a、21a、31a pMOSトランジスタ

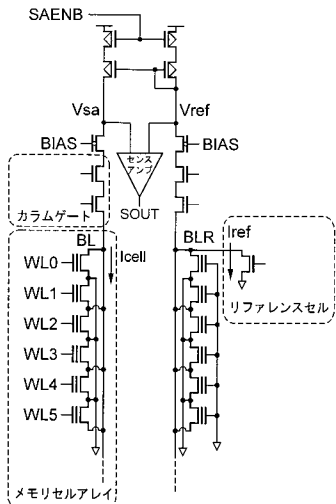
1b、11b、21b、31b 負荷MOSトランジスタ

2 補助電流源

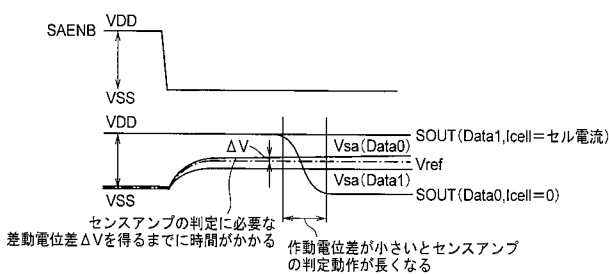
50

2 a、1 2 a、2 2 a、3 2 a	p M O S トランジスタ	
2 b、1 2 b、2 2 b、3 2 b	負荷 M O S トランジスタ	
3、1 3、2 3、3 3	n M O S トランジスタ	
4	カラムゲート	
4 a、4 b	n M O S トランジスタ	
5	メモリセルアレイ	
5 a	メモリセル	
6、6 - 1、6 - 2、6 - 3	初段アンプ回路	
6 a	p M O S トランジスタ	
6 b	アンプ用入力 M O S トランジスタ	10
6 c	n M O S トランジスタ	
6 d	アンプ用基準 M O S トランジスタ	
7、7 - 1、7 - 2、7 - 3	差動アンプ回路	
7 a、7 b、7 d	p M O S トランジスタ	
7 c、7 e	n M O S トランジスタ	
8	インバータ	
9	リセット回路	
1 4、2 4、3 4	ダミーカラムゲート	
1 4 a、1 4 b、2 4 a、2 4 b、3 4 a、3 4 b	n M O S トランジスタ	
1 5	リファレンスセルアレイ	20
1 5 a	リファレンスセル	
1 5 b	ダミーセル	
2 5、3 5 a	基準 M O S トランジスタ	
3 5 b	ダミーセル	
6 1	リセット電流源	
6 1 a	p M O S トランジスタ	
6 1 b	リセット M O S トランジスタ	
6 2	ブート容量	
6 3	容量素子	
1 0 0、2 0 0、3 0 0、4 0 0、5 0 0、6 0 0、7 0 0、8 0 0	半導体記憶装置	30
1 0 3、1 0 3 - 1、1 0 3 - 2、1 0 3 - 3	基準電圧発生回路	
7 0 8 a、7 0 8 b	インバータ	
1 0 0 0	半導体チップ	
1 0 0 1	基板	
1 0 0 2	N A N D 型フラッシュメモリ	
1 0 0 3、1 0 0 4	スペーサ	
1 0 0 5	S D R A M	
1 0 0 6	コントローラ	
1 0 0 7	ワイヤ	
1 0 0 8	半田ボール	40
2 0 0 0	携帯電話	
2 0 0 1	メイン画面	
2 0 0 2	本体上部	
2 0 0 3	キーパッド	
2 0 0 4	本体下部	

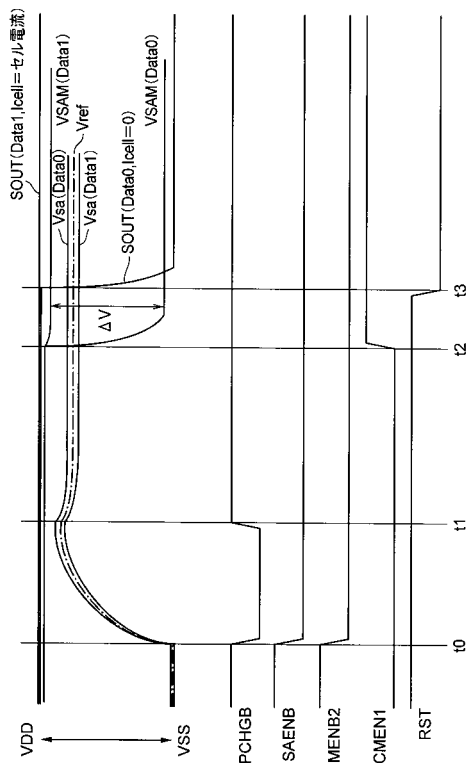
【 図 1 】



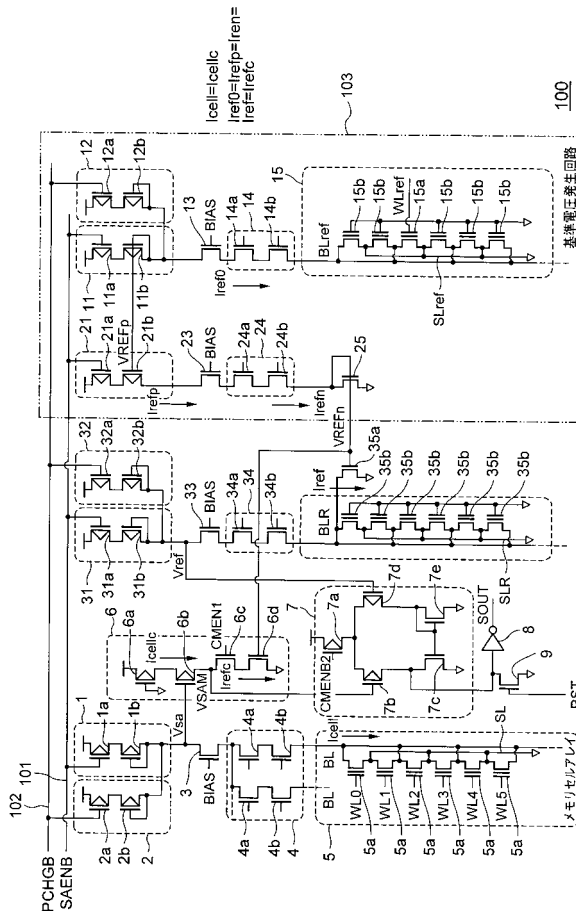
【 図 2 】



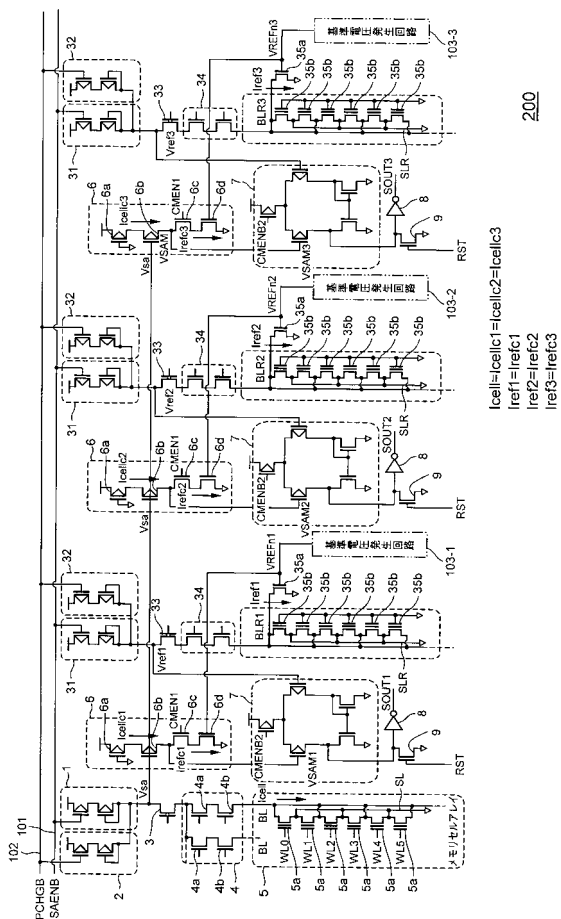
【 図 4 】



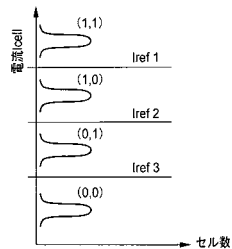
【 図 3 】



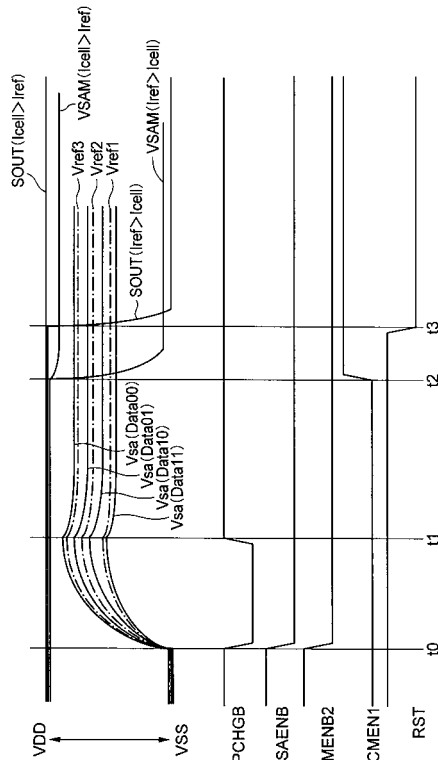
【 図 5 】



【図6A】



【図6C】

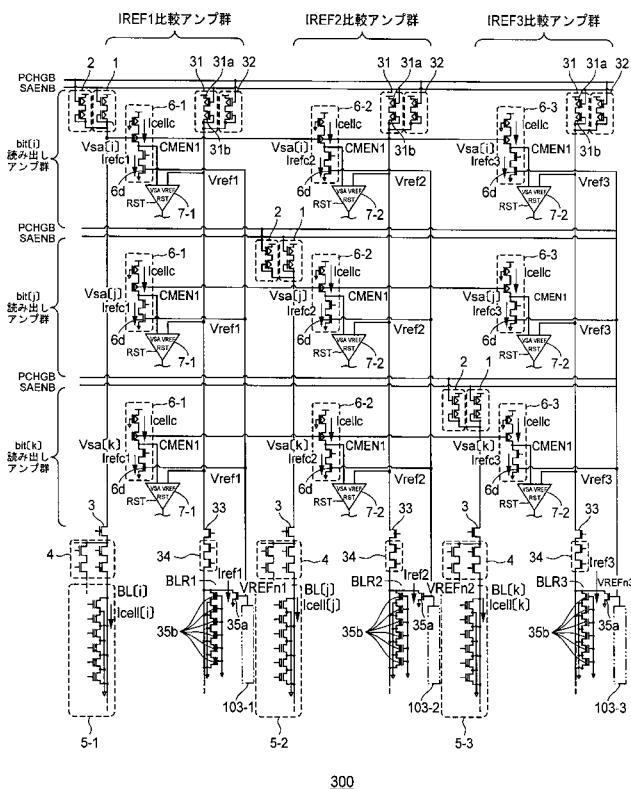


【図6B】

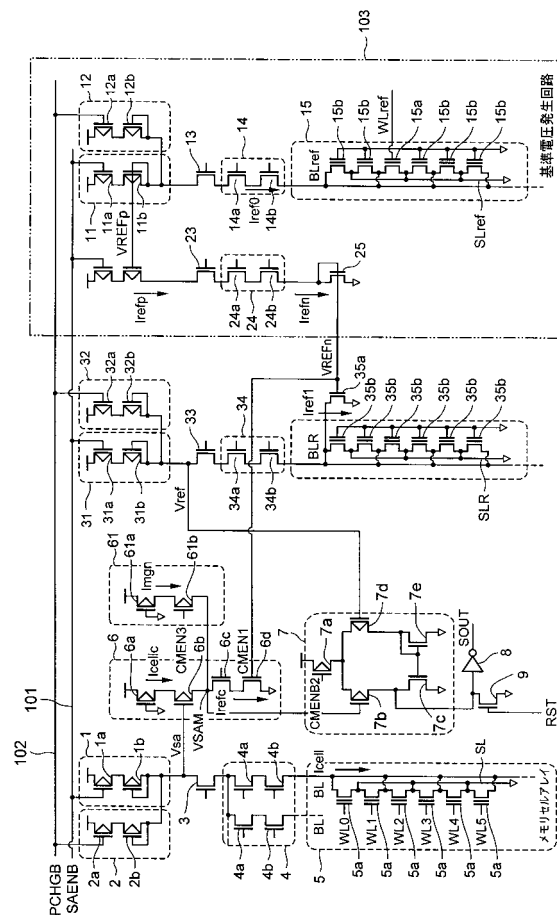
多値データとSOUTの関係

Data	SOUT 1	SOUT 2	SOUT 3
00	L	L	L
01	L	L	H
10	L	H	H
11	H	H	H

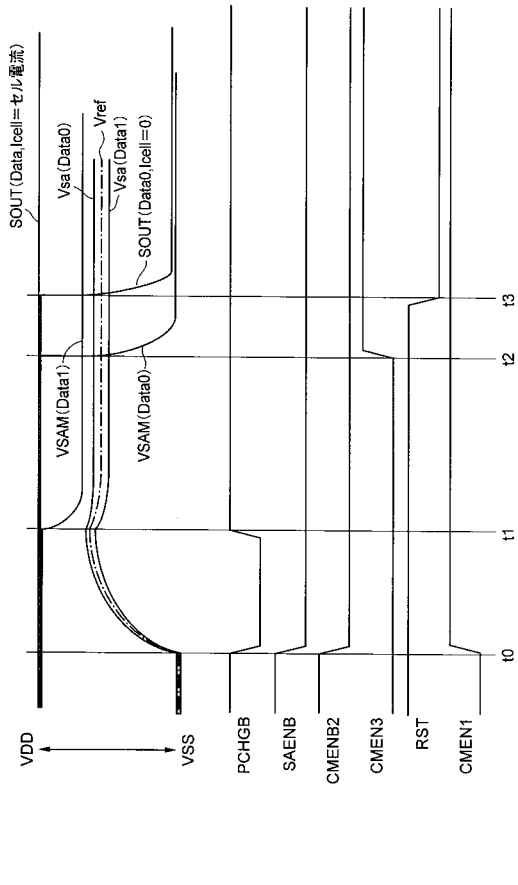
【図7】



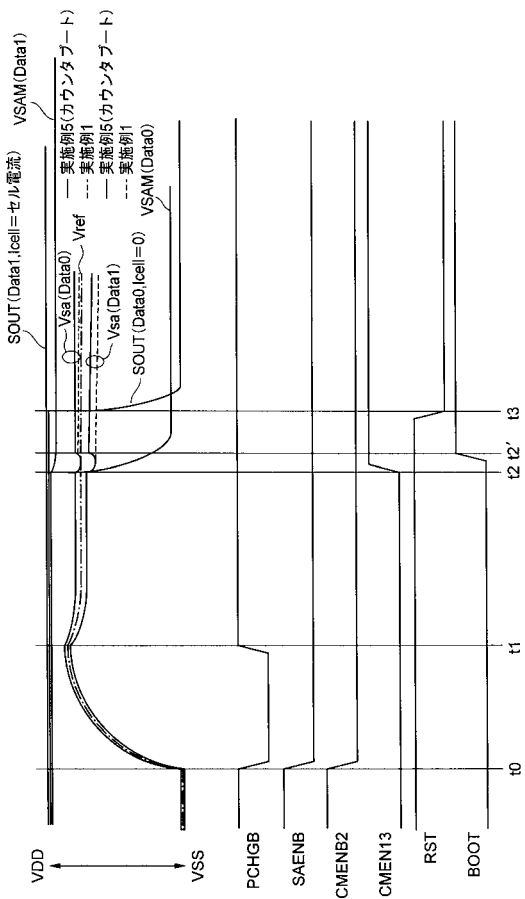
【図8】



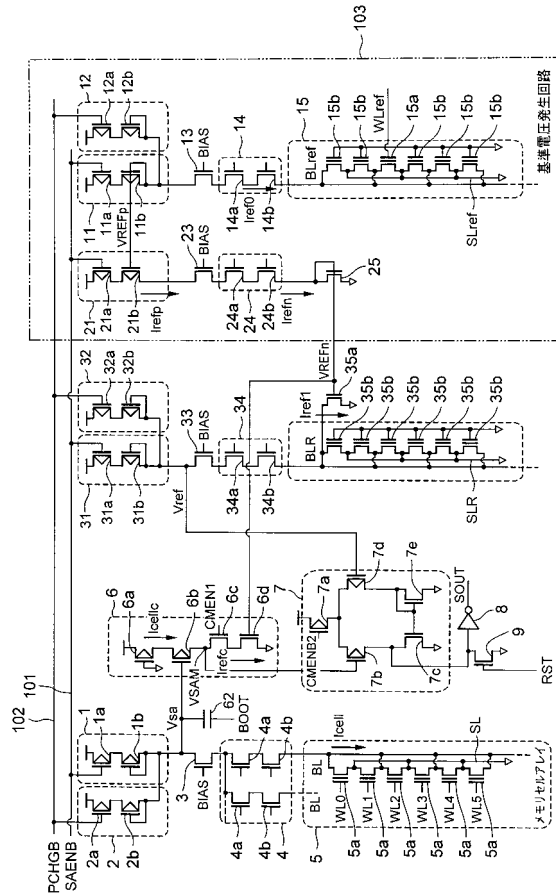
【図9】



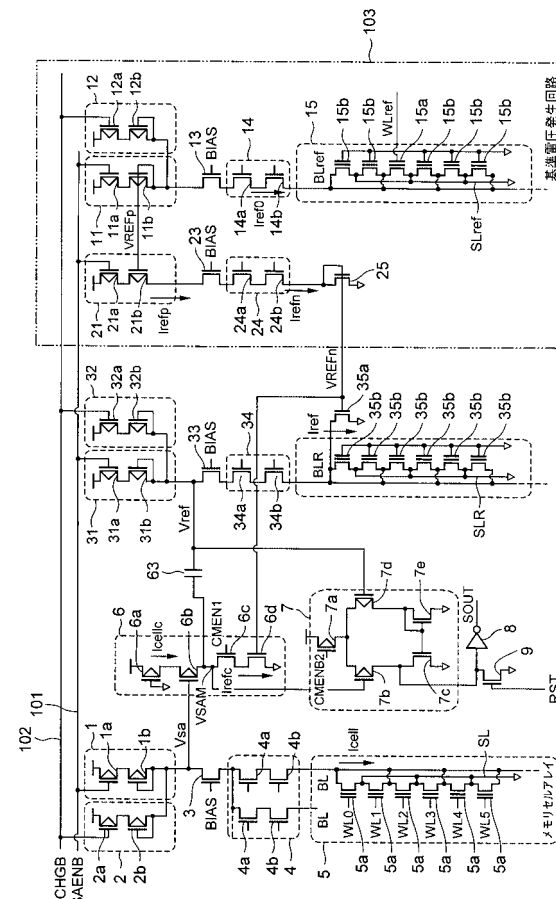
【図11】



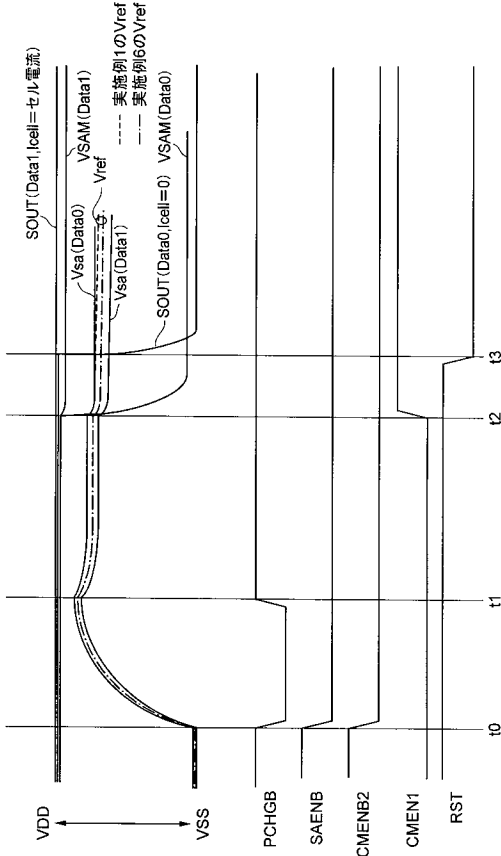
【図10】



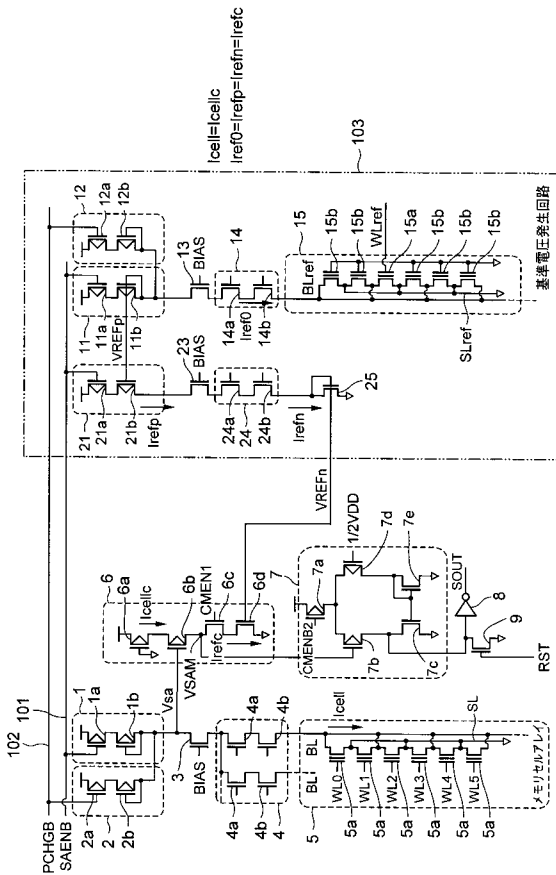
【図12】



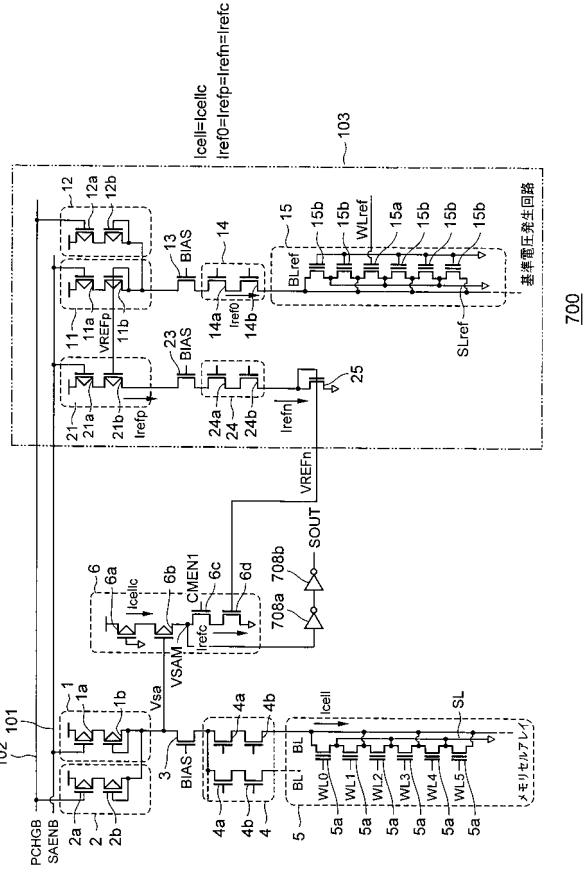
【 図 1 3 】



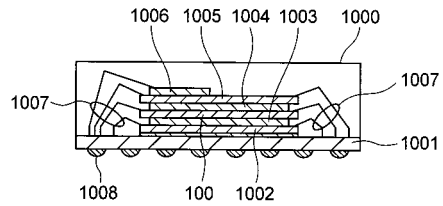
【 図 1 5 】



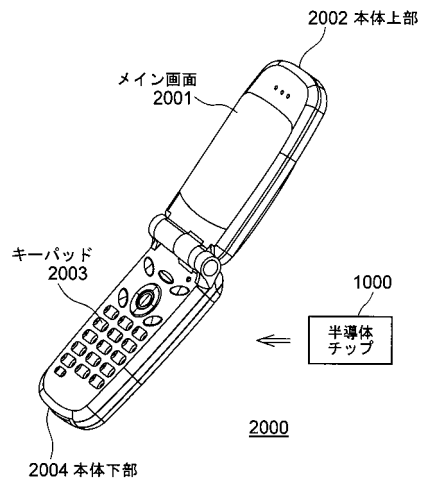
【 図 1 4 】



【 図 1 6 】



【 図 1 7 】



800

700

100

2000

フロントページの続き

(72)発明者 鎌田 義彦
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 本多 泰彦
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 播磨 高之
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5B125 BA02 CA01 CA11 EA01 EE02 EE05 EE06 EE10 EE11 EJ06
EJ10 FA10