

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
H01L 27/10

(45) 공고일자 1996년02월26일
(11) 공고번호 특1996-0002777

(21) 출원번호	특1992-0012437	(65) 공개번호	특1994-0003025
(22) 출원일자	1992년07월13일	(43) 공개일자	1994년02월19일
(71) 출원인	삼성전자주식회사 김광호 경기도 수원시 권선구 매탄동 416번지		
(72) 발명자	오승철 경기도 수원시 장안구 천천동 천천아파트 124-103호 김문곤 경기도 수원시 장안구 조원동 510 벽산아파트 101동 308호		
(74) 대리인	이건주		

심사관 : **김정옥 (책자공보 제4350호)**

(54) 반도체 메모리 장치의 로우 리던던시 장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 메모리 장치의 로우 리던던시 장치

[도면의 간단한 설명]

- 제1도는 종래 기술에 의한 리던던시를 보여주는 일 실시예.
- 제2도는 종래 기술에 의한 리던던시를 보여주는 다른 실시예.
- 제3도는 종래 기술에 의한 리던던시를 보여주는 또 다른 실시예.
- 제4도는 본 발명에 의한 리던던시를 보여주는 블럭구성도.
- 제5도는 제4도의 퓨우즈 박스의 실시예.
- 제6도는 제4도의 리던던트 블럭신호 발생회로의 실시예.
- 제7도는 제4도의 스페어 워드라인 드라이버의 실시예.
- 제8도는 제4도의 센스앰프 제어회로의 실시예.
- 제9도는 제4도의 노말 메모리어레이 선택회로의 실시예.
- 제10a,b도는 본 발명에 관련된 각 제어신호들의 타이밍도.
- 제11a,b,c도는 본 발명의 효과를 보여주는 실시예.

* 도면의 주요부분에 대한 부호의 설명

- RD0-RD3 : 프로그램된 어드레스 신호 RA : 로우 어드레스 신호
- REDBLK : 리던던트 메모리 어레이 인에이블신호 ΦDPX : 프라차아지 신호
- REDBLSi : 리던던트 메모리 어레이 인에이블/디세이블신호
- ΦBLSi : 노말 메모리 어레이 인에이블/디세이블신호
- RA1 : 로우 어드레스 1의 신호
- RA1B : 로우 어드레스 1이 반전된 신호

- RAX : 워드라인을 구성하는 최대의 로우 어드레스신호
- RAXB : RAX의 반전신호
- RAi : 서브 메모리 어레이를 구성하는 최소의 로우 어드레스신호
- RAi+N : 서브 메모리 어레이를 구성하는 최대의 로우 어드레스신호
- RAiB : RAi의 반전신호 RAi+NB : +RAiN의 반전신호
- RAj,RAK,RAI : 서브 메모리 어레이를 구성하는 로우 어드레스 신호
- ΦXE : 워드라인 부우스팅신호의 인에이블신호
- ΦX0 : 로우 어드레스의 0의 정보로부터 부우스팅된 신호
- ΦX1 : 반전된 로우 어드레스 0의 정보로부터 부우스팅된 신호
- SWA,SWB : 스페어 워드라인 A와 스페어 워드라인 B

[발명의 상세한 설명]

본 발명은 반도체 메모리 장치의 리던던시에 관한 것으로, 특히 소정의 로우(row)결함이 발생한 메모리 셀을 여분의 스페어 셀로 상기 결함을 리페어하는 로우 리던던시에 관한 것이다.

반도체 메모리 장치에 수율의 향상을 위하여 리던던시가 제안되었음은 이미 이 분야에 공지되어 있는 사실로서, 상기 리던던시라 함은 소정의 메모리 셀에 결함이 발생시에 이를 여분의 리던던트 메모리 셀(이 분야에서는 스페어 메모리 셀이라고도 통칭되며, 그 의미는 서로 동일한 것이다.)로 대체하는 과정을 말한다. 예를 들어 로우 리던던시의 경우에는 결함이 발생한 메모리 셀에 해당하는 로우 어드레스를 디코딩하여 여분의 리던던트 셀로서 상기 노멀 메모리 셀의 결함을 보완하게 된다. 일반적으로 반도체 메모리 장치가 초고집적화됨에 따라 하나의 칩내에 구성되는 메모리 셀의 수가 무수히 많아지게 된다. 메모리 셀의 구성은 다수개의 서브(sub)메모리 셀 어레이에 각각 속하게 되는데, 초고집적 반도체 메모리 장치일수록 메모리 셀의 증가에 따라 하나의 칩내에 배열되는 서브 메모리 어레이가 점점 더 많아지게 된다. 통상적으로, 리던던트 셀 어레이는 하나의 노멀 서브 메모리 어레이마다 각각 구비되어, 노멀 서브 메모리 어레이에 결함셀이 발생하였을시에 상기 결함이 발생한 노멀 서브 메모리 어레이에 구비되어 있는 리던던트 어레이가 리페어 동작을 수행하게 된다.

이와 관련하여 종래의 리페어 동작을 보여주는 블록구성도를 제1도에 도시하였다. 상기 제1도는 칩내의 메모리 셀 어레이가 4개의 서브 어레이(MA0,MA1, MA2,MA3)로 배열되어 있는 구성이다. 각각의 서브 어레이(MA0,MA1,MA2,MA3)는 로우 디코더(X0,X1,X2,X3)를 하나씩 구비하고, 또한 스페어 워드라인(이는 리던던트 워드라인이라고도 통칭된다.)을 각각 구비하게 된다. 그리고 SD0,SD1,SD2,SD3은 스페어 디코더로서 리던던시 동작시 스페어 워드라인을 구동하게 된다. 상기 스페어 디코더(SD0,SD1,SD2,SD3)의 수는 각 서브 어레이(MA0,MA1,MA2,MA3)의 스페어 워드라인의 수와 동일하게 된다. 그리고 상기 스페어 디코더(SD0,SD1,SD2,SD3)는 내부 서브어레이 어드레스신호인 a₀-a_{n+3}를 입력하고 이들의 조합으로부터 스페어 워드라인을 구동하게 된다. 그래서 도시된 구성에서 알 수 있는 바와 같이 예를들어 서브 어레이 MA0의 노멀 워드라인에 결함이 발생되면 이는 스페어 디코더(SD0,SD1,SD2, SD3)에서 프로그램되고 이로부터 스페어 워드라인 SW00,...,SW03으로 리페어된다. 그러나 이와 같은 방식하에서는 상기 제1도에 도시된 구성에서 쉽게 이해할 수 있는 바와 같이 노멀 워드라인이 하나 또는 두개가 결함으로 발생되어도 스페어 워드라인 4개가 대처됨에 따라 결함이 발생되지 않은 노멀 워드라인까지도 리페어되는 비효율적인 문제가 발생되며, 또한 리페어되는 스페어 워드라인에서 결함이 발생할 수 있는 확률이 커지는 우려가 있다. 또한 스페어 워드라인이 하나의 서브 어레이마다 소정의 정해진 갯수로 구비되기 때문에 이로부터 칩면적의 증가가 초래된다.

이러한 문제점을 해결하기 위해 종래에 제시된 리던던시를 보여주는 다른 실시예를 제2도에 도시하였다. 상기 제2도는 하나의 서브어레이에 구비되는 스페어 워드라인의 수를 상기 제1도보다 줄이고, 또한 각 스페어 워드라인을 구동하기 위한 스페어 디코더를 각각 구비하는 방식이다. 그래서 상기 제2도에 도시된 구성에서 알 수 있는 바와 같이, 노멀 워드라인 하나가 결함으로 발생되면 이는 단지 하나의 스페어 워드라인으로 리페어되고, 또한 노멀 워드라인 두개가 결함으로 발생되면 이는 단지 두개의 스페어 워드라인으로 리페어된다. 이렇게 1 : 1 방식으로 리페어할 수 있는 것은 리던던시 동작시 임의의 스페어 워드라인을 구동하는 스페어 디코더 하나만 인에이블시키므로써 가능하게 된다. 그러나 상기 제2도와 같은 방식은 리던던시의 효율적인 면에서 상기 제1도에서 발생하는 문제를 해결할 수 있으나 다음과 문제가 발생된다. 즉, 하나의 서브어레이에 구비되는 스페어 워드라인의 수가 줄어들음에 따라 하나의 서브어레이에서 결함이 발생한 노멀 워드라인의 수가 상기 서브어레이에 구비된 스페어 워드라인의 수보다 많을 시에는 이를 해결하지 못하게 되는 경우가 발생된다. 이는 또한 하나의 서브어레이에 속하는 스페어 워드라인이 이웃한 다른 서브 어레이의 노멀 워드라인에 결함이 발생될시에 이를 대처하여 주지 못하는 문제가 발생되는 것을 의미하기도 한다. 또한 각각의 스페어 워드라인마다 하나의 스페어 디코더를 구비하여야 됨에 따라 상기 스페어 디코더의 증가가 초래되고, 이로부터 칩면적에서 차지하는 상기 스페어 디코더의 면적이 커지게 되어 결과적으로 고집적화에 적합하지 못하게 된다.

이를 해결하기 위하여 종래에 제시된 리던던시를 보여주는 또 다른 실시예를 제3도에 도시하였다. 상기 제3도는 본 출원인에 의하여 "반도체 메모리 장치의 리던던시 장치 및 방법"이라는 제목으로 기 출원된 것을 이는 국내 출원번호 '90-21502'로에 상세하게 개시되어 있다. 상기 제3도의 구성상의 특징은 다음과 같다. 즉, 서로 이웃한 두개의 노멀 서브 메모리 어레이(10), (13)에 하나의 리던던트 셀 어레이(14)를 대응시키고, 상기 두개의 노멀 서브 메모리 어레이(10), (13)사이에 분리 게이트(12)를 설치한 다음, 리던던트 동작모드에서 상기 하나의 리던던트 셀 어레이(14)에 연결된 리

던던트 센스앰프(15)만을 동작시켜 상기 두개의 노멀 서브 메모리 어레이(10), (13)에서 어느 한쪽에 결함이 발생되더라도 하나의 리던던트 썸 어레이(14)만으로 두개의 서브 메모리 어레이에 대한 결함 보정이 가능하게 하는 것이다. 그래서 이로부터 메모리 장치의 크기를 줄이고 집적도를 향상시키는 효과가 발생하는 방식이다. 그러나 상기 제3도와 같은 구성도 스페어 워드라인과 퓨우즈 박스가 노멀 서브 메모리 어레이 (13), (14)에 종속되어 있어서, 상기 종속된 서브 메모리 어레이내의 워드라인 페일만을 리페어할 수 있고, 다른 서브 메모리 어레이의 워드라인 페일을 리페어할 수 없는 한계를 극복하지 못한다. 또한 칩의 레이-아웃이 상기 제1도 및 제2도보다는 개선되었으나, 이도 또한 칩의 초고집적화에 따라 그 부담이 가중되어 칩의 초고집적화를 저해하는 문제점을 극복하지 못한다. 또한 공정상의 결함등에 의해 발생하는 메모리 썸의 결함이 칩내의 다수개의 노멀 서브 메모리 어레이마다 균일하게 발생된다는 보장이 없게 되어 리던던시의 효율 개선에도 한계가 있게 된다.

따라서 본 발명의 목적은 칩의 초고집적화의 향상에 적합한 리던던트 썸 어레이를 가지는 반도체 메모리 장치를 제공함에 있다.

본 발명의 다른 목적은 리던던시의 효율이 극대화되는 반도체 메모리 장치를 제공함에 있다.

본 발명의 또 다른 목적은 칩의 레이-아웃에 최적화하는 리던던시회로를 구비하는 반도체 메모리 장치를 제공함에 있다.

본 발명의 또 다른 목적은 서로 다른 노멀 서브 메모리 어레이에서 발생된 워드라인 페일을 동일한 리던던트 썸 어레이내의 스페어워드라인으로 각각 리페어할 수 있는 반도체 메모리 장치를 제공함에 있다.

본 발명의 또 다른 목적은 하나의 노멀 메모리 어레이에서 다수개의 워드라인 페일이 발생하여도 이를 충분히 리페어할 수 있는 반도체 메모리 장치를 제공함에 있다.

상기 본 발명의 목적들을 달성하기 위하여 본 발명은, 메모리 썸 어레이가 다수개의 분할배열된 다수개의 서브 메모리 어레이와, 상기 다수개의 서브 메모리 어레이에 각각 종속되어 각 메모리 썸의로우 어드레스를 디코딩하는 다수개의 로우디코더와, 상기 다수개의 서브 메모리 어레이의 각각에 포함되는 센스앰프와, 상기 센스앰프 각각을 동작시키기 위한 센스앰프 제어회로를 가지는 반도체 메모리 장치에 있어서, 상기 다수개의 서브 메모리 어레이중 임의의 하나의 서브 메모리 어레이에만 존재하는 리던던트 메모리 어레이와, 상기 리던던트 메모리 어레이의 메모리 썸을 지정하는 다수개로 이루어지는 스페어 워드라인과, 상기 다수개의 서브 어레이와 독립되어 배열되는 퓨우즈 박스와, 상기 퓨우즈 박스의 출력신호를 입력하고 상기 다수개의 로우디코더와 센스앰프에 출력신호가 연결되는 제어회로를 구비하고 리던던시 동작이 상기 퓨우즈 박스의 프로그램에 의해 상기 스페어 워드라인에 종속되는 서브 메모리 어레이에서 이루어지는 반도체 메모리 장치임을 특징으로 한다. 상기에서 본 발명에 의한 반도체 메모리 장치는 퓨우즈 박스의 수를 칩의 레이아웃이 허락하는 대로 구비할 수 있고 이로부터 리던던시의 영역을 더욱 높일 수 있다.

이하 본 발명의 바람직한 실시예가 첨부된 도면과 함께 상세히 설명될 것이다. 본 발명에 의한 리던던시를 보여주는 블럭도를 제4도에 도시하였다. 도시된 구성에서 쉽게 이해할 수 있는 바와 같이 본 발명의 요지는 다수개로 이루어지는 서브 메모리 어레이(도시된 구성에서는 4개(100,200,300,400)로 실시됨.)중에서 임의의 한 서브 메모리 어레이(200)에만 스페어 워드라인을 구비하고(즉, 서브 메모리 어레이(200)는 노멀 메모리 어레이와 리던던트 메모리 어레이를 공유한다.) 나머지의 다른 서브 메모리 어레이에는 스페어 워드라인을 구비하지 않는 구성을 가진다는 것과, 퓨우즈 박스의 수를 칩의 레이아웃이 허락하는대로 다수개로 구비하는 것이며, 이로부터 상기 서브 메모리 어레이중 어느 곳에 워드라인의 결함이 발생하여도 이를 상기 임의의 한 서브 메모리 어레이의 스페어 워드라인으로 용이하게 리페어가 이루어지도록 제어한다는 것임을 특히 유의하여야 할 것이다. 본 발명에 의한 상기 제4도의 블럭구성상 특징은 다음과 같다. 도면번호 211,212,213,214는 퓨우즈박스로서 이는 리던던시를 위한 필수구성요소임으로 이미 잘 알려져 있는 사실이다. 상기 퓨우즈 박스는 종래기술과는 다르게 특정 서브 메모리 어레이에 종속되어 있던 것에서 벗어나 칩의 레이-아웃을 고려하여 임의의 장소에 배치할 수 있으며, 이는 서브 메모리 어레이수만큼 또는 그 이상(또는 그 이하)으로 구비할 수 있다. 도면번호 201은 스페어 워드라인을 구비하는 노멀어레이의 센스앰프 제어회로서 이는 서브 메모리 어레이(200)에 구비되는 센스앰프(203)를 제어하며, 노멀 동작시는 노멀 메모리 어레이에서 데이터 액세스가 이루어지는 정상동작이 이루어지도록하고, 리던던시가 인에이블(또는 액티베이션(activation)되면 리던던시가 이루어지도록 하는 장치이다.

상기 노멀 & 리던던트센스앰프 제어회로(201)는 노멀 및 리던던시 선택회로 역할을 하게 되며, 로우 어드레스와 리페어할 블럭의 선택신호(이는 후술하는 스페어워드라인드라이버 & 리던던트블럭신호선택회로(202)의 출력신호임.)를 입력하여 이로부터 상기 센스앰프(203)에 소정의 제어신호(RFDBLSi)를 출력한다. 도면번호 202는 스페어워드라인드라이버 & 리던던트블럭신호발생회로서, 그 구성에서 스페어워드라인드라이버는 상기 퓨우즈 박스(211,212,213,214)의 출력신호에 따라 스페어워드라인(SW0,SW1,SW2,SW3)을 구동하고, 리던던트블럭신호발생회로는 리던던시가 액티베이션된다는 신호를 발생한다. 상기 스페어워드라인드라이버 & 리던던트블럭신호발생회로(202)는 각각 상기 퓨우즈 박스(211,212,213, 214)의 출력신호를 입력하고 이로부터 소정의 신호를 생성하게 된다. (상기 제4도의 구성에서 스페어워드라인드라이버와 리던던트블럭신호발생회로를 하나의 블럭으로 도시한 것은 퓨우즈 박스(211,212,213,214)의 출력 신호(RE00, ..., RE03)를 각각 입력하고, 또한 그 기능이 리던던시 동작을 인에이블시키는 하나의 제어회로라는 의미에서 하나의 블럭으로 처리한 것임을 이해해두기 바란다.) 도면번호 101,301,401은 노멀어레이센스앰프제어회로서, 이는 리던던시가 동작하게 되면 선택된 서브 메모리 어레이를 디세이블시키는 장치이다. 상기 노멀어레이센스앰프제어회로(101,301, 401)가 소정의 선택된 서브 메모리 어레이를 디세이블시키는 것은 소정의 선택된 리던던트블럭선택신호(REDBLK)를 이용하여 용이하게 달성될 수 있다. 한편, 상기 제4도에서는 스페어 워드라인을 4개(SW0,SW1,SW2,SW3)만 도시하였지만, 이는 칩의 레이-아웃 면적에 따라 다수개로 구비할 수 있다. 상기 구성에 따른 동작특성을 살펴보면 다음과 같다. 특정한 노멀 메모리 어레이에서 워드라인 페일

(fail)이 발생하면 이를 리페어하기 위하여 리던던트 썸 및 스페어 워드라인을 사용함은 쉽게 이해할 수 있는 사항이며, 이를 위해서는 먼저 파일된 로우 어드레스에 해당하는 퓨우즈를 컷팅하여 파일된 어드레스를 프로그램한다. (이러한 과정은 본 출원인이 국내에 기 출원한 출원번호 '91-12919' 및 '90-21502'호에 상세하게 개시되어 있다.) 이와 같이해서 프로그램된 신호가 퓨우즈 박스(211,212,213,214)의 출력신호인 REDi(i=0,1,2,3)이며, 상기 REDi신호는 스페어 워드라인 드라이버(202)에서 대기한다. 또한 상기 REDi신호는 REDBLK신호를 발생시켜 노멀어레이 선택회로(101), (301), (401)와, 그에 종속된 로우디코더 및 노멀 워드라인을 디세이블시켜서 노멀 메모리(100), (300), (400)가 동작하지 못하도록 한다. 또한 REDBLK신호는 센스앰프제어회로(201)를 인에이블시켜서 리던던트 메모리어레이(200)가 동작하도록 한다. 한편, 스페어워드라인 드라이버(202)에 대기하여 있던 REDi(i=0,1,2,3)신호는 워드라인 부우스팅신호(이는 스페어 워드라인드라이버(이는 연결되는 신호이 워드라인으로 연결되는 신호이다)가 인에이블되면 스페어 워드라인을 드라이브한다. 그리고 상기 스페어 워드라인이 인에이블되어 리던던트 썸이 선택되는 과정은 이 분야에 공지된 바, 그 설명을 생략한다. 본 발명에 의한 상기 제4도의 각 블럭을 구성하는 구체회로의 실시예는 다음과 같다.

상기 제4도와 퓨우즈 박스(211), (212), (213), (214)의 실시예는 제5도와 같은 구성으로 용이하게 이루어질 수 있다. 이는 결함이 발생한 어드레스를 포함하는 로우어드레스를 입력하고, 이로부터 결함이 발생한 블럭의 로우 어드레스에 의해 결함이 발생한 어드레스에 연결된 퓨우즈를(레이저 투사와 같은 방법으로 용이하게) 컷팅하여 REDi신호를 출력한다.

상기 제4도의 스페어워드라인드라이버 & 리던던트블럭신호발생회로(202)의 구성에서 리던던트블럭신호(REDBLK) 발생회로의 실시예는 제6도와 같은 구성으로 용이하게 이루어질 수 있다. 즉, 도시된 바와 같이 퓨우즈 박스(211,212,213,214)의 각 출력신호(RED0,RED1,RED2,RED3)를 입력하고 이로부터 리던던트블럭신호 (REDBLK)를 출력한다.

상기 제4도의 스페어워드라인드라이버 & 리던던트블럭신호발생회로(202)의 구성에서 스페어워드라인드라이버의 실시예는 제7도와 같은 구성으로 용이하게 이루어질 수 있다. 상기 제7도의 구성에서 $\Phi X0$, $\Phi X1$ 은 전술한 워드라인 부우스팅신호이며, 이는 곧 스페어 워드라인으로 연결된다.

상기 제4도의 노멀 & 리던던트어레이 센스앰프제어회로(201)의 실시예는 제8도와 같은 구성으로 용이하게 이루어질 수 있다. 상기 센스앰프 제어회로(201)는 로우 어드레스와 상기 리던던트블럭신호 발생회로(202)의 출력신호인 REDBLK를 입력하여 상기 제4도의 센스앰프(203)를 제어한다.

상기 제4도의 노멀 어레이 센스앰프제어회로(101), (301), (401)의 실시예는 제9도와 같은 구성으로 용이하게 이루어질 수 있다. 상기 노멀 어레이 선택회로(101), (301), (401)는 로우 어드레스와 상기 리던던트블럭신호발생회로(202)의 출력신호인 REDBLK를 입력하여 상기 제4도의 각 노멀 어레이(100), (300), (400)에 종속된 센스앰프를 제어한다.

상기 제4도 내지 제9도의 각 신호들의 인에이블 시점은 동작타이밍도인 제10a,b도에 개시되어 있다. 상기 제10a도에 도시된 바와 같이, 노멀 동작시에는 상기 제4도에서의 퓨우즈 박스(211,212,213,214)의 출력신호(REDi)가 "로우"레벨로 되고, 이로부터 제6도의 리던던트블럭신호발생회로의 출력신호(REDBLK)가 "로우"레벨로 된다. 이로부터 제8도의 노멀 & 리던던트어레이 센스앰프 제어회로의 출력신호(REDBLSi)는 "로우"레벨로, 제9도의 노멀어레이센스앰프제어회로의 출력신호($\Phi BLSi$)는 "하이"레벨로 전이(transition)하는 바, 이로부터 워드라인 부우스팅신호 (ΦXi)가 "하이"레벨로 되어 노멀워드라인이 선택된다. 한편, 리던던시동작시에는 상기 제10b도에 도시된 바와 같이, 상기 제4도에서의 퓨우즈 박스(211,212,213,214)에서 결함어드레스에 연결된 퓨우즈의 컷팅동작에 의해 출력신호(REDi)가 "하이"레벨로 되고, 이로부터 제6도의 리던던트블럭신호발생회로의 출력신호(REDBLK)가 "하이"레벨로 된다. 이로부터 제8도의 노멀 & 리던던트어레이센스앰프제어회로의 출력신호 (REDBLSi)는 "하이"레벨로, 제9도의 노멀어레이센스앰프제어회로의 출력신호 ($\Phi BLSi$)는 "로우"레벨로 되는 바, 이로부터 스페어워드라인이 선택된다.

본 발명에 대한 이해를 돕기 위하여 본 발명의 효과를 보여주는 실시예로서의 블럭구성도를 제 11a,b,c도에 도시하였다. 제11a도는 하나의 노멀 메모리 어레이에서 동시에 4개의 워드라인인 WL1,WL2,WL3,WL4에 파일이 발생하여도 퓨우즈 3(211,212,213,214)에 의하여 프로그램되고 이로부터 스페어 워드라인 SW0, SW1,SW2,SW3으로 대치되는 것을 보여준다. 제11b도는 각각의 노멀 메모리 어레이에서 1개의 워드라인씩 파일이 발생하여도 이를 용이하게 리페어할 수 있음을 보여준다. 제11c도는 도시된 바와 같이 노멀 메모리어레이 1에 1개, 노멀 메모리어레이 2에 1개, 노멀 메모리어레이 3에 없고, 노멀 메모리어레이 4에 2개의 워드라인 파일이 발생하여도 이는 퓨우즈 박스의 프로그램에 의해 용이하게 리페어됨을 보여준다. 이와 같이 본 발명은 퓨우즈 박스를 모두 사용할 수 있고 또한 메모리 어레이에서 독립된 위치에 구비할 수가 있어, 리던던시의 효율 및 수율을 향상시킨다.

상기 제4도는 본 발명의 사상에 입각한 블럭구성으로서 이는 리던던시를 필요로 하는 기존의 반도체 메모리 장치에 용이하게 적용할 수 있음을 이 분야에 통상의 지식을 가진자는 쉽게 알 수 있을 것이다.

상술한 바와 같이, 본 발명의 칩의 초고집적화 추세에 리던던시의 효율이 극대화되고 칩의 레이-아웃에 최적화될 수 있다. 또한 서로 다른 노멀 서브 메모리 어레이에서 발생된 워드라인 파일을 동일한 스페어 어레이의 워드라인으로 각각 리페어할 수 있고 노멀 메모리 어레이에서 다수개의 워드라인 파일이 발생하여도 이를 충분히 리페어할 수 있다.

(57) 청구의 범위

청구항 1

메모리 썸 어레이가 다수개로 분할배열되어 형성된 다수개의 서브 메모리 어레이와, 상기 다수개의

서브 메모리 어레이에 각각 종속되어 각 메모리 뿔의 로우 어드레스를 디코딩하는 다수개의 로우디코더와, 상기 다수개의 서브 메모리 어레이의 각각에 포함되는 다수개의 센스앰프와, 상기 센스앰프 각각을 동작시키기 위한 센스앰프제어회로를 가지는 반도체 메모리 장치에 있어서 : 상기 다수개의 서브 메모리 어레이중 임의의 하나의 서브 메모리 어레이내에만 존재하는 리던던트 메모리 어레이와 ; 상기 리던던트 메모리 어레이의 메모리 뿔을 지정하는 다수개로 이루어지는 스페어 워드라인과 ; 상기 다수개의 서브 어레이와 독립되어 배열되는 퓨우즈 박스와 ; 상기 퓨우즈 박스의 출력신호를 입력하고 상기 다수개의 로우디코더와 센스앰프에 출력신호가 연결되는 제어회로를 구비하고, 리던던트 동작이 상기 퓨우즈박스의 프로그램에 의해 동작되어 상기 스페어 워드라인이 종속되는 서브 메모리 어레이에서 이루어짐을 특징으로 하는 반도체 메모리 장치.

청구항 2

제1항에 있어서, 상기 제어회로가, 상기 퓨우즈 박스의 출력신호와 로우 어드레스를 입력하고 스페어 워드라인을 인에이블시키는 스페어워드라인드라이버와, 상기 퓨우즈박스의 출력신호를 입력하고 리던던트동작시 상기 로우디코더를 디세이블시키는 리던던트블럭신호발생회로로 이루어짐을 특징으로 하는 반도체 메모리 장치.

청구항 3

제2항에 있어서, 상기 다수개의 센스앰프제어회로는 리던던트동작시 상기 리던던트블럭신호발생회로의 출력신호에 의해서 상기 리던던트 메모리 어레이가 포함된 센스앰프제어회로만 인에이블됨을 특징으로 하는 반도체 메모리 장치.

청구항 4

반도체 메모리 장치에 있어서 : 메모리 뿔 어레이가 다수개로 분할 배열되어 형성되는 서브 메모리 어레이와 ; 상기 다수개의 서브 메모리 어레이의 각각에 포함되는 다수개의 센스앰프와 ; 상기 다수개의 서브 메모리 어레이중 임의의 하나의 서브 메모리 어레이내에만 존재하는 리던던트 메모리 어레이와 ; 상기 리던던트 메모리 어레이의 메모리 뿔을 지정하는 다수개로 이루어지는 스페어 워드라인과 ; 상기 다수개의 서브 어레이와 독립하여 배열되는 퓨우즈 박스와 ; 상기 퓨우즈 박스의 출력신호와 로우 어드레스를 입력하고 스페어 워드라인을 인에이블시키는 스페어워드라인드라이버와 ; 상기 퓨우즈 박스의 출력신호를 입력하고 리던던트 동작시 상기 로우디코더를 디세이블시키는 리던던트블럭신호발생회로와 ; 상기 리던던트블럭신호발생회로의 출력신호를 입력하고 리던던트 메모리 어레이가 포함되는 서브 메모리 어레이의 센스앰프에 출력신호가 연결되는 센스앰프제어회로를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 5

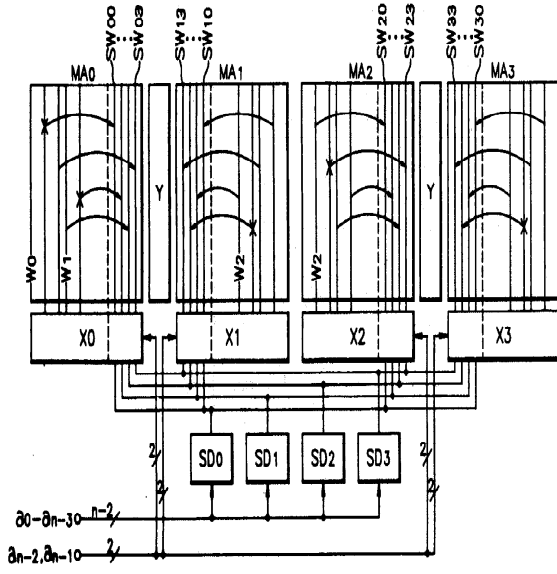
제4항에 있어서, 상기 퓨우즈 박스가 다수개로 이루어지며, 임의의 서브 메모리 어레이내의 리페어할 수 있는 워드라인의 수가 상기 다수개의 퓨우즈 박스의 수에 의해 결정됨을 특징으로 하는 반도체 메모리 장치.

청구항 6

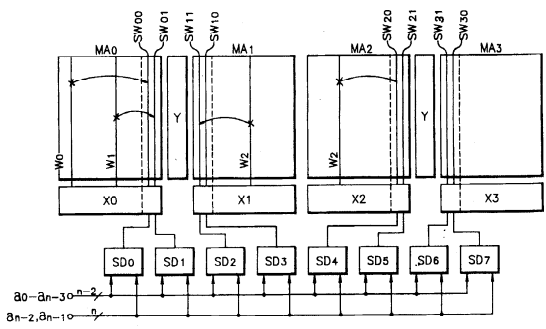
다수개로 분할배열되고 각각의 센스앰프를 포함하는 다수개의 서브 메모리 어레이로 구성되는 메모리 뿔 어레이와, 상기 다수개의 서브 메모리 어레이에 각각 종속되어 각 메모리 뿔의 로우 어드레스를 디코딩하는 다수개의 로우디코더와, 상기 다수개의 서브 메모리 어레이중 임의의 하나의 서브 메모리 어레이내에만 존재하는 리던던트 메모리 어레이와, 상기 리던던트 메모리 어레이내에 존재하고 상기 리던던트 메모리 어레이의 메모리 뿔을 지정하는 다수개로 이루어지는 스페어 워드라인을 가지는 반도체 메모리 장치에 있어서 : 상기 다수개의 서브 메모리 어레이와 독립되어 배열되고, 소정의 결함어드레스의 입력시 퓨우즈의 커팅동작을 통해 리페어동작을 인에이블시키는 퓨우즈 박스와 ; 상기 퓨우즈 박스의 출력신호와 로우 어드레스를 입력하고 상기 스페어워드라인을 인에이블시키는 스페어워드라인드라이버와 ; 상기 퓨우즈 박스의 출력신호를 입력하고 리페어동작시 상기 로우디코더를 디세이블시키는 리던던트블럭신호발생회로와 ; 상기 리던던트블럭신호발생회로의 출력신호를 입력하고 리던던트 메모리 어레이가 포함되는 서브 메모리 어레이의 센스앰프에 출력신호가 연결되는 센스앰프제어회로로 이루어짐을 특징으로 하는 로우리던던트회로.

도면

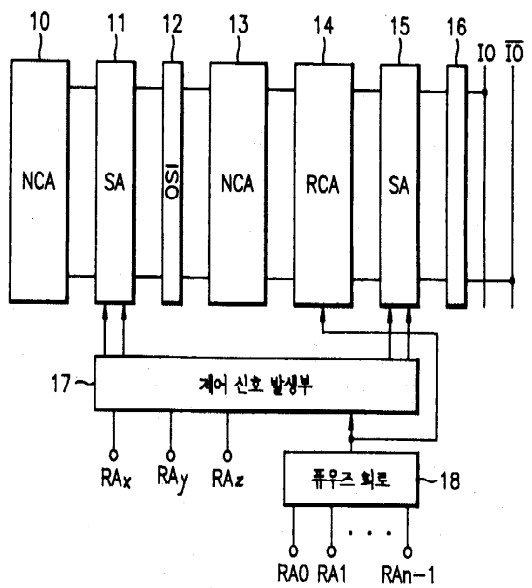
도면1



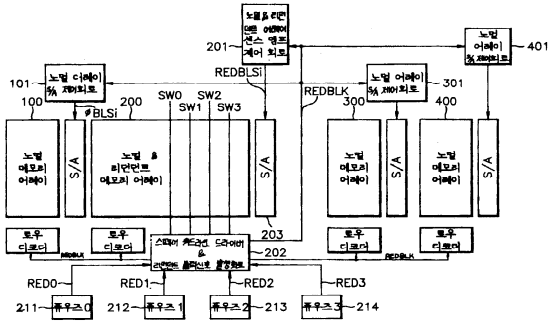
도면2



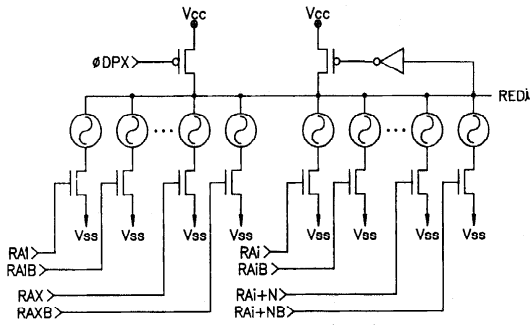
도면3



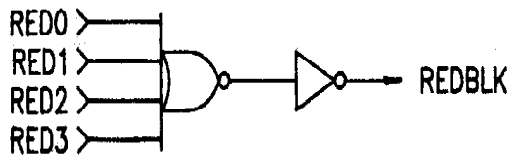
도면4



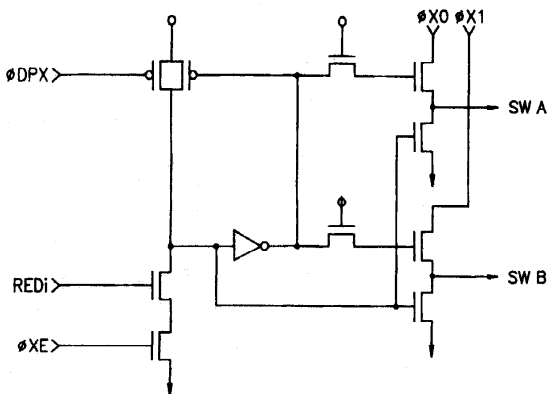
도면5



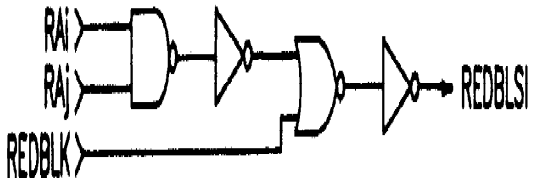
도면6



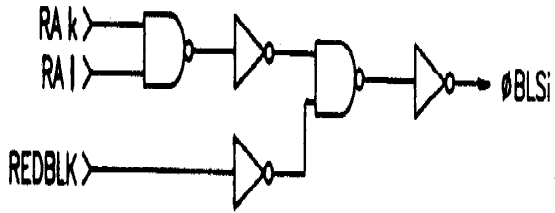
도면7



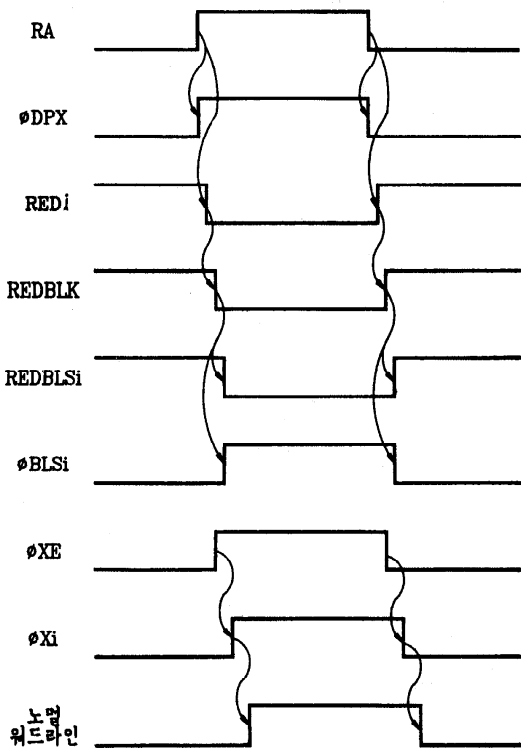
도면8



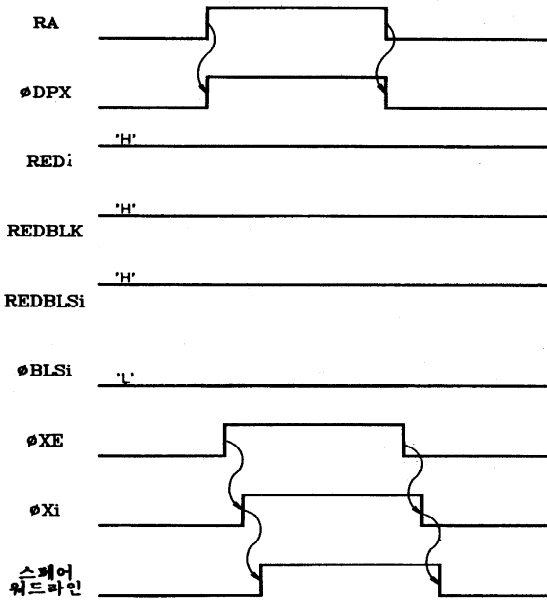
도면9



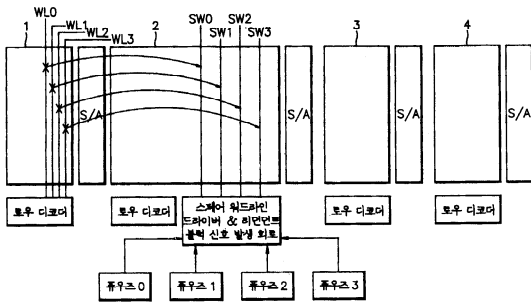
도면10-A



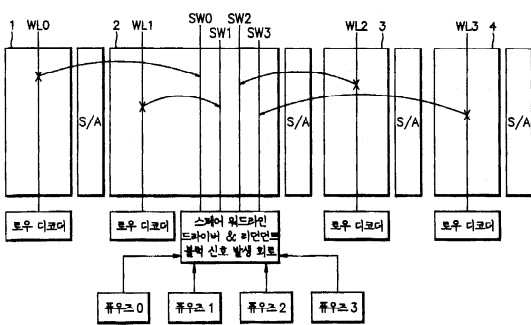
도면 10-B



도면 11-A



도면 11-B



도면11-C

