



(12)发明专利申请

(10)申请公布号 CN 107424649 A

(43)申请公布日 2017. 12. 01

(21)申请号 201710380328.4

(22)申请日 2017.05.25

(71)申请人 上海天马有机发光显示技术有限公司

地址 201201 上海市浦东新区龙东大道
6111号1幢509

(72)发明人 高娅娜 向东旭 朱仁远 李玥
陈泽源

(74)专利代理机构 北京同达信恒知识产权代理
有限公司 11291

代理人 黄志华

(51)Int. Cl.

G11C 19/28(2006.01)

G09G 3/3225(2016.01)

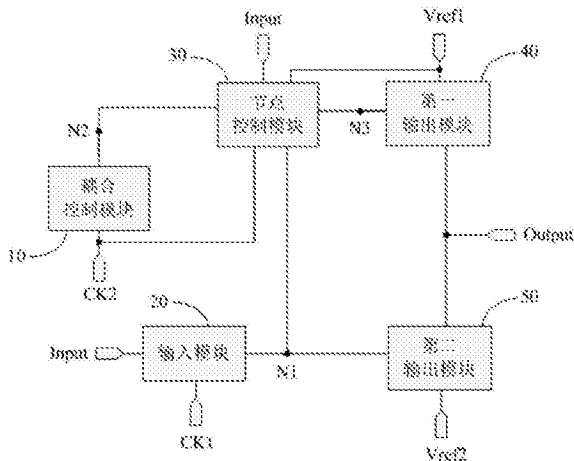
权利要求书3页 说明书20页 附图15页

(54)发明名称

一种移位寄存器、其驱动方法、发光控制电路及显示装置

(57)摘要

本发明公开了一种移位寄存器、其驱动方法、发光控制电路及显示装置,包括:耦合控制模块、输入模块、节点控制模块、第一输出模块以及第二输出模块;其中,通过上述五个模块的相互配合,可以通过简单的结构以及较少的信号线,稳定的输出信号;并且通过上述五个模块的相互配合,仅需通过改变输入信号端的有效脉冲信号的时长就可以控制信号输出端输出的信号的有效脉冲信号的时长,而不需要进行电路的改动和工艺的改变,从而可以简化制备工艺,降低生产成本,有利于实现显示装置中面板的窄边框设计。



1. 一种移位寄存器,其特征在於,包括:耦合控制模块、输入模块、节点控制模块、第一输出模块以及第二输出模块;其中,

所述输入模块分别与输入信号端、第一时钟信号端以及第一节点相连,用于在所述第一时钟信号端的控制下将所述输入信号端的信号提供给所述第一节点;

所述耦合控制模块分别与第二时钟信号端以及第二节点相连,用于在所述第二节点处于浮接状态时将所述第二时钟信号端的信号耦合到所述第二节点;

所述节点控制模块分别与所述输入信号端、所述第二时钟信号端、第一参考信号端、所述第一节点、所述第二节点以及第三节点相连,用于在所述输入信号端的控制下将所述第一参考信号端的信号提供给所述第二节点,在所述第一节点的信号的控制下将所述第一参考信号端的信号提供给所述第三节点,以及在所述第二节点的信号的控制下将所述第二时钟信号端的信号提供给所述第三节点;

所述第一输出模块分别与所述第一参考信号端、所述第三节点以及输出信号端相连,用于在所述第三节点的信号的控制下将所述第一参考信号端的信号提供给所述输出信号端,以及在所述第三节点处于浮接状态时保持所述第三节点与所述第一参考信号端之间的电压差稳定;

所述第二输出模块分别与第二参考信号端、所述第一节点以及所述输出信号端相连,用于在所述第一节点的信号的控制下将所述第二参考信号端的信号提供给所述输出信号端,以及在所述第一节点处于浮接状态时保持所述第一节点与所述输出信号端之间的电压差稳定。

2. 如权利要求1所述的移位寄存器,其特征在於,所述耦合控制模块包括:第一电容;其中,所述第一电容的第一端与所述第二时钟信号端相连,所述第一电容的第二端与所述第二节点相连。

3. 如权利要求1所述的移位寄存器,其特征在於,所述输入模块包括:第一开关晶体管;其中,

所述第一开关晶体管的控制极与所述第一时钟信号端相连,第二极与所述输入信号端相连,第三极与所述第一节点相连。

4. 如权利要求1所述的移位寄存器,其特征在於,所述节点控制模块包括:第二开关晶体管、第三开关晶体管以及第四开关晶体管;其中,

所述第二开关晶体管的控制极与所述输入信号端相连,第一极与所述第一参考信号端相连,第二极与所述第二节点相连;

所述第三开关晶体管的控制极与所述第一节点相连,第一极与所述第一参考信号端相连,第二极与所述第三节点相连;

所述第四开关晶体管的控制极与所述第二节点相连,第一极与所述第二时钟信号端相连,第二极与所述第三节点相连。

5. 如权利要求1所述的移位寄存器,其特征在於,所述第一输出模块包括:第五开关晶体管与第二电容;其中,

所述第五开关晶体管的控制极与所述第三节点相连,第一极与所述第一参考信号端相连,第二极与所述输出信号端相连;

所述第二电容的第一端与所述第三节点相连,第二端与所述第一参考信号端相连。

6. 如权利要求1所述的移位寄存器,其特征在于,所述第二输出模块包括:第六开关晶体管与第三电容;其中,

所述第六开关晶体管的控制极与所述第一节点相连,第一极与所述第二参考信号端相连,第二极与所述输出信号端相连;

所述第三电容的第一端与所述第一节点相连,第二端与所述输出信号端相连。

7. 如权利要求1-5任一项所述的移位寄存器,其特征在于,所述移位寄存器还包括:节点稳定模块;其中,所述节点控制模块用于在所述输入信号端的控制下将所述第一参考信号端的信号通过所述节点稳定模块提供给所述第二节点;

所述节点稳定模块用于在所述输出信号端的控制下断开所述节点控制模块与所述第二节点。

8. 如权利要求6所述的移位寄存器,其特征在于,所述节点稳定模块包括:第七开关晶体管;其中,

所述第七开关晶体管的控制极与所述输出信号端相连,第一极与所述节点稳定模块相连,第二极与所述第二节点相连。

9. 一种发光控制电路,其特征在于,包括级联的多个如权利要求1-8任一项所述的移位寄存器;其中,

第一级移位寄存器的输入信号端与起始信号端相连;

除所述第一级移位寄存器之外,其余各级移位寄存器的输入信号端分别与其相连的上一级移位寄存器的输出信号端相连。

10. 一种显示装置,其特征在于,包括如权利要求9所述的发光控制电路。

11. 如权利要求10所述的显示装置,其特征在于,所述显示装置还包括多条发光控制信号线,且所述显示装置包括1个所述发光控制电路;

所述发光控制电路中的各所述移位寄存器一一对应连接一条所述发光控制信号线。

12. 如权利要求10所述的显示装置,其特征在于,所述显示装置还包括多条发光控制信号线,且所述显示装置包括2个所述发光控制电路;

所述发光控制电路中的各所述移位寄存器一一对应连接一条所述发光控制信号线;其中,

第1个所述发光控制电路中各所述移位寄存器分别与奇数行的所述发光控制信号线对应连接,第2个所述发光控制电路中各所述移位寄存器分别与偶数行的所述发光控制信号线对应连接。

13. 一种采用如权利要求1-8任一项所述的移位寄存器的驱动方法,其特征在于,包括:

移位阶段,所述输入模块在所述第一时钟信号端的控制下将所述输入信号端的信号提供给所述第一节点;所述耦合控制模块在所述第二节点处于浮接状态时将所述第二时钟信号端的信号耦合到所述第二节点;

上拉阶段,所述耦合控制模块在所述第二节点处于浮接状态时将所述第二时钟信号端的信号耦合到所述第二节点;所述节点控制模块在所述第二节点的信号的控制下将所述第二时钟信号端的信号提供给所述第三节点;所述第一输出模块在所述第三节点的信号的控制下将所述第一参考信号端的信号提供给所述输出信号端;

下拉阶段,所述输入模块在所述第一时钟信号端的控制下将所述输入信号端的信号提

供给所述第一节点;所述第二输出模块在所述第一节点的信号的控制下将所述第二参考信号端的信号提供给所述输出信号端;所述节点控制模块在所述第一节点的信号的控制下将所述第一参考信号端的信号提供给所述第三节点,以及在所述输入信号端的控制下将所述第一参考信号端的信号提供给所述第二节点;

下拉保持阶段,所述第二输出模块在所述第一节点处于浮接状态时保持所述第一节点与所述输出信号端之间的电压差稳定,以及在所述第一节点的信号的控制下将所述第二参考信号端的信号提供给所述输出信号端;所述节点控制模块在所述输入信号端的控制下将所述第一参考信号端的信号提供给所述第二节点,在所述第一节点的信号的控制下将所述第一参考信号端的信号提供给所述第三节点。

14. 如权利要求13所述的方法,其特征在于,在所述移位阶段与所述上拉阶段之间还包括:至少一个插入阶段;其中,所述插入阶段包括第一插入子阶段与第二插入子阶段;

在所述第一插入子阶段,所述耦合控制模块在所述第二节点处于浮接状态时将所述第二时钟信号端的信号耦合到所述第二节点;所述节点控制模块在所述第二节点的信号的控制下将所述第二时钟信号端的信号提供给所述第三节点;所述第一输出模块在所述第三节点的信号的控制下将所述第一参考信号端的信号提供给所述输出信号端;

在所述第二插入子阶段,所述输入模块在所述第一时钟信号端的控制下将所述输入信号端的信号提供给所述第一节点;所述第一输出模块在所述第三节点处于浮接状态时保持所述第三节点与所述第一参考信号端之间的电压差稳定,以及在所述第三节点的信号的控制下将所述第一参考信号端的信号提供给所述输出信号端。

15. 如权利要求13或14所述的方法,其特征在于,所述方法还包括:

在所述上拉阶段,所述节点稳定模块在输出信号端的控制下断开所述节点控制模块与所述第二节点。

16. 如权利要求15所述的方法,其特征在于,在所述方法还包括插入阶段时,在所述插入阶段中,所述节点稳定模块在输出信号端的控制下断开所述节点控制模块与所述第二节点。

一种移位寄存器、其驱动方法、发光控制电路及显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种移位寄存器、其驱动方法、发光控制电路及显示装置。

背景技术

[0002] 现有的一种移位寄存器,如图1所示,包括:第一晶体管TFT1、第二晶体管TFT2、第三晶体管TFT3、第四晶体管TFT4、第五晶体管TFT5、第六晶体管TFT6、第七晶体管TFT7、第八晶体管TFT8、第九晶体管TFT9、第十晶体管TFT10、电容C01、电容C02以及电容C03。对应的时序图如图2所示,在移位阶段t1,由于时钟信号CK为低电位,因此第一晶体管TFT1与第二晶体管TFT2均导通。导通的第一晶体管TFT1使节点M1的电位为高电位,第七晶体管TFT7、第八晶体管TFT8以及第九晶体管TFT9均截止。导通的第二晶体管TFT2使节点M2的电位为低电位,因此第五晶体管TFT5导通以使节点M3的电位为高电位。由于时钟信号CKB为高电位,因此第六晶体管TFT6截止。因此输出信号端Output保持输出低电位的信号。在输出阶段t2,由于时钟信号CK为高电位,因此第一晶体管TFT1与第二晶体管TFT2均截止,使节点M2处于浮接状态。由于电容C02的作用使节点M2的电位保持为低电位,因此第四晶体管TFT4与第五晶体管TFT5均导通。由于时钟信号CKB为低电位,第三晶体管TFT3与第六晶体管TFT6均导通。导通的第三晶体管TFT3与第四晶体管TFT4使节点M1的电位为高电位,因此第七晶体管TFT7、第八晶体管TFT8以及第九晶体管TFT9均截止。导通的第五晶体管TFT5与第六晶体管TFT6使节点M4的电位为低电位,因此第十晶体管TFT10导通,以使输出信号端Output输出高电位的信号,输出完成。

[0003] 然而,上述移位寄存器在输入阶段中,电容C01两端的电位均为高电位,在输出阶段中,时钟信号CKB由高电位变为低电位,由于电容C01的耦合作用,节点M1的电位会被耦合为低电位,从而导致第七晶体管TFT7、第八晶体管TFT8以及第九晶体管TFT9导通。其中,由于第九晶体管TFT9导通以造成第五晶体管TFT5截止,从而导致不能将低电位的时钟信号CKB写入节点M4;由于第七晶体管TFT7导通使得节点M4的电位为高电位,导致第十晶体管TFT10截止;以及由于第八晶体管TFT8导通造成输出信号端Output输出低电位的信号,从而导致移位寄存器无法正常移位输出。

[0004] 并且,上述移位寄存器包括的晶体管的个数较多,且各晶体管之间连接的具体结构也比较复杂,导致工艺难度加大,生产成本增加,以及造成显示面板的开口率降低,使得该显示面板不具备竞争力。

发明内容

[0005] 本发明实施例提供一种移位寄存器、其驱动方法、发光控制电路及显示装置,可以通过简单的结构,稳定的输出信号,从而简化制备工艺,降低生产成本,有利于实现显示面板的窄边框设计。

[0006] 因此,本发明实施例提供了一种移位寄存器,包括:耦合控制模块、输入模块、节点

控制模块、第一输出模块以及第二输出模块；其中，

[0007] 所述输入模块分别与输入信号端、第一时钟信号端以及第一节点相连，用于在所述第一时钟信号端的控制下将所述输入信号端的信号提供给所述第一节点；

[0008] 所述耦合控制模块分别与第二时钟信号端以及第二节点相连，用于在所述第二节点处于浮接状态时将所述第二时钟信号端的信号耦合到所述第二节点；

[0009] 所述节点控制模块分别与所述输入信号端、所述第二时钟信号端、第一参考信号端、所述第一节点、所述第二节点以及第三节点相连，用于在所述输入信号端的控制下将所述第一参考信号端的信号提供给所述第二节点，在所述第一节点的信号的控制下将所述第一参考信号端的信号提供给所述第三节点，以及在所述第二节点的信号的控制下将所述第二时钟信号端的信号提供给所述第三节点；

[0010] 所述第一输出模块分别与所述第一参考信号端、所述第三节点以及输出信号端相连，用于在所述第三节点的信号的控制下将所述第一参考信号端的信号提供给所述输出信号端，以及在所述第三节点处于浮接状态时保持所述第三节点与所述第一参考信号端之间的电压差稳定；

[0011] 所述第二输出模块分别与第二参考信号端、所述第一节点以及所述输出信号端相连，用于在所述第一节点的信号的控制下将所述第二参考信号端的信号提供给所述输出信号端，以及在所述第一节点处于浮接状态时保持所述第一节点与所述输出信号端之间的电压差稳定。

[0012] 优选地，在本发明实施例提供的上述移位寄存器中，所述耦合控制模块包括：第一电容；其中，所述第一电容的第一端与所述第二时钟信号端相连，所述第一电容的第二端与所述第二节点相连。

[0013] 优选地，在本发明实施例提供的上述移位寄存器中，所述输入模块包括：第一开关晶体管；其中，

[0014] 所述第一开关晶体的控制极与所述第一时钟信号端相连，第二极与所述输入信号端相连，第三极与所述第一节点相连。

[0015] 优选地，在本发明实施例提供的上述移位寄存器中，所述节点控制模块包括：第二开关晶体管、第三开关晶体管以及第四开关晶体管；其中，

[0016] 所述第二开关晶体的控制极与所述输入信号端相连，第一极与所述第一参考信号端相连，第二极与所述第二节点相连；

[0017] 所述第三开关晶体的控制极与所述第一节点相连，第一极与所述第一参考信号端相连，第二极与所述第三节点相连；

[0018] 所述第四开关晶体的控制极与所述第二节点相连，第一极与所述第二时钟信号端相连，第二极与所述第三节点相连。

[0019] 优选地，在本发明实施例提供的上述移位寄存器中，所述第一输出模块包括：第五开关晶体管与第二电容；其中，

[0020] 所述第五开关晶体的控制极与所述第三节点相连，第一极与所述第一参考信号端相连，第二极与所述输出信号端相连；

[0021] 所述第二电容的第一端与所述第三节点相连，第二端与所述第一参考信号端相连。

[0022] 优选地,在本发明实施例提供的上述移位寄存器中,所述第二输出模块包括:第六开关晶体管与第三电容;其中,

[0023] 所述第六开关晶体的控制极与所述第一节点相连,第一极与所述第二参考信号端相连,第二极与所述输出信号端相连;

[0024] 所述第三电容的第一端与所述第一节点相连,第二端与所述输出信号端相连。

[0025] 优选地,在本发明实施例提供的上述移位寄存器中,所述移位寄存器还包括:节点稳定模块;其中,所述节点控制模块用于在所述输入信号端的控制下将所述第一参考信号端的信号通过所述节点稳定模块提供给所述第二节点;

[0026] 所述节点稳定模块用于在所述输出信号端的控制下断开所述节点控制模块与所述第二节点。

[0027] 优选地,在本发明实施例提供的上述移位寄存器中,所述节点稳定模块包括:第七开关晶体管;其中,

[0028] 所述第七开关晶体的控制极与所述输出信号端相连,第一极与所述节点稳定模块相连,第二极与所述第二节点相连。

[0029] 相应地,本发明实施例还提供了一种发光控制电路,包括级联的多个本发明实施例提供的上述任一种移位寄存器;其中,

[0030] 第一级移位寄存器的输入信号端与起始信号端相连;

[0031] 除所述第一级移位寄存器之外,其余各级移位寄存器的输入信号端分别与其相连的上一级移位寄存器的输出信号端相连。

[0032] 相应地,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述发光控制电路。

[0033] 优选地,在本发明实施例提供的上述显示装置中,所述显示装置还包括多条发光控制信号线,且所述显示装置包括1个所述发光控制电路;

[0034] 所述发光控制电路中的各所述移位寄存器一一对应连接一条所述发光控制信号线。

[0035] 优选地,在本发明实施例提供的上述显示装置中,所述显示装置还包括多条发光控制信号线,且所述显示装置包括2个所述发光控制电路;

[0036] 所述发光控制电路中的各所述移位寄存器一一对应连接一条所述发光控制信号线;其中,

[0037] 第1个所述发光控制电路中各所述移位寄存器分别与奇数行的所述发光控制信号线对应连接,第2个所述发光控制电路中各所述移位寄存器分别与偶数行的所述发光控制信号线对应连接。

[0038] 相应地,本发明实施例还提供了一种采用本发明实施例提供的上述任一种移位寄存器的驱动方法,包括:

[0039] 移位阶段,所述输入模块在所述第一时钟信号端的控制下将所述输入信号端的信号提供给所述第一节点;所述耦合控制模块在所述第二节点处于浮接状态时将所述第二时钟信号端的信号耦合到所述第二节点;

[0040] 上拉阶段,所述耦合控制模块在所述第二节点处于浮接状态时将所述第二时钟信号端的信号耦合到所述第二节点;所述节点控制模块在所述第二节点的信号的控制下将所

述第二时钟信号端的信号提供给所述第三节点;所述第一输出模块在所述第三节点的信号的控制下将所述第一参考信号端的信号提供给所述输出信号端;

[0041] 下拉阶段,所述输入模块在所述第一时钟信号端的控制下将所述输入信号端的信号提供给所述第一节点;所述第二输出模块在所述第一节点的信号的控制下将所述第二参考信号端的信号提供给所述输出信号端;所述节点控制模块在所述第一节点的信号的控制下将所述第一参考信号端的信号提供给所述第三节点,以及在所述输入信号端的控制下将所述第一参考信号端的信号提供给所述第二节点;

[0042] 下拉保持阶段,所述第二输出模块在所述第一节点处于浮接状态时保持所述第一节点与所述输出信号端之间的电压差稳定,以及在所述第一节点的信号的控制下将所述第二参考信号端的信号提供给所述输出信号端;所述节点控制模块在所述输入信号端的控制下将所述第一参考信号端的信号提供给所述第二节点,在所述第一节点的信号的控制下将所述第一参考信号端的信号提供给所述第三节点。

[0043] 优选地,在本发明实施例提供的上述方法中,在所述移位阶段与所述上拉阶段之间还包括:至少一个插入阶段;其中,所述插入阶段包括第一插入子阶段与第二插入子阶段;

[0044] 在所述第一插入子阶段,所述耦合控制模块在所述第二节点处于浮接状态时将所述第二时钟信号端的信号耦合到所述第二节点;所述节点控制模块在所述第二节点的信号的控制下将所述第二时钟信号端的信号提供给所述第三节点;所述第一输出模块在所述第三节点的信号的控制下将所述第一参考信号端的信号提供给所述输出信号端;

[0045] 在所述第二插入子阶段,所述输入模块在所述第一时钟信号端的控制下将所述输入信号端的信号提供给所述第一节点;所述第一输出模块在所述第三节点处于浮接状态时保持所述第三节点与所述第一参考信号端之间的电压差稳定,以及在所述第三节点的信号的控制下将所述第一参考信号端的信号提供给所述输出信号端。

[0046] 优选地,在本发明实施例提供的上述方法中,所述方法还包括:

[0047] 在所述上拉阶段,所述节点稳定模块在输出信号端的控制下断开所述节点控制模块与所述第二节点。

[0048] 优选地,在本发明实施例提供的上述方法中,在所述方法还包括插入阶段时,在所述插入阶段中,所述节点稳定模块在输出信号端的控制下断开所述节点控制模块与所述第二节点。

[0049] 本发明有益效果如下:

[0050] 本发明实施例提供的移位寄存器、其驱动方法、发光控制电路及显示装置,包括:耦合控制模块、输入模块、节点控制模块、第一输出模块以及第二输出模块;其中,输入模块用于在第一时钟信号端的控制下将输入信号端的信号提供给第一节点;耦合控制模块用于在第二节点处于浮接状态时将第二时钟信号端的信号耦合到第二节点;节点控制模块用于在输入信号端的控制下将第一参考信号端的信号提供给第二节点,在第一节点的信号的控制下将第一参考信号端的信号提供给第三节点,以及在第二节点的信号的控制下将第二时钟信号端的信号提供给第三节点;第一输出模块用于在第三节点的信号的控制下将第一参考信号端的信号提供给输出信号端,以及在第三节点处于浮接状态时保持第三节点与第一参考信号端之间的电压差稳定;第二输出模块用于在第一节点的信号的控制下将第二参考

信号端的信号提供给输出信号端,以及在第一节点处于浮接状态时保持第一节点与输出信号端之间的电压差稳定。因此,通过上述五个模块的相互配合,可以通过简单的结构以及较少的信号线,稳定的输出信号;并且通过上述五个模块的相互配合,仅需通过改变输入信号端的有效脉冲信号的时长就可以控制信号输出端输出的信号的有效脉冲信号的时长,而不需要进行电路的改动和工艺的改变,从而可以简化制备工艺,降低生产成本,有利于实现显示装置中面板的窄边框设计。

附图说明

- [0051] 图1为现有技术中的移位寄存器的具体结构示意图;
- [0052] 图2为图1所示的现有技术中移位寄存器对应的输入输出时序图;
- [0053] 图3为本发明实施例提供的移位寄存器的结构示意图之一;
- [0054] 图4为本发明实施例提供的移位寄存器的结构示意图之二;
- [0055] 图5a为图3所示的移位寄存器的具体结构示意图之一;
- [0056] 图5b为图3所示的移位寄存器的具体结构示意图之二;
- [0057] 图6a为图4所示的移位寄存器的具体结构示意图之一;
- [0058] 图6b为图4所示的移位寄存器的具体结构示意图之二;
- [0059] 图7a分别为图5a与图6a所示的移位寄存器的输入输出时序图之一;
- [0060] 图7b分别为图5a与图6a所示的移位寄存器的输入输出时序图之二;
- [0061] 图7c分别为图5a与图6a所示的移位寄存器的输入输出时序图之三;
- [0062] 图8a至图8e分别为图5a所示的移位寄存器对应的仿真模拟示意图;
- [0063] 图9a至图9e分别为图6a所示的移位寄存器对应的仿真模拟示意图;
- [0064] 图10为本发明实施例提供的驱动方法的流程图;
- [0065] 图11为本发明实施例提供的发光控制电路的结构示意图;
- [0066] 图12为图11所示的发光控制电路输出的信号示意图。

具体实施方式

[0067] 为了使本发明的目的,技术方案和优点更加清楚,下面结合附图,对本发明实施例提供的移位寄存器、其驱动方法、发光控制电路及显示装置的具体实施方式进行详细地说明。应当理解,下面所描述的优选实施例仅用于说明和解释本发明,并不用于限定本发明。并且在冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。

[0068] 本发明实施例提供了一种移位寄存器,如图3所示,包括:耦合控制模块10、输入模块20、节点控制模块30、第一输出模块40以及第二输出模块50;其中,

[0069] 输入模块20分别与输入信号端Input、第一时钟信号端CK1以及第一节点N1相连,用于在第一时钟信号端CK1的控制下将输入信号端Input的信号提供给第一节点N1;

[0070] 耦合控制模块10分别与第二时钟信号端CK2以及第二节点N2相连,用于在第二节点N2处于浮接状态时将第二时钟信号端CKB的信号耦合到第二节点N2;

[0071] 节点控制模块30分别与输入信号端Input、第二时钟信号端CK2、第一参考信号端Vref1、第一节点N1、第二节点N2以及第三节点N3相连,用于在输入信号端Input的控制下将第一参考信号端Vref1的信号提供给第二节点N2,在第一节点N1的信号的的控制下将第一参

考信号端Vref1的信号提供给第三节点N3,以及在第二节点N2的信号的的控制下将第二时钟信号端CK2的信号提供给第三节点N3;

[0072] 第一输出模块40分别与第一参考信号端Vref1、第三节点N3以及输出信号端Output相连,用于在第三节点N3的信号的的控制下将第一参考信号端Vref1的信号提供给输出信号端Output,以及在第三节点N3处于浮接状态时保持第三节点N3与第一参考信号端Vref1之间的电压差稳定;

[0073] 第二输出模块50分别与第二参考信号端Vref2、第一节点N1以及输出信号端Output相连,用于在第一节点N1的信号的的控制下将第二参考信号端Vref2的信号提供给输出信号端Output,以及在第一节点N1处于浮接状态时保持第一节点N1与输出信号端Output之间的电压差稳定。

[0074] 本发明实施例提供的上述移位寄存器,包括:耦合控制模块、输入模块、节点控制模块、第一输出模块以及第二输出模块;其中,输入模块用于在第一时钟信号端的控制下将输入信号端的信号提供给第一节点;耦合控制模块用于在第二节点处于浮接状态时将第二时钟信号端的信号耦合到第二节点;节点控制模块用于在输入信号端的控制下将第一参考信号端的信号提供给第二节点,在第一节点的信号的的控制下将第一参考信号端的信号提供给第三节点,以及在第二节点的信号的的控制下将第二时钟信号端的信号提供给第三节点;第一输出模块用于在第三节点的信号的的控制下将第一参考信号端的信号提供给输出信号端,以及在第三节点处于浮接状态时保持第三节点与第一参考信号端之间的电压差稳定;第二输出模块用于在第一节点的信号的的控制下将第二参考信号端的信号提供给输出信号端,以及在第一节点处于浮接状态时保持第一节点与输出信号端之间的电压差稳定。因此,本发明实施例提供的上述移位寄存器,通过上述五个模块的相互配合,可以通过简单的结构以及较少的信号线,稳定的输出信号;并且上述移位寄存器,仅需通过改变输入信号端的有效脉冲信号的时长就可以控制信号输出端输出的信号的有效脉冲信号的时长,而不需要进行电路的改动和工艺的改变,从而可以简化制备工艺,降低生产成本,有利于实现显示装置中面板的窄边框设计。

[0075] 在具体实施时,在本发明实施例提供的上述移位寄存器中,第一时钟信号端的信号和第二时钟信号端的信号的周期相同,占空比相同。在输入信号端的有效脉冲信号的电位为高电位时,第一参考信号端的电位为高电位,第二参考信号端的电位为低电位。或者,在输入信号端的有效脉冲信号的电位为低电位时,第一参考信号端的电位为低电位,第二参考信号端的电位为高电位。

[0076] 在具体实施时,在本发明实施例提供的上述移位寄存器中,可以通过增加输入信号端的有效脉冲信号的时长,并且设置与输入信号端的信号对应的第一时钟信号端的信号以及第二时钟信号端的信号,可以使输出信号端输出的信号的有效脉冲信号的时长对应扫描多行像素的时长。例如可以使输出信号端输出的信号的有效脉冲信号的时长对应扫描3行像素的时长;或者,也可以使输出信号端输出的信号的有效脉冲信号的时长对应扫描6行像素的时长,这需要根据实际应用环境来设计确定,在此不作限定。

[0077] 为了保持第二节点的电位稳定,在具体实施时,在本发明实施例提供的上述移位寄存器中,如图4所示,移位寄存器还可以包括:节点稳定模块60;其中,节点控制模块30用于在输入信号端Input的控制下将第一参考信号端Vref1的信号通过节点稳定模块60提供

给第二节点N2；

[0078] 节点稳定模块60用于在输出信号端Output的控制下断开节点控制模块30与第二节点N2。

[0079] 下面结合具体实施例,对本发明进行详细说明。需要说明的是,本实施例中是为了更好的解释本发明,但不限制本发明。

[0080] 在具体实施时,在本发明实施例提供的上述移位寄存器中,如图5a至图6b所示,耦合控制模块10具体可以包括:第一电容C1;其中,

[0081] 第一电容C1的第一端与第二时钟信号端CK2相连,第一电容C1的第二端与第二节点N2相连。

[0082] 在具体实施时,在本发明实施例提供的上述移位寄存器中,在第二节点处于浮接状态时,由于第一电容的耦合作用,可以将第二时钟信号端的信号耦合到第二节点。

[0083] 在具体实施时,在本发明实施例提供的上述移位寄存器中,如图5a至图6b所示,输入模块20具体可以包括:第一开关晶体管M1;其中,

[0084] 第一开关晶体管M1的控制极与第一时钟信号端CK1相连,第二极与输入信号端Input相连,第三极与第一节点N1相连。

[0085] 在具体实施时,在本发明实施例提供的上述移位寄存器中,如图5a与图6a所示,第一开关晶体管M1可以为P型晶体管。或者,如图5b与图6b所示,第一开关晶体管M1也可以为N型晶体管,在此不作限定。

[0086] 在具体实施时,在本发明实施例提供的上述移位寄存器中,第一开关晶体管在第一时钟信号端的控制下处于导通状态时,将输入信号端的信号提供给第一节点。

[0087] 在具体实施时,在本发明实施例提供的上述移位寄存器中,如图5a至图6b所示,节点控制模块30具体可以包括:第二开关晶体管M2、第三开关晶体管M3以及第四开关晶体管M4;其中,

[0088] 第二开关晶体管M2的控制极与输入信号端Input相连,第一极与第一参考信号端Vref1相连,第二极与第二节点N2相连;

[0089] 第三开关晶体管M3的控制极与第一节点N1相连,第一极与第一参考信号端Vref1相连,第二极与第三节点N3相连;

[0090] 第四开关晶体管M4的控制极与第二节点N2相连,第一极与第二时钟信号端CK2相连,第二极与第三节点N3相连。

[0091] 在具体实施时,在本发明实施例提供的上述移位寄存器中,如图5a与图6a所示,第二开关晶体管M2、第三开关晶体管M3以及第四开关晶体管M4可以为P型晶体管。或者,如图5b与图6b所示,第二开关晶体管M2、第三开关晶体管M3以及第四开关晶体管M4也可以为N型晶体管,在此不作限定。

[0092] 在具体实施时,在本发明实施例提供的上述移位寄存器中,第二开关晶体管在输入信号端的控制下处于导通状态时,将第一参考信号端的信号提供给第二节点。第三开关晶体管在第一节点的信号的控制下处于导通状态时,将第一参考信号端的信号提供给第三节点。第四开关晶体管在第二节点的信号的控制下处于导通状态时,将第二时钟信号端的信号提供给第三节点。

[0093] 在具体实施时,在移位寄存器还包括节点稳定模块60时,如图6a与图6b所示,节点

控制模块30中的第二开关晶体管M2的第二极通过节点稳定模块60与第二节点N2相连。节点稳定模块60具体可以包括：第七开关晶体管M7；其中，

[0094] 第七开关晶体管M7的控制极与输出信号端Output相连，第一极与节点稳定模块30相连，第二极与第二节点N2相连。并且，节点控制模块30中的第二开关晶体管M2的第二极通过节点稳定模块60中的第七开关晶体管M7与第二节点N2相连。

[0095] 在具体实施时，在本发明实施例提供的上述移位寄存器中，如图6a所示，第七开关晶体管M7可以为P型晶体管。或者，如图6b所示，第七开关晶体管M7也可以为N型晶体管，在此不作限定。

[0096] 在具体实施时，在本发明实施例提供的上述移位寄存器中，第七开关晶体管在输出信号端的信号的控制下处于截止状态时，可以使节点控制模块中的第二开关晶体管的第二极与第二节点断开，从而避免第一参考信号端的信号影响第二节点的电位。并且第七开关晶体管在输出信号端的信号的控制下处于导通状态时，可以使节点控制模块中的第二开关晶体管的第二极与第二节点导通，从而可以将第一参考信号端的信号提供给第二节点。

[0097] 在具体实施时，在本发明实施例提供的上述移位寄存器中，如图5a至图6b所示，第一输出模块40具体可以包括：第五开关晶体管M5与第二电容C2；其中，

[0098] 第五开关晶体管M5的控制极与第三节点N3相连，第一极与第一参考信号端Vref1相连，第二极与输出信号端Output相连；

[0099] 第二电容C2的第一端与第三节点N3相连，第二端与第一参考信号端相连。

[0100] 在具体实施时，在本发明实施例提供的上述移位寄存器中，如图5a与图6a所示，第五开关晶体管M5可以为P型晶体管。或者，如图5b与图6b所示，第五开关晶体管M5也可以为N型晶体管，在此不作限定。

[0101] 在具体实施时，在本发明实施例提供的上述移位寄存器中，第五开关晶体管在第三节点的控制下处于导通状态时，将第一参考信号端的信号提供给输出信号端。在第三节点处于浮接状态时，由于第二电容的自举作用可以保持其两端的电压差稳定，即可以保持第三节点与第一参考信号端之间的电压差稳定。

[0102] 在具体实施时，在本发明实施例提供的上述移位寄存器中，如图5a至图6b所示，第二输出模块50具体可以包括：第六开关晶体管M6与第三电容C3；其中，

[0103] 第六开关晶体管M6的控制极与第一节点N1相连，第一极与第二参考信号端Vref2相连，第二极与输出信号端Output相连；

[0104] 第三电容C3的第一端与第一节点N1相连，第二端与输出信号端Output相连。

[0105] 在具体实施时，在本发明实施例提供的上述移位寄存器中，如图5a与图6a所示，第六开关晶体管M6可以为P型晶体管。或者，如图5b与图6b所示，第六开关晶体管M6也可以为N型晶体管，在此不作限定。

[0106] 在具体实施时，在本发明实施例提供的上述移位寄存器中，第六开关晶体管在第一节点的信号的控制下处于导通状态时，可以将第二参考信号端的信号提供给输出信号端。在第一节点处于浮接状态时，由于第三电容的自举作用，可以保持其两端的电压差稳定，即可以保持第一节点与输出信号端之间的电压差稳定。

[0107] 以上仅是举例说明本发明实施例提供的上述移位寄存器中各模块的具体结构，在具体实施时，上述各模块的具体结构不限于本发明实施例提供的上述结构，还可以是本领域

域技术人员可知的其他结构,在此不作限定。

[0108] 较佳地,在本发明实施例提供的上述移位寄存器中,所有开关晶体管一般均采用相同材质的开关晶体管,在具体实施时,如图5a与图6a所示,所有开关晶体管可以均为P型晶体管。或者,如图5b与图6b所示,所有开关晶体管也可以均为N型晶体管,在此不作限定。

[0109] 具体地,在具体实施时,P型晶体管在高电位作用下截止,在低电位作用下导通;N型晶体管在高电位作用下导通,在低电位作用下截止。

[0110] 需要说明的是本发明上述实施例中提到的开关晶体管可以是薄膜晶体管(TFT, Thin Film Transistor),也可以是金属氧化物半导体场效应管(MOS, Metal Oxide Semiconductor),在此不作限定。在具体实施中,这些开关晶体管的控制极为栅极,并且根据开关晶体管类型以及信号端的信号的不同,可以将第一极作为开关晶体管的源极或漏极,以及将第二极作为开关晶体管的漏极或源极,在此不作限定。

[0111] 下面分别以图5a与图6a所示的移位寄存器的结构为例,结合电路时序图对本发明实施例提供的上述移位寄存器的工作过程作以描述。下述描述中以1表示高电位信号,0表示低电位信号,其中,1和0代表其逻辑电位,仅是为了更好的解释本发明实施例提供的上述移位寄存器的工作过程,而不是在具体实施时施加在各开关晶体管的栅极上的电位。

[0112] 实施例一、

[0113] 以图5a所示的移位寄存器的结构为例,第一参考信号端Vref1的电位为高电位,第二参考信号端Vref2的电位为低电位,对应的输入输出时序图如图7a所示,具体地,主要选取如图7a所示的输入输出时序图中的移位阶段T1、上拉阶段T2、下拉阶段T3以及下拉保持阶段T4四个阶段。

[0114] 在移位阶段T1, $Input=1, CK1=0, CK2=1$ 。

[0115] 由于 $CK1=0$,因此第一开关晶体管M1导通以将输入信号端Input的高电位的信号提供给第一节点N1,使第一节点N1为高电位。由于第一节点N1为高电位,因此第三开关晶体管M3与第六开关晶体管M6均截止,第三电容C3充电。由于 $Input=1$,因此第二开关晶体管M2截止,使第二节点N2处于浮接状态。由于 $CK2=1$,由于第一电容C1的耦合作用,使第二节点N2的电位为高电位。由于第二节点N2的电位为高电位,因此第四开关晶体管M4截止,使第三节点N3处于浮接状态,由于第二电容C2的自举作用保持第三节点N3的电位为高电位,使得第五开关晶体管M5截止。因此输出信号端Output保持输出低电位的信号。

[0116] 之后, $Input=1, CK1=1, CK2=1$ 。

[0117] 由于 $CK1=1$,因此第一开关晶体管M1截止,使第一节点N1处于浮接状态,由于第三电容C3的自举作用保持第一节点N1的电位为高电位,使得第三开关晶体管M3与第六开关晶体管M6均截止。由于 $Input=1$,因此第二开关晶体管M2截止,使第二节点N2处于浮接状态。由于 $CK2=1$,由于第一电容C1的耦合作用,使第二节点N2的电位为高电位。由于第二节点N2的电位为高电位,因此第四开关晶体管M4截止,使第三节点N3处于浮接状态,由于第二电容C2的自举作用保持第三节点N3的电位为高电位,使得第五开关晶体管M5截止。因此输出信号端Output保持输出低电位的信号。

[0118] 在上拉阶段T2, $Input=0, CK1=1, CK2=0$ 。

[0119] 由于 $CK1=1$,因此第一开关晶体管M1截止,使第一节点N1处于浮接状态,由于第三电容C3的自举作用保持第一节点N1的电位为高电位,使得第三开关晶体管M3与第六开关晶

体管M6均截止。由于 $CK2=0$ ，由于第一电容C1的耦合作用，使第二节点N2的电位为低电位。由于第二节点N2的电位为低电位，因此第四开关晶体管M4导通以将第二时钟信号端CK2的低电位的信号提供给第三节点N3，使第三节点N3的电位为低电位。由于第三节点N3的电位为低电位，因此第二电容C2充电，第五开关晶体管M5导通以将第一参考信号端Vref1的高电位的信号提供给输出信号端Output，使输出信号端Output输出高电位的信号。

[0120] 之后， $Input=0, CK1=1, CK2=1$ 。

[0121] 由于 $CK2=1$ ，由于第一电容C1的耦合作用，使第二节点N2的电位为高电位。由于第二节点N2的电位为高电位，因此第四开关晶体管M4截止，使第三节点N3处于浮接状态。由于第二电容C2的自举作用，保持第三节点N3的电位为低电位，使第五开关晶体管M5导通以将第一参考信号端Vref1的高电位的信号提供给输出信号端Output，使输出信号端Output输出高电位的信号。由于 $CK1=1$ ，因此第一开关晶体管M1截止，使第一节点N1处于浮接状态，由于第三电容C3的自举作用保持第一节点N1的电位为高电位，使得第三开关晶体管M3与第六开关晶体管M6均截止。

[0122] 在下拉阶段T3， $Input=0, CK1=0, CK2=1$ 。

[0123] 由于 $CK1=0$ ，因此第一开关晶体管M1导通以将输入信号端Input的低电位的信号提供给第一节点N1，使第一节点N1的电位为低电位。由于第一节点N1的电位为低电位，因此第三开关晶体管M3与第六开关晶体管M6均导通。导通的第六开关晶体管M6将第二参考信号端Vref2的低电位的信号提供给输出信号端Output，使输出信号端Output输出低电位的信号。由于第三电容C3的自举作用，第一节点N1的电位被进一步拉低，使第六开关晶体管M6完全导通以将第二参考信号端Vref2的低电位的信号无电压损失的提供给输出信号端Output。由于 $Input=0$ ，因此第二开关晶体管M2导通以将第一参考信号端Vref1的高电位的信号提供给第二节点N2，使第二节点N2的电位为高电位。由于第二节点N2的电位为高电位，因此第四开关晶体管M4截止。导通的第三开关晶体管M3将第一参考信号端Vref1的高电位的信号提供给第三节点N3，使第三节点N3的电位为高电位。由于第三节点N3的电位为高电位，因此第五开关晶体管M5截止。

[0124] 之后， $Input=0, CK1=1, CK2=1$ 。

[0125] 由于 $Input=0$ ，因此第二开关晶体管M2导通以将第一参考信号端Vref1的高电位的信号提供给第二节点N2，使第二节点N2的电位为高电位。由于第二节点N2的电位为高电位，因此第四开关晶体管M4截止。由于 $CK1=1$ ，因此第一开关晶体管M1截止，使第一节点N1处于浮接状态，由于第三电容C3的自举作用，保持第一节点N1的电位为低电位。由于第一节点N1的电位为低电位，因此第三开关晶体管M3与第六开关晶体管M6均导通。导通的第三开关晶体管M3将第一参考信号端Vref1的高电位的信号提供给第三节点N3，使第三节点N3的电位为高电位。由于第三节点N3的电位为高电位，因此第五开关晶体管M5截止。导通的第六开关晶体管M6将第二参考信号端Vref2的低电位的信号提供给输出信号端Output，使输出信号端Output输出低电位的信号。

[0126] 在下拉保持阶段T4， $Input=0, CK1=1, CK2=0$ 。

[0127] 由于 $Input=0$ ，因此第二开关晶体管M2导通以将第一参考信号端Vref1的高电位的信号提供给第二节点N2，使第二节点N2的电位为高电位。由于第二节点N2的电位为高电位，因此第四开关晶体管M4截止。由于 $CK1=1$ ，因此第一开关晶体管M1截止，使第一节点N1

处于浮接状态,由于第三电容C3的自举作用,保持第一节点N1的电位为低电位。由于第一节点N1的电位为低电位,因此第三开关晶体管M3与第六开关晶体管M6均导通。导通的第三开关晶体管M3将第一参考信号端Vref1的高电位的信号提供给第三节点N3,使第三节点N3的电位为高电位。由于第三节点N3的电位为高电位,因此第五开关晶体管M5截止。导通的第六开关晶体管M6将第二参考信号端Vref2的低电位的信号提供给输出信号端Output,使输出信号端Output输出低电位的信号。

[0128] 之后,Input=0,CK1=1,CK2=1。该阶段的工作过程与下拉保持阶段T4中在Input=0,CK1=1,CK2=0时的工作过程基本相同,在此不作详述。

[0129] 在实施例一中,在下拉保持阶段T4之后,一直重复执行下拉阶段T3和下拉保持阶段T4的工作过程,直至输入信号端的信号再次为有效脉冲信号为止。

[0130] 本发明实施例提供的上述移位寄存器,仅通过六个开关晶体管与三个电容的简单结构,即可实现信号的输出。并且由于上拉阶段中,通过第一电容的耦合作用以控制第四开关晶体管导通,使得第五开关晶体管导通以使输出信号端稳定的输出信号,并且由于上拉阶段中第六开关晶体管截止,可以避免第二参考信号端的信号影响输出信号端的电位,从而可以使输出信号端稳定输出。

[0131] 实施例二、

[0132] 以图5a所示的移位寄存器的结构为例,第一参考信号端Vref1的电位为高电位,第二参考信号端Vref2的电位为低电位,对应的输入输出时序图如图7b所示,具体为在实施例一的时序图中的移位阶段T1与上拉阶段T2之间插入一个插入阶段T01;其中,插入阶段T01又分为第一插入子阶段T011与第二插入子阶段T012。

[0133] 在移位阶段T1,Input=1,CK1=0,CK2=1;并且,之后,Input=1,CK1=1,CK2=1。该阶段的具体工作过程与实施例一中移位阶段T1的工作过程基本相同,在此不作详述。

[0134] 在插入阶段T01的第一插入子阶段T011,Input=1,CK1=1,CK2=0。

[0135] 由于Input=1,因此第二开关晶体管M2截止,使第二节点N2处于浮接状态。由于CK2=0,并且由于第一电容C1的耦合作用,使第二节点N2的电位为低电位。由于第二节点N2的电位为低电位,因此第四开关晶体管M4导通以将第二时钟信号端CK2的低电位的信号提供给第三节点N3,使第三节点N3的电位为低电位。由于第三节点N3的电位为低电位,因此第二电容C2充电,第五开关晶体管M5导通以将第一参考信号端Vref1的高电位的信号提供给输出信号端Output,使输出信号端Output输出高电位的信号。由于CK1=1,因此第一开关晶体管M1截止,第一节点N1处于浮接状态。由于第三电容C3的自举作用可以保持第一节点N1的电位为高电位。由于第一节点N1的电位为高电位,因此第六开关晶体管M6截止。

[0136] 之后,Input=1,CK1=1,CK2=1。

[0137] 由于Input=1,因此第二开关晶体管M2截止,使第二节点N2处于浮接状态。由于CK2=1,并且由于第一电容C1的耦合作用,使第二节点N2的电位为高电位。由于第二节点N2的电位为高电位,因此第四开关晶体管M4截止,使第三节点N3处于浮接状态。由于第二电容C2的自举作用,保持第三节点N3的电位为低电位。由于第三节点N3的电位为低电位,因此第五开关晶体管M5导通以将第一参考信号端Vref1的高电位的信号提供给输出信号端Output,使输出信号端Output输出高电位的信号。由于CK1=1,因此第一开关晶体管M1截止,第一节点N1处于浮接状态。由于第三电容C3的自举作用可以保持第一节点N1的电位为

高电位。由于第一节点N1的电位为高电位,因此第六开关晶体管M6截止。

[0138] 在第二插入子阶段T012, $Input=1, CK1=0, CK2=1$ 。

[0139] 由于 $Input=1$,因此第二开关晶体管M2截止,使第二节点N2处于浮接状态。由于 $CK2=1$,并且由于第一电容C1的耦合作用,使第二节点N2的电位为高电位。由于第二节点N2的电位为高电位,因此第四开关晶体管M4截止,使第三节点N3处于浮接状态。由于第二电容C2的自举作用,保持第三节点N3的电位为低电位。由于第三节点N3的电位为低电位,因此第五开关晶体管M5导通以将第一参考信号端Vref1的高电位的信号提供给输出信号端Output,使输出信号端Output输出高电位的信号。由于 $CK1=0$,因此第一开关晶体管M1导通以将输入信号端Input的高电位的信号提供给第一节点N1,使第一节点N1的电位为高电位。由于第一节点N1的电位为高电位,因此第六开关晶体管M6截止。

[0140] 之后, $Input=1, CK1=1, CK2=1$ 。

[0141] 由于 $Input=1$,因此第二开关晶体管M2截止,使第二节点N2处于浮接状态。由于 $CK2=1$,并且由于第一电容C1的耦合作用,使第二节点N2的电位为高电位。由于第二节点N2的电位为高电位,因此第四开关晶体管M4截止,使第三节点N3处于浮接状态。由于第二电容C2的自举作用,保持第三节点N3的电位为低电位。由于第三节点N3的电位为低电位,因此第五开关晶体管M5导通以将第一参考信号端Vref1的高电位的信号提供给输出信号端Output,使输出信号端Output输出高电位的信号。由于 $CK1=1$,因此第一开关晶体管M1截止,第一节点N1处于浮接状态。由于第三电容C3的自举作用可以保持第一节点N1的电位为高电位。由于第一节点N1的电位为高电位,因此第六开关晶体管M6截止。

[0142] 在上拉阶段T2, $Input=0, CK1=1, CK2=0$;并且,之后, $Input=0, CK1=1, CK2=1$ 。该阶段的具体工作过程与实施例一中上拉阶段T2的工作过程基本相同,在此不作详述。

[0143] 在下拉阶段T3, $Input=0, CK1=0, CK2=1$;并且,之后, $Input=0, CK1=1, CK2=1$ 。该阶段的具体工作过程与实施例一中下拉阶段T3的工作过程基本相同,在此不作详述。

[0144] 在下拉保持阶段T4, $Input=0, CK1=1, CK2=0$;并且,之后, $Input=0, CK1=1, CK2=1$ 。该阶段的具体工作过程与实施例一中下拉保持阶段T4的工作过程基本相同,在此不作详述。

[0145] 在实施例二中,在下拉保持阶段T4之后,一直重复执行下拉阶段T3和下拉保持阶段T4的工作过程,直至输入信号端的信号再次为有效脉冲信号为止。

[0146] 本发明实施例提供的上述移位寄存器,仅通过六个开关晶体管与三个电容的简单结构,即可实现信号的输出。并且由于上拉阶段中,通过第一电容的耦合作用以控制第四开关晶体管导通,使得第五开关晶体管导通以使输出信号端稳定的输出信号,并且由于上拉阶段中第六开关晶体管截止,可以避免第二参考信号端的信号影响输出信号端的电位,从而可以使输出信号端稳定输出。

[0147] 以图5a所示的结构为例,采用图8a所示的各输入信号的仿真模拟时序图对移位寄存器的工作过程进行仿真模拟。在图8a中,纵坐标代表电压,横坐标代表时间,L11代表输入信号端Input的信号,L12代表第一时钟信号端CK1的信号,L13代表第二时钟信号端CK2的信号。在仿真模拟过程中,第一节点N1的电位的变化如图8b所示,第二节点N2的电位的变化如图8c所示,第三节点N3的电位的变化如图8d所示,输出信号端Output的电位的变化如图8e所示,在图8b至图8e中,纵坐标代表电压,横坐标代表时间。并且通过图8b至图8e可以看出,

本发明实施例提供的上述移位寄存器运行稳定,可以使输出信号端Output稳定的输出信号。

[0148] 实施例三、

[0149] 以图5a所示的移位寄存器的结构为例,第一参考信号端Vref1的电位为高电位,第二参考信号端Vref2的电位为低电位,对应的输入输出时序图如图7c所示,具体为在实施例一的时序图中的移位阶段T1与上拉阶段T2之间插入两个插入阶段T01与插入阶段T02;其中,插入阶段T01又分为第一插入子阶段T011与第二插入子阶段T012;插入阶段T02又分为第一插入子阶段T021与第二插入子阶段T022。

[0150] 在移位阶段T1, $Input=1, CK1=0, CK2=1$;并且,之后, $Input=1, CK1=1, CK2=1$ 。该阶段的具体工作过程与实施例一中移位阶段T1的工作过程基本相同,在此不作详述。

[0151] 在插入阶段T01的第一插入子阶段T011, $Input=1, CK1=1, CK2=0$;并且,之后, $Input=1, CK1=1, CK2=1$ 。该阶段的具体工作过程与实施例二中插入阶段T01的第一插入子阶段T011的工作过程基本相同,在此不作详述。

[0152] 在第二插入子阶段T012, $Input=1, CK1=0, CK2=1$;并且,之后, $Input=1, CK1=1, CK2=1$ 。该阶段的具体工作过程与实施例二中插入阶段T01的第二插入子阶段T012的工作过程基本相同,在此不作详述。

[0153] 在插入阶段T02的第一插入子阶段T021, $Input=1, CK1=1, CK2=0$ 。

[0154] 由于 $Input=1$,因此第二开关晶体管M2截止,使第二节点N2处于浮接状态。由于 $CK2=0$,并且由于第一电容C1的耦合作用,使第二节点N2的电位为低电位。由于第二节点N2的电位为低电位,因此第四开关晶体管M4导通以将第二时钟信号端CK2的低电位的信号提供给第三节点N3,使第三节点N3的电位为低电位。由于第三节点N3的电位为低电位,因此第二电容C2充电,第五开关晶体管M5导通以将第一参考信号端Vref1的高电位的信号提供给输出信号端Output,使输出信号端Output输出高电位的信号。由于 $CK1=1$,因此第一开关晶体管M1截止,第一节点N1处于浮接状态。由于第三电容C3的自举作用可以保持第一节点N1的电位为高电位。由于第一节点N1的电位为高电位,因此第六开关晶体管M6截止。

[0155] 之后, $Input=1, CK1=1, CK2=1$ 。

[0156] 由于 $Input=1$,因此第二开关晶体管M2截止,使第二节点N2处于浮接状态。由于 $CK2=1$,并且由于第一电容C1的耦合作用,使第二节点N2的电位为高电位。由于第二节点N2的电位为高电位,因此第四开关晶体管M4截止,使第三节点N3处于浮接状态。由于第二电容C2的自举作用,保持第三节点N3的电位为低电位。由于第三节点N3的电位为低电位,因此第五开关晶体管M5导通以将第一参考信号端Vref1的高电位的信号提供给输出信号端Output,使输出信号端Output输出高电位的信号。由于 $CK1=1$,因此第一开关晶体管M1截止,第一节点N1处于浮接状态。由于第三电容C3的自举作用可以保持第一节点N1的电位为高电位。由于第一节点N1的电位为高电位,因此第六开关晶体管M6截止。可以看出本阶段与本实施例三中插入阶段T01的第一插入子阶段T011的工作过程基本相同。

[0157] 在第二插入子阶段T022, $Input=1, CK1=0, CK2=1$ 。

[0158] 由于 $Input=1$,因此第二开关晶体管M2截止,使第二节点N2处于浮接状态。由于 $CK2=1$,并且由于第一电容C1的耦合作用,使第二节点N2的电位为高电位。由于第二节点N2的电位为高电位,因此第四开关晶体管M4截止,使第三节点N3处于浮接状态。由于第二电容

C2的自举作用,保持第三节点N3的电位为低电位。由于第三节点N3的电位为低电位,因此第五开关晶体管M5导通以将第一参考信号端Vref1的高电位的信号提供给输出信号端Output,使输出信号端Output输出高电位的信号。由于CK1=0,因此第一开关晶体管M1导通以将输入信号端Input的高电位的信号提供给第一节点N1,使第一节点N1的电位为高电位。由于第一节点N1的电位为高电位,因此第六开关晶体管M6截止。

[0159] 之后,Input=1,CK1=1,CK2=1。

[0160] 由于Input=1,因此第二开关晶体管M2截止,使第二节点N2处于浮接状态。由于CK2=1,并且由于第一电容C1的耦合作用,使第二节点N2的电位为高电位。由于第二节点N2的电位为高电位,因此第四开关晶体管M4截止,使第三节点N3处于浮接状态。由于第二电容C2的自举作用,保持第三节点N3的电位为低电位。由于第三节点N3的电位为低电位,因此第五开关晶体管M5导通以将第一参考信号端Vref1的高电位的信号提供给输出信号端Output,使输出信号端Output输出高电位的信号。由于CK1=1,因此第一开关晶体管M1截止,第一节点N1处于浮接状态。由于第三电容C3的自举作用可以保持第一节点N1的电位为高电位。由于第一节点N1的电位为高电位,因此第六开关晶体管M6截止。可以看出本阶段与本实施例三中插入阶段T01的第二插入子阶段T012的工作过程基本相同。

[0161] 在上拉阶段T2,Input=0,CK1=1,CK2=0;并且,之后,Input=0,CK1=1,CK2=1。该阶段的具体工作过程与实施例一中上拉阶段T2的工作过程基本相同,在此不作详述。

[0162] 在下拉阶段T3,Input=0,CK1=0,CK2=1;并且,之后,Input=0,CK1=1,CK2=1。该阶段的具体工作过程与实施例一中下拉阶段T3的工作过程基本相同,在此不作详述。

[0163] 在下拉保持阶段T4,Input=0,CK1=1,CK2=0;并且,之后,Input=0,CK1=1,CK2=1。该阶段的具体工作过程与实施例一中下拉保持阶段T4的工作过程基本相同,在此不作详述。

[0164] 在实施例三中,在下拉保持阶段T4之后,一直重复执行下拉阶段T3和下拉保持阶段T4的工作过程,直至输入信号端的信号再次为有效脉冲信号为止。

[0165] 本发明实施例提供的上述移位寄存器,仅通过六个开关晶体管与三个电容的简单结构,即可实现信号的输出。并且由于上拉阶段中,通过第一电容的耦合作用以控制第四开关晶体管导通,使得第五开关晶体管导通以使输出信号端稳定的输出信号,并且由于上拉阶段中第六开关晶体管截止,可以避免第二参考信号端的信号影响输出信号端的电位,从而可以使输出信号端稳定输出。

[0166] 在实施例一至实施例三中,可以通过工艺设计使第一电容将第二时钟信号端的信号耦合到第二节点的速率大于第二开关晶体管将第一参考信号端的信号提供给第二节点的速率,从而在上拉阶段,以使第二节点的电位为低电位。在实际应用中,对第一电容与第二开关晶体管的工艺设计需要根据实际情况设定,在此不作限定。

[0167] 通过上述实施例一、实施例二以及实施例三可以看出,本发明实施例提供的上述移位寄存器,在实施例一的输入信号端的信号的基础上,将输入信号端的有效脉冲信号的时长延长一个时钟信号周期,输出信号端即可输出实施例二中对应时长的信号,将输入信号端的有效脉冲信号的时长延长两个时钟信号周期,输出信号端即可输出实施例三中对应该时长的信号,依此类推,通过延长有效脉冲信号的时长,即可使输出信号端输出与输入信号端的有效脉冲信号的时长相同时长的信号。上述移位寄存器由于仅需通过改变输入信号端

的有效脉冲信号的时长来控制输出信号端输出的信号的有效脉冲信号的时长,而不需要进行电路的改动和工艺的改变,从而可以降低工艺复杂问题,降低成本。

[0168] 实施例四、

[0169] 以图6a所示的移位寄存器的结构为例,第一参考信号端Vref1的电位为高电位,第二参考信号端Vref2的电位为低电位,对应的输入输出时序图如图7a所示,具体地,主要选取如图7a所示的输入输出时序图中的移位阶段T1、上拉阶段T2、下拉阶段T3以及下拉保持阶段T4四个阶段。

[0170] 在移位阶段T1, $Input=1, CK1=0, CK2=1$; 并且, 之后, $Input=1, CK1=1, CK2=1$ 。在此阶段中, 由于输出信号端Output的电位为低电位, 因此第七开关晶体管M7导通, 可以导通第二开关晶体管M2的第二极与第二节点N2, 但是由于 $Input=1$, 第二开关晶体管M2截止, 使第二节点N2处于浮接状态。其余工作过程与实施例一中移位阶段T1的工作过程基本相同, 在此不作详述。

[0171] 在上拉阶段T2, $Input=0, CK1=1, CK2=0$; 并且, 之后, $Input=0, CK1=1, CK2=1$ 。在此阶段中, 由于输出信号端Output的电位为高电位, 因此第七开关晶体管M7截止, 以断开第二开关晶体管M2的第二极与第二节点N2, 使第二节点N2处于浮接状态。其余工作过程与实施例一中上拉阶段T2的工作过程基本相同, 在此不作详述。

[0172] 在下拉阶段T3, $Input=0, CK1=0, CK2=1$; 并且, 之后, $Input=0, CK1=1, CK2=1$ 。在此阶段中, 由于输出信号端Output的电位为低电位, 因此第七开关晶体管M7导通, 可以导通第二开关晶体管M2的第二极与第二节点N2。其余工作过程与实施例一中下拉阶段T3的工作过程基本相同, 在此不作详述。

[0173] 在下拉保持阶段T4, $Input=0, CK1=1, CK2=0$; 并且, 之后, $Input=0, CK1=1, CK2=1$ 。在此阶段中, 由于输出信号端Output的电位为低电位, 因此第七开关晶体管M7导通, 可以导通第二开关晶体管M2的第二极与第二节点N2。其余工作过程与实施例一中下拉阶段T3的工作过程基本相同, 在此不作详述。

[0174] 在实施例四中, 在下拉保持阶段T4之后, 一直重复执行下拉阶段T3和下拉保持阶段T4的工作过程, 直至输入信号端的信号再次为有效脉冲信号为止。

[0175] 本发明实施例提供的上述移位寄存器, 仅通过六个开关晶体管与三个电容的简单结构, 即可实现信号的输出。并且由于上拉阶段中, 通过第一电容的耦合作用以控制第四开关晶体管导通, 使得第五开关晶体管导通以使输出信号端稳定的输出信号, 并且由于上拉阶段中第六开关晶体管截止, 可以避免第二参考信号端的信号影响输出信号端的电位, 从而可以使输出信号端稳定输出。另外, 在上拉阶段中, 由于第七开关晶体管可以断开第二开关晶体管的第二极与第二节点, 从而可以避免由于第二开关晶体管在输入信号端的控制下导通, 以使第一参考信号端的信号影响第二节点的电位的问题。

[0176] 实施例五、

[0177] 以图6a所示的移位寄存器的结构为例, 第一参考信号端Vref1的电位为高电位, 第二参考信号端Vref2的电位为低电位, 对应的输入输出时序图如图7b所示, 具体为在实施例四的时序图中的移位阶段T1与上拉阶段T2之间插入一个插入阶段T01; 其中, 插入阶段T01又分为第一插入子阶段T011与第二插入子阶段T012。

[0178] 在移位阶段T1, $Input=1, CK1=0, CK2=1$; 并且, 之后, $Input=1, CK1=1, CK2=1$ 。

该阶段的具体工作过程与实施例四中移位阶段T1的工作过程基本相同,在此不作详述。

[0179] 在插入阶段T01的第一插入子阶段T011, $Input=1, CK1=1, CK2=0$; 并且, 之后, $Input=1, CK1=1, CK2=1$ 。在此阶段中, 由于输出信号端Output的电位为高电位, 因此第七开关晶体管M7截止, 以断开第二开关晶体管M2的第二极与第二节点N2, 使第二节点N2处于浮接状态。其余工作过程与实施例二中插入阶段T01的第一插入子阶段T011的工作过程基本相同, 在此不作详述。

[0180] 在第二插入子阶段T012, $Input=1, CK1=0, CK2=1$; 并且, 之后, $Input=1, CK1=1, CK2=1$ 。在此阶段中, 由于输出信号端Output的电位为高电位, 因此第七开关晶体管M7截止, 以断开第二开关晶体管M2的第二极与第二节点N2, 使第二节点N2处于浮接状态。其余工作过程与实施例二中插入阶段T01的第二插入子阶段T012的工作过程基本相同, 在此不作详述。

[0181] 在上拉阶段T2, $Input=0, CK1=1, CK2=0$; 并且, 之后, $Input=0, CK1=1, CK2=1$ 。该阶段的具体工作过程与实施例四中上拉阶段T2的工作过程基本相同, 在此不作详述。

[0182] 在下拉阶段T3, $Input=0, CK1=0, CK2=1$; 并且, 之后, $Input=0, CK1=1, CK2=1$ 。该阶段的具体工作过程与实施例四中下拉阶段T3的工作过程基本相同, 在此不作详述。

[0183] 在下拉保持阶段T4, $Input=0, CK1=1, CK2=0$; 并且, 之后, $Input=0, CK1=1, CK2=1$ 。该阶段的具体工作过程与实施例四中下拉保持阶段T4的工作过程基本相同, 在此不作详述。

[0184] 在实施例五中, 在下拉保持阶段T4之后, 一直重复执行下拉阶段T3和下拉保持阶段T4的工作过程, 直至输入信号端的信号再次为有效脉冲信号为止。

[0185] 本发明实施例提供的上述移位寄存器, 仅通过六个开关晶体管与三个电容的简单结构, 即可实现信号的输出。并且由于上拉阶段中, 通过第一电容的耦合作用以控制第四开关晶体管导通, 使得第五开关晶体管导通以使输出信号端稳定的输出信号, 并且由于上拉阶段中第六开关晶体管截止, 可以避免第二参考信号端的信号影响输出信号端的电位, 从而可以使输出信号端稳定输出。另外, 在上拉阶段中, 由于第七开关晶体管可以断开第二开关晶体管的第二极与第二节点, 从而可以避免由于第二开关晶体管在输入信号端的控制下导通, 以使第一参考信号端的信号影响第二节点的电位的问题。

[0186] 以图6a所示的结构为例, 采用图9a所示的各输入信号的仿真模拟时序图对移位寄存器的工作过程进行仿真模拟。在图9a中, 纵坐标代表电压, 横坐标代表时间, L21代表输入信号端Input的信号, L22代表第一时钟信号端CK1的信号, L23代表第二时钟信号端CK2的信号。在仿真模拟过程中, 第一节点N1的电位的变化如图9b所示, 第二节点N2的电位的变化如图9c所示, 第三节点N3的电位的变化如图9d所示, 输出信号端Output的电位的变化如图9e所示。在图9b至图9e中, 纵坐标代表电压, 横坐标代表时间。并且通过图9b至图9e可以看出, 本发明实施例提供的上述移位寄存器运行稳定, 可以使输出信号端Output稳定的输出信号。

[0187] 实施例六、

[0188] 以图6a所示的移位寄存器的结构为例, 第一参考信号端Vref1的电位为高电位, 第二参考信号端Vref2的电位为低电位, 对应的输入输出时序图如图7c所示, 具体为在实施例四的时序图中的移位阶段T1与上拉阶段T2之间插入两个插入阶段T01与插入阶段T02; 其

中,插入阶段T01又分为第一插入子阶段T011与第二插入子阶段T012;插入阶段T02又分为第一插入子阶段T021与第二插入子阶段T022。

[0189] 在移位阶段T1, $Input=1, CK1=0, CK2=1$; 并且, 之后, $Input=1, CK1=1, CK2=1$ 。该阶段的具体工作过程与实施例四中移位阶段T1的工作过程基本相同, 在此不作详述。

[0190] 在插入阶段T01的第一插入子阶段T011, $Input=1, CK1=1, CK2=0$; 并且, 之后, $Input=1, CK1=1, CK2=1$ 。该阶段的具体工作过程与实施例五中插入阶段T01的第一插入子阶段T011的工作过程基本相同, 在此不作详述。

[0191] 在第二插入子阶段T012, $Input=1, CK1=0, CK2=1$; 并且, 之后, $Input=1, CK1=1, CK2=1$ 。该阶段的具体工作过程与实施例五中插入阶段T01的第二插入子阶段T012的工作过程基本相同, 在此不作详述。

[0192] 在插入阶段T02的第一插入子阶段T021, $Input=1, CK1=1, CK2=0$; 并且, 之后, $Input=1, CK1=1, CK2=1$ 。该阶段的具体工作过程与本实施例六中插入阶段T01的第一插入子阶段T011的工作过程基本相同, 在此不作详述。

[0193] 在第二插入子阶段T022, $Input=1, CK1=0, CK2=1$; 并且, 之后, $Input=1, CK1=1, CK2=1$ 。该阶段的具体工作过程与本实施例六中插入阶段T01的第二插入子阶段T012的工作过程基本相同, 在此不作详述。

[0194] 在上拉阶段T2, $Input=0, CK1=1, CK2=0$; 并且, 之后, $Input=0, CK1=1, CK2=1$ 。该阶段的具体工作过程与实施例四中上拉阶段T2的工作过程基本相同, 在此不作详述。

[0195] 在下拉阶段T3, $Input=0, CK1=0, CK2=1$; 并且, 之后, $Input=0, CK1=1, CK2=1$ 。该阶段的具体工作过程与实施例四中下拉阶段T3的工作过程基本相同, 在此不作详述。

[0196] 在下拉保持阶段T4, $Input=0, CK1=1, CK2=0$; 并且, 之后, $Input=0, CK1=1, CK2=1$ 。该阶段的具体工作过程与实施例四中下拉保持阶段T4的工作过程基本相同, 在此不作详述。

[0197] 在实施例六中, 在下拉保持阶段T4之后, 一直重复执行下拉阶段T3和下拉保持阶段T4的工作过程, 直至输入信号端的信号再次为有效脉冲信号为止。

[0198] 本发明实施例提供的上述移位寄存器, 仅通过六个开关晶体管与三个电容的简单结构, 即可实现信号的输出。并且由于上拉阶段中, 通过第一电容的耦合作用以控制第四开关晶体管导通, 使得第五开关晶体管导通以使输出信号端稳定的输出信号, 并且由于上拉阶段中第六开关晶体管截止, 可以避免第二参考信号端的信号影响输出信号端的电位, 从而可以使输出信号端稳定输出。另外, 在上拉阶段中, 由于第七开关晶体管可以断开第二开关晶体管的第二极与第二节点, 从而可以避免由于第二开关晶体管在输入信号端的控制下导通, 以使第一参考信号端的信号影响第二节点的电位的问题。

[0199] 基于同一发明构思, 本发明实施例还提供了一种采用本发明实施例提供的上述任一种移位寄存器的驱动方法, 如图10所示, 包括:

[0200] S1001、移位阶段, 输入模块在第一时钟信号端的控制下将输入信号端的信号提供给第一节点; 耦合控制模块在第二节点处于浮接状态时将第二时钟信号端的信号耦合到第二节点;

[0201] S1002、上拉阶段, 耦合控制模块在第二节点处于浮接状态时将第二时钟信号端的信号耦合到第二节点; 节点控制模块在第二节点的信号的控制下将第二时钟信号端的信号

提供给第三节点;第一输出模块在第三节点的信号的控制下将第一参考信号端的信号提供给输出信号端;

[0202] S1003、下拉阶段,输入模块在第一时钟信号端的控制下将输入信号端的信号提供给第一节点;第二输出模块在第一节点的信号的控制下将第二参考信号端的信号提供给输出信号端;节点控制模块在第一节点的信号的控制下将第一参考信号端的信号提供给第三节点,以及在输入信号端的控制下将第一参考信号端的信号提供给第二节点;

[0203] S1004、下拉保持阶段,第二输出模块在第一节点处于浮接状态时保持第一节点与输出信号端之间的电压差稳定,以及在第一节点的信号的控制下将第二参考信号端的信号提供给输出信号端;节点控制模块在输入信号端的控制下将第一参考信号端的信号提供给第二节点,在第一节点的信号的控制下将第一参考信号端的信号提供给第三节点。

[0204] 本发明实施例提供的上述驱动方法,可以通过简单的结构以及较少的信号线,稳定的输出信号。

[0205] 在具体实施时,在本发明实施例提供的上述驱动方法中,在移位阶段与上拉阶段之间还包括:至少一个插入阶段;其中,插入阶段包括第一插入子阶段与第二插入子阶段;

[0206] 在第一插入子阶段,耦合控制模块在第二节点处于浮接状态时将第二时钟信号端的信号耦合到第二节点;节点控制模块在第二节点的信号的控制下将第二时钟信号端的信号提供给第三节点;第一输出模块在第三节点的信号的控制下将第一参考信号端的信号提供给输出信号端;

[0207] 在第二插入子阶段,输入模块在第一时钟信号端的控制下将输入信号端的信号提供给第一节点;第一输出模块在第三节点处于浮接状态时保持第三节点与第一参考信号端之间的电压差稳定,以及在第三节点的信号的控制下将第一参考信号端的信号提供给输出信号端。

[0208] 本发明实施例提供的上述驱动方法,仅需通过插入至少一个插入阶段,就可以控制信号输出端输出的信号的有效脉冲信号的时长,而不需要进行电路的改动和工艺的改变,从而可以简化制备工艺,降低生产成本,有利于实现显示装置中面板的窄边框设计。

[0209] 在实际应用中,在移位阶段与上拉阶段之间插入一个插入阶段,其工作过程对应上述实施例二与实施例五。或者,在移位阶段与上拉阶段之间插入两个插入阶段,其工作过程对应上述实施例三与实施例六。当然,在移位阶段与上拉阶段之间还可以插入三个、四个…插入阶段,依此类推,在此不作赘述。

[0210] 在具体实施时,在本发明实施例提供的上述驱动方法中,该驱动方法还可以包括:在上拉阶段,节点稳定模块在输出信号端的控制下断开节点控制模块与第二节点。

[0211] 在具体实施时,在本发明实施例提供的上述驱动方法中,在上述驱动方法还包括插入阶段时,在插入阶段中,即分别在第一插入子阶段与第二插入子阶段中,节点稳定模块在输出信号端的控制下断开节点控制模块与第二节点。

[0212] 基于同一发明构思,本发明实施例还提供了一种发光控制电路,如图11所示,级联的多个本发明实施例提供的上述任一种移位寄存器SR(1)、SR(2)…SR(n-1)、SR(n)…SR(N-1)、SR(N)(共N个移位寄存器, $1 \leq n \leq N$);其中,N为发光控制电路中移位寄存器的总数;

[0213] 第一级移位寄存器SR(1)的输入信号端Input与起始信号端STV相连;

[0214] 除第一级移位寄存器SR(1)之外,其余各级移位寄存器SR(n)的输入信号端Input

分别与其相连的上一级移位寄存器SR(n-1)的输出信号端Output_{n-1}相连。上述发光控制电路中的每个移位寄存器的具体结构与本发明上述移位寄存器在功能和结构上均相同,重复之处不再赘述。并且上述发光控制电路各输出信号端对应输出的信号如图12所示。

[0215] 具体地,在本发明实施例提供的上述发光控制电路中,如图11所示,各级移位寄存器SR(n)的第一参考信号端Vref1均与同一直流信号端vref1相连,各级移位寄存器SR(n)的第二参考信号端Vref2均与同一直流信号端vref2相连。

[0216] 具体地,在本发明实施例提供的上述发光控制电路中,如图11所示,第2k-1级移位寄存器的第一时钟信号端CK1和第2k级移位寄存器的第二时钟信号端CK2均与同一时钟端即第一时钟端ck1相连;第2k-1级移位寄存器的第二时钟信号端CK2和第2k级移位寄存器的第一时钟信号端CK1均与同一时钟端即第二时钟端ck2相连;其中,k为正整数。

[0217] 基于同一发明构思,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述发光控制电路。该显示装置解决问题的原理与前述移位寄存器相似,因此该显示装置的实施可以参见前述移位寄存器的实施,重复之处在此不再赘述。

[0218] 在具体实施时,本发明实施例提供的上述显示装置可以为有机发光显示装置。在有机发光显示装置中,一般设置有多个有机发光二极管以及与各有机发光二极管连接的像素补偿电路。一般像素补偿电路中设置有用于控制有机发光二极管发光的发光控制晶体管,该发光控制晶体管一般连接发光控制信号线,以接收发光控制信号,并在接收到的发光控制信号的作用下控制连接的有机发光二极管发光。

[0219] 在具体实施时,在本发明实施例提供的上述显示装置中,显示装置还包括多条发光控制信号线,且显示装置包括1个发光控制电路;

[0220] 发光控制电路中的各移位寄存器一一对应连接一条发光控制信号线。这样可以使发光控制电路中的各移位寄存器依次向显示装置中的各条发光控制信号线输入发光控制信号,从而依次控制各行的有机发光二极管发光。其中,可以使起始信号端的有效脉冲信号的时长设置为扫描三行像素的时长,这样可以使一个移位寄存器连接相邻两行的发光控制信号线,以实现采用一个移位寄存器驱动两行有机发光二极管的目的。当然,也可以使起始信号端的有效脉冲信号的时长设置为扫描多行像素的时长。在实际应用中,起始信号端的有效脉冲信号的时长需要根据实际应用环境来设计确定,在此不作限定。

[0221] 在具体实施时,在本发明实施例提供的上述显示装置中,显示装置还包括多条发光控制信号线,且显示装置包括2个发光控制电路;发光控制电路中的各移位寄存器一一对应连接一条发光控制信号线;其中,

[0222] 第1个发光控制电路中各移位寄存器分别与奇数行的发光控制信号线对应连接,第2个发光控制电路中各移位寄存器分别与偶数行的发光控制信号线对应连接。这样可以分别对奇数行和偶数行的发光控制信号线分开控制,以依次对奇数行或偶数行的发光控制信号线输入发光控制信号,从而依次控制奇数行或偶数行中的各行的有机发光二极管发光。此时,可以使起始信号端的有效脉冲信号的时长设置为扫描六行像素的时长。当然,也可以使起始信号端的有效脉冲信号的时长设置为扫描多行像素的时长。在实际应用中,起始信号端的有效脉冲信号的时长需要根据实际应用环境来设计确定,在此不作限定。

[0223] 在具体实施时,本发明实施例提供的上述显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示

装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本发明的限制。

[0224] 本发明实施例提供的移位寄存器、其驱动方法、发光控制电路及显示装置,包括:耦合控制模块、输入模块、节点控制模块、第一输出模块以及第二输出模块;其中,输入模块用于在第一时钟信号端的控制下将输入信号端的信号提供给第一节点;耦合控制模块用于在第二节点处于浮接状态时将第二时钟信号端的信号耦合到第二节点;节点控制模块用于在输入信号端的控制下将第一参考信号端的信号提供给第二节点,在第一节点的信号的控制下将第一参考信号端的信号提供给第三节点,以及在第二节点的信号的控制下将第二时钟信号端的信号提供给第三节点;第一输出模块用于在第三节点的信号的控制下将第一参考信号端的信号提供给输出信号端,以及在第三节点处于浮接状态时保持第三节点与第一参考信号端之间的电压差稳定;第二输出模块用于在第一节点的信号的控制下将第二参考信号端的信号提供给输出信号端,以及在第一节点处于浮接状态时保持第一节点与输出信号端之间的电压差稳定。因此,通过上述五个模块的相互配合,可以通过简单的结构以及较少的信号线,稳定的输出信号;并且通过上述五个模块的相互配合,仅需通过改变输入信号端的有效脉冲信号的时长就可以控制信号输出端输出的信号的有效脉冲信号的时长,而不需要进行电路的改动和工艺的改变,从而可以简化制备工艺,降低生产成本,有利于实现显示装置中面板的窄边框设计。

[0225] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

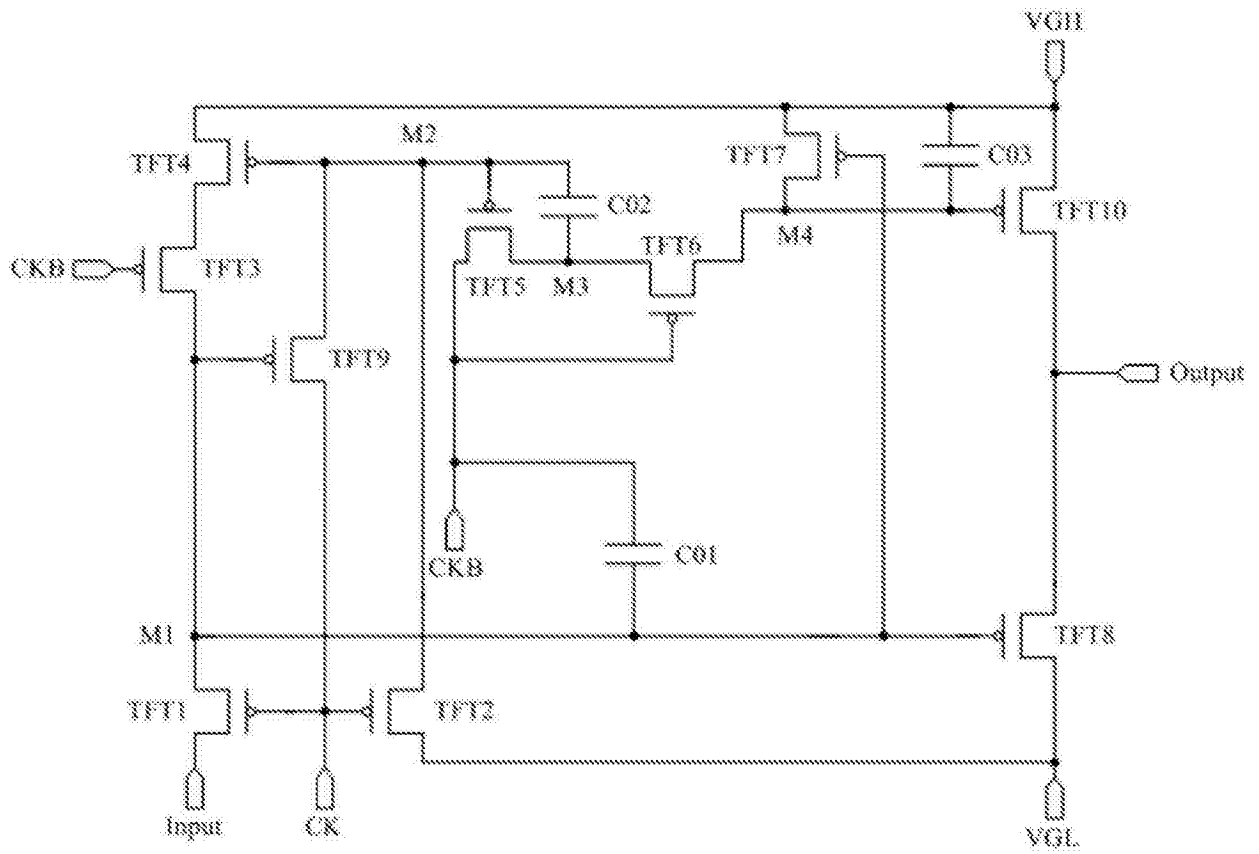


图1

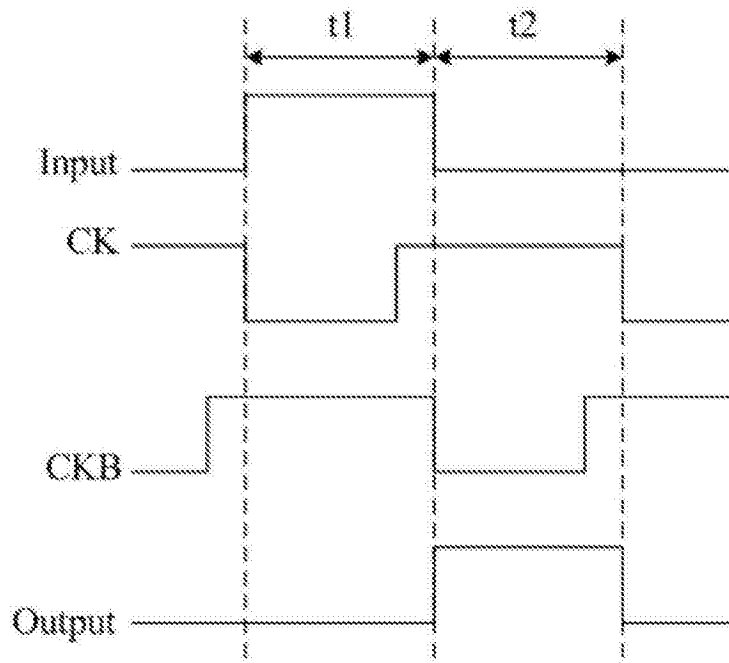


图2

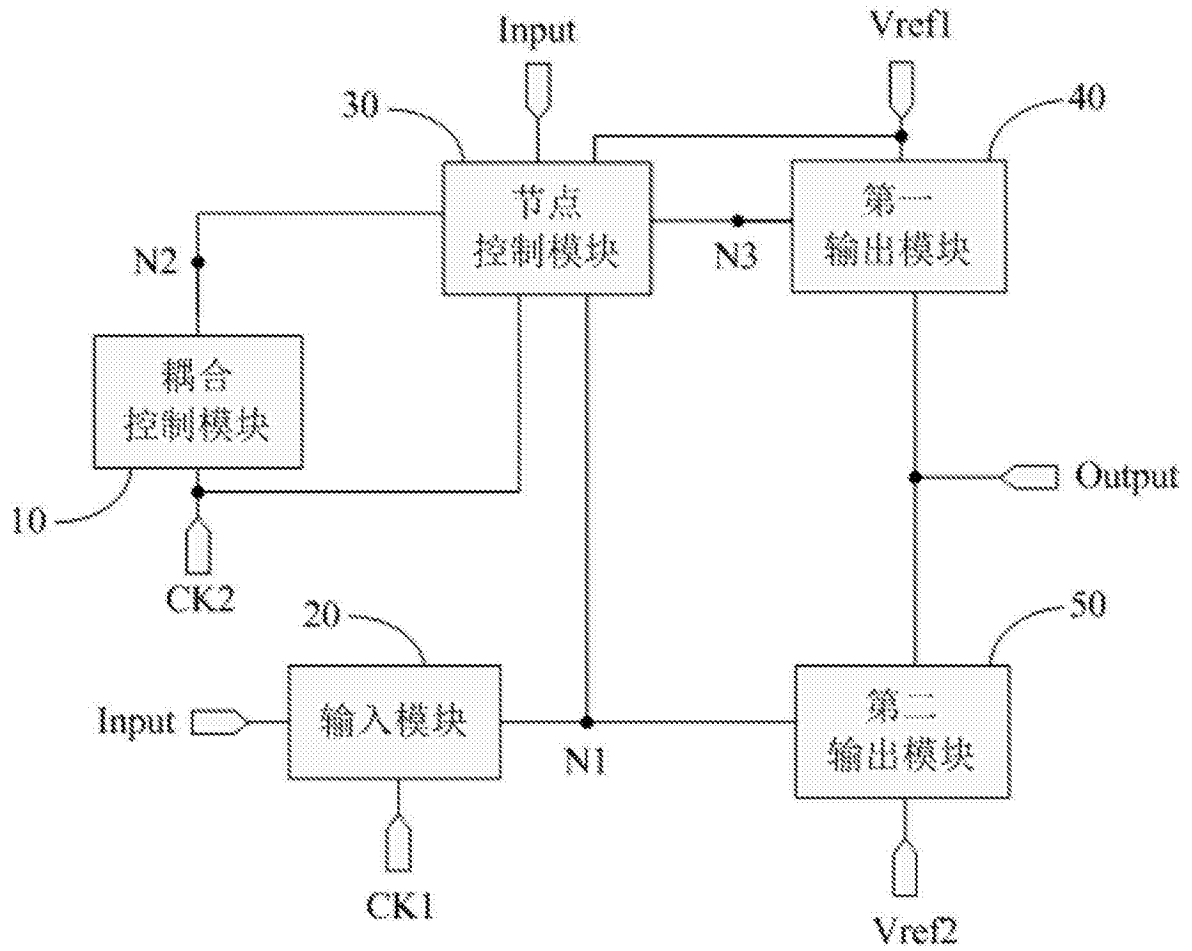


图3

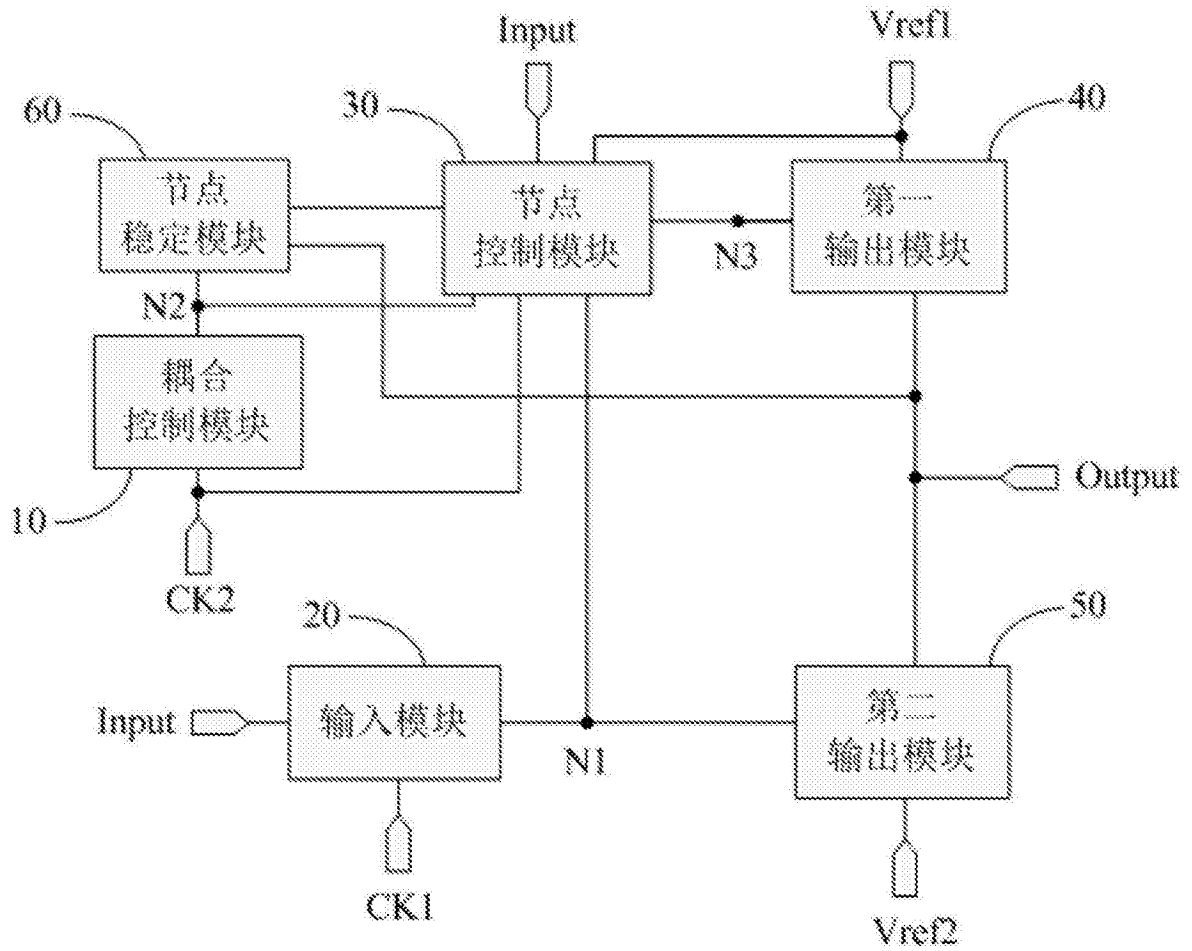


图4

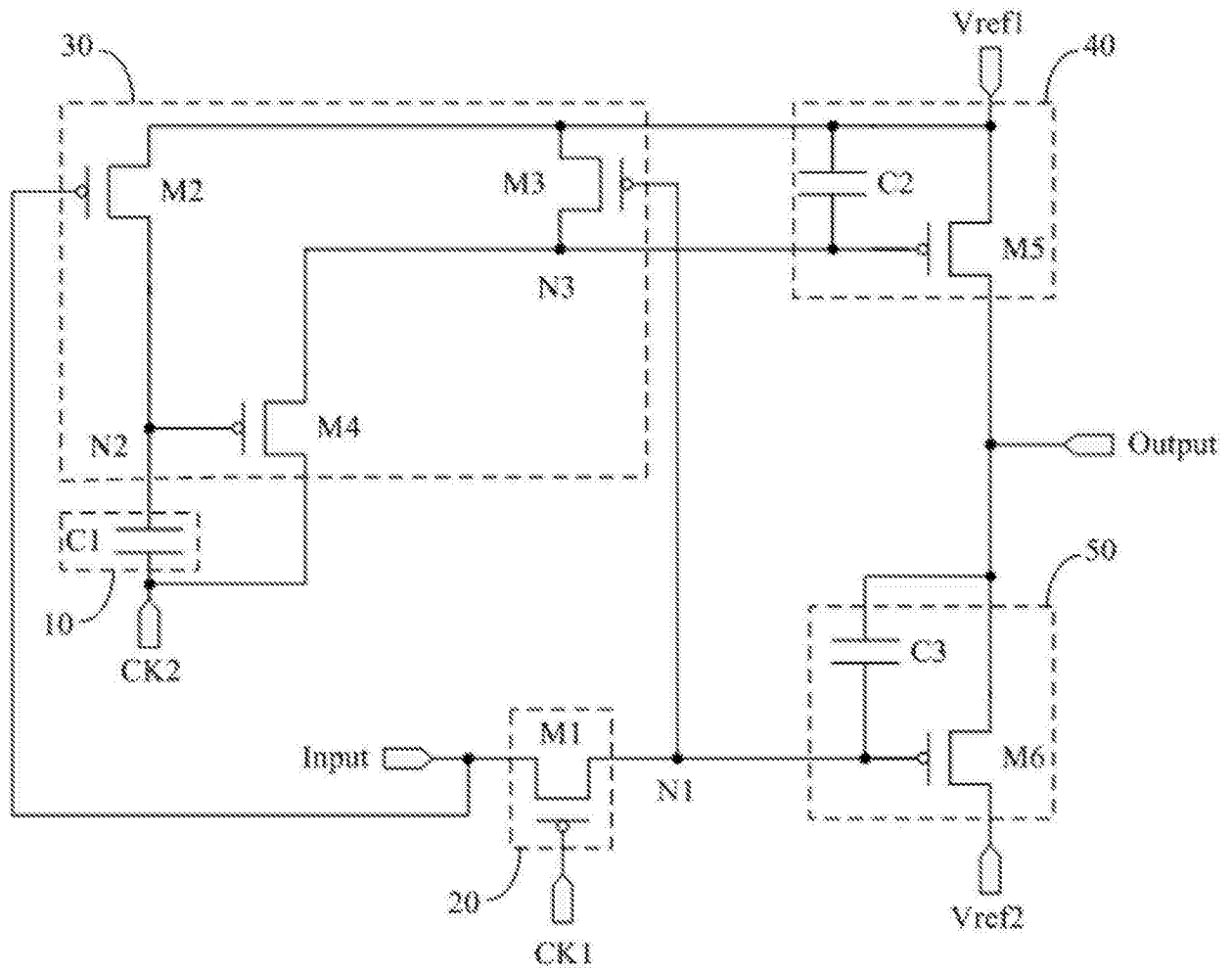


图5a

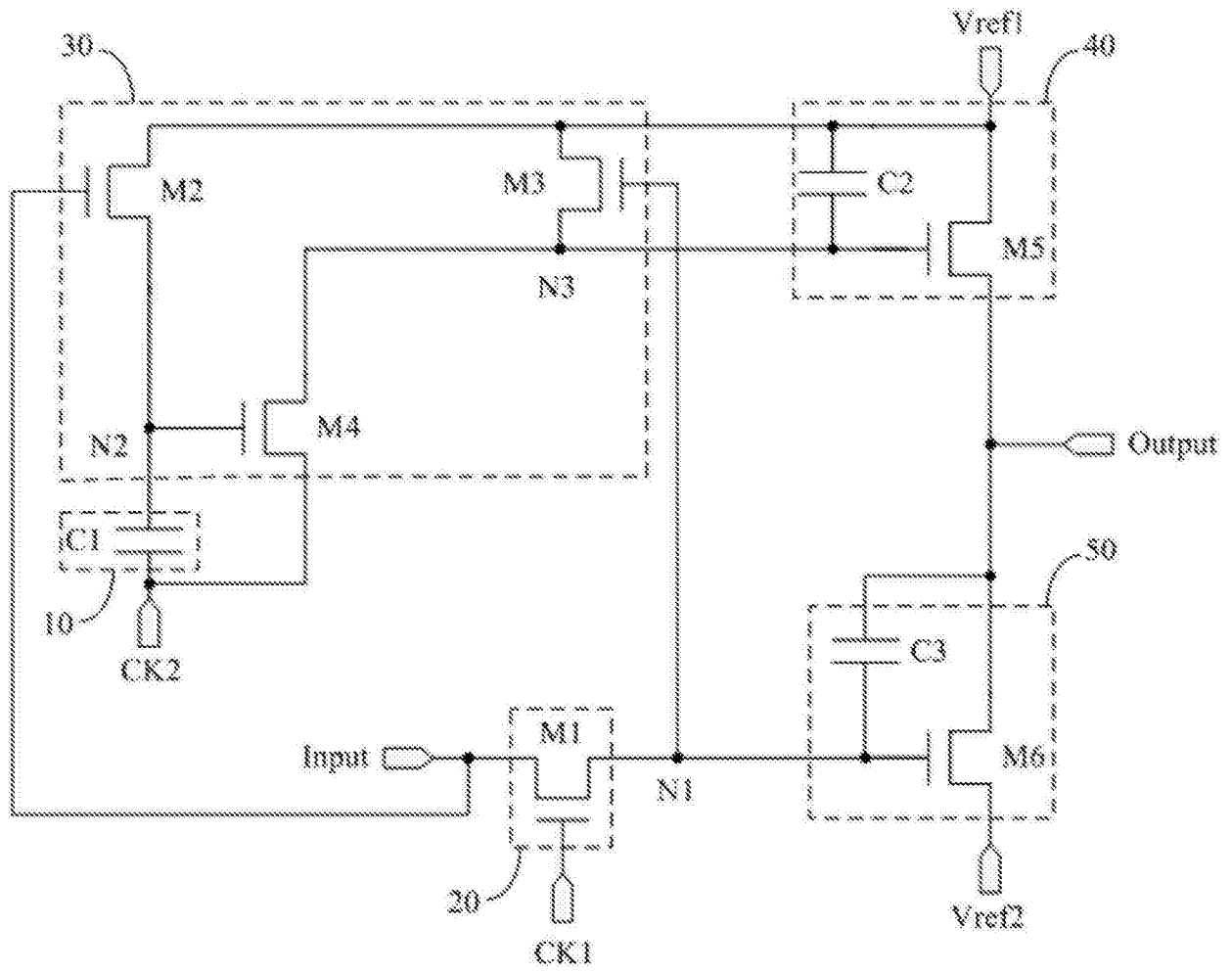


图5b

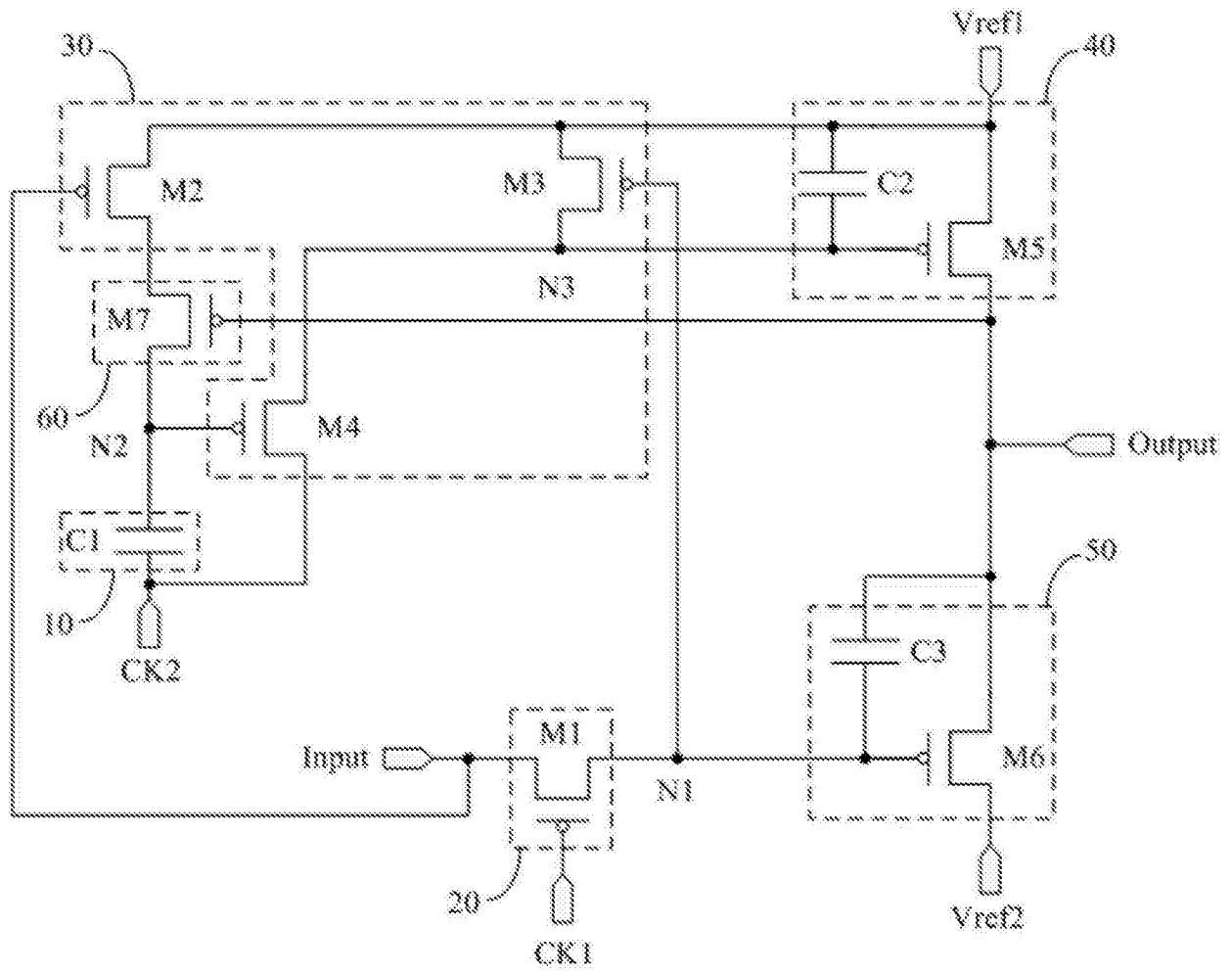


图6a

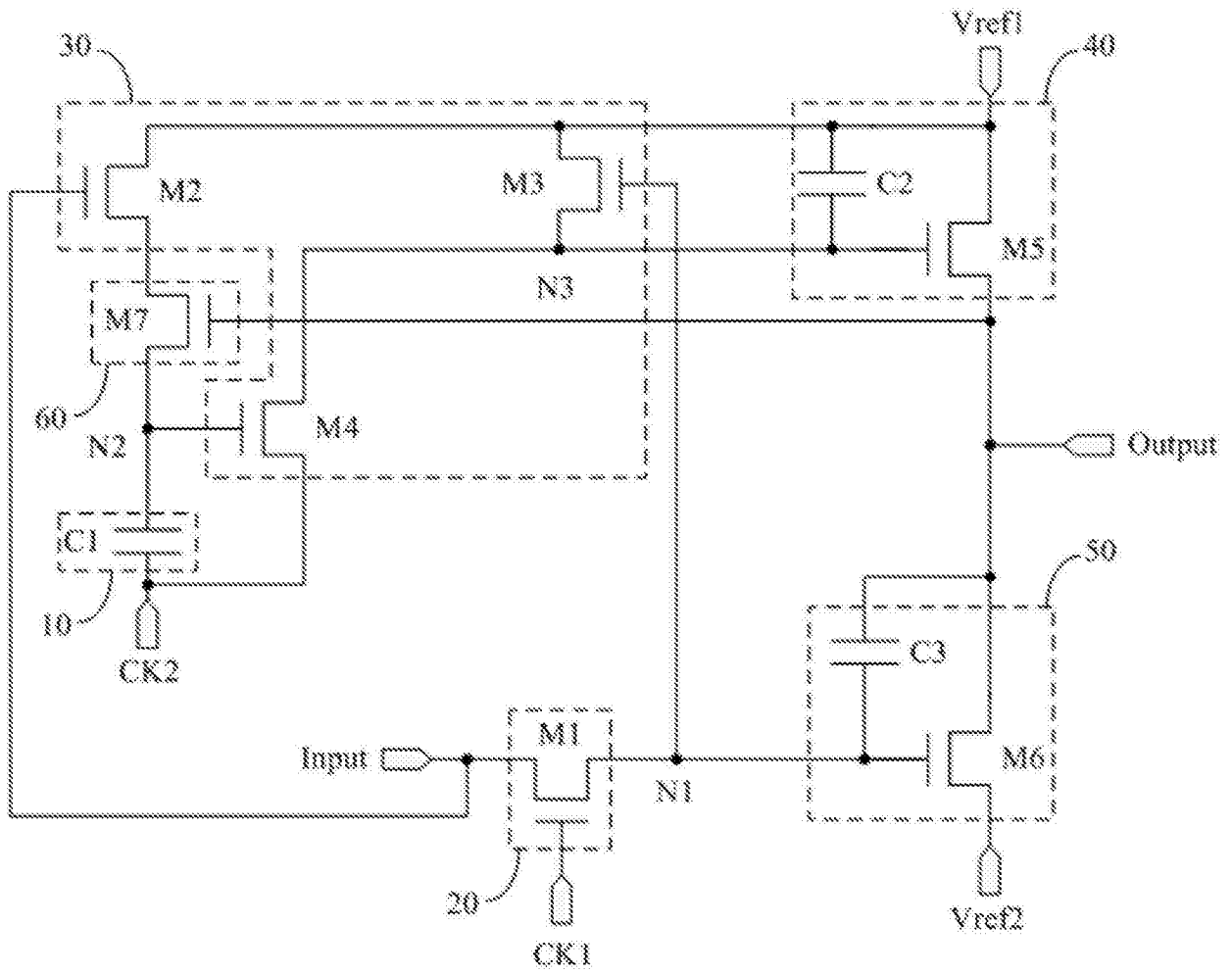


图6b

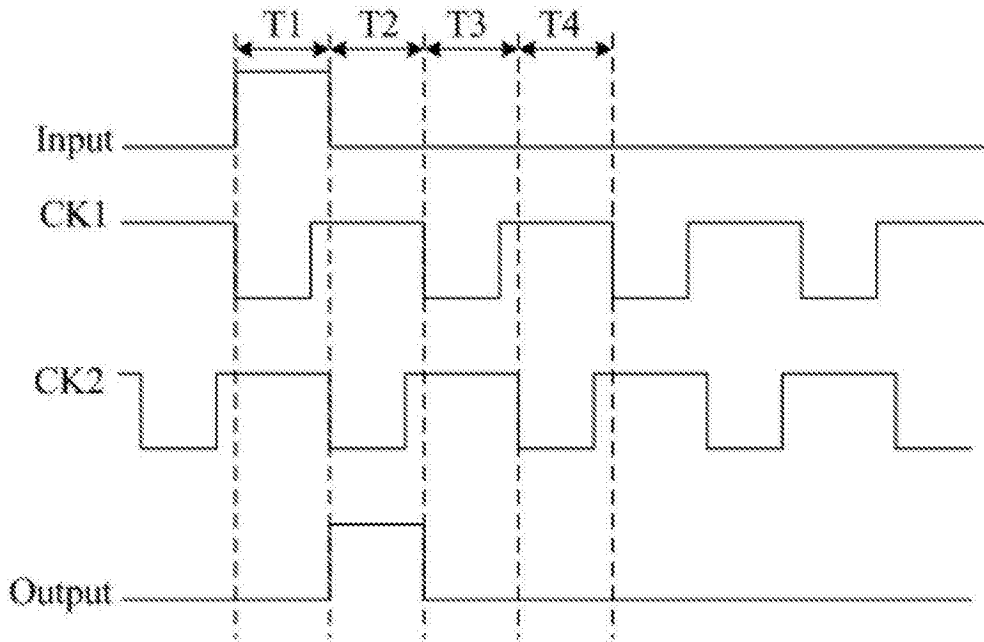


图7a

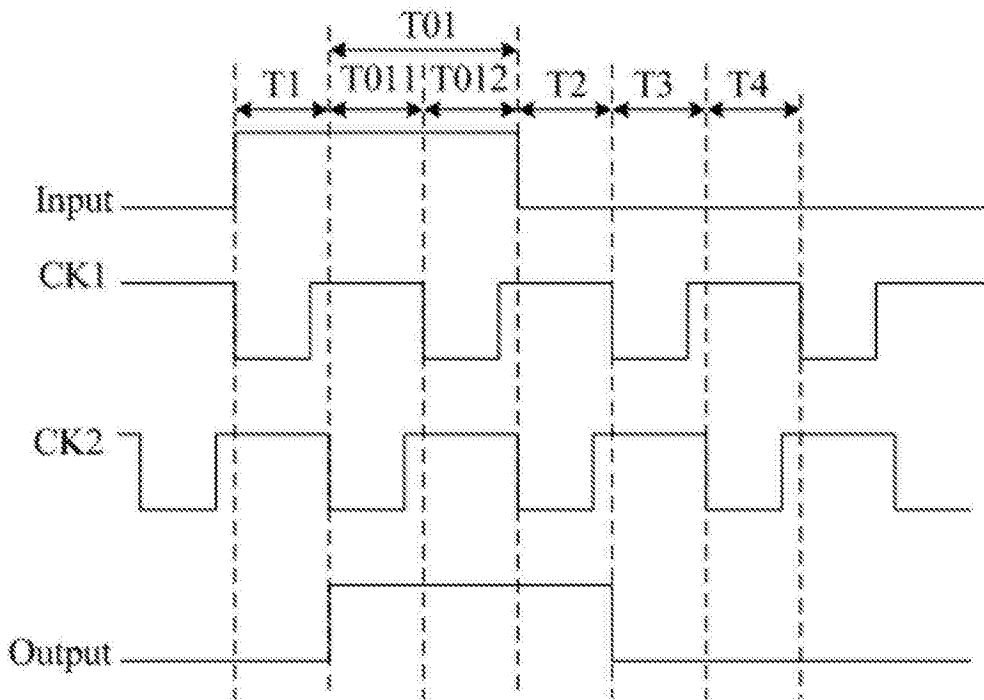


图7b

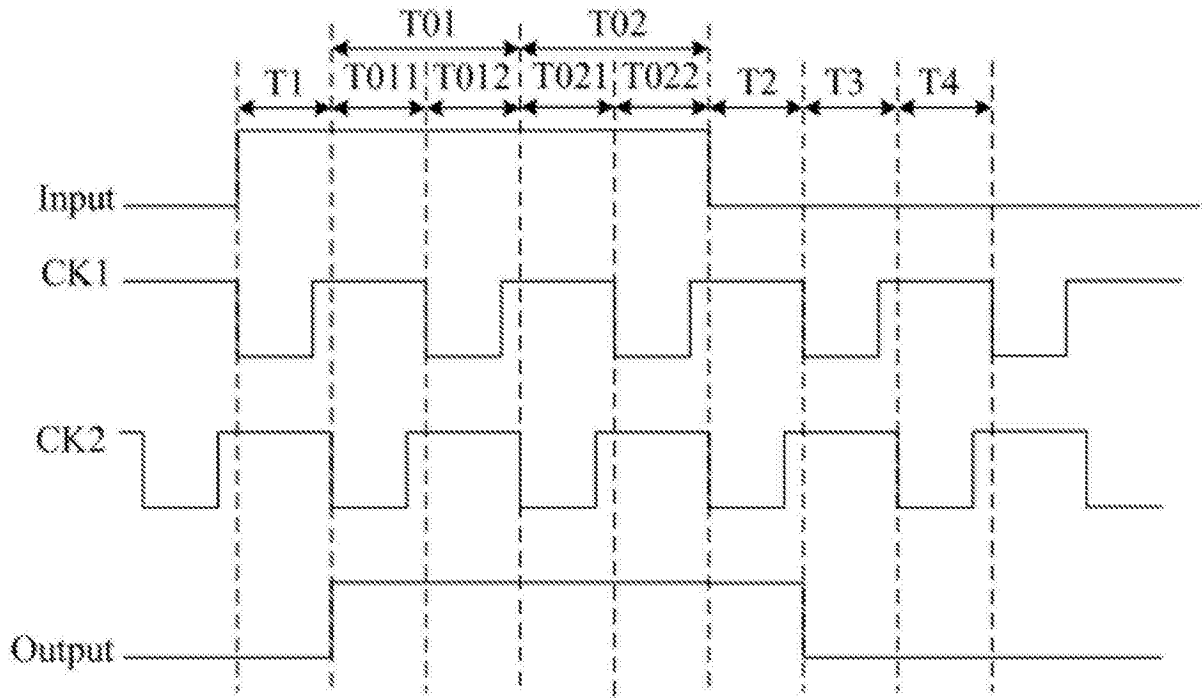


图7c

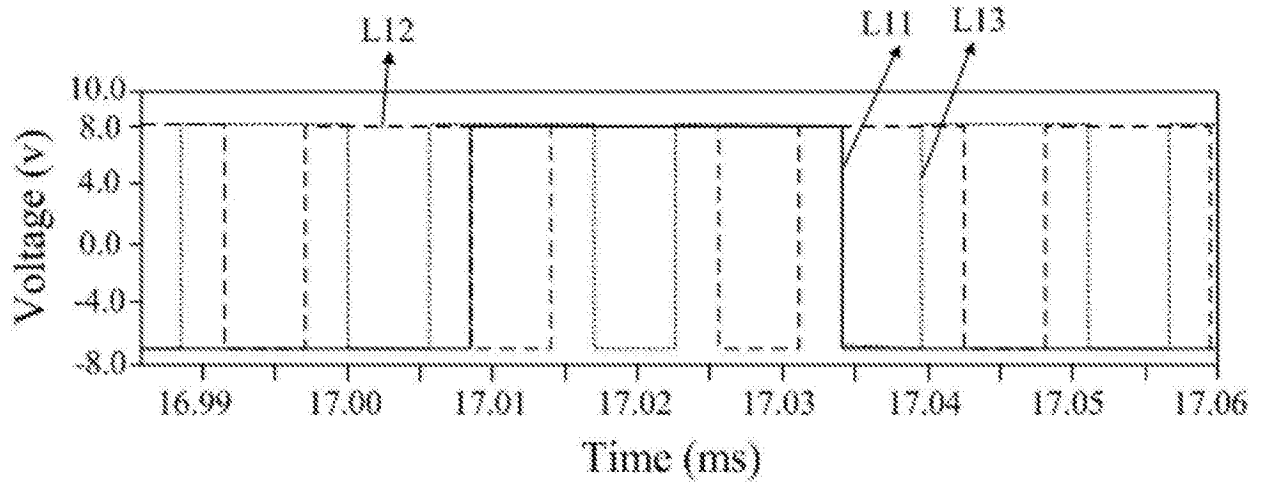


图8a

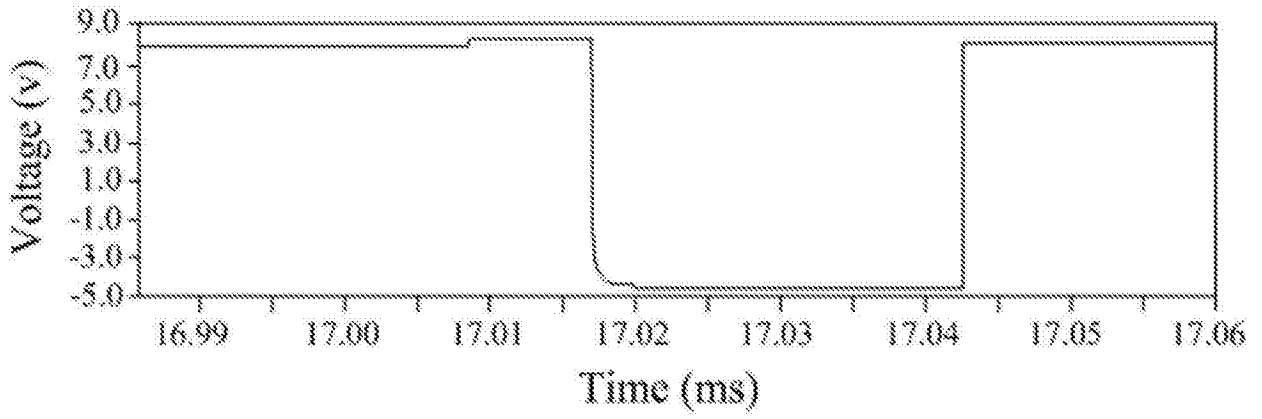


图8b

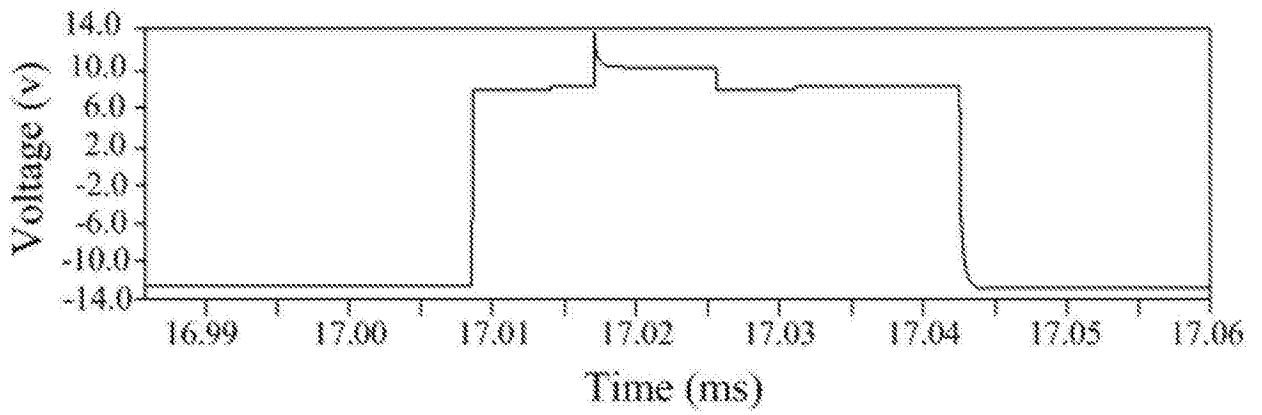


图8c

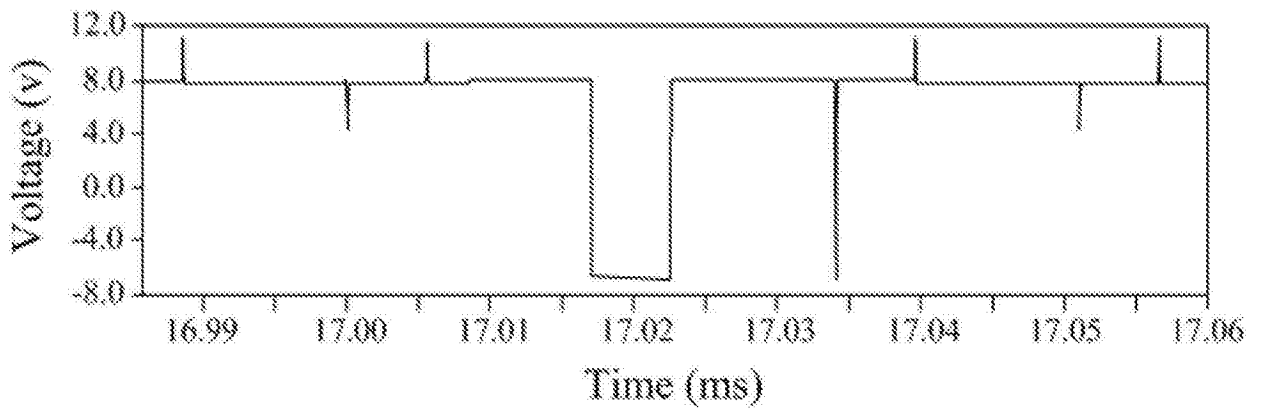


图8d

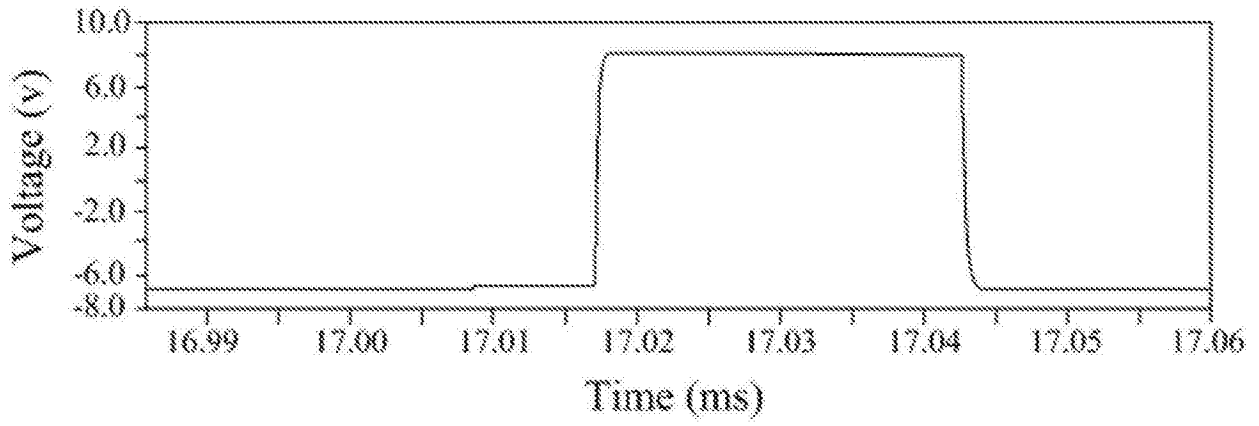


图8e

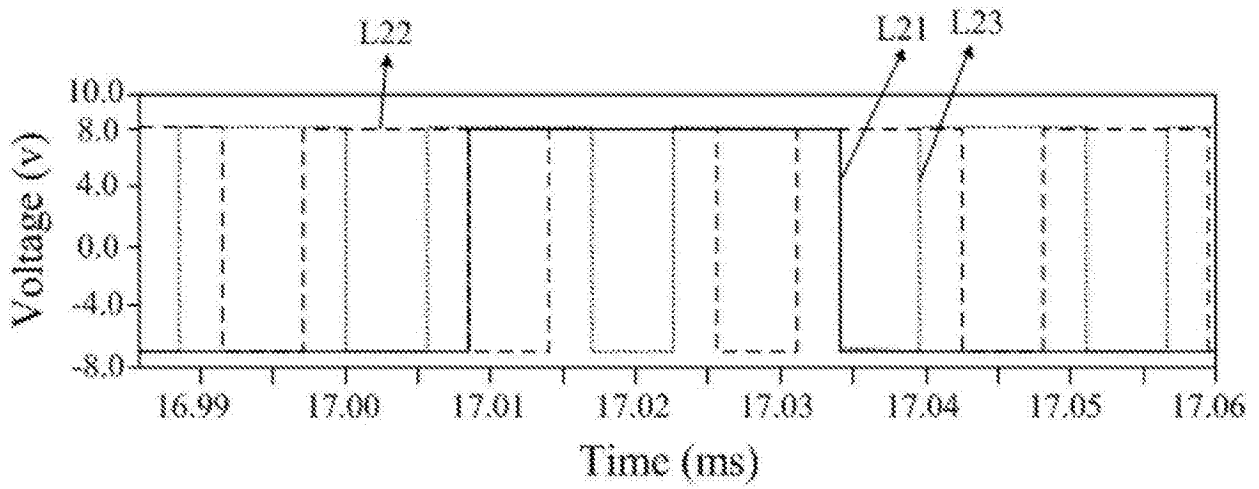


图9a

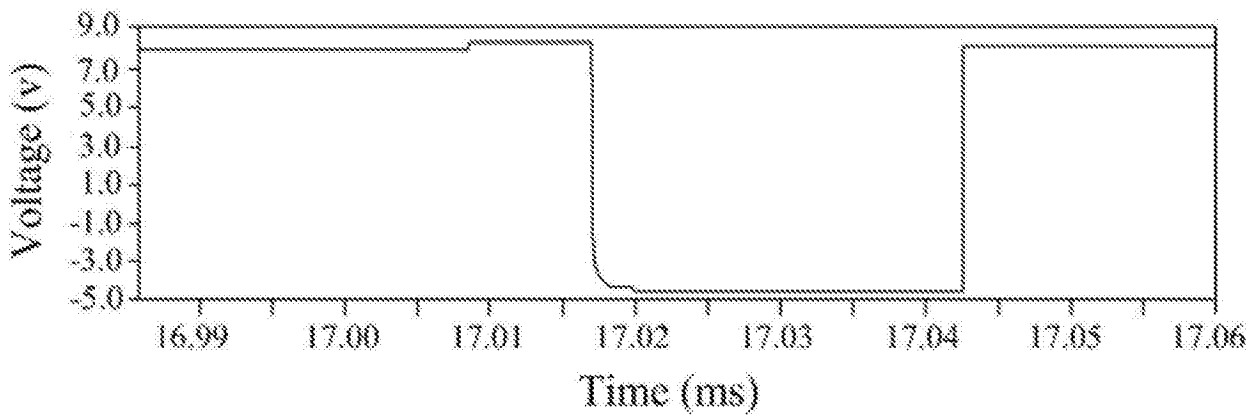


图9b

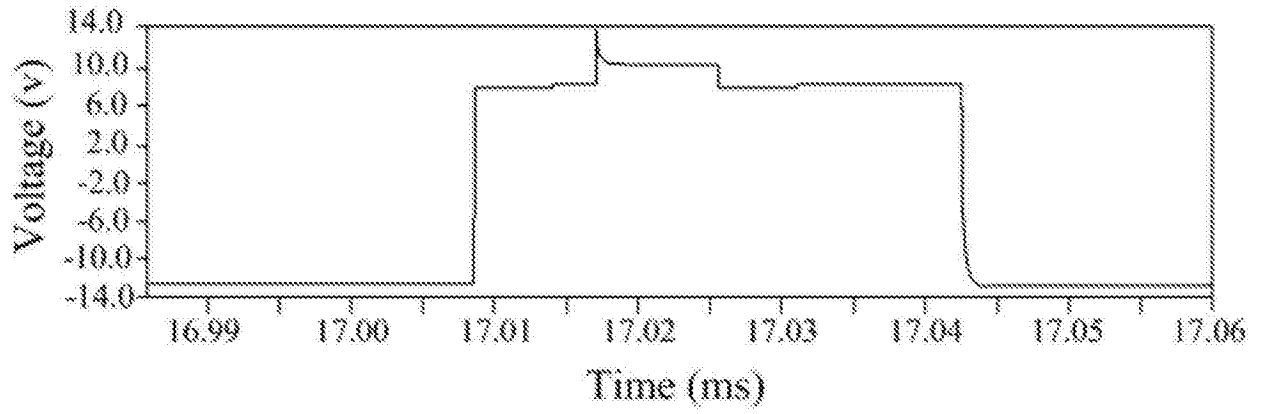


图9c

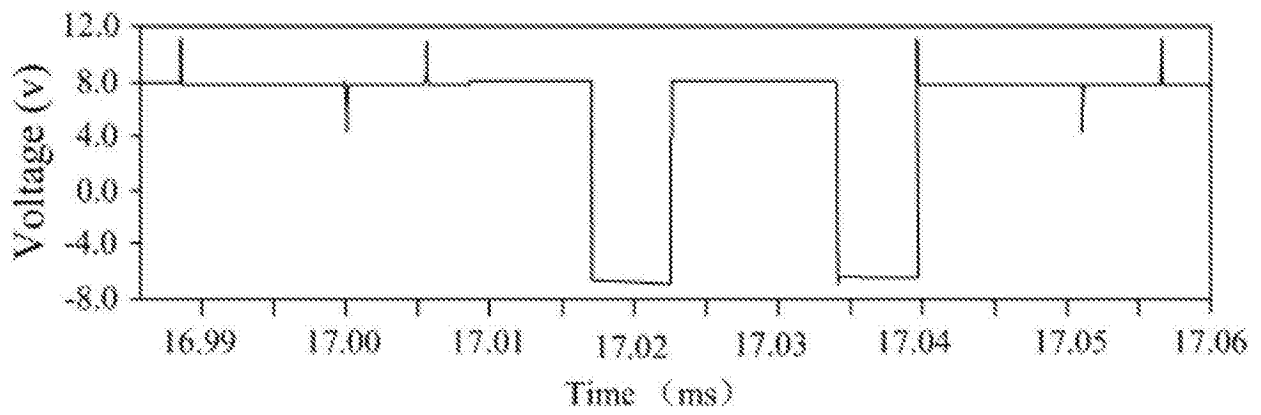


图9d

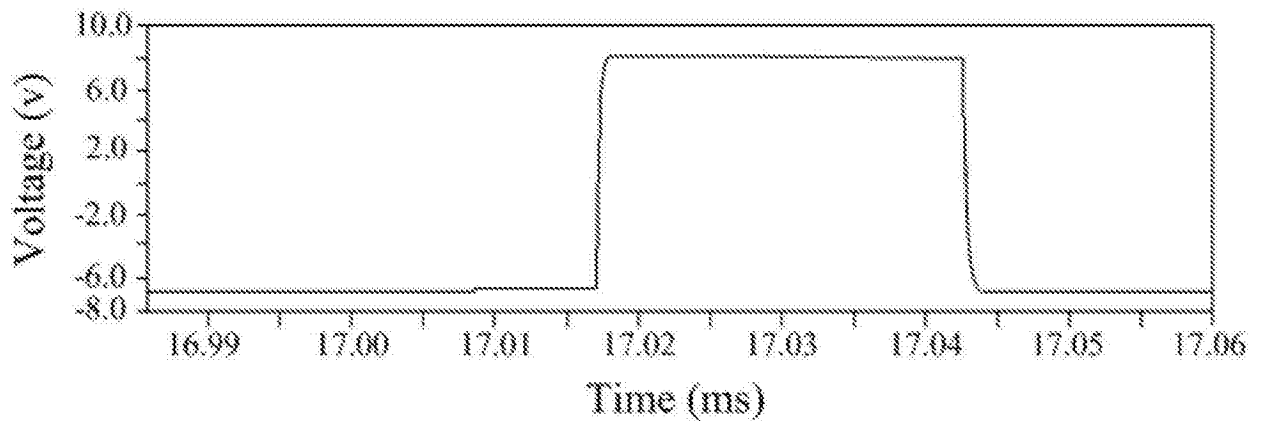


图9e

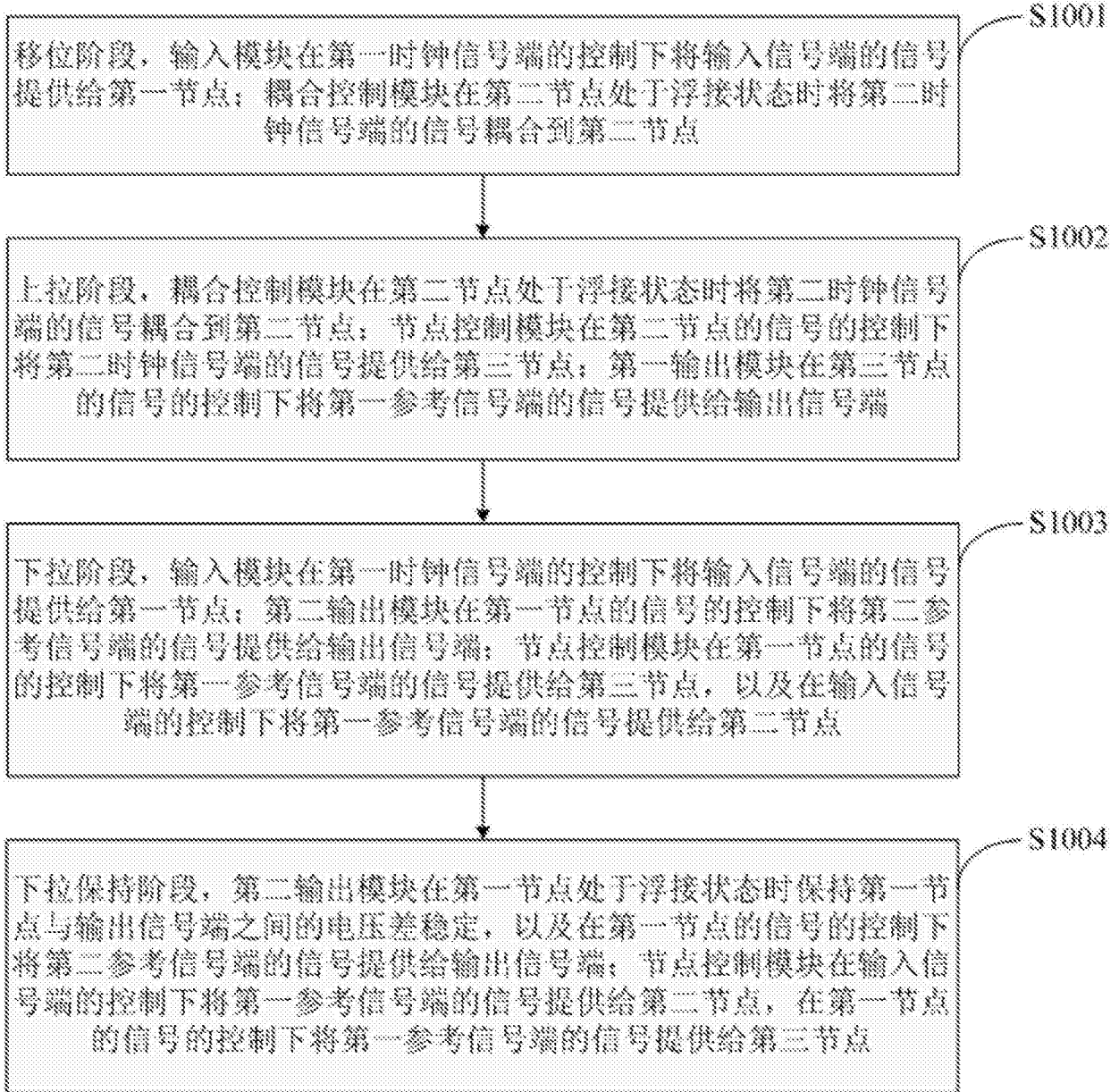


图10

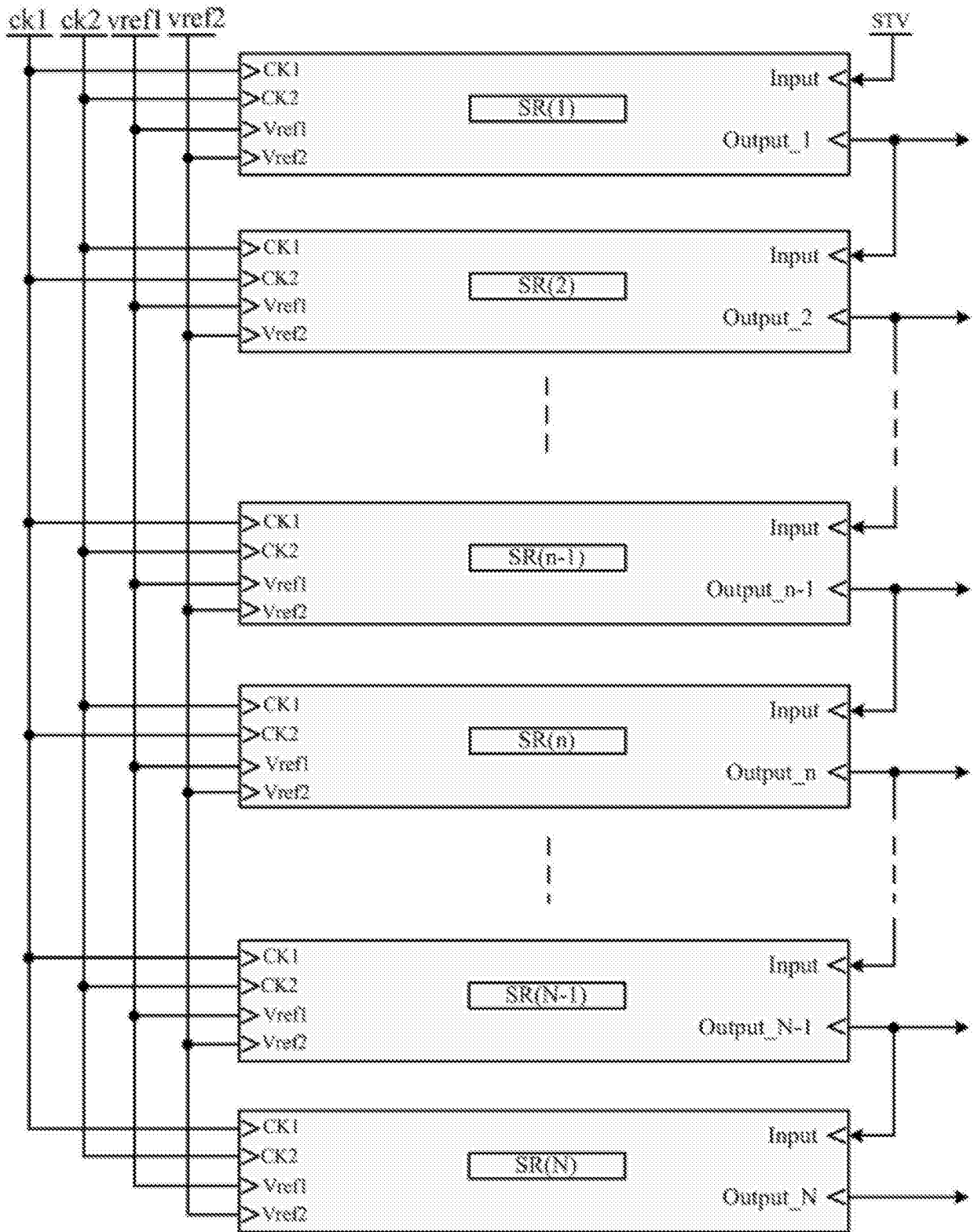


图11

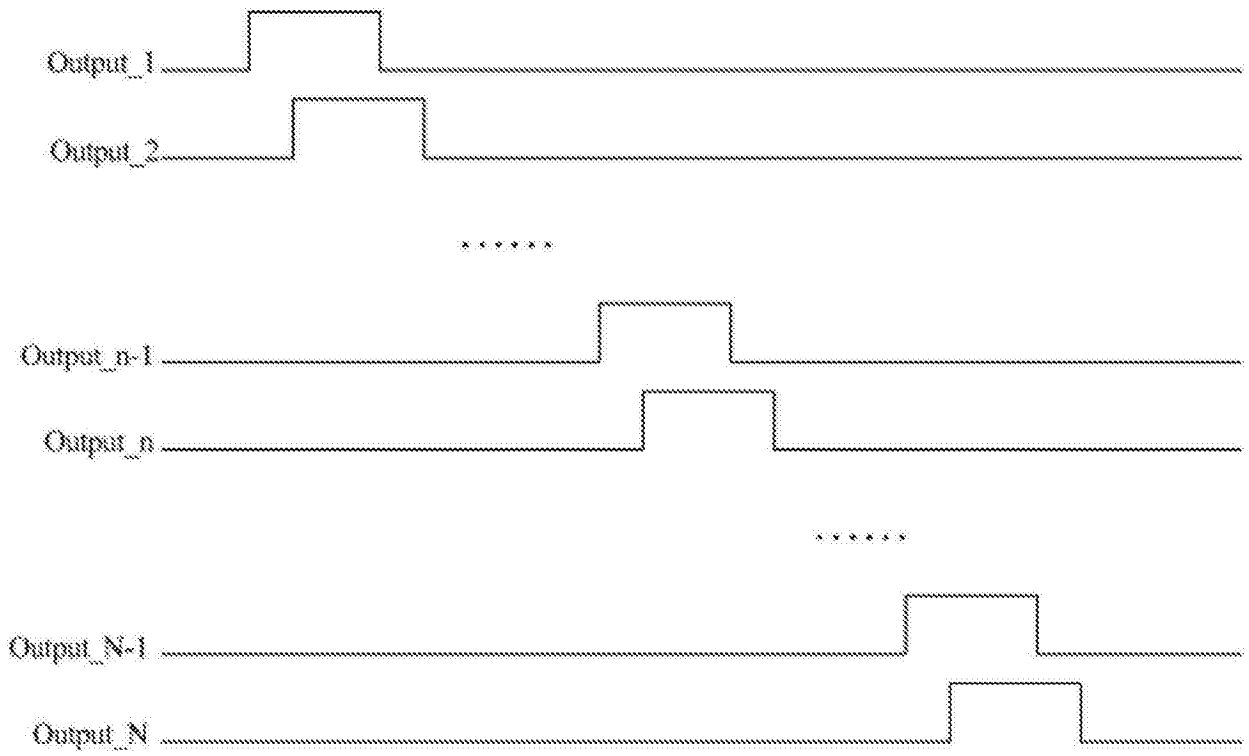


图12