

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5210806号
(P5210806)

(45) 発行日 平成25年6月12日(2013.6.12)

(24) 登録日 平成25年3月1日(2013.3.1)

(51) Int.Cl. F I
HO2M 3/155 (2006.01) HO2M 3/155 W
 HO2M 3/155 C

請求項の数 3 (全 9 頁)

(21) 出願番号	特願2008-284994 (P2008-284994)	(73) 特許権者	000116024 ローム株式会社
(22) 出願日	平成20年11月6日(2008.11.6)		京都府京都市右京区西院溝崎町2-1番地
(65) 公開番号	特開2010-114996 (P2010-114996A)	(74) 代理人	100085501 弁理士 佐野 静夫
(43) 公開日	平成22年5月20日(2010.5.20)	(74) 代理人	100134555 弁理士 林田 英樹
審査請求日	平成23年11月2日(2011.11.2)	(72) 発明者	御木 智幸 京都市右京区西院溝崎町2-1番地 ローム株式会社内
		(72) 発明者	西川 浩二 京都市右京区西院溝崎町2-1番地 ローム株式会社内

最終頁に続く

(54) 【発明の名称】 マルチフェーズ型DC/DCコンバータ

(57) 【特許請求の範囲】

【請求項1】

並列接続された複数のDC/DCコンバータ回路の出力位相を互いにずらして駆動する制御回路であって、

前記DC/DCコンバータ回路の駆動フェーズ数を任意に設定するフェーズ制御部と；

前記DC/DCコンバータ回路を用いて生成される出力電圧の過電圧が検出されたときに、前記駆動フェーズ数に依らず、全てのDC/DCコンバータ回路について、各々の出力段を形成するローサイドのトランジスタをオンとする過電圧保護部と；

を有して成ることを特徴とする制御回路。

【請求項2】

前記出力電圧と所定の基準電圧とを比較して比較信号を出力するコンパレータと；

前記比較信号をトリガとして所定のパルス幅を有するパルス信号を生成するパルス信号生成部と；

前記パルス信号のパルスを順次分配して、前記複数のDC/DCコンバータ回路に各々供給する駆動信号を生成するパルス分配部と；

を有して成り、

前記フェーズ制御部は、前記DC/DCコンバータ回路の駆動フェーズ数に応じて、前記パルス分配部のパルス分配数を制御し、

前記過電圧保護部は、前記出力電圧の過電圧が検出されているか否かに応じて、前記駆動信号の論理ゲート処理を行うことを特徴とする請求項1に記載の制御回路。

【請求項 3】

並列接続された複数の DC / DC コンバータ回路と、前記複数の DC / DC コンバータ回路の出力位相を互いにずらして駆動する請求項 1 または請求項 2 に記載の制御回路と、出力電圧の過電圧を検出する過電圧検出回路と、を有して成り、前記複数の DC / DC コンバータ回路の各出力を足し合わせることで、入力電圧から所望の出力電圧を生成することを特徴とするマルチフェーズ型 DC / DC コンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マルチフェーズ型 DC / DC コンバータに関するものである。

10

【背景技術】

【0002】

図 4 は、マルチフェーズ型 DC / DC コンバータの一従来例を示す回路ブロック図である。本図に示すように、本従来例のマルチフェーズ型 DC / DC コンバータは、並列接続された複数の DC / DC コンバータ回路 100 - 1 ~ 100 - m (ただし $m \geq 2$) と、DC / DC コンバータ回路 100 - 1 ~ 100 - m の出力位相を互いにずらして駆動するように駆動信号 $S_1 \sim S_m$ を生成する制御回路 200 と、を有して成り、DC / DC コンバータ回路 100 - 1 ~ 100 - m の各出力を足し合わせることで、入力電圧 V_{in} から所望の出力電圧 V_{out} を生成する構成とされていた。

【0003】

20

また、制御回路 200 は、外部入力されるフェーズ制御信号 PHASE に基づいて DC / DC コンバータ回路 100 - 1 ~ 100 - m の駆動フェーズ数 x (ただし $1 \leq x \leq m$) を任意に設定することが可能な構成とされていた。なお、DC / DC コンバータ回路 100 - 1 ~ 100 - m の駆動フェーズ数 x がその最大値 m より小さく設定されていた場合、駆動フェーズ以外の DC / DC コンバータ回路 100 - y (ただし $(x + 1) \leq y \leq m$) については、トランジスタ NH_y 、 NL_y がいずれもオフとされ、その出力端がハイインピーダンス状態とされていた。

【0004】

また、制御回路 200 は、出力電圧 V_{out} の過電圧が検出されたときに、駆動フェーズの DC / DC コンバータ回路 100 - x について、トランジスタ NH_x 、 NL_x のスイッチング動作を停止するとともに、ローサイドのトランジスタ NL_x をオンさせることにより、出力電圧 V_{out} を接地電位に引き下げる構成とされていた。

30

【0005】

なお、上記に関連する従来技術の一例としては、下記の特許文献 1 や特許文献 2 を挙げることができる。

【特許文献 1】特開 2003 - 284333 号公報

【特許文献 2】特開 2007 - 116834 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

40

確かに、上記従来 of マルチフェーズ型 DC / DC コンバータであれば、シングルフェーズ型 DC / DC コンバータに比べて負荷に大電流を出力することができるので、消費電流の大きい負荷 (CPU [Central Processing Unit] など) の電源として、好適に用いることが可能である。

【0007】

また、上記従来 of マルチフェーズ型 DC / DC コンバータであれば、出力電圧 V_{out} の過電圧が検出されたときに、先述の過電圧保護動作を行うことができるので、回路素子や負荷を保護することが可能である。

【0008】

しかしながら、上記従来 of マルチフェーズ型 DC / DC コンバータでは、DC / DC コ

50

ンバータ回路100-1~100-mの駆動フェーズ数xが最大値mよりも小さく設定されていた場合、駆動フェーズ以外のDC/DCコンバータ回路100-yについては、出力電圧Voutの過電圧が検出されているか否かに依ることなく、ローサイドのトランジスタNLyが常にオフとされていたので、全フェーズ駆動時に比べて、出力電圧Voutを接地電位に引き下げるスピードが遅いという課題があった。

【0009】

図5は、上記の従来課題を説明するためのタイミングチャートであり、上から順に、出力電圧Vout、過電圧検出信号OVP、トランジスタNL1のゲート信号、トランジスタNL2のゲート信号、及び、トランジスタNL3~NLmのゲート信号が各々描写されている。なお、図5では、駆動フェーズ数xが「2」に設定されているものとする。

10

【0010】

図5に示すように、2フェーズ駆動時において、出力電圧Voutの過電圧が検出された場合、駆動フェーズのDC/DCコンバータ100-1、100-2では、そのスイッチング動作が停止されるとともに、ローサイドのトランジスタNL1、NL2がオンされる。一方、駆動フェーズ以外のDC/DCコンバータ100-3~100-mでは、出力電圧Voutの過電圧が生じているか否かに依ることなく、ローサイドのトランジスタNL3~NLmが常にオフされたままとなる。

【0011】

すなわち、上記従来のマルチフェーズ型DC/DCコンバータでは、トランジスタNL3~NLmを介する放電経路が何ら活用されないため、全フェーズ駆動時に比べて、出力電圧Voutを接地電位に引き下げるスピードが遅くなってしまふ。

20

【0012】

本発明は、上記の問題点に鑑み、駆動フェーズ数に依らず、適切な過電圧保護動作を行うことが可能なマルチフェーズ型DC/DCコンバータを提供することを目的とする。

【課題を解決するための手段】

【0013】

上記目的を達成するために、本発明に係るマルチフェーズ型DC/DCコンバータ用の制御回路は、並列接続された複数のDC/DCコンバータ回路の出力位相を互いにずらして駆動する制御回路であって、前記DC/DCコンバータ回路の駆動フェーズ数を任意に設定するフェーズ制御部と；前記DC/DCコンバータ回路を用いて生成される出力電圧の過電圧が検出されたときに、前記駆動フェーズ数に依らず、全てのDC/DCコンバータ回路について、各々の出力段を形成するローサイドのトランジスタをオンとする過電圧保護部と；を有して成る構成（第1の構成）とされている。

30

【0014】

なお、上記第1の構成から成る制御回路は、前記出力電圧と所定の基準電圧とを比較して比較信号を出力するコンパレータと；前記比較信号をトリガとして所定のパルス幅を有するパルス信号を生成するパルス信号生成部と；前記パルス信号のパルスを順次分配して前記複数のDC/DCコンバータ回路に供給する駆動信号を生成するパルス分配部と；を有して成り、前記フェーズ制御部は、前記DC/DCコンバータ回路の駆動フェーズ数に応じて前記パルス分配部のパルス分配数を制御し、前記過電圧保護部は、前記出力電圧の過電圧が検出されているか否かに応じて前記駆動信号の論理ゲート処理を行う構成（第2の構成）にするとよい。

40

【0015】

また、本発明に係るマルチフェーズ型DC/DCコンバータは、並列接続された複数のDC/DCコンバータ回路と、前記複数のDC/DCコンバータ回路の出力位相を互いにずらして駆動する上記第1または第2の構成から成る制御回路と、出力電圧の過電圧を検出する過電圧検出回路と、を有して成り、前記複数のDC/DCコンバータ回路の各出力を足し合わせることで、入力電圧から所望の出力電圧を生成する構成（第3の構成）とされている。

【発明の効果】

50

【0016】

本発明によれば、駆動フェーズ数に依らず、適切な過電圧保護動作を行うことが可能なマルチフェーズ型DC/DCコンバータを提供することが可能となる。

【発明を実施するための最良の形態】

【0017】

図1は、本発明に係るマルチフェーズ型DC/DCコンバータの一実施形態を示すブロック図である。図1に示したように、本実施形態のマルチフェーズ型DC/DCコンバータは、並列接続された複数のDC/DCコンバータ回路10-1~10-m(ただしm>2)と、DC/DCコンバータ回路10-1~10-mの出力位相を互いにずらして駆動する制御回路20と、出力電圧Voutの過電圧を検出して過電圧検出信号OVPを生成する過電圧検出回路30(例えば、出力電圧Voutと所定の閾値電圧Vthとを比較するコンパレータ)と、を有して成り、DC/DCコンバータ回路10-1~10-mの各出力を足し合わせることで、入力電圧Vinから所望の出力電圧Voutを生成する構成とされている。

10

【0018】

DC/DCコンバータ回路10-k(ただし1<k<m)は、Nチャンネル型MOS電界効果トランジスタNHk、NLkと、インダクタLkと、ドライバDRVkと、を有して成る。トランジスタNHk、NLkは、入力電圧Vinの印加端と接地端との間に直列接続されており、互いの接続ノードは、インダクタLkの一端に接続されている。インダクタLkの他端は、出力電圧Voutの出力端に接続されている。出力電圧Voutの出力端と接地端との間には、キャパシタC1が接続されている。トランジスタNHk、NLkのゲートは、ドライバDRVkのゲート信号出力端に各々接続されている。

20

【0019】

ドライバDRVkは、制御回路20から入力される駆動信号Skに基づいて、トランジスタNHk、NLkのゲート信号を各々生成する。本実施形態に即してより具体的に述べると、ドライバDRVkには、上記した駆動信号Skとして、トランジスタNHkの駆動制御に用いられる駆動信号Sk(H)と、トランジスタNLkの駆動制御に用いられる駆動信号Sk(L)の2系統が入力されている。ドライバDRVkは、駆動信号Sk(H)がハイレベルであるときに、トランジスタNHkをオンとするように、逆に、駆動信号Sk(H)がローレベルであるときに、トランジスタNHkをオフとするように、トランジスタNHkのゲート信号を生成する。同様に、ドライバDRVkは、駆動信号Sk(L)がハイレベルであるときに、トランジスタNLkをオンとするように、逆に、駆動信号Sk(L)がローレベルであるときに、トランジスタNLkをオフとするように、トランジスタNLkのゲート信号を生成する。ただし、駆動信号Sk(H)、Sk(L)の論理レベルとトランジスタNHk、NLkのオン/オフ状態との上記関係はあくまで例示であって、逆でも構わない。

30

【0020】

一方、制御回路20は、コンパレータ21と、パルス信号生成部22と、パルス分配部23と、フェーズ制御部24と、過電圧保護部25と、を有して成る。

【0021】

コンパレータ21は、反転入力端(-)に入力される出力電圧Vout(ここでは、出力電圧Voutの分圧電圧も含むものとする)と、非反転入力端(+)に入力される所定の基準電圧Vrefと、を比較して比較信号を出力する。すなわち、比較信号の論理レベルは、出力電圧Voutが基準電圧Vrefよりも高いときにローレベルとなり、逆に、出力電圧Voutが基準電圧Vrefよりも低いときにハイレベルとなる。

40

【0022】

パルス信号生成部22は、上記した比較信号の立上がりエッジをトリガとして所定のパルス幅を有するパルス信号S0を生成する。

【0023】

パルス分配部23は、パルス信号S0のパルスを順次分配して駆動信号S1~Smを生

50

成する。

【 0 0 2 4 】

フェーズ制御部 2 4 は、フェーズ制御信号 P H A S E の入力を受けて、D C / D C コンバータ回路 1 0 - 1 ~ 1 0 - m の駆動フェーズ数 x を任意に設定する。具体的に述べるとフェーズ制御部 2 4 は、D C / D C コンバータ回路 1 0 - 1 ~ 1 0 - m の駆動フェーズ数 x に応じて、パルス分配部 2 3 で設定されるパルス信号 S 0 のパルス分配数を制御する。

【 0 0 2 5 】

過電圧保護部 2 5 は、過電圧検出回路 3 0 から入力される過電圧検出信号 O V P に基づいて、出力電圧 V o u t の過電圧が検出されていると判断したときに、フェーズ制御信号 P H A S E によって設定された駆動フェーズ数 x に依ることなく、全ての D C / D C コンバータ回路 1 0 - 1 ~ 1 0 - m について、各々の出力段を形成するローサイドのトランジスタ N L 1 ~ N L m を強制的にオンとする。

10

【 0 0 2 6 】

図 2 は、過電圧保護部 2 5 の一構成例を示す図である。図 2 に示すように、本構成例の過電圧保護部 2 5 は、論理積演算器 A N D 1 ~ A N D m と、論理和演算器 O R 1 ~ O R m と、を有して成る。

【 0 0 2 7 】

論理積演算器 A N D k (ただし 1 ≤ k ≤ m) は、過電圧検出信号 O V P の論理反転信号と駆動信号 S k (H) との論理積演算信号をドライバ D R V k に出力する。論理和演算器 O R k は、過電圧検出信号 O V P と駆動信号 S k (L) との論理和演算信号をドライバ D R V k に出力する。

20

【 0 0 2 8 】

上記構成から成る過電圧保護部 2 5 において、過電圧検出信号 O V P がローレベルである場合、論理積演算器 A N D k は、駆動信号 S k (H) をドライバ D R V k にスルー出力する形となり、論理和演算器 O R k は、駆動信号 S k (L) をドライバ D R V k にスルー出力する形となる。従って、D C / D C コンバータ回路 1 0 - k の出力段を形成するハイサイドのトランジスタ N H k、及び、ローサイドのトランジスタ N L k は、それぞれ、駆動信号 S k (H)、S k (L) に基づいてオン/オフ制御される。

【 0 0 2 9 】

一方、過電圧検出信号 O V P がハイレベルである場合、論理積演算器 A N D k は、駆動信号 S k (H) に依ることなく、ドライバ D R V k にローレベルを出力する形となり、論理和演算器 O R k は、駆動信号 S k (L) に依ることなく、ドライバ D R V k にハイレベルを出力する形となる。従って、D C / D C コンバータ回路 1 0 - k の出力段を形成するハイサイドのトランジスタ N H k は強制的にオフとされ、ローサイドのトランジスタ N L k は強制的にオンとされる。

30

【 0 0 3 0 】

図 3 は、過電圧保護動作の一例を示すタイミングチャートであり、上から順に、出力電圧 V o u t、過電圧検出信号 O V P、パルス信号 S 0、及び、駆動信号 S 1 ~ S m の挙動を示している。なお、図 3 では駆動フェーズ数 x が「 2 」に設定されているものとする。

【 0 0 3 1 】

出力電圧 V o u t が徐々に低下して基準電圧 V r e f を下回ると、コンパレータ 2 1 の比較信号 (図 3 では不図示) がローレベルからハイレベルに立ち上がる。パルス信号生成部 2 2 は、上記比較信号の立ち上がり時点から、所定のオン時間が経過するまでの間、パルス信号 S 0 をハイレベルに立ち上げ、その後パルス信号 S 0 をローレベルに立ち下げる。すなわち、パルス信号生成部 2 2 では、比較信号の立ち上がりエッジをトリガとして所定のパルス幅を有するパルス信号 S 0 が生成される。

40

【 0 0 3 2 】

パルス分配部 2 3 は、パルス信号 S 0 のパルスを 2 系統に順次分配して、駆動信号 S 1 (H、L)、S 2 (H、L) を生成し、これをドライバ D R V 1、D R V 2 に出力する。また、パルス分配部 2 3 は、駆動フェーズ以外の D C / D C コンバータ回路 1 0 - 3 ~ 1

50

0 - m に対して、ローレベルに固定された駆動信号 $S_3 \sim S_m$ (H、L) を出力する。

【0033】

なお、時刻 t_1 以前では、出力電圧 V_{out} の過電圧が生じておらず、過電圧検出回路 30 で生成される過電圧検出信号 OV_P がローレベルに維持されているため、過電圧保護部 25 は、上記の駆動信号 $S_1 \sim S_m$ をドライバ $DRV_1 \sim DRV_m$ にスルー出力する。その結果、駆動フェーズの DC / DC コンバータ回路 10 - 1、10 - 2 は、その出力位相を互いにずらした形で駆動され、駆動フェーズ以外の DC / DC コンバータ回路 10 - 3 ~ 10 - m は、その出力端がハイインピーダンス状態とされる。

【0034】

時刻 t_1 以前では、出力電圧 V_{out} が基準電圧 V_{ref} を下回るレベルまで低下する度に、駆動フェーズを順次切り替えながら、上述の動作が繰り返されるが、時刻 t_1 において、過電圧検出回路 30 で出力電圧 V_{out} の過電圧が検出され、過電圧検出信号 OV_P がハイレベルに遷移されると、過電圧保護部 25 は、先述したように、フェーズ制御信号 $PHASE$ によって設定された駆動フェーズ数 x に依ることなく、全ての DC / DC コンバータ回路 10 - 1 ~ 10 - m について、各々の出力段を形成するハイサイドのトランジスタ $NH_1 \sim NH_m$ を強制的にオフとし、かつ、ローサイドのトランジスタ $NL_1 \sim NL_m$ を強制的にオンとする。

【0035】

このような構成とすることにより、出力電圧 V_{out} の過電圧が検出されたときには、駆動フェーズの DC / DC コンバータ 10 - 1、10 - 2 に含まれるローサイドのトランジスタ NL_1 、 NL_2 を介した放電経路に加えて、駆動フェーズ以外の DC / DC コンバータ 10 - 3 ~ 10 - m に含まれるローサイドのトランジスタ $NL_3 \sim NL_m$ を介した放電経路についても、これを積極的に活用することができるので、より早急に出力電圧 V_{out} を接地電位に引き下げることが可能となる。

【0036】

なお、本発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。

【0037】

例えば、上記実施形態では、DC / DC コンバータ回路 10 - 1 ~ 10 - m に含まれるハイサイドスイッチとして、Nチャネル型 MOS 電界効果トランジスタ $NH_1 \sim NH_m$ を用いた構成を例示して説明を行ったが、本発明の構成はこれに限定されるものではなく、Pチャネル型 MOS 電界効果トランジスタを用いても構わない。

【0038】

また、上記実施形態では、コンパレータ 21 の比較信号からパルス信号 S_0 を生成し、そのパルスを順次分配することで、m 系統の駆動信号 $S_1 \sim S_m$ を生成する構成を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、上記比較信号のパルスを順次分配することで m 系統の比較信号を生成しておき、これら m 系統の比較信号から駆動信号 $S_1 \sim S_m$ を生成する構成（すなわち、図 1 のパルス信号生成部 22 とパルス分配部 23 の接続順序を逆転させた構成）としても構わない。

【0039】

また、上記実施形態では、DC / DC コンバータ回路 10 - 1 ~ 10 - m として、降圧回路を用いた構成を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、昇圧回路を用いても構わない。

【産業上の利用可能性】

【0040】

本発明は、CPU などの電源として用いられるマルチフェーズ型 DC / DC コンバータに好適な技術であり、特に、その過電圧保護技術として有用である。

【図面の簡単な説明】

【0041】

【図 1】は、本発明に係るマルチフェーズ型 DC / DC コンバータの一実施形態を示すブ

10

20

30

40

50

ロック図である。

【図2】は、過電圧保護部25の一構成例を示す図である。

【図3】は、過電圧保護動作の一例を示すタイミングチャートである。

【図4】は、マルチフェーズ型DC/DCコンバータの一従来例を示すブロック図である。

【図5】は、従来課題を説明するためのタイミングチャートである。

【符号の説明】

【0042】

10-1 ~ 10-m DC/DCコンバータ回路

20 制御回路

21 コンパレータ

22 パルス信号生成部

23 パルス分配部

24 フェーズ制御部

25 過電圧保護部

30 過電圧検出回路

DRV1 ~ DRVm ドライバ

NH1 ~ NHm Nチャンネル型MOS電界効果トランジスタ(ハイサイド)

NL1 ~ NLm Nチャンネル型MOS電界効果トランジスタ(ローサイド)

L1 ~ Lm インダクタ

C1 キャパシタ

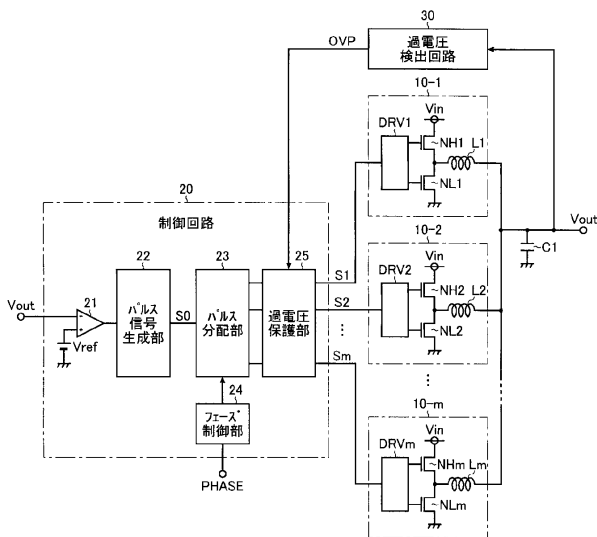
AND1 ~ ANDm 論理積演算器

OR1 ~ ORm 論理和演算器

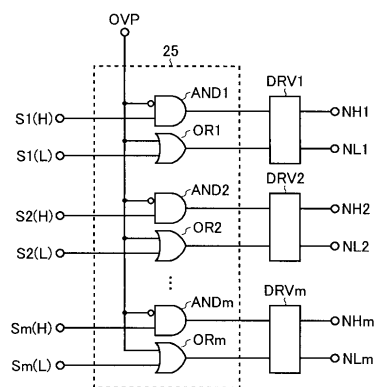
10

20

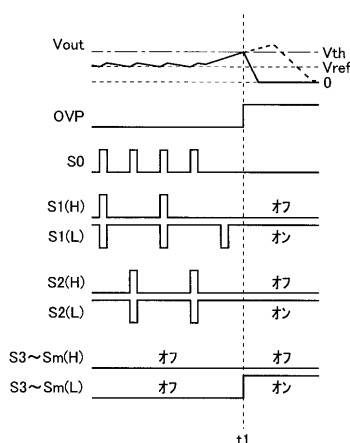
【図1】



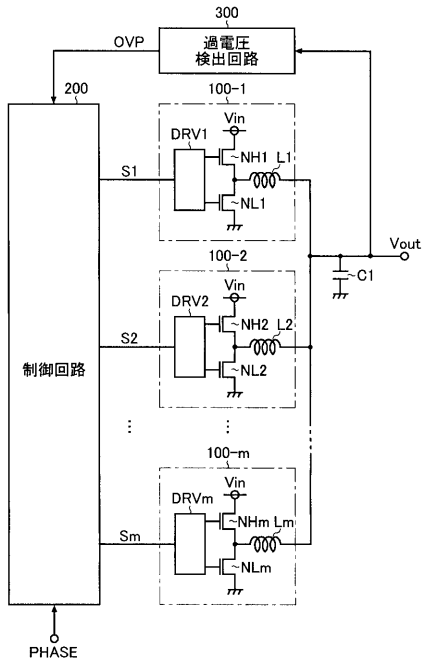
【図2】



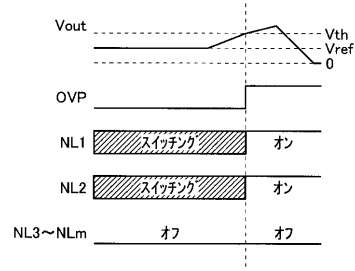
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 門脇 圭亮
京都市右京区西院溝崎町2番地 ローム株式会社内

審査官 武市 匡紘

(56)参考文献 特開2002-044941(JP,A)
特開平11-187651(JP,A)
特開2007-116834(JP,A)
特開2003-284333(JP,A)
特開2001-78441(JP,A)
特開2001-16859(JP,A)

(58)調査した分野(Int.Cl., DB名)
H02M 3/00 - 3/44
H02M 7/42 - 7/98