

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-219655
(P2016-219655A)

(43) 公開日 平成28年12月22日 (2016. 12. 22)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/3205 (2006. 01)	HO 1 L 21/88 T	5 F 0 3 3
HO 1 L 21/768 (2006. 01)	HO 1 L 25/08 C	5 F 0 8 3
HO 1 L 23/522 (2006. 01)	HO 1 L 25/08 B	
HO 1 L 25/065 (2006. 01)	HO 1 L 27/10 6 2 1 C	
HO 1 L 25/07 (2006. 01)	HO 1 L 27/10 6 8 1 C	

審査請求 未請求 請求項の数 19 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2015-104670 (P2015-104670)
(22) 出願日 平成27年5月22日 (2015. 5. 22)

(71) 出願人 595168543
マイクロン テクノロジー, インク.
アメリカ合衆国, アイダホ州 83716
-9632, ボイズ, サウス フェデ
ラル ウェイ 8000
(74) 代理人 100115738
弁理士 鷲頭 光宏
(74) 代理人 100121681
弁理士 緒方 和文
(74) 代理人 100130982
弁理士 黒瀬 泰之
(72) 発明者 中村 暢之
東京都中央区八重洲二丁目2番1号 マイ
クロンメモリジャパン株式会社内

最終頁に続く

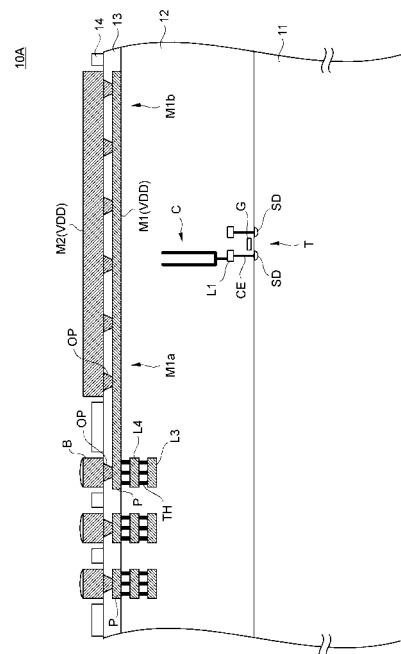
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】半導体装置において電源を強化する。

【解決手段】基板 11 の一主面に形成され、パンプ B と電気的に接続されたパッド P と、パッド P と電気的に接続された第 1 の金属配線 M 2 と、少なくとも一部がパンプ B と同じ金属層に形成された第 2 の金属配線 M 2 とを備える。第 1 の金属配線 M 1 は、第 1 部分 M 1 a と第 2 部分 M 1 b とを有し、第 1 の金属配線 M 1 の第 1 部分 M 1 a と第 2 部分 M 1 b とは、それぞれ、第 2 の金属配線 M 2 と電気的に接続される。

【選択図】 図 2



【特許請求の範囲】**【請求項 1】**

第 1 基板と、

前記第 1 基板に積層され、 bumps 群を介して前記第 1 基板と電氣的に接続された第 2 基板と、

前記第 1 基板の一主面に形成され、前記 bumps 群に含まれる第 1 の bump と電氣的に接続されたパッドと、

前記パッドと電氣的に接続された第 1 の金属配線と、を備え、

前記第 1 の金属配線は、第 1 部分と第 2 部分とを有し、

前記第 1 の金属配線の前記第 1 部分と前記第 2 部分とは、それぞれ、少なくとも一部が前記第 1 の bump と同じ金属層に形成された第 2 の金属配線と電氣的に接続される、半導体装置。 10

【請求項 2】

前記パッドと前記第 1 の金属配線は、いずれも第 1 の金属層に形成される請求項 1 に記載の半導体装置。

【請求項 3】

前記パッドの下方には、前記第 1 基板を貫通する貫通電極が形成されている請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記第 1 の bump は第 1 基板の他主面に形成され、前記貫通電極と電氣的に接続される請求項 3 に記載の半導体装置。 20

【請求項 5】

前記第 1 の bump は前記パッドの上方に形成されている請求項 1 から 3 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記 bumps 群は、平面視で前記第 1 基板の略中央部にマトリクス配置されている請求項 1 から 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】

前記 bumps 群は、平面視で前記第 1 基板の四辺のうち、一辺近傍にマトリクス配置されている請求項 1 から 5 のいずれか 1 項に記載の半導体装置。 30

【請求項 8】

前記第 2 の金属配線の厚さは、前記第 1 の金属配線の厚さよりも厚い請求項 1 から 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】

前記第 2 の金属配線の主たる導電材料の比抵抗は、前記第 1 の金属配線の主たる導電材料の比抵抗よりも小さい請求項 1 から 8 のいずれか 1 項に記載の半導体装置。

【請求項 10】

前記第 1 の金属配線の前記第 1 部分は、前記パッド近傍に配置され、前記第 1 の金属配線の前記第 2 部分は、前記第 1 基板の前記一主面上であって、前記第 1 基板の四辺のうち、いずれか一辺の近傍に配置されている請求項 1 から 9 のいずれか 1 項に記載の半導体装置。 40

【請求項 11】

前記第 1 の金属配線の前記第 1 部分及び前記第 2 部分は、前記第 1 基板の主面上に配置された 2 つのメモリセルマトリクスに挟まれた領域に配置されている請求項 1 から 10 のいずれか 1 項に記載の半導体装置。

【請求項 12】

前記第 1 部分及び前記第 2 部分は、互いに接し、連続的に形成されている請求項 1 から 11 のいずれか 1 項に記載の半導体装置。

【請求項 13】

前記第 1 の金属配線上に形成され、第 1 の金属配線の延在方向に延在する溝を有する絶 50

縁膜をさらに備え、

前記第 2 の金属配線は、底部が前記第 1 の金属配線の上面に接し、前記溝内に埋設された金属材料を含む請求項 1 から 1 2 のいずれか 1 項に記載の半導体装置。

【請求項 1 4】

前記第 2 の金属配線は電源電位または接地電位の給電専用配線である請求項 1 から 1 3 のいずれか 1 項に記載の半導体装置。

【請求項 1 5】

前記第 2 の金属配線の近傍に、前記第 2 の金属配線と電氣的に接続された探針測定用パッドが設けられている請求項 1 から 1 4 のいずれか 1 項に記載の半導体装置。

【請求項 1 6】

前記第 1 基板上に第 2 の bumps 群を介して積層された第 3 基板をさらに備え、前記第 2 基板と前記第 3 基板とは、前記第 1 基板を介して電氣的に接続される請求項 1 から 1 5 のいずれか 1 項に記載の半導体装置。

【請求項 1 7】

前記第 1 基板と前記第 2 基板は、同一の回路構成を有する半導体チップである請求項 1 から 1 6 のいずれか 1 項に記載の半導体装置。

【請求項 1 8】

第 1 基板と、前記第 1 基板に積層され、 bumps 群を介して前記第 1 基板と電氣的に接続された第 2 基板と、

前記第 1 基板の一主面に形成され、前記 bumps 群に含まれる第 1 の bump と電氣的に接続されたパッドと、

前記パッドと電氣的に接続された第 1 の金属配線と、を備え、

前記第 1 の金属配線は、第 1 部分と第 2 部分とを有し、

前記第 1 の金属配線の前記第 1 部分と前記第 2 部分とは、それぞれ、前記パッドを覆う絶縁層の上方に形成された第 2 の金属配線と電氣的に接続される、半導体装置。

【請求項 1 9】

第 1 基板、第 2 基板、および第 3 基板がこの順で積層された積層体を有し、

前記第 1 基板と前記第 2 基板との間は第 1 の bumps 群を介して接続され、

前記第 2 基板と前記第 3 基板との間は第 2 の bumps 群を介して接続され、

前記第 2 基板は、第 2 の bumps 群の各 bump の平面位置に配置された貫通電極群を有し

、
該半導体装置は、

前記第 2 基板の一主面に形成され、前記第 1 の bumps 群に含まれる第 1 の bump と電氣的に接続されたパッドと、

前記パッドと電氣的に接続された第 1 の金属配線と、を備え、

前記第 1 の金属配線は、第 1 部分と第 2 部分とを有し、

前記第 1 の金属配線の前記第 1 部分と前記第 2 部分とは、それぞれ、前記パッドを覆う絶縁層の上方に形成された第 2 の金属配線と電氣的に接続される、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に、複数の基板が 3 次元的に積層されてなる半導体装置に関する。

【背景技術】

【0002】

近年、半導体装置の高性能化を実現する技術の一つとして、複数の半導体チップを 3 次元的に積層する技術が注目されている。特に半導体チップの基板を貫通する貫通電極および bumps を介して、積層された複数の半導体チップ間を接続することで、極めて多くの信号線を短い配線長で接続可能となるため、高性能な半導体装置が得られる。しかし、貫通

10

20

30

40

50

電極やバンプの設置場所にはさまざまな制約があるため、半導体チップの平面上で偏って配置されることが多い。例えばワイド I O 型の D R A M (Dynamic Random Access Memory) の場合、ロジックチップ上に複数のメモリチップが積層されるが、貫通電極およびバンプはメモリチップの中央部に集中して配置される。一方、メモリチップは大容量化に伴ってチップサイズの大型化が進んでいる。これにより、チップの端部近傍に配置された回路ブロックほど貫通電極との距離が長くなるため、電源電位が変動しやすくなり、その結果、高速動作に対して不利となるという問題が生じる。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2005-167222号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1は、半導体チップ上に形成された電源パッドと半導体チップ周囲に設けられたパッケージ上の外部端子との間を金属ワイヤで接続する場合に、半導体チップ上に付加配線層を設ける技術が開示されている。これによれば、半導体チップと外部端子との間の電源供給線の電気抵抗を下げるができるものの、チップ内部の電源供給線の電気抵抗を下げることはできない。

【課題を解決するための手段】

【0005】

本発明による半導体装置は、第1基板と、前記第1基板に積層され、バンプ群を介して前記第1基板と電氣的に接続された第2基板と、前記第1基板の一主面に形成され、前記バンプ群に含まれる第1のバンプと電氣的に接続されたパッドと、前記パッドと電氣的に接続された第1の金属配線とを備える。前記第1の金属配線は、第1部分と第2部分とを有し、前記第1の金属配線の前記第1部分と前記第2部分とは、それぞれ、少なくとも一部が前記第1のバンプと同じ金属層に形成された第2の金属配線と電氣的に接続される。

【発明の効果】

【0006】

本発明によれば、複数の半導体チップがバンプ等の接続端子を介して互いに電氣的に接続され積層されてなる半導体装置であって、各々の半導体チップ内の電源電位給電線の電気抵抗を低減することができる。

【図面の簡単な説明】

【0007】

【図1】本発明の第1の実施形態によるメモリチップ10Aの主要部を示す略平面図である。

【図2】図1に示すa - a線に沿った略断面図である。

【図3】メモリチップ10Aの全体構成を示す平面図である。

【図4】メモリチップ10Aが他のチップに積層されてなる半導体装置20を示す断面図である。

【図5】本発明の第2の実施形態によるメモリチップ10Bの主要部を示す略平面図である。

【図6】図5に示すb - b線に沿った略断面図である。

【図7】本発明の第3の実施形態によるメモリチップ10Cの主要部を示す略平面図である。

【図8】本発明の第4の実施形態によるメモリチップ10Dの主要部を示す略断面図である。

【図9】本発明の第5の実施形態によるメモリチップ10Eの主要部を示す略平面図である。

【図10】図9に示すe - e線に沿った略断面図である。

10

20

30

40

50

【図 1 1】本発明の第 6 の実施形態によるメモリチップ 1 0 F の主要部を示す略断面図である。

【図 1 2】本発明の第 7 の実施形態によるメモリチップ 1 0 G の主要部を示す略断面図である。

【図 1 3】3 つのチップが積層されてなる半導体装置 3 0 を示す断面図である。

【図 1 4】辺に沿ってバンク群 B G が配置されたメモリチップ 1 0 I の構成を示す略平面図である。

【図 1 5】メモリチップ 1 0 A の変形例による全体構成を示す平面図である。

【発明を実施するための形態】

【0008】

以下、添付図面を参照しながら、本発明の好ましい実施形態について詳細に説明する。

【0009】

図 1 は、本発明の第 1 の実施形態によるメモリチップ 1 0 A の主要部を示す略平面図である。また、図 2 は、図 1 に示す a - a 線に沿った略断面図である。

【0010】

図 1 に示す平面図は、メモリチップ 1 0 A の外観の一部を拡大したものであり、マトリクス状にレイアウトされた複数のバンク B からなるバンク群 B G を備えている。各バンク B は当該メモリチップ 1 0 A の外部端子であり、電源端子や信号端子が含まれる。このうち、電源端子としては、電源電位 V D D が供給される端子と、接地電位 V S S が供給される端子が少なくとも含まれる。

【0011】

図 2 に示すように、メモリチップ 1 0 A は、単結晶シリコン (S i) などの半導体材料からなる基板 1 1 と、基板 1 1 の一主面を覆う絶縁層 1 2 と、絶縁層 1 2 の上面を覆うパッシベーション膜 1 3 と、パッシベーション膜 1 3 をさらに覆う保護膜 1 4 とを備えている。

【0012】

絶縁層 1 2 は、酸化シリコンや窒化シリコンなどの絶縁材料からなる多層膜であり、複数の金属配線層からなる多層配線構造や、種々の回路素子が埋め込まれている。図 2 に示す例では、3 つの金属配線層 L 1 , L 3 , L 4 が埋め込まれている例が示されているが、本発明がこれに限定されるものではない。また、図 2 には、回路素子の一例としてトランジスタ T 及びキャパシタ C が示されている。トランジスタ T は、基板 1 1 に設けられたソース/ドレイン領域 S D と、2 つのソース/ドレイン領域 S D 間を覆うゲート電極 G とを含む。ソース/ドレイン領域 S D は、コンタクト導体 C E を介して金属配線層 L 1 に接続されている。図 2 に示す例では、一方のソース/ドレイン領域 S D に接続された金属配線層 L 1 がキャパシタ C に接続されており、これによりトランジスタ T 及びキャパシタ C によって D R A M のメモリセルが構成されている。

【0013】

パッシベーション膜 1 3 及び保護膜 1 4 は、絶縁層 1 2 に埋め込まれた多層配線構造や回路素子を化学的及び物理的に保護するために設けられている。特に限定されるものではないが、パッシベーション膜 1 3 は窒化シリコンからなり、保護膜 1 4 はポリイミドからなる。

【0014】

図 2 に示すように、多層配線構造の最上層にはパッド P が設けられており、パッド P はパッシベーション膜 1 3 の開口 O P から露出している。パッド P の下部は、スルーホール導体 T H を介して金属配線層 L 4 , L 3 に接続されている。パッド P の上部には、それぞれ対応するバンク B が設けられている。バンク B はメモリチップ 1 0 A の外部端子であり、多層配線構造を構成する各金属配線層とは異なり、メッキによって形成される。このため、バンク B の高さ (厚さ) は、パッド P や配線層 L 4 などの厚さよりも大幅に厚い。また、多層配線構造を構成する各金属配線層の導電材料としては、主にアルミニウム (A l) が用いられるのに対し、バンク B の導電材料としては、より比抵抗の低い材料、例えば

10

20

30

40

50

銅 (Cu) などが好ましく用いられる。

【0015】

さらに、本実施形態によるメモリチップ10Aにおいては、一部のパッドPがそのまま延伸されて第1の金属配線M1を構成する。つまり、パッドPと第1の金属配線M1は、互いに同じ金属配線層(最上層の金属配線層)に位置する。図2に示す第1の金属配線M1(VDD)は、電源電位VDDが供給されるパッドPが延伸されたものである。図1に示すように、接地電位VSSが供給されるパッドPも延伸され、第1の金属配線M1(VSS)を構成する。

【0016】

第1の金属配線M1の上部には、パッシベーション膜13を介して第2の金属配線M2が配置される。第2の金属配線M2は、パンプBと同時に形成されるものであり、最外層に位置する再配線である。但し、パンプBの上面に設けられるハンダ層については省略されている。

10

【0017】

そして、第2の金属配線M2の底面は、パッシベーション膜13に設けられた複数の開口OPを介して、対応する第1の金属配線M1の上部に接している。これにより、第2の金属配線M2は、第1の金属配線M1に対する裏打ち配線として機能するため、当該電源配線の電気抵抗を大幅に低下させることが可能となる。つまり、パンプBから離れた位置における電源が強化され、これにより電源電位変動を抑制することが可能となる。例えば、第1の金属配線M1のうち、パンプBに近い部分を第1部分M1aとし、パンプBから遠い部分(つまり、チップのエッジに近い部分)を第2部分M1bとした場合、第2の金属配線M2が無ければ、パンプBと第2部分M1bとの間の電気抵抗が高くなってしまいが、本実施形態においては第2の金属配線M2によって裏打ちされる結果、これらの間の電気抵抗を大幅に低下させることが可能となる。

20

【0018】

図3は、メモリチップ10Aの全体構成を示す平面図である。

【0019】

図3に示すように、メモリチップ10Aは、4つのチャンネルCH0~CH3を備えており、チャンネルCH0とCH2の間、並びに、チャンネルCH1とCH3の間に、各チャンネルに対応するパンプ群BGが配置されている。図示しないが、各チャンネルCH0~CH3には、マトリクス状に配置された多数のメモリセル(メモリセルマトリクス)が含まれている。このようなレイアウトにより、チップの略中央部はパンプBからの距離が近い一方、チップのエッジ、特に図3に示す上辺および下辺近傍は、パンプBからの距離が遠くなる。

30

【0020】

しかしながら、本実施形態においては、パンプBと同じ金属層に設けられた第2の金属配線M2によって第1の金属配線M1が裏打ちされていることから、チップの四辺における電源が強化される。

【0021】

また、図3に示すように、チップの四辺近傍には、第2の金属配線M2に隣接してテストパッドTP(探針測定用パッド)が設けられている。テストパッドTPは、対応する第1の金属配線M1及び第2の金属配線M2に接続されている。これにより、パンプBが使用されないテスト動作時においても、パンプBが使用される実使用時と同様の電源条件を再現することができる。

40

【0022】

尚、図3に示す例では、各チャンネルCH0~CH3を横断するように第2の金属配線M2が配置されているが、第2の金属配線M2のレイアウトについては特に限定されず、例えば図15に示すように、2つのチャンネル間に沿って第2の金属配線M2を延伸させても構わない。

【0023】

50

図4は、メモリチップ10Aが他のチップに積層されてなる半導体装置20を示す断面図である。

【0024】

図4に示す半導体装置20は、パッケージ基板21を備え、その上面にコントロールチップSOCと、メモリチップ10Aが積層された構造を有している。コントロールチップSOCとメモリチップ10Aは、パッケージ基板21の上面を覆う封止樹脂22に埋め込まれている。パッケージ基板21の下面には、外部端子である多数のボール電極23が設けられている。

【0025】

図4に示すように、コントロールチップSOCのチップサイズは、メモリチップ10Aのチップサイズよりも小さい。しかしながら、 bumps群BGがメモリチップ10Aの略中央部に配置されているため、複数の bumps Bを介して、メモリチップ10AとコントロールチップSOCを電氣的に接続することができる。この場合、メモリチップ10Aの端部近傍は bumps Bからの距離が遠くなるが、上述の通り、メモリチップ10Aには第2の金属配線M2が設けられていることから、メモリチップ10Aの端部近傍における電源が強化される。

【0026】

図5は、本発明の第2の実施形態によるメモリチップ10Bの主要部を示す略平面図である。また、図6は、図5に示すb-b線に沿った略断面図である。

【0027】

図5及び図6に示すように、本実施形態によるメモリチップ10Bは、第2の金属配線M2が延伸方向において複数箇所に分断されている点において、第1の実施形態によるメモリチップ10Aと相違している。その他の構成は、第1の実施形態によるメモリチップ10Aと同一であることから、同一の要素には同一の符号を付し、重複する説明は省略する。

【0028】

本実施形態によるメモリチップ10Bは、第2の金属配線M2が複数箇所に分断されていることから、アンダーフィルの流動が妨げられない。これにより、メモリチップ10BをコントロールチップSOCに積層した後、メモリチップ10BとコントロールチップSOCとの隙間にアンダーフィルを確実に充填することが可能となる。

【0029】

図7は、本発明の第3の実施形態によるメモリチップ10Cの主要部を示す略平面図である。

【0030】

図7に示すように、本実施形態によるメモリチップ10Cは、第1の金属配線M1(VSS)及びM1(VDD)の両方を覆う第2の金属配線M2(VSS)及びM2(VDD)が交互に設けられている点において、第1の実施形態によるメモリチップ10Aと相違している。その他の構成は、第1の実施形態によるメモリチップ10Aと同一であることから、同一の要素には同一の符号を付し、重複する説明は省略する。

【0031】

本実施形態によるメモリチップ10Cは、第2の金属配線M2が第1の金属配線M1(VSS)及びM1(VDD)の両方を覆っていることから、第2の金属配線M2の配線幅を太くすることができる。また、第2の実施形態と同様、第2の金属配線M2が複数箇所に分断されていることから、アンダーフィルの流動が妨げられない。

【0032】

図8は、本発明の第4の実施形態によるメモリチップ10Dの主要部を示す略断面図である。

【0033】

図8に示すように、本実施形態によるメモリチップ10Dは、第2の金属配線M2とこれに対応する bumps Bが一体化している点において、第1の実施形態によるメモリチップ

10

20

30

40

50

10 Aと相違している。その他の構成は、第1の実施形態によるメモリチップ10 Aと同一であることから、同一の要素には同一の符号を付し、重複する説明は省略する。このように、第2の金属配線M2をバンプBとは別に設けることは必須でなく、両者を一体化させても構わない。

【0034】

図9は、本発明の第5の実施形態によるメモリチップ10 Eの主要部を示す略平面図である。また、図10は、図9に示すe - e線に沿った略断面図である。

【0035】

図9及び図10に示すように、本実施形態によるメモリチップ10 Eは、第1の金属配線M1に沿ってパッシベーション膜13に細長い複数の開口OPが設けられ、この開口OPに第2の金属配線M2が埋め込まれている点において、第1の実施形態によるメモリチップ10 Aと相違している。その他の構成は、第1の実施形態によるメモリチップ10 Aと同一であることから、同一の要素には同一の符号を付し、重複する説明は省略する。本実施形態によるメモリチップ10 Eによれば、メモリチップ10 EとコントロールチップSOCとの隙間にアンダーフィルをより確実に充填することが可能となる。

10

【0036】

図11は、本発明の第6の実施形態によるメモリチップ10 Fの主要部を示す略断面図である。

【0037】

図11に示すように、本実施形態によるメモリチップ10 Fは、バンプBと平面視で重なり、垂直方向に基板11を貫通する貫通電極TSVが設けられている点において、第1の実施形態によるメモリチップ10 Aと相違している。その他の構成は、第1の実施形態によるメモリチップ10 Aと同一であることから、同一の要素には同一の符号を付し、重複する説明は省略する。このように、本発明は、貫通電極TSVを有する半導体装置に適用することも可能である。貫通電極TSVは、配線層L2～L4及びパッドPを介して、対応するバンプBに接続されている。

20

【0038】

図12は、本発明の第7の実施形態によるメモリチップ10 Gの主要部を示す略断面図である。

【0039】

図12に示すように、本実施形態によるメモリチップ10 Gは、基板11の他表面に第3の金属配線M3が設けられている点において、第6の実施形態によるメモリチップ10 Fと相違している。その他の構成は、第6の実施形態によるメモリチップ10 Fと同一であることから、同一の要素には同一の符号を付し、重複する説明は省略する。このように、基板11の他表面に、第1の金属配線M1と電氣的に接続された第3の金属配線M3を設けることも可能である。この場合、第2の金属配線M2を省略しても構わない。

30

【0040】

図13は、3つのチップが積層されてなる半導体装置30を示す断面図である。図4に示した半導体装置20と同一の要素には同一の符号を付し、重複する説明は省略する。

【0041】

図13に示す半導体装置30は、コントロールチップSOC上にメモリチップ10 Gが積層され、さらに、メモリチップ10 G上に別のメモリチップ10 Hが積層された構成を有している。メモリチップ10 Gの構成は、図12に示したとおりであるが、第2の金属配線M2については省略されている。また、回路構成については、メモリチップ10 Gとメモリチップ10 Hは基本的に同一である。

40

【0042】

図13には、一部の貫通電極TSV及び第1の金属配線M1についても図示されている。図13から明らかなように、メモリチップ10 G、10 Hの遠端部に対しては、貫通電極TSV及び第3の金属配線M3を介して電源電位または接地電位が供給され、これにより電源の強化が図られている。

50

【 0 0 4 3 】

図 1 4 は、辺に沿ってバンク群 B G が配置されたメモリチップ 1 0 I の構成を示す略平面図である。

【 0 0 4 4 】

図 1 4 に示すメモリチップ 1 0 I のように、チップの辺に沿ってバンク群 B G が配置されている場合、一方のバンク群 B G に含まれる電源端子と、他方のバンク群 B G に含まれる電源端子とを、第 2 の金属配線 M 2 によって接続しても構わない。これによれば、チップの中央部における電源強化を図ることができる。

【 0 0 4 5 】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

10

【 0 0 4 6 】

例えば、上記の各実施形態では、メモリチップに第 2 の金属配線 M 2 を設けた場合を例に説明したが、本発明がこれに限定されるものではなく、他の種類の半導体チップに第 2 の金属配線 M 2 を設けても構わない。

【 符号の説明 】

【 0 0 4 7 】

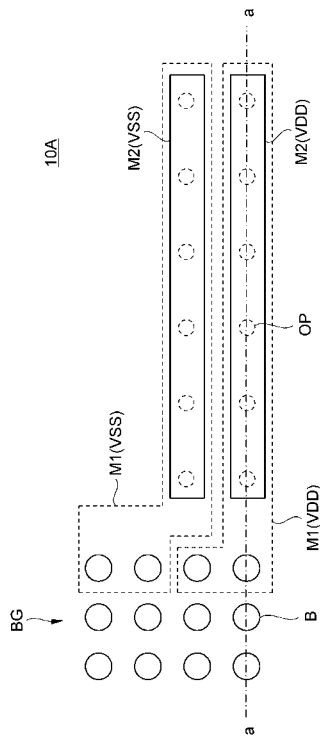
1 0 A ~ 1 0 I	メモリチップ
1 1	基板
1 2	絶縁層
1 3	パッシベーション膜
1 4	保護膜
2 0 , 3 0	半導体装置
2 1	パッケージ基板
2 2	封止樹脂
2 3	ボール電極
B	バンク
B G	バンク群
C	キャパシタ
C E	コンタクト導体
C H 0 ~ C H 3	チャネル
G	ゲート電極
L 1 ~ L 4	金属配線層
M 1	第 1 の金属配線
M 1 a	第 1 部分
M 1 b	第 2 部分
O P	開口
P	パッド
S D	ソース/ドレイン領域
S O C	コントロールチップ
T	トランジスタ
T H	スルーホール導体
T P	テストパッド
T S V	貫通電極

20

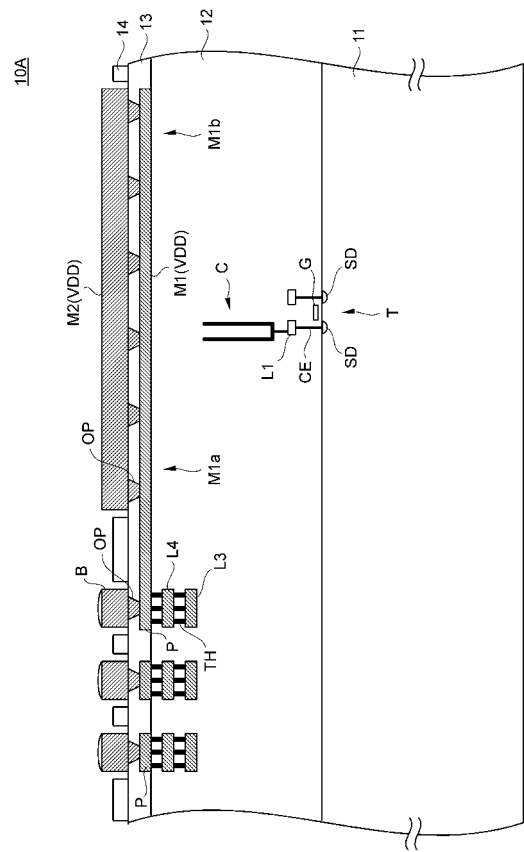
30

40

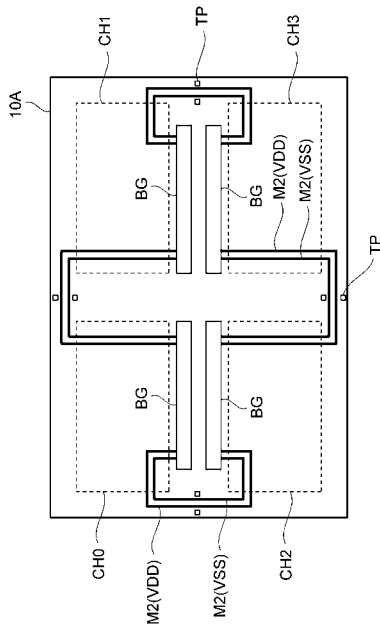
【 図 1 】



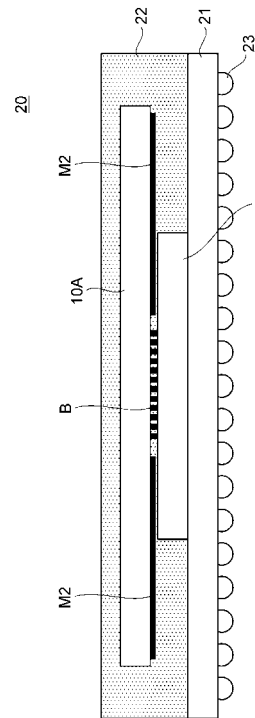
【 図 2 】



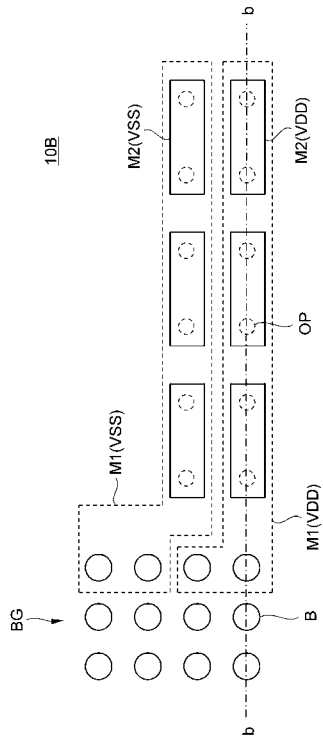
【 図 3 】



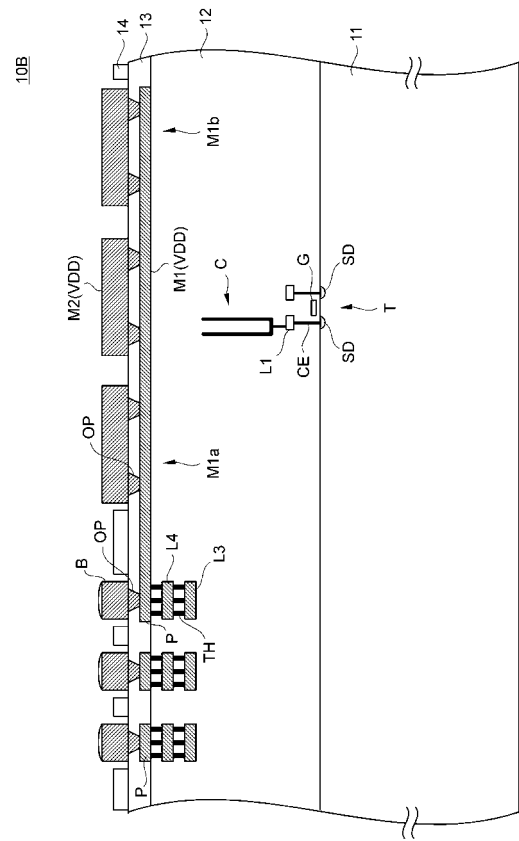
【 図 4 】



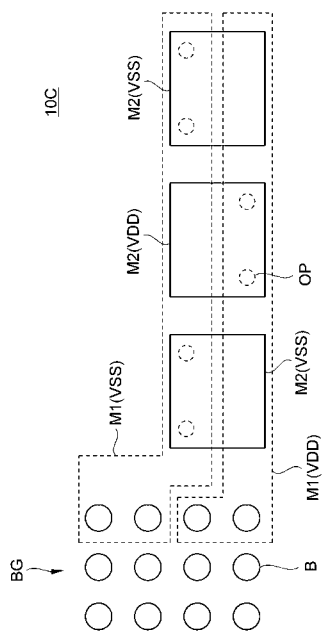
【 図 5 】



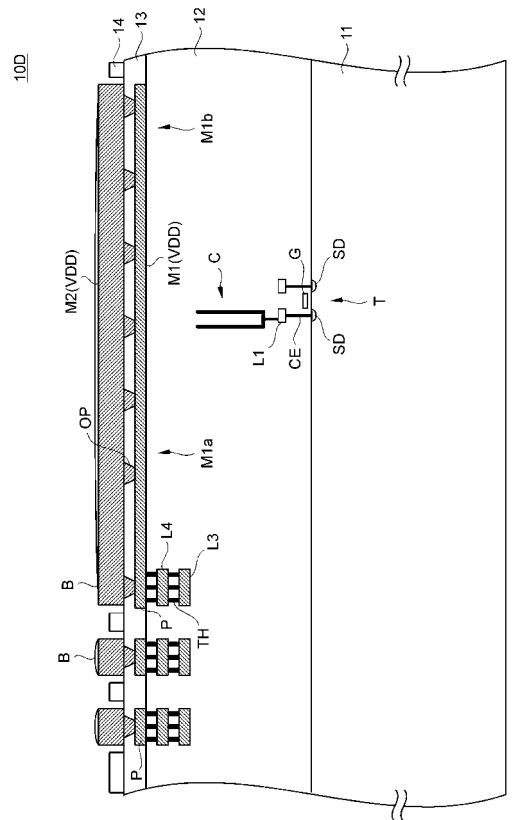
【 図 6 】



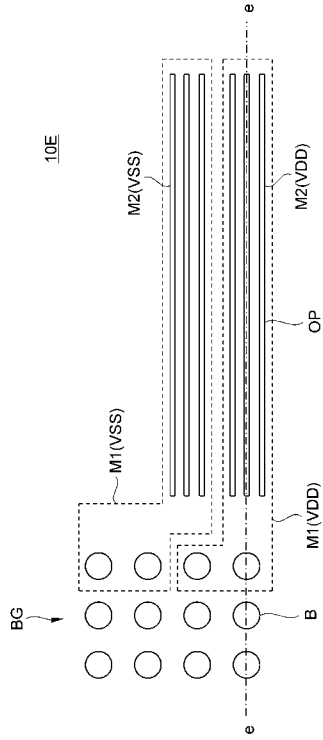
【 図 7 】



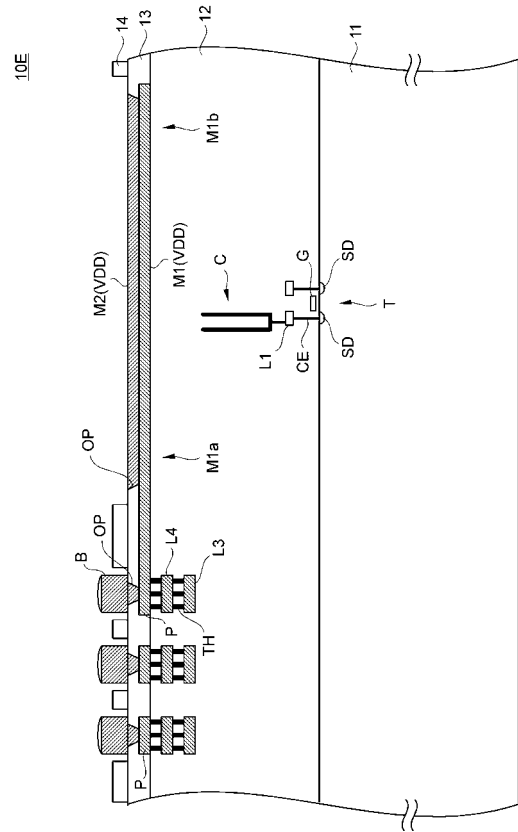
【 図 8 】



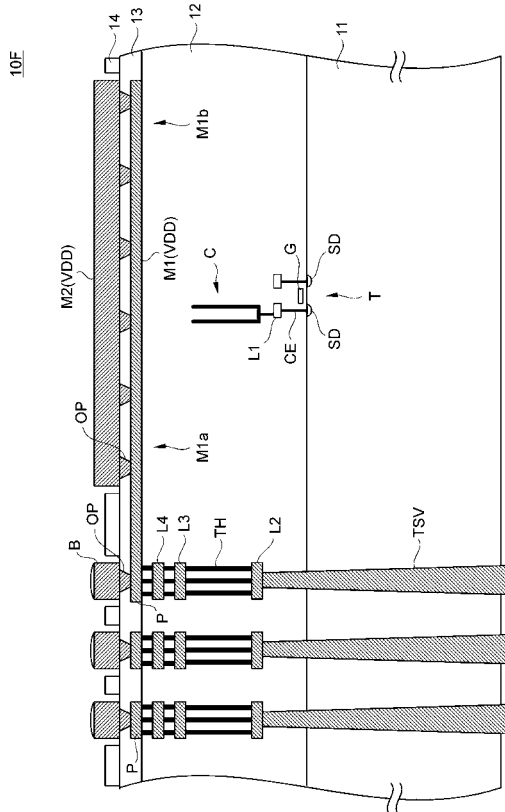
【 図 9 】



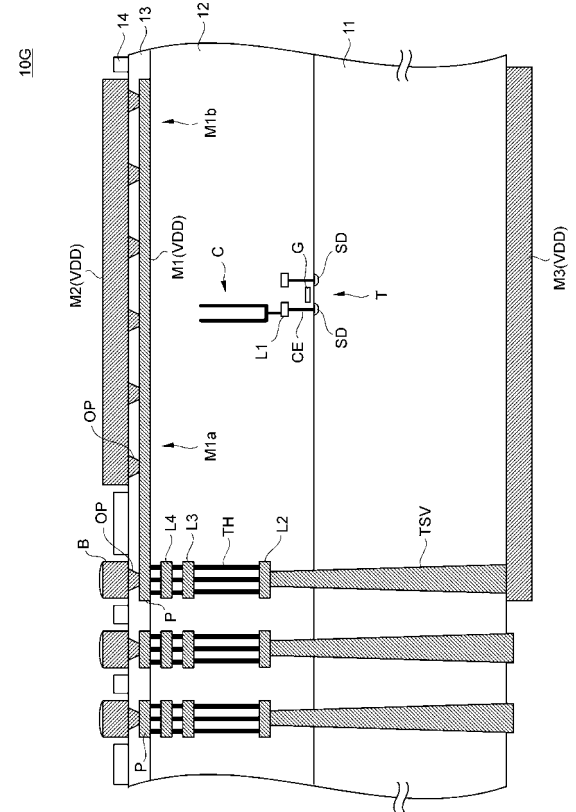
【 図 10 】



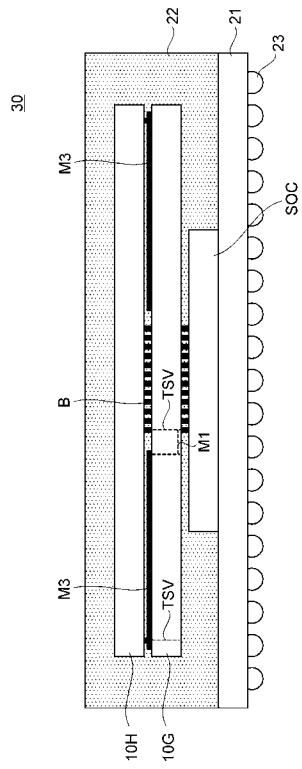
【 図 11 】



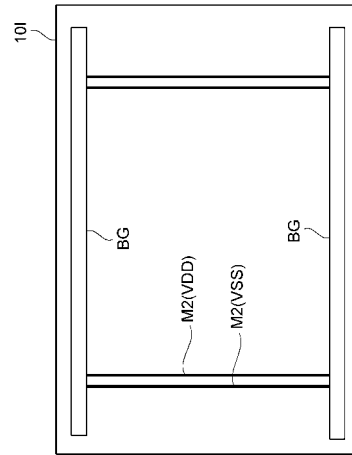
【 図 12 】



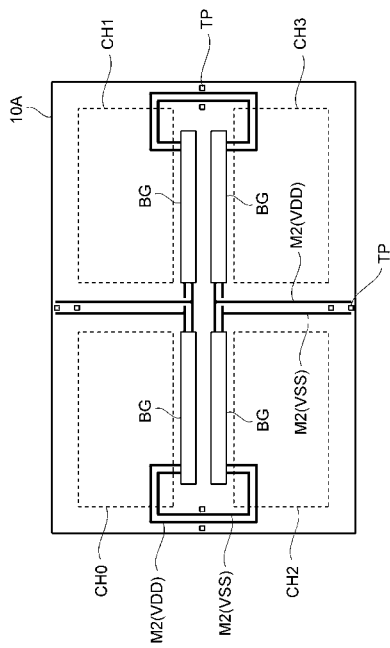
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 1 L 25/18 (2006.01)		H 0 1 L	27/10	6 8 1 E
H 0 1 L 21/8242 (2006.01)		H 0 1 L	21/88	J
H 0 1 L 27/108 (2006.01)				

(72)発明者 石川 透
東京都中央区八重洲二丁目2番1号 マイクロンメモリジャパン株式会社内

(72)発明者 中沢 茂行
東京都中央区八重洲二丁目2番1号 マイクロンメモリジャパン株式会社内

(72)発明者 鳥井 康司
東京都中央区八重洲二丁目2番1号 マイクロンメモリジャパン株式会社内

(72)発明者 谷口 暢孝
東京都中央区八重洲二丁目2番1号 マイクロンメモリジャパン株式会社内

Fターム(参考) 5F033 HH08 MM30 NN38 RR04 RR06 UU04 VV04 VV07 VV16 XX08
5F083 AD24 AD48 GA02 JA36 JA37 KA15 KA16 MA06 MA16 MA17
MA20 ZA29