



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I409923B1

(45)公告日：中華民國 102 (2013) 年 09 月 21 日

(21)申請案號：099112742

(22)申請日：中華民國 99 (2010) 年 04 月 22 日

(51)Int. Cl. : **H01L23/488 (2006.01)****H01L23/28 (2006.01)****H01L21/56 (2006.01)**

(30)優先權：2009/12/02 美國

12/591,812

(71)申請人：金龍國際公司(英屬維爾京群島) KING DRAGON INTERNATIONAL INC. (VG)
英屬維爾京群島

(72)發明人：楊文焜 YANG, WEN KUN (TW)

(74)代理人：江國慶

(56)參考文獻：

TW 201013858A1

US 2008/0121269A1

US 2008/0237828A1

審查人員：楊勝涵

申請專利範圍項數：10 項 圖式數：24 共 0 頁

(54)名稱

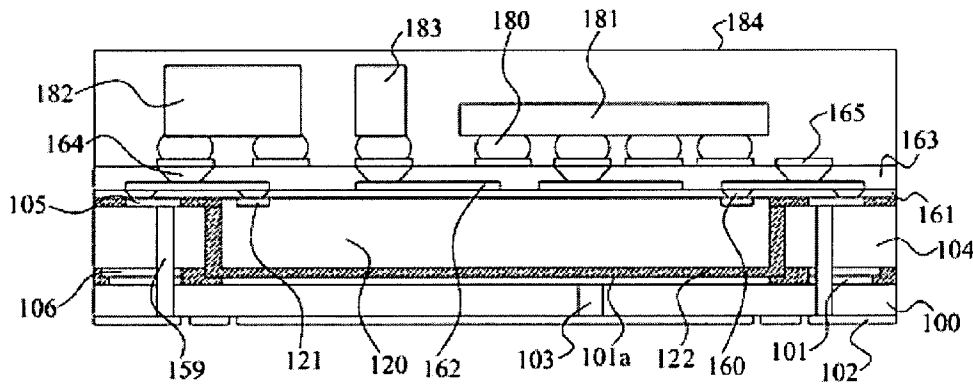
具有晶粒埋入式以及雙面覆蓋重增層之基板結構及其方法

SUBSTRATE STRUCTURE WITH DIE EMBEDDED INSIDE AND DUAL BUILD-UP LAYERS OVER BOTH SIDE SURFACES AND METHOD OF THE SAME

(57)摘要

本發明包含一具有晶粒形成於晶粒金屬墊之第一基板，一第一級一第二導線電路形成於第一基板之表面；一具有用以接收晶粒之晶粒開口之第二基板，一第三導線電路位於第二基板之上表面及一第四導線電路位於第二基板之底表面；一黏著層填入於上述晶粒背面與上述第一基板上表面之間的間隙；以及上述晶粒側壁與上述晶粒置入穿孔側壁之間的間隙；以及上述第二基板的背側。在此構造中，雷射被導入以切割第一基板之背面以形成一開孔，暴露晶片/晶粒之金或金/銀金屬層之部分背面。

The present invention comprises a first substrate with a die formed on a die metal pad, a first and a second wiring circuits formed on the surfaces of the first substrate. A second substrate has a die opening window for receiving the die, a third wiring circuit is formed on top surface of the second substrate and a fourth wiring circuit on bottom surface of the second substrate. An adhesive material is filled into the gap between back side of the die and top surface of the first substrate and between the side wall of the die and the side wall of the die receiving through hole and the bottom side of the second substrate. During the formation, laser is introduced to cut the backside of the first substrate and an opening hole is formed in the first substrate to expose a part of the backside of the Au or Au/Ag metal layer of chip/die.



圖十三

- 100 . . . 第一基板
- 101 . . . 導線圖案
- 101a . . . 晶粒金屬墊
- 102 . . . 導線圖案
- 103 . . . 導電穿孔
- 104 . . . 第二基板
- 105 . . . 導線圖案
- 106 . . . 導線圖案
- 120 . . . 晶粒/晶片
- 121 . . . 鋁質墊
- 159 . . . 導電穿孔
- 160 . . . 孔洞
- 161 . . . 第一介電層
- 162 . . . 重佈層金屬線
- 163 . . . 第二介電層
- 164 . . . 種晶金屬層
- 165 . . . 焊接金屬墊
- 180 . . . 焊接點
- 181 . . . 晶粒
- 182 . . . 電容
- 183 . . . 電阻
- 184 . . . 金屬覆蓋物

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99112742

※申請日： 99. 4. 22

※IPC 分類：

H01L 23/48 (2006.01)

H01L 23/48 (2006.01)

H01L 21/96 (2006.01)

一、發明名稱：(中文/英文)

具有晶粒埋入式以及雙面覆蓋重增層之基板結構及其方法/Substrate Structure with Die Embedded Inside and Dual Build-Up Layers over Both Side Surfaces and Method of the Same

二、中文發明摘要：

本發明包含一具有晶粒形成於晶粒金屬墊之第一基板，一第一級一第二導線電路形成於第一基板之表面；一具有用以接收晶粒之晶粒開口之第二基板，一第三導線電路位於第二基板之上表面及一第四導線電路位於第二基板之底表面；一黏著層填入於上述晶粒背面與上述第一基板上表面之間的間隙；以及上述晶粒側壁與上述晶粒置入穿孔側壁之間的間隙；以及上述第二基板的背側。在此構造中，雷射被導入以切割第一基板之背面以形成一開孔，暴露晶片/晶粒之金或金/銀金屬層之部分背面。

三、英文發明摘要：

The present invention comprises a first substrate with a die formed on a die metal pad, a first and a second wiring circuits formed on the surfaces of the first substrate. A second substrate has a die opening window for receiving the

die, a third wiring circuit is formed on top surface of the second substrate and a fourth wiring circuit on bottom surface of the second substrate. An adhesive material is filled into the gap between back side of the die and top surface of the first substrate and between the side wall of the die and the side wall of the die receiving through hole and the bottom side of the second substrate. During the formation, laser is introduced to cut the backside of the first substrate and an opening hole is formed in the first substrate to expose a part of the backside of the Au or Au/Ag metal layer of chip/die.

四、指定代表圖：

(一)本案指定代表圖：為第(十三)圖

(二)本代表圖之元件符號簡單說明：

- 100 第一基板
- 101 導線圖案
- 101a 晶粒金屬墊
- 102 導線圖案
- 103 導電穿孔
- 104 第二基板
- 105 導線圖案
- 106 導線圖案

- 120 晶粒/晶片
- 121 鋁質墊
- 159 導電穿孔
- 160 孔洞
- 161 第一介電層
- 162 重佈層金屬線
- 163 第二介電層
- 164 種晶金屬層
- 165 焊接金屬墊
- 180 焊接點
- 181 晶粒
- 182 電容
- 183 電阻
- 184 金屬覆蓋物

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明內容是關於一個形成面板型態封裝之晶粒埋入式(embedded dice inside)基板結構；更特別的是擴散式面板型態封裝(fan-out panel level package)具有覆蓋於雙面之重增層，以增加可靠度和降低此元件的大小(特別是在厚度方面)。

【先前技術】

在半導體元件的領域中，隨著元件尺寸不斷地縮小，元件密度也不斷地提高。在封裝或是內部連線方面的技術需求也必須要提高以符合上述情況。傳統上，在覆晶連接方法(flip-chip attachment method)中，一焊料凸塊陣列形成於上述晶粒的表面。上述焊料凸塊的形成可以藉由使用一焊接複合材料(solder composite material)，經過一焊接點遮罩(solder mask)來製造出所要的焊料凸塊圖案。晶片封裝的功能包含功率傳送(power distribution)、訊號傳送(signal distribution)、散熱(heat dissipation)、保護與支撐等等。當半導體變的更複雜，傳統的封裝技術，例如導線架封裝(lead frame package)、收縮式封裝(flex package)、硬式封裝技術(rigid package technique)，已無法滿足在一個更小的晶片上製造高密度元件之需求。

更者，因為傳統的封裝技術將晶圓上大的晶粒分成小的晶粒後，再分別加以封裝。因此，這些技術的製程是耗時的。至此晶片封裝技術高度地被積體電路的發展所影

響；所以，隨著電路大小之需求，也產生封裝技術之需求。依據上述理由，今日的封裝技術的發展趨勢是朝向球狀矩陣排列、覆晶、晶片尺寸封裝和晶圓級封裝。“晶圓級封裝”如同字面上的解釋，就是整個封裝與所有的內部連線跟其他製程一樣，都是在晶圓在切割成小晶粒之前被完成。一般來說，在完成所有組裝與封裝程序後，個別的半導體封包將從一個晶圓被分成複數個半導體晶粒。此晶圓級封裝具有極小尺寸與極優電性的結合。

藉由晶粒在完整的晶圓上製造與測試，晶圓級封裝技術是一個先進的封裝技術。之後，上述晶圓被切割成晶粒，以依照表面鑲嵌線 (surface-mount line) 裝配。因為上述晶圓級封裝技術將整片晶圓當成一個物件來利用，而非利用一晶片或是晶粒，因此在進行切割程序 (scribing process) 之前，就已經完成封裝與測試。更者，由於晶圓級封裝是如此先進的技術，所以可以省略打線 (wire bonding)，黏晶 (die mount)，覆膠 (molding) 及 / 或底膠填充 (under-fill) 之技術。藉由使用晶圓級封裝技術，可以節省成本與製程時間；且此技術之最終結構與此晶粒一樣；因此，此技術可以滿足電子元件小型化之需求。

雖然晶圓級封裝技術用有上述的優點，仍有一些存在的問題，影響著此技術的可接受度。例如，晶圓級封裝技術中其結構中一材料與主機板此兩材料間之熱膨脹係數差異；此者成為結構機械性不穩定 (mechanical instability) 的關鍵性因素。上述結構之總終端陣列數被晶片大小所限

制。在切割此晶圓之前，無法使用整片晶圓封裝中的多晶片及系統級封裝。美國專利 6,239,482B1(圖十五)揭露一具有機械性彎曲問題之封裝。這是因為前述先前技術將矽晶片 12 埋入於上述基板 18 或是核心區域，而且只用黏著材料 20 來支撐上述晶粒 12。眾所週知，在機械性彎曲 (mechanical bending) 的過程中，由於矽晶粒與基板材料 18 以及黏著材料 20 的硬度 (hardness) 與材料性質皆有所不同，此彎曲效應 (bending effect) 將造成材料邊界破裂，使重佈層金屬線 (RDL) 32 遭到損壞，可靠度測試 (reliability test) 也因此於機械應力項目失效。更者，由於介電層太厚 (介電層 22 與 16)，以及介電層 22、16、金屬 30 與材料 20 等等之間的熱膨脹係數不匹配，亦造成不佳的可靠度與良率。一揭露於美國專利 6,506,632B1(圖十六) 的封裝也面臨到同樣機構之問題。

更者，前述先前技術在形成面板型態封裝時需要複雜的製程。上述製程需要封裝用覆膠工具 (mold tool)，以及封裝材料的注射或是注射上述黏著材料的點膠機 (dispenser)。由於封裝化合物或環氧樹脂 (epoxy) 在熱固化之後會翹曲，晶粒與上述化合物的表面難以控制在相同的水平面，所以需要化學機械研磨製程來研磨此不平的表面。成本也因此而提高。

【發明內容】

本發明提供一具有應力緩衝性質與尺寸縮小化的晶粒埋入式基板結構，來解決上述的問題，並且提供一個較佳

的主機板級(Board Level)可靠度測試，例如彎曲、振動測試等等。

本發明內容之一目的為提供一具有極佳的熱膨漲係數匹配性能與縮小化尺寸的擴散式面板型態封裝。

本發明之另一目的為提供一擴散式面板型態封裝，其基板具有晶粒開口以改善機械可靠度與縮小元件的尺寸。

本發明之另一目的為提供一擴散式面板型態封裝，其基板具有晶粒開口，晶粒開口之側壁具有金屬以作為發光封裝應用之光反射器，並作為外殼。

本發明之另一目的為提供一擴散式面板型態封裝，其位於晶粒背面之基板開口(用以顯露)具有濺鍍金屬(例如銅/鎳/金)與電鍍銅或具有導線圖案之銅/鎳/金嵌埋入，以增加其導電性與熱傳導性。

本發明之另一目的為提供一形成面板型態基板之方法，以簡易方式將晶粒埋入以重新分配晶粒/晶片與基板，並填充黏著材料以形成應力緩衝層以黏接數種材料來形成面板型態基板的結構。

本發明之又一目的為提供一形成面板型態基板之方法，利用簡易之方式將濺鍍金屬(例如銅/鎳/金)與電鍍銅或具有導線圖案之銅/鎳/金嵌埋入，藉調整前述電鍍銅或銅/鎳/金之厚度，以獲得更好之機械性、導電性及熱傳導性能。

本發明內容揭露一基板結構，包含：一第一基板具有一晶粒金屬墊(它可以是一墊區域，而且不需要是金屬)，導線圖案形成於兩面(上表面與底表面)，一晶粒其背側有黏

著材料，藉此來與上述第一基板中的晶粒金屬墊黏接；一第二基板具有晶粒開口，且其兩面皆有導線圖案；一黏著材料(應力緩衝材料)被填入於上述晶粒背面與上述第一基板上表面之間的間隙；以及上述晶粒側壁與上述晶粒開口的側壁之間的間隙；以及上述第二基板的背側。本發明更包含形成於基板兩面的重增層，其中上述基板的兩面亦包含凸塊底層金屬結構；接下來進行表面鑲嵌製程，將晶圓級晶片尺寸封裝、晶片尺寸封裝、球狀矩陣排列/基板陣列矩陣，覆晶等等，與其它被動元件焊接至上述基板上表面，形成系統級封裝結構。

本發明另外揭露一基板結構，包含：一第一基板具有一可作為墊區域及晶粒背面開孔之晶粒金屬墊；一金屬層埋入該晶粒背面開孔，且於該第一基板的兩面(上表面與底表面)皆形成有導線圖案，其包含有銅箔基板(Copper Clad Laminate, CCL Cu)與電鍍銅(E-plating Cu)，一晶粒其背側有金或金/銀金屬層(例如：動力裝置、發光裝置...)，並與上述第一基板中的金屬黏接，該晶粒與該金屬層相黏接以外之部分，於金或金/銀金屬層之外側有黏著材料，藉此黏著材料與上述第一基板中的晶粒金屬墊黏接；一第二基板具有晶粒開口，且其兩面皆有導線圖案；一黏著材料(應力緩衝材料)被填入於上述晶粒背面之金或金/銀金屬層之外側與上述第一基板除與金屬層黏接以外之部份之上表面之間的間隙，以及上述晶粒側壁與上述晶粒開口的側壁之間的間隙；以及上述第二基板的背側。本發明更包含形成於

基板兩面的重增層，其中上述基板的兩面亦包含凸塊底層金屬結構；接下來進行表面鑲嵌製程，將晶圓級晶片尺寸封裝、晶片尺寸封裝、球狀矩陣排列/基板陣列矩陣，覆晶等等，與其它被動元件焊接至上述基板的上表面，形成系統級封裝結構。

本發明更揭露一供發光封裝應用之基板結構，包含：位於第一基板開孔由銅/鎳/金或合金鍍於側壁及邊緣角落之金屬；一電線，係使用成形方法或被附加於發光元件之預先製作之透鏡，以連接第一基板及透鏡之陽極至金屬墊。導線層之邊緣轉角/側壁被利用於作為「光反射器」，其可由發光元件(如 LED)反射光線，並增加發光元件之照明效率。

前述基板材料包含具環氧樹脂的耐高溫玻璃纖維板，玻璃纖維板(FR4, FR5)，雙馬來醯亞胺三氮雜苯樹脂(BT)，矽，印刷電路板材料，玻璃，或是陶瓷。上述基板可選擇性地包含合金或金屬。此基板以使用雙馬來醯亞胺三氮雜苯樹脂(BT)為佳，因為其具有薄細與高玻璃轉換溫度的材料特性。此材料內含玻璃纖維，所以具有較佳的製程容許度(process window)。上述材料之熱膨脹係數亦與主機板相近，大約落在 14 至 17 附近。上述黏著材料以使用矽橡膠為佳，藉由填充來具有較高的延展性、低介電常數、降低溼度的攝取，以具備應力緩衝特性。對發光封裝應用而言，其較佳係使用「透視」膠合劑材料，以提供位於基板側壁之金屬較佳之反射率。上述介電層材料包含一彈性

介電層 (elastic dielectric layer)、一感光層 (photosensitive layer)、一矽基介電層 (silicone dielectric based layer)、一矽氧烷聚合物層 (siloxane polymer layer)、一聚醯亞胺層 (PI)、一矽樹脂層 (Silicone resin layer)。為獲取較佳之機械上及電學上的性能，上述金屬層可使用電鍍銅或具有導線圖案之銅/鎳/金，並於晶粒背側之金或金/銀金屬層之外側，濺鍍銅及鈦/銅合金薄膜，以增加其性能。若晶粒背側原本無金屬層，則濺鍍金屬亦可在無金或金/銀金屬層之狀態下被直接接觸在晶片背側。

本發明內容更揭露一形成半導體元件裝置的方法，包括：提供一具有對準標記之工具，而暫時圖案膠形成於上述工具之上表面；藉由上述對準標記，將一第二基板對準與附著於上述暫時圖案膠上面；再次藉由上述對準標記，將一晶粒對準與附著於上述暫時圖案膠上面，配置於上述第二基板內部的通道區域。從上述晶粒的背側與上述第二基板的底側將黏著材料印刷上去；將一第一基板與黏著材料連接在一起，以形成一面板型態基板(須要靠著對準來使上述第一基板與晶粒墊的背側相配-通常這可以利用上述第一與第二基板上的對準目標完成對準的動作)；最後移在除暫時圖案膠之後，將上述面板型基板與上述工具分開。

上述方法更包含在上述晶粒與上述第二基板的上表面形成至少一增層，及/或在上述第一基板的底表面；於第一基板上之堆疊層/導線電路可在未加工材料準備時預先製作。本方法更包含形成導電穿孔來連接上述第二基板上表

面與底表面的導線，及上述第一基板上表面與底表面的導線。上述晶粒的連線墊與上述第二基板的孔洞墊利用上述暫時圖案膠上面的圖案來與其附著。上述對準標記包含一單晶粒對準標記以及上述第二基板之對準目標。上述晶粒藉由使用一挑選與放置微對準製程(pick and place fine alignment process)來與暫時圖案膠附著。上述面板型態基板藉由一薄型機械刀片(包含細鋼線)以及或許在加熱條件下(高溫環境)來與上述工具分開。

本發明內容更揭露一種形成半導體裝置封裝的方法，其包含：利用雷射由第一基板的(晶粒)背面切割出孔洞，雷射光線將會停止在晶粒背面之上述金或金/銀金屬層(如：二氧化碳雷射)；使用濺鍍金屬(如：銅或鈦/銅)形成種子金屬層，如具有圖樣之電鍍銅或銅/金或銅/鎳/金金屬，於晶粒之金或金/銀金屬層背面連接至第一基板之導線電路。接著，金屬接墊形成於第一基板之金屬層之背表面，且金屬層包含銅箔基板及電鍍銅。上述鑲嵌基板之方法係由於利用調整金屬層之厚度或設計暴露開孔區域之圖樣以直接接觸晶粒之背面金屬，可得到較佳之機械強度、電學及熱傳導效能。

【實施方式】

本發明現在將以大量的參考用發明實施例與附加圖示來加以描述。然而必須要知道是，這些參考用發明實施例僅供圖示之用。除了這裡提到的參考實施例，本發明可以在這裡沒有詳細提及之處，以其它廣大範圍的實施例來執

行。而且本發明概念將不被申請專利範圍的說明所侷限。

本發明揭露一個晶粒或多晶片埋入式基板結構；上述基板具有覆蓋於二側表面之重增層(dual built up layers)。圖十二圖示一系統級封裝(system in package)結構的截面圖，上述基板具有晶粒埋入式結構、雙邊增層(double side build up layers)、以及被動元件、晶圓級晶片尺寸封裝(wafer level chip scale package, WL-CSP)、晶片尺寸封裝(chip scale package, CSP)、球狀矩陣排列(ball grid array, BGA)、覆晶(flip-chip)等等。根據本發明內容，表面鑲嵌位於上部增層，而終端接腳位於對側。上述封裝結構包含一具有晶粒金屬墊 101a(以利於傳熱)之第一基板 100，一導線圖案 101 位於第一基板 100 之上表面，而另一導線圖案 102 位於第一基板 100 之下表面。一連接導電穿孔 103 形成以穿過第一基板 100 來連接導線圖案 101、102，此配置為當作接地或是散熱器(heat sink)之用。一晶粒/晶片 120 其背面有黏著材料 122，藉此來和第一基板 100 上的晶粒金屬墊 101a 附著。上述晶粒 120 其上有鋁墊(輸出/輸入墊) 121。晶粒 120 配置於第二基板 104 之晶粒開口，並且與黏著材料 122 附著。一第二基板 104 位於第一基板 100 之上，其中晶粒開口與一導線圖案 105 位於第二基板 104 之上表面，而另一導線圖案 106 則位於上述第二基板 104 之底表面。上述黏著材料(應力緩衝材料)122 被填入於晶粒 120 背面與第一基板 100 上表面之間隙；以及晶粒 120 側壁與晶粒開口之側壁間隙；以及第二基板 104 的背

側。於晶粒 120 的下表面印刷、塗膜、或是噴流黏著材料 122，藉此將晶粒 120 密封。在一實施例中，黏著材料 122 覆蓋於第二基板 104 的上表面、晶粒 120 除了鋁墊 121 區域之外的表面、第二基板 104 的孔洞以及增層的下方。藉由黏著材料 122，晶粒 120 的表面水平面與第二基板 104 的表面水平面是在同一個水平面。一導電穿孔 159 貫穿於第一基板 100 與第二基板 104，以連接第二基板 104 上表面與底表面的導線(105 與 106)及第一基板 100 上表面與底表面的導線(101 與 102)。在一實施例中，上述導電穿孔 159 連接上述晶粒墊 101a 與上述第一基板 100 之下表面導線 102，此配置為當作接地和散熱之用。一第一介電層 161 形成於晶粒 120 與第二基板 104 之上，並且具有一開口區域使得介層能形成於其上。以獲得較佳可靠度為考量，第一介電材料 161 能越薄越好。一重佈層(RDL)162 形成於介層 160 與第一介電層 161 之上，以和介層 160 耦合。第一增層形成於晶粒 120 電路側之上方與第二基板 104 表面之上方。一第二(上)介電層 163 形成於第一介電層 161 與重佈層金屬導線 162 之上，而第二介電層 163 具有開口區域使得凸塊底層金屬 164 形成於其內。第二增層可以形成於第一基板 100 之底側，或是附蓋於第一增層之上。這表示第三介電層 400 形成於第一基板下表面之導線電路上，而第三介電層具有開口區域使得重佈層形成於其上。焊接金屬墊 165 形成於底層凸塊金屬 (under bump metallurgy)164 上。焊膏(solder paste)或是焊接點(導電凸

塊)180 形成於金屬墊 165 上。複數個晶片尺寸封裝、晶圓級晶片尺寸封裝、球狀矩陣排列、覆晶以及被動元件 181、182、183 藉由焊球(solder ball)180 焊接於金屬墊 165 上；上述金屬墊 165 為增層之電路側(終端金屬墊之對邊)之底層凸塊金屬。

介電材料 161 與 163 和黏著材料 122 作為應力緩衝區域，來吸收晶粒 120 與第二基板 104 或是第一基板 100 之間的熱機械應力(thermal mechanical stress)；而上述應力是在溫度循環(temperature cycling)過程中，或是由介電材料之彈性性質導致之彎曲所造成。上述之系統級封裝建構了一柵格陣列(land grid array package- LGA)式封裝。

第一基板 100 與第二基板 104 之材料以有機基板例如環氧樹脂(耐高溫玻璃纖維板(FR5)、雙馬來醯亞胺三氮雜苯樹脂(BT))以及印刷電路板為佳。第一基板 100 與第二基板 104 之熱膨脹係數與主機板(印刷電路板)一樣為佳。上述有機基板以具有高玻璃轉換溫度(T_g)之環氧樹脂(耐高溫玻璃纖維板、雙馬來醯亞胺三氮雜苯樹脂)為佳，上述材料可以輕易地形成電路圖案以及內部連線穿孔中。金屬銅之熱膨脹係數大約為 16，也可應用於第一與第二基板材料之中。而玻璃、陶瓷以及矽也可用來當作基板。上述黏著材料 122 以矽橡膠基彈性材料為佳。

上述環氧樹脂(耐高溫玻璃纖維板、雙馬來醯亞胺三氮雜苯樹脂)之有機基板的熱膨脹係數在 X/Y 方向約為 14~17，在 Z 方向約為 30~60，因此可以選擇熱膨脹係數與

上述基板相近之晶粒重新分佈工具；如此可以降低黏著材料在溫度固化過程中晶粒位移問題。如果溫度循環的高溫階段接近玻璃轉換溫度，上述耐高溫玻璃纖維板/雙馬來醯亞胺三氮雜苯樹脂在溫度循環之後似乎無法回到原先的位置。在面板型態封裝的製程中需使用到幾個高溫製程，例如介電材料與黏著材料的溫度固化製程等等；如果使用材料的熱膨脹係數不匹配，則會造成面板形式中的晶粒位移。

上述第一與第二基板可以為圓形，例如晶圓形式，其直徑可以是 200mm、300mm 或是更高。上述第一與第二基板也可以是矩形例如面板的形式。其尺寸最好為基板/軟性電路板(flexible printed circuit)製程時的大小，因為如此可以完全地使用到上述基板/軟性電路板製造機台，同時亦可降低單位成本。

在本發明之一實施例中，第一與第二介電層(161 和 163)以彈性介電材料為佳，彈性介電材料為矽氧烷聚合物、dow corning wl5000 系列及其組合所構成之矽橡膠基介電材料。在另一實施例中，第一與第二介電層(161 和 163)由聚醯亞胺(polyimides)或矽膠基樹脂(silicone based resin)所構成。第一與第二介電層(161 和 163)以簡單製程所形成之感光層為佳。

在本發明之一實施例中，彈性介電層為一種材料其熱膨脹係數大於 100(ppm/°C)，延展率大約為百分之四十(在百分之三十至百分之五十之間為佳)，而上述材料的硬度界於塑膠與橡膠之間。上述彈性介電層的厚度端視溫度循環

測試時累積於重佈層/介電層介面之應力而定。

在本發明之一實施例中，上述重佈層材料包含鈦/銅/金合金或是鈦/銅/鎳/金合金，而重佈層之厚度在 2um 至 15um 之間的範圍(如果有需要，可以增加厚度至 25um)。Ti/Cu 合金係利用濺鍍(sputtering)技術所形成，可做為種晶金屬層；而 Cu/Au 合金或是 Cu/Ni/Au 合金則是利用電鍍技術所形成。使用電鍍製程來形成重佈層可使其具有足夠的厚度與較佳的機械性質，以抵抗在溫度循環和機械彎曲的過程中的熱膨係數不匹配。上述金屬墊可以為金屬鋁或金屬銅或其組合。

本發明另一實施例中，在第一基板 100 上具有晶粒金屬墊 101a 與一晶粒開孔，一金屬層 190 埋入該晶粒開孔，一導線圖案 101 位於第一基板 100 之上表面，而另一導線圖案 102 位於第一基板 100 之下表面。該晶粒金屬墊 101a 可以為一墊區域，且包含有銅箔基板 (Copper Clad Laminate, CCL Cu) 與電鍍銅 (E-plating Cu)，主要係利於傳熱之用途。一晶粒/晶片 120 其背面有金或金/銀金屬層 123，並與第一基板 100 中的金屬層 190 黏接，該晶粒 120 與該金屬層 190 相黏接以外之部分，於金或金/銀金屬層 123 之外側有黏著材料 122，藉此黏著材料 122 與上述第一基板 100 中的晶粒金屬墊 101a 附著。上述晶粒 120 其上有鋁墊(輸出/輸入墊) 121。晶粒 120 配置於第二基板 104 之晶粒開口，並且與黏著材料 122 附著。一第二基板 104 位於第一基板 100 之上，其中晶粒開口與一導線圖案 105 位

於第二基板 104 之上表面，而另一導線圖案 106 則位於上述第二基板 104 之底表面。上述黏著材料(應力緩衝材料)122 被填入於晶粒 120 背面之金或金/銀金屬層 123 之外側與上述第一基板 100 除與金屬層 190 黏接以外之部份之上表面間之隙，以及上述晶粒 120 側壁與上述晶粒開口的側壁之間的隙；以及第二基板 104 的背側。於晶粒 120 的下表面印刷、塗膜、或是噴流黏著材料 122，藉此將晶粒 120 密封。上述金屬層材料包含電鍍銅或具有導線圖案之銅/鎳/金之合金，如果有需要亦可以調整其厚度，以增加導電性與熱傳導性，而 Cu/Ni/Au 合金係利用濺鍍/電鍍技術所形成。上述晶粒 120 背側之金或金/銀金屬層 123 表面具有濺鍍金屬(如：銅或鈦/銅合金)以增加其黏著性能。

於本發明之一實施例中，圖二十三顯示了具有晶粒開孔窗之第二基板 104 於開孔窗之側壁具有金屬 105a，及被使用的「透視」型黏著材質 122 被填充於第二基板 104 之晶粒 120 側壁及金屬 105a 側壁間之空隙中(包含邊緣轉角)，此應用被使用於發光封包，且金屬 105a 側壁被當成反射器；透鏡 199 被設置於發光元件上，可被用於成形方法或被附加於發光元件之預先製作之透鏡。

本發明揭露一個晶粒或多晶片埋入式基板結構；上述基板具有覆蓋於二側表面之重增層(dual built up layers)。圖十二圖示一系統級封裝(system in package)結構的截面圖，上述基板具有晶粒埋入式結構、雙邊增層(double side

build up layers)、以及被動元件、晶圓級晶片尺寸封裝 (wafer level chip scale package, WL-CSP)、晶片尺寸封裝 (chip scale package, CSP)、球狀矩陣排列 (ball grid array, BGA)、覆晶 (flip-chip) 等等。根據本發明內容, 表面鑲嵌位於上部增層, 而終端接腳位於對側。上述封裝結構包含一具有晶粒金屬墊 101a (以利於傳熱) 之第一基板 100, 一導線圖案 101 位於第一基板 100 之上表面, 而另一導線圖案 102 位於第一基板 100 之下表面。一連接導電穿孔 103 形成以穿過第一基板 100 來連接導線圖案 101、102, 此配置為當作接地或是散熱器 (heat sink) 之用。一晶粒/晶片 120 其背面有黏著材料 122, 藉此來和第一基板 100 上的晶粒金屬墊 101a 附著。上述晶粒 120 其上有鋁墊 (輸出/輸入墊) 121。晶粒 120 配置於第二基板 104 之晶粒開口, 並且與黏著材料 122 附著。一第二基板 104 位於第一基板 100 之上, 其中晶粒開口與一導線圖案 105 位於第二基板 104 之上表面, 而另一導線圖案 106 則位於上述第二基板 104 之底表面。上述黏著材料 (應力緩衝材料) 122 被填入於晶粒 120 背面與第一基板 100 上表面之間的間隙; 以及晶粒 120 側壁與晶粒開口之側壁間的間隙; 以及第二基板 104 的背側。於晶粒 120 的下表面印刷、塗膜、或是噴流黏著材料 122, 藉此將晶粒 120 密封。在一實施例中, 黏著材料 122 覆蓋於第二基板 104 的上表面、晶粒 120 除了鋁墊 121 區域之外的表面、第二基板 104 的孔洞以及增層的下方。藉由黏著材料 122, 晶粒 120 的表面水平面與第二基板 104

的表面水平面是在同一個水平面。一導電穿孔 159 貫穿於第一基板 100 與第二基板 104，以連接第二基板 104 上表面與底表面的導線(105 與 106)及第一基板 100 上表面與底表面的導線(101 與 102)。在一實施例中，上述導電穿孔 159 連接上述晶粒墊 101a 與上述第一基板 100 之下表面導線 102，此配置為當作接地和散熱之用。一第一介電層 161 形成於晶粒 120 與第二基板 104 之上，並且具有一開口區域使得介層能形成於其上。以獲得較佳可靠度為考量，第一介電材料 161 能越薄越好。一重佈層(RDL)162 形成於介層 160 與第一介電層 161 之上，以和介層 160 耦合。第一增層形成於晶粒 120 電路側之上方與第二基板 104 表面之上方。一第二(上)介電層 163 形成於第一介電層 161 與重佈層金屬導線 162 之上，而第二介電層 163 具有開口區域使得凸塊底層金屬 164 形成於其內。第二增層可以形成於第一基板 100 之底側，或是附蓋於第一增層之上。這表示第三介電層 400 形成於第一基板下表面之導線電路上，而第三介電層具有開口區域使得重佈層形成於其上。焊接金屬墊 165 形成於底層凸塊金屬 (under bump metallurgy)164 上。焊膏(solder paste)或是焊接點(導電凸塊)180 形成於金屬墊 165 上。複數個晶片尺寸封裝、晶圓級晶片尺寸封裝、球狀矩陣排列、覆晶以及被動元件 181、182、183 藉由焊球(solder ball)180 焊接於金屬墊 165 上；上述金屬墊 165 為增層之電路側(終端金屬墊之對邊)之底層凸塊金屬。

本發明內容中形成具有埋入式晶粒基板結構之製程，包含：準備一第一基板 100 與一第二基板 104(以玻璃纖維板(FR4)/耐高溫玻璃纖維板(FR5)/雙馬來醯亞胺三氮雜苯樹脂(BT)之原料為佳)；及用來當作導線電路圖案，分別形成於第一基板 100 之上與下表面之接觸金屬墊 101、102；以及用來當作導線電路，分別形成第二基板 104 之上與下表面之接觸金屬墊 105、106，如圖一所示。接觸金屬墊 101、102、105、106 和基板之晶粒金屬墊 101a 可以用電鍍銅/鎳/金結構的方法來形成。上述連結導電穿孔 103 可以形成以貫穿第一基板 100，連接晶粒金屬墊 101a 與接觸金屬墊 102，以利於接地與散熱器(其可在製作基板之過程被預先製造)。晶粒開口 107 利用雷射切割或是機械沖床(多晶粒沖床)製做為每邊稍大於晶粒大小加上大約 100um 至 200um，如圖二所示。上述開口之深度與晶粒厚度相近(或多厚約為 25um)。

下一步為提供一工具 110，為了對晶粒/基板作定位與對準，其具有對準標記(alignment key)111(位於單一晶粒之上)與暫時圖案膠(temporary pattern glues)112 形成於工具 110 之上表面，如圖三所示。上述工具 110 之對準標記 111 包含單晶粒對準標記與第二基板 104 之對準目標。暫時圖案膠 112 以覆蓋於鋁墊與基板之金屬介層為佳，但其須要平衡設計以維持晶粒在一平坦之水準。暫時圖案膠 112 被印刷(或點膠)於工具 110 之上以黏著晶粒與第二基板之表面。暫時圖案膠具有圖案以附著晶粒 120 之鋁焊墊 121 以

及第二基板 104 之介層金屬墊 105。

之後，本發明之製程包含第二基板 104 與工具 110 之暫時圖案膠 112 之對準與附著，舉例而言，接觸金屬墊 105 可藉由對準與暫時圖案膠 112 附著，如圖四所示。接下來，晶粒依據接下來的步驟製備，包含晶背研磨至所要的厚度，舉例而言為 127 或 200 微米；透過藍膠膜 152(blue tape) 將晶圓附著於一框架 150 上，再沿著切割線 153 將框架 150 上之晶粒 151 切割，最後以映像(mapping)的方式將晶圓加以區分，如圖九所示。具有晶粒墊 121 之晶粒 120 對準(藉由對準標記 111)並附著至其面朝下工具 110 之暫時圖案膠 112 之上；其中晶粒藉由使用挑選與放置微對準系統，被對準與放置到工具上；上述挑選與微對準系統具有覆晶的功能，能將晶粒以期望的間距重新分配至工具上，如圖五所示。上述暫時圖案膠 112 黏附第二基板 104 晶粒開口內之晶粒 120(於主動表面側)於工具 110 之上。接下來，印刷一黏著材料(填充材料)122，例如彈性核心膠體材料(elastic core paste material)至晶粒 120 之背側與第二基板之底側。上述填充材料 122 被填充於晶粒 120 之間之空間(間隙)，覆蓋於晶粒 120 背側以及第二基板之底側，如圖六所示。黏著材料 122 以能夠覆蓋接觸金屬墊 105 之表面為佳。接下來，第一基板 100 真空附著至黏著材料 122，如圖七所示。固化製程利用紫外線或熱固化法，將黏著材料 122 固化，以連接第一基板 100。面板焊接(Bonding)機為用來將第一基板 100 焊接至第二基板 104 與晶粒 120 之背側，以

形成一部件。上述部件之厚度 130 可以被控制。完成真空焊接後，接著移除暫時圖案膠 112，再將工具 110 從上述部件中分開，以形成面板基板(具有內埋式晶粒 120、第一基板 100、第二基板以及黏著材料 122)，如圖八所示。上述面板基板分離方法包含將上述物件放置於加熱板上或是烤箱中，當烤箱的溫度約於 100°C 時，上述暫時圖案膠 112 會變得柔軟並且喪失黏著性，然後施加一外力於上述面板基板之邊緣，同時使用一薄型機械刀片 140 來將面板基板相同邊緣之暫時圖案膠 112 刮除；因此面板基板與工具 110 分開，如圖七 A 所示。此外，可以使用溶劑來清除面板基板以移除暫時圖案膠殘留物。在一實施例中，暫時圖案膠之材料包含聚二甲基矽氧烷樹脂 (polydimethylsiloxane gum) 和樹脂分散劑 (resin dispersion)。

上述面板基板與工具 110 分開之後，執行一清潔製程；藉由施加一濕式及/或乾式(電漿)清潔來清洗晶粒之表面。在上述面板基板形成後，接下來的製程為在晶粒與第二基板 104 之上表面形成增層結構，如圖十所示。也可採取另一種選擇，在第一基板 100 之底側形成增層結構；可以在利用基板/軟性電路板製程的同時形成上層與底層增層結構。形成增層結構的第一步為利用旋轉/噴霧的方式，塗膜或是形成一第一介電層於電路側。第一介電層 161 於是形成於晶粒 120 與第二基板 104 之上方，第一介電層具有介層洞形成於其中，利用曝光、顯影、固化步驟之微影製程可以暴露出鋁連接墊 121(晶粒輸入/輸出墊)和接觸金

屬墊 105(基板輸入/輸出墊)，在某些例子中，需要蝕刻製程。隨後執行電漿清潔步驟來清洗介層洞與鋁墊之表面。接下來執行電腦數值控制(computer numerical control, CNC) 鑽孔或是雷射鑽孔，在第二基板 104 之上接觸金屬墊 105 至第一基板 100 之下接觸金屬墊 106 之間形成穿孔；接著填充導電材料於上述穿孔，以形成導電穿孔 159。上述導電穿孔 159 為形成以連接第二基板 104 之上與下導線電路和第一基板 100 之上與下導線電路。下一步再濺鍍上鈦/銅作為種子金屬層 160 於第一介電層 161、孔洞及穿孔之上。之後，在第一介電層 161 與種晶金屬層 160 之上塗佈光阻(可以使用乾膜層)，接著再對光阻加以曝光、顯影，以形成重佈金屬層之圖案。然後，再執行電鍍製程以形成銅/金或銅/鎳/金之重佈層金屬。最後，利用剝除上述光阻以及濕蝕刻法形成重佈層金屬線 162 於種晶金屬層 160 上。一般而言，上述製程可以同時建構出上述導電穿孔 159 與重佈層。

接著，是將一第二(上)介電層塗膜、印刷、或壓膜於上述第一介電層 161 與重佈層金屬線 162 上。上述第二介電層 163 因此形成於第一介電層 161 與重佈層金屬線 162 上，並且其中具有底層凸塊金屬孔洞。利用曝光、顯影、固化步驟之微影製程可以暴露重佈層金屬線 162，在某些例子中需要蝕刻製程。下一步再濺鍍鈦/銅(0.05/0.3um)作為種晶金屬層 164 於第二介電層 163 及底層凸塊金屬孔洞之上。接著，在第二介電層 163 與種晶金屬層 164 塗佈上

光阻(乾膜壓層)，接著再對上述光阻加以曝光、顯影以形成焊接金屬墊之圖案。然後，再執行電鍍製程，以在種晶金屬層(種晶金屬層)164上形成銅/鎳/金(3/3/0.2um)之焊接金屬墊165。最後，再剝除上述光阻，以金屬濕蝕刻法來清洗焊接金屬墊165。可重複上述之種晶層、光阻及電鍍或剝除/蝕刻製程，以在面板基板之單面及/或兩面形成多層重佈層與介電層。

之後，可將面板型態基板切割成子面板型態基板以進行最終測試。舉例而言，將二十英吋大小之面板170切割成四片十英吋大小之子面板171，如圖十一所示。接下來，將焊接球植入或焊接點180印刷於焊接金屬墊165上。印刷完焊接球植入或是焊接膠(solder paste)後，在焊接球側(對球狀矩陣型封裝而言)執行一熱回流(heat re-flow)製程。接著，利用傳統焊接製程，將用於晶圓級晶片尺寸封裝、晶片尺寸封裝、球狀矩陣排列、覆晶等封裝之被動元件如電容182、電阻183以及其他晶粒181附著於晶粒120之電路之上(重佈層之上)之焊接點180，如圖十二所示。上述之子面板171可再被切割成複數個單元。接下來，執行測試。模組化最終測試可以藉由使用垂直的或環氧樹脂探針卡接觸該終端金屬墊102來執行。在一實施例中，為了電磁抗擾(EMI)之目的，可在電容182、電阻183與其它晶粒181上方覆蓋金屬覆蓋物184，如圖十三所示。上述面板型基板200之單元基板結構可以參考圖十四，其包含晶粒201；一第一基板203，其上側與底側具有導線電路；一

第二基板 202，其具有晶粒開口、上側與底側之導線電路，和黏著材料(應力緩衝層)204。測試結束後，上述封裝分別被挑選與放置於托盤(Tray)、膠帶式滾筒(Tape& Reel)。

本發明之另一實施例係一球狀矩陣排列封裝之最終終端形式，如圖十七與圖十八所示。圖十七與圖十八中的封裝結構皆包含上側增層與底側增層。上述上側增層與底側增層之形成皆與圖十和圖十三相似，其述描述之細節在此被省略。上述底側增層包含一介電層 400、介層 401、重佈層 402、一介電層 403、介層(底層凸塊金屬) 404 以及焊接球 405。上述焊接球 405 為藉由印刷的方式形成於上述介層(底層凸塊金屬) 404 之上。

本發明之另一實施例係堆疊至少兩個具有埋入式晶粒(可以為多晶粒)之基板，其具有導電穿孔以內連接電信號，如圖十九所示。圖十九的封裝結構包含一晶粒 120、一晶粒 600 具有一鋁焊接墊 603、上側增層、中增層以及底側增層，上述上側增層、中增層以及底側增層之形成與圖十與圖十三相似，其描述之細節在此被省略。上側增層包含一介電層 606、介層 604、重佈層 605 及一介電層 607。上述晶粒/晶片 600 之背側具有黏著材料(應力緩衝層)601，並附著於第二基板 104 之晶粒墊 162 之上。介電層 607 上可以選擇性地形成一上核心膠體 620。上述導電穿孔 159 可以藉由電腦數值控制鑽孔或是雷射鑽孔來形成。

本發明內容中另一實施例係包含準備一晶粒埋入式之

面板型基板，但第一基板 100 上可不具有連結導電穿孔。其中，上述第二基板 104 中之晶片/晶粒 120 於晶圓形成過程中，在晶片/晶粒 120 之背面形成有金或金/銀合金層 123，如圖二十所示。利用二氧化碳雷射切割第一基板 100 的背面，使第一基板 100 形成一晶粒開孔，暴露第二基板 104 上嵌埋之晶片/晶粒 120 的背面，亦即暴露該晶片/晶粒 120 背面之金或金/銀合金層 123，當二氧化碳雷射被利用來切割第一基板時 100，雷射光束將會停止在金或金/銀層 123，而不會對金或金/銀層 123 發生作用。接著利用濺鍍技術將金屬(例如銅/鎳/金)濺鍍於晶片/晶粒 120 背面之金或金/銀合金層 123 之外側，並形成電鍍銅或具有導線圖案之銅/金或銅/鎳/金之金屬層 190，藉由調整電鍍銅或具有導線圖案之銅/金或銅/鎳/金之金屬層 190 之厚度或設計暴露開孔區域之圖樣，以獲得較佳之導電性與熱傳導性。上述經雷射切割所暴露之範圍，如金屬層 190 之範圍，需小於晶片 120 之尺寸大小，且小於晶粒金屬墊 101a 與黏著材料 122，如第二十一圖所示。最後，在金屬層 19 下表面形成接觸金屬墊，該金屬墊包含有 CCL Cu 及電鍍銅。

本發明內容的優點為：

上述製程可以輕易的形成面板型結構，並且輕易的控制面板的粗糙(平整)度。上述基板之厚度可以被輕易的控制，而且在製程中也可以排除晶粒位移之問題。可以省略射出成型工具；也不須導入化學機械研磨製程；本製程也不會產生翹曲。藉由面板型態封裝製程，上述面板型基板

可以輕易地被完成。上述增層底下材料(主機板和基板)熱膨脹係數的匹配可以使具有較佳可靠度，並且在基板之X/Y方向也不會產生熱應力，彈性介電材料的使用可以吸收Z方向之應力。單元材料在分離(切割)的過程中會被切割。

上述基板被預置為具有預先形成之晶粒開口，內部連線穿孔(如果這是需要的)以及終端接觸金屬(對有機基板而言)；上述晶粒開口之尺寸為每邊比晶粒之大小增加約100um~200um，藉由填充彈性核心膠體，上述開口可以作為應力緩衝釋放區域，吸收由矽晶粒與基板(耐高溫玻璃纖維板/雙馬來醯亞胺三氮雜苯樹脂)之間熱膨脹係數不匹配，所造成之熱應力。此外，也可以在晶粒與基板側壁間隙之間填充彈性介電材料，以吸收由熱膨脹係數不匹配所造成之機械彎曲及/或熱應力。由於同時在上表面與底表面施加上述簡單增層，故可增加封裝生產率(減少製造週期)。上述終端墊形成於晶粒主動表面之對邊。

上述之製程可以輕易形成面板型之結構，並可透過該製程輕易調整導電性與熱傳導性，藉由調整電鍍金屬層之厚度與導電圖案之暴露大小，可以輕易獲得所欲得到之最佳性能。由於在所述晶粒背面之金或金/銀層及所述電鍍銅金屬層之間並未填滿黏著材料，使所述晶粒背面之金或金/銀層及所述電鍍銅金屬層可直接接觸。

上述晶粒之放置製程係使用挑選與放置製程。在本發明中，彈性核心膠體(樹脂、環氧樹脂化合物、矽橡膠等等)

被回填於晶粒邊緣與穿孔側壁間之間隙，之後與第一基板連接，以成為熱應力之釋放緩衝，最後再執行真空熱固化。面板形成之過程克服熱膨脹係數不匹配問題。上述晶粒與基板之間的深度差約為 25um，而介電層與重佈層皆形成於面板之上與下表面。只有矽橡膠介電材料(以矽氧烷材料為佳)被塗佈於主動表面與基板表面(以玻璃纖維板/耐高溫玻璃纖維板/雙馬來醯亞胺三氫雜苯樹脂為佳)。由於介電層為一感光層，接觸金屬墊可藉由光罩製程而被打開。上述晶粒與基板(包括第一與第二基板)連接在一起。上述封裝與主機板(母板)級封裝之可靠度也比以前更好。特別對主機板級封裝溫度循環測試而言，由於基板與印刷電路板(母板)之熱膨脹係數一致，故不會有任何施加於焊接凸塊/球之熱機械應力；對主機板級封裝機械彎曲測試而言，支撐機械強度之機板底側可以吸收基板上側之晶粒區域與邊界區域之應力；具有保護功能之封裝結構，其厚度相當薄，其不會超過 200um~300um。其成本低廉而製程簡單。該製程也能夠輕易地形成複數晶粒封裝(可以一個接著一個地將晶粒埋入面板基板以形成複數晶粒封裝)。

雖然本發明之參考實施例已被加以描述，然而對該領域具有通常知識者應能理解本發明內容不被上述之實施例所限制。再者，在本發明之精神與概念範疇內，可以提出各種變化與修正。本發明由下述專利申請範圍所定義。

【圖示簡單說明】

圖一根據本發明之實施例，圖示一未加工基板其結構

之截面圖。

圖二根據本發明之實施例，圖示一具有晶粒開口的基板之截面圖。

圖三根據本發明之實施例，圖示一品粒重新分配工具之截面圖，工具之上表面有對準圖案與暫時膠。

圖四根據本發明之實施例，圖示一具有晶粒開口的第二基板，其與工具相連結的截面圖。

圖五根據本發明之實施例，圖示一具有晶粒開口並且與工具相連結之第二基板與一品粒的截面圖。

圖六根據本發明之實施例，圖示黏著性材料填充入面板型基板的截面圖。

圖七根據本發明之實施例，圖示第一基板與黏著性材料真空連接的截面圖。

圖七 A 根據本發明之實施例，圖示面板型基板與工具分開的截面圖。

圖八根據本發明之實施例，圖示一品粒埋入式之面板型基板。

圖九根據本發明之實施例，圖示位於導線型封裝上的未加工晶圓之俯視圖。

圖十根據本發明之實施例，圖示一品粒埋入式側邊增層基板之俯視圖。

圖十一根據本發明之實施例，圖示被切成子面板型基板以進行焊接與最終測試的面板型基板之俯視圖。

圖十二根據本發明之實施例，圖示系統級封裝結構之

截面圖。

圖十三根據本發明之實施例，圖示金屬覆蓋物附著於系統級封裝表面之截面圖。

圖十四根據本發明之實施例，圖示一基板結構之截面圖。

圖十五圖示一先前技術之截面圖。

圖十六圖示一先前技術之截面圖。

圖十七根據本發明之實施例，圖示一晶粒埋入式基板之截面圖，其雙面增層以球狀矩陣排列的形式位於上表面與底表面。

圖十八根據本發明之實施例，圖示一球狀矩陣排列形式的系統級封裝之橫截面圖。

圖十九根據本發明之實施例，圖示一堆疊式結構之多晶封裝之截面圖。

圖二十根據本發明之實施例，圖示一具有開孔之基板之截面圖。

圖二十一根據本發明之實施例，圖示一在封包結構內之系統之截面圖。

圖二十二根據本發明之實施例，圖示一具有堆疊結構之晶片封包之上視圖。

圖二十三根據本發明之實施例，圖示一發光封包結構之截面圖。

【主要元件符號說明】

16 介電層

18 基板材料

- | | | | |
|------|------------|-----|------------|
| 20 | 黏著材料 | 152 | 藍膠膜 |
| 22 | 介電層 | 153 | 畫線槽 |
| 30 | 金屬 | 159 | 導電穿孔 |
| 32 | 重佈層 | 160 | 介層/種晶金屬層 |
| 100 | 第一基板 | 161 | 第一介電層 |
| 101 | 導線圖案 | 162 | 重佈層金屬線 |
| 101a | 晶粒金屬墊 | 163 | 第二介電層 |
| 102 | 導線圖案 | 164 | 種晶金屬層/底層凸塊 |
| 103 | 導電穿孔 | 金屬 | |
| 104 | 第二基板 | 165 | 焊接金屬墊 |
| 105 | 導線圖案 | 170 | 面板 |
| 106 | 導線圖案 | 171 | 子面板 |
| 107 | 晶粒開口 | 180 | 焊接點 |
| 110 | 工具 | 181 | 晶粒 |
| 111 | 對準標記 | 182 | 電容 |
| 112 | 暫時圖案膠 | 183 | 電阻 |
| 120 | 晶粒/晶片 | 184 | 金屬覆蓋物 |
| 121 | 鋁墊 | 190 | 金屬層 |
| 122 | 黏著材料/應力緩衝材 | 202 | 第二基板 |
| 料 | | 203 | 第一基板 |
| 130 | 厚度 | 204 | 黏著材料/應力緩衝層 |
| 140 | 薄型機械刀片 | 400 | 介電層 |
| 150 | 框架 | 401 | 介層 |
| 151 | 晶粒 | 402 | 重佈層 |

403	介電層	604	介層
404	介層/底層凸塊金屬	605	重佈層
405	焊接球	606	介電材料
600	晶粒	607	介電層
601	黏著材料/應力緩衝層	620	核心膠體
603	鋁質接線墊		

七、申請專利範圍：

1. 一種半導體元件封裝結構，包含：

一具有一金屬墊與一晶粒大小面積之開口區之第一基板，一第一導線電路位於該第一基板之上表面和一第二導線電路位於該第一基板之底表面；

一晶粒配置於該金屬墊之上；

一第二基板具有一晶粒開口來容納該晶粒，一第三導線電路位於該第二基板之上表面和一第四導線電路位於該第二基板之底表面；

一金屬物質接觸於該晶粒背面及該第一基板之該第二導線電路之間；以及

一黏著層，填入於該晶粒背面與該第一基板上表面之間隙，和該晶粒側壁與該晶粒開口側壁以及該第二基板的背側之間。

2. 如請求項 1 所述之半導體元件封裝結構，更包含導電穿孔藉由貫穿該第一與該第二基板所形成，來連接該第一、第二、第三、及第四導線電路；一形成於該晶粒與該第二基板上表面之第一介電層，該第一介電層具有第一開口以使介層形成於其中，以連接該晶粒之一鋁墊與該第一導線電路，而重佈層形成於該第一介電層之上，經由該介層與該鋁墊連接。

3. 如請求項 2 所述之半導體元件封裝結構，更包含一形成於該第一介電層與該重佈層上之第二介電層，其中該第二介電層具有第二開口以使凸塊底層金屬形成於其中以連接該重佈層，及焊接金屬墊形成於該重佈層之上。
4. 如請求項 3 所述之半導體元件封裝結構，更包含一形成於該第一基板底邊與該第二導線電路之下之第三介電層，其中該第三介電層具有第三開口以使凸塊底層金屬形成於其中以連接該第二導線電路。
5. 如請求項 4 所述之半導體元件封裝結構，更包含與該焊接金屬墊耦合的導電凸塊；複數個晶片尺寸封裝、晶圓級晶片尺寸封裝、球狀矩陣排列、覆晶以及被動元件，經由該導電凸塊耦接該焊接金屬墊。
6. 如請求項 1 所述之半導體元件封裝結構，更包含：金屬位於第二基板之該晶粒開口之側壁及邊緣轉角；透鏡設置於該晶粒及該第二基板，以供發光封包應用；其中該晶粒包含發光元件及太陽能電池(PV)；第二晶粒嵌入於該第二基板之內，該第二基板堆疊於第一晶粒嵌入於其內之該第一基板之上。
7. 如請求項 1 所述之半導體元件封裝結構，其中該第一基板與該第二基板的材料包含耐高溫玻璃纖維板、玻璃纖

維板形式的環氧樹脂、雙馬來醯亞胺三氮雜苯樹脂、矽、印刷電路板材料、玻璃、陶瓷、合金金屬。

8. 如請求項 1 所述之半導體元件封裝結構，其中該黏著材料包含彈性核心膠體材料以作為應力緩衝層；其中該黏著材料與該晶粒之一金或金/銀金屬層之背面接觸；其中該金屬材質包含電鍍銅或銅/鎳/金金屬，其形成於濺鍍及電鍍金屬上；其中該濺鍍金屬包含銅或鈦/銅。

9. 一種形成半導體元件封裝的方法，包含：

提供一於其表面具有對準標記與暫時圖案膠的工具；

藉由該對準標記將一第二基板對準與附著於該暫時圖案膠上面；

藉由該對準標記將一晶粒對準與附著於該暫時圖案膠上面，其中該晶粒配置於該第二基板之開口內；

將黏著材料印刷於該晶粒的背側與該第二基板的底側；

將一第一基板與該黏著材料連接來形成一面板型基板；

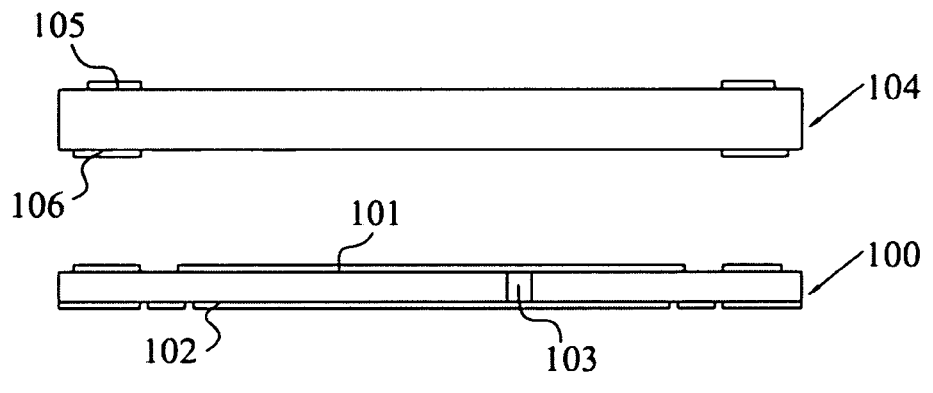
將該面板型基板與該工具分開來移除該暫時圖案膠，其中該暫時圖案膠與該工具之分開係藉由一薄型機械刀片；以及

切割該第一基板的背面，使該第一基板形成一晶粒開口，暴露該第二基板上嵌埋之該晶粒的背面。

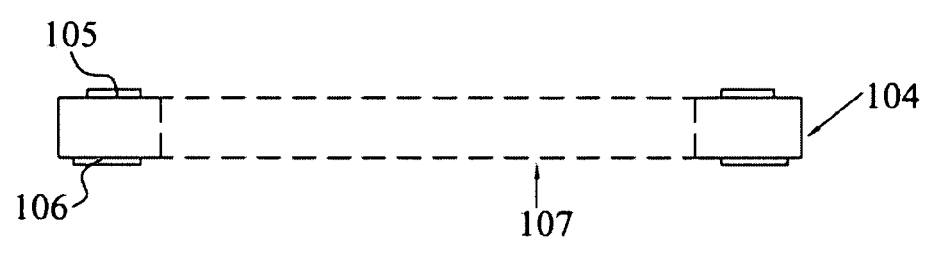
10. 如請求項 9 所述之形成半導體元件封裝的方法，更包含

於該晶粒其該第二基板之上方形成供發光封包應用之透鏡；其中於晶片過程一金或金/銀金屬層形成於該第二基板之該晶粒之背表面；其中該開口之暴露區域係小於該晶粒之尺寸；其中該第一基板之一導線電路包含銅箔基板及電鍍銅。

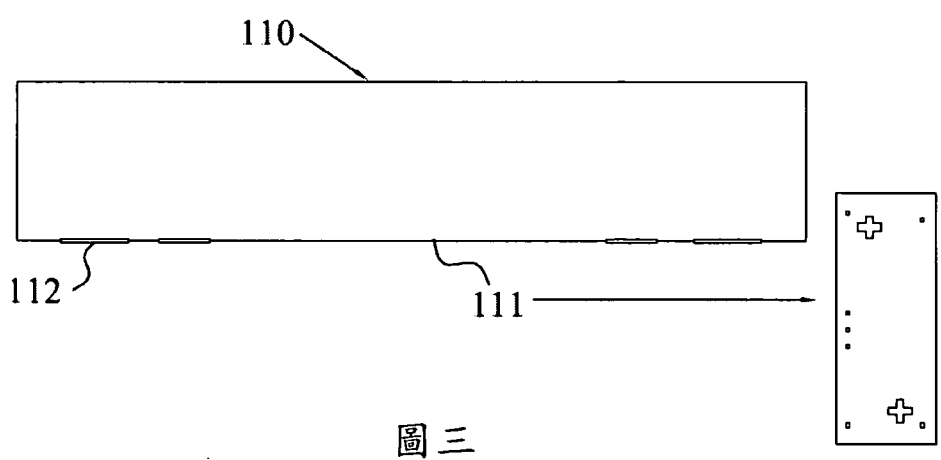
八、圖式：



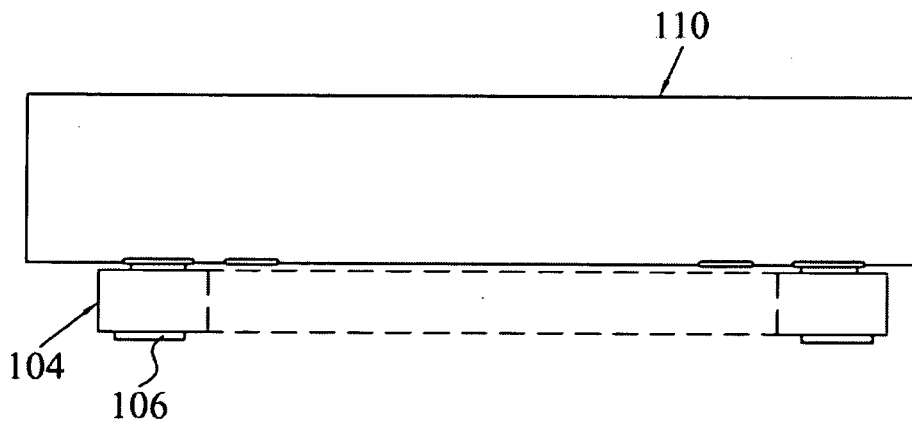
圖一



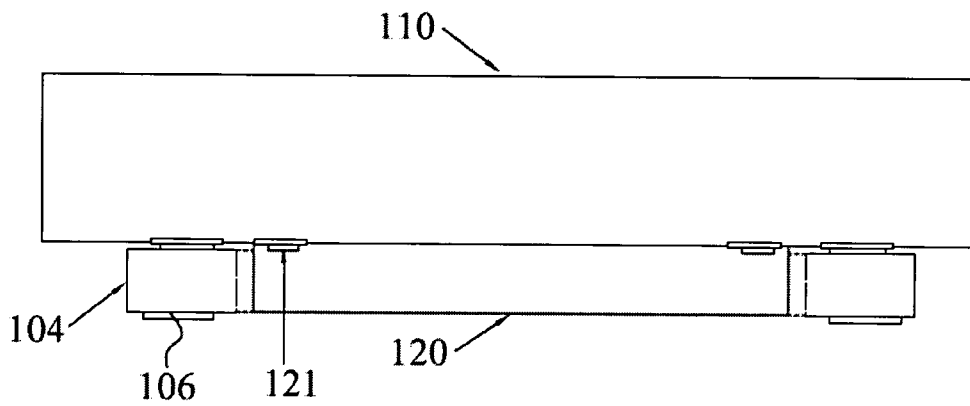
圖二



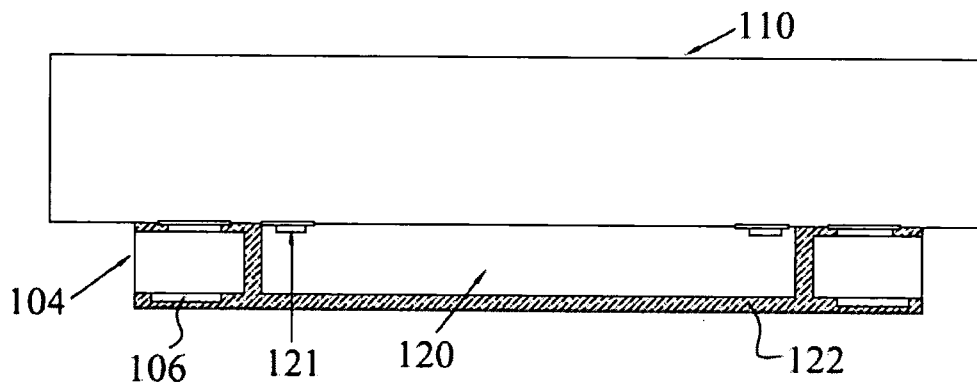
圖三



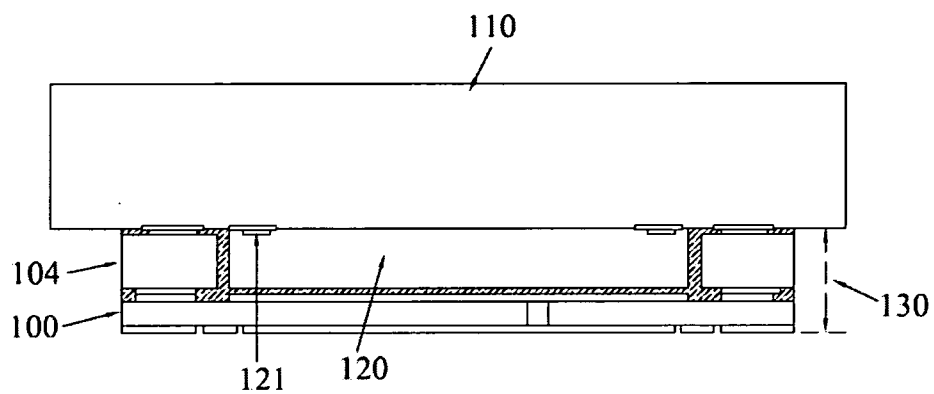
圖四



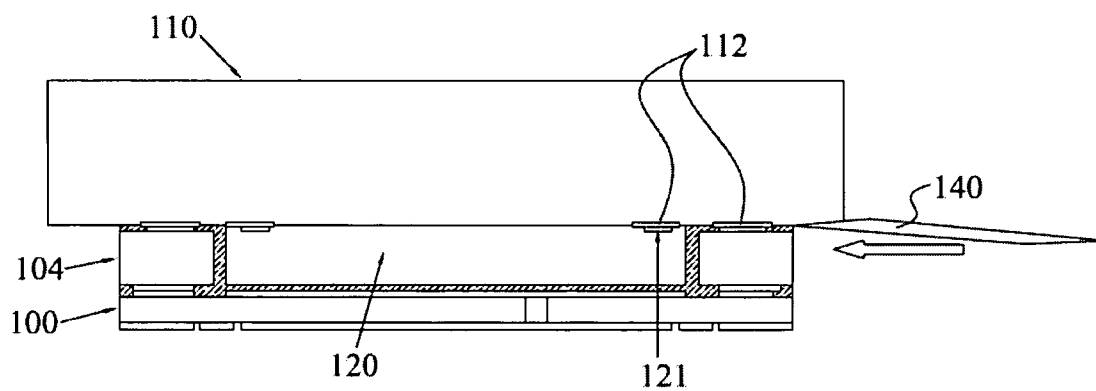
圖五



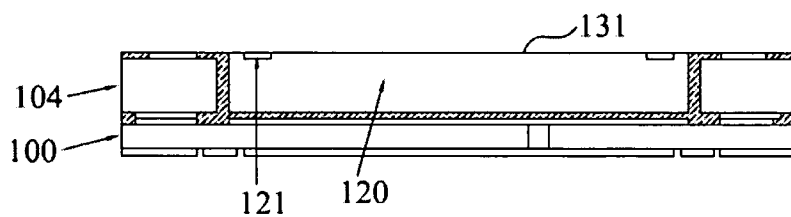
圖六



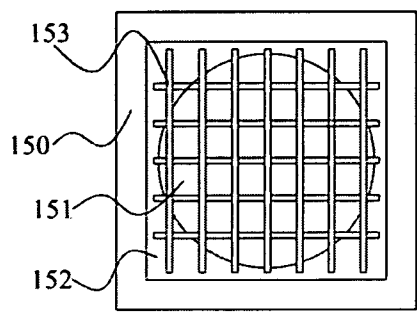
圖七



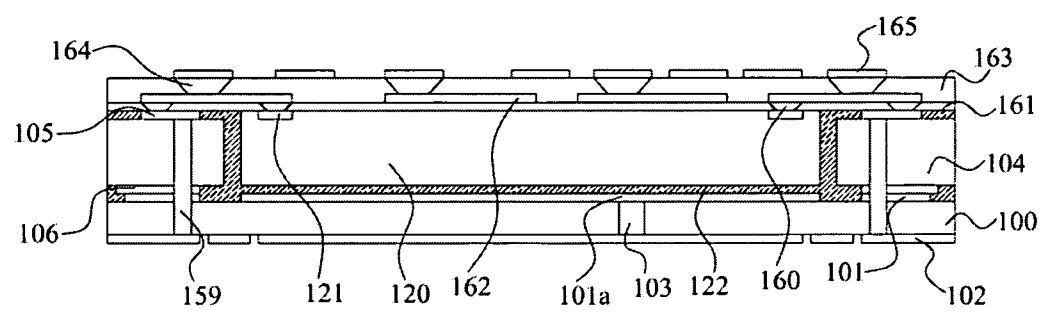
圖七 A



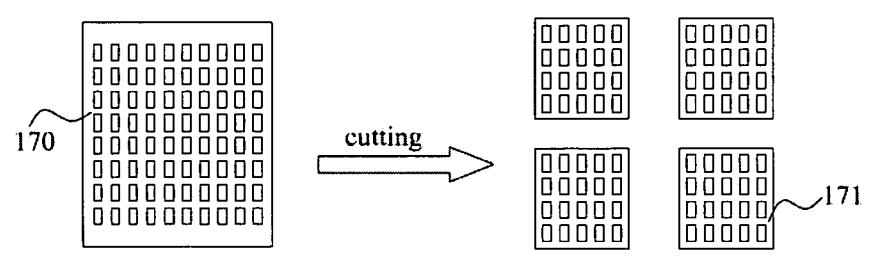
圖八



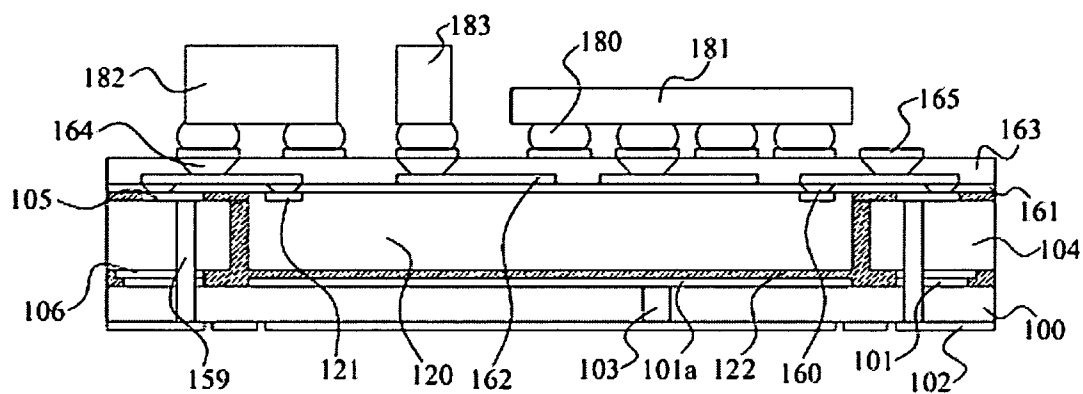
圖九



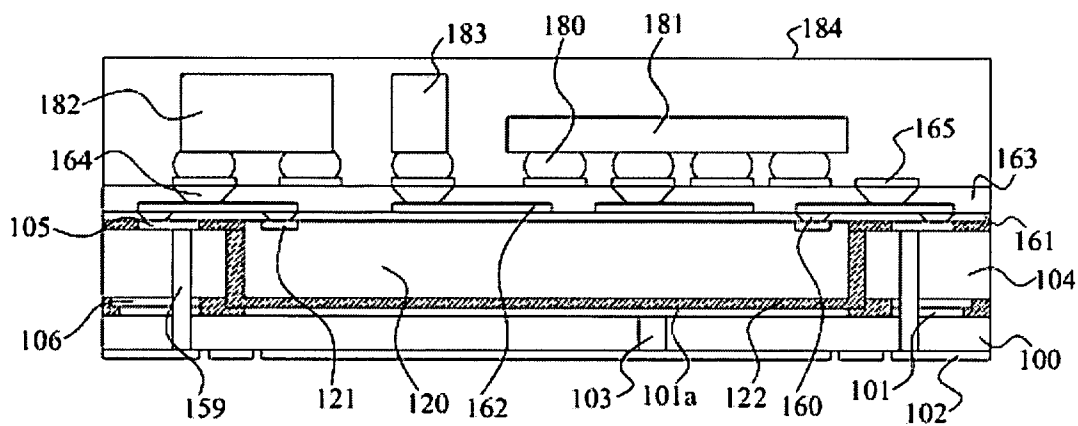
圖十



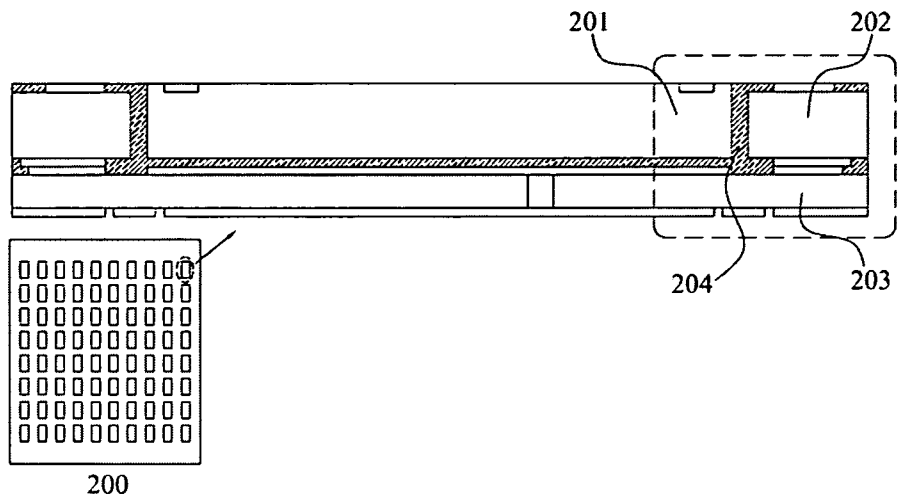
圖十一



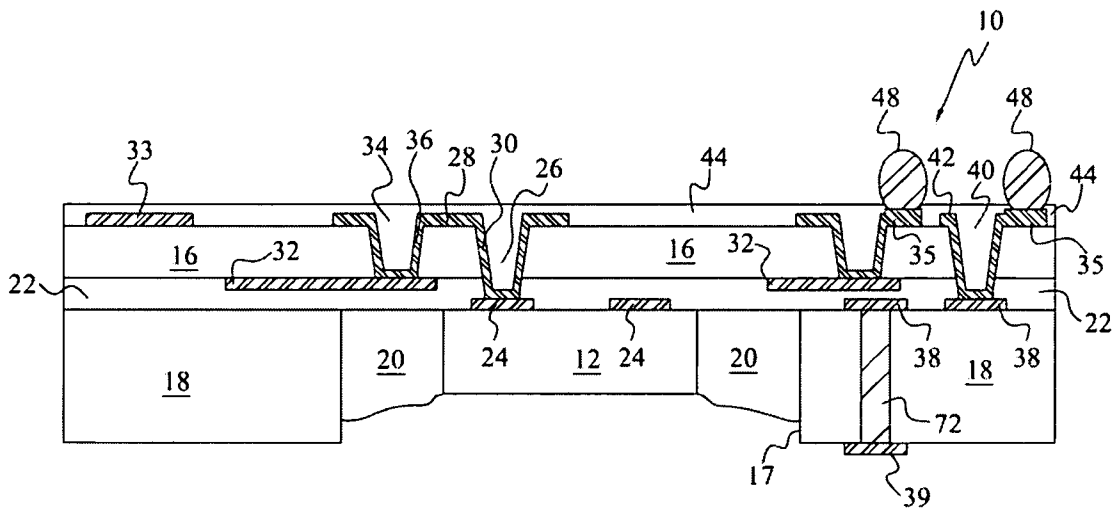
圖十二



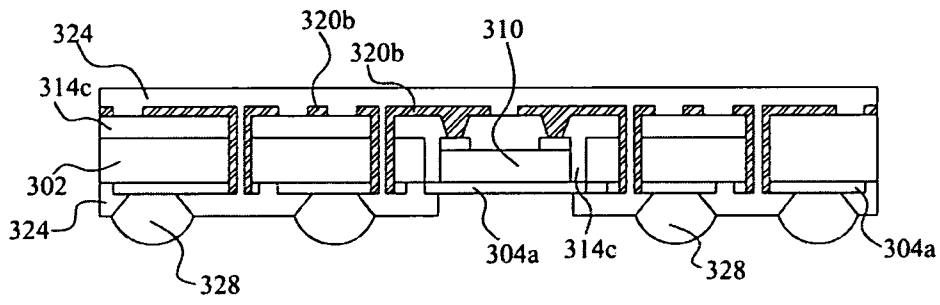
圖十三



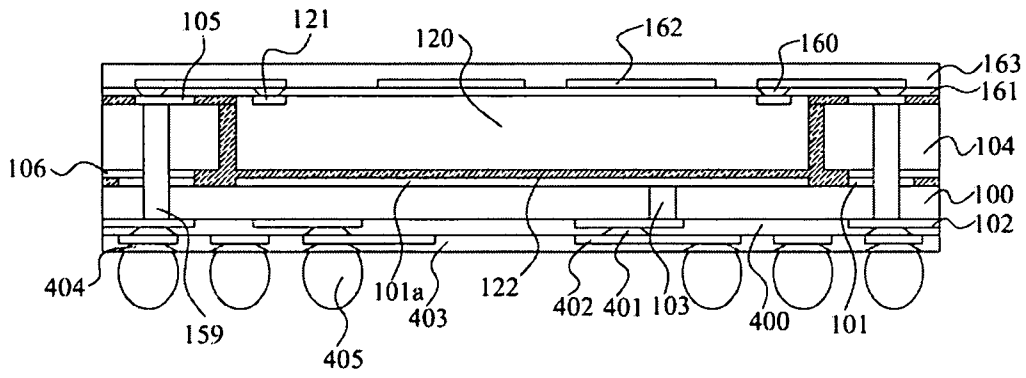
圖十四



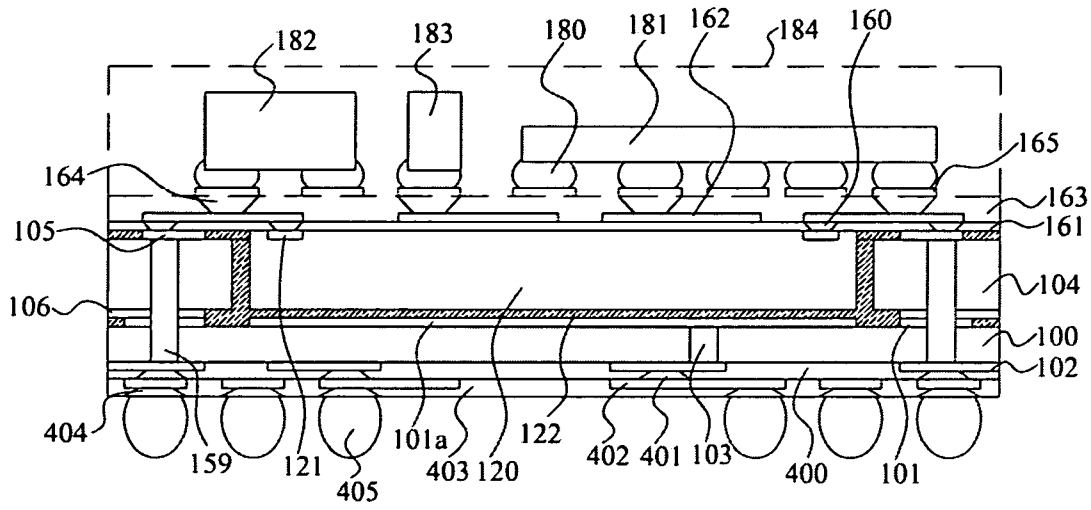
圖十五



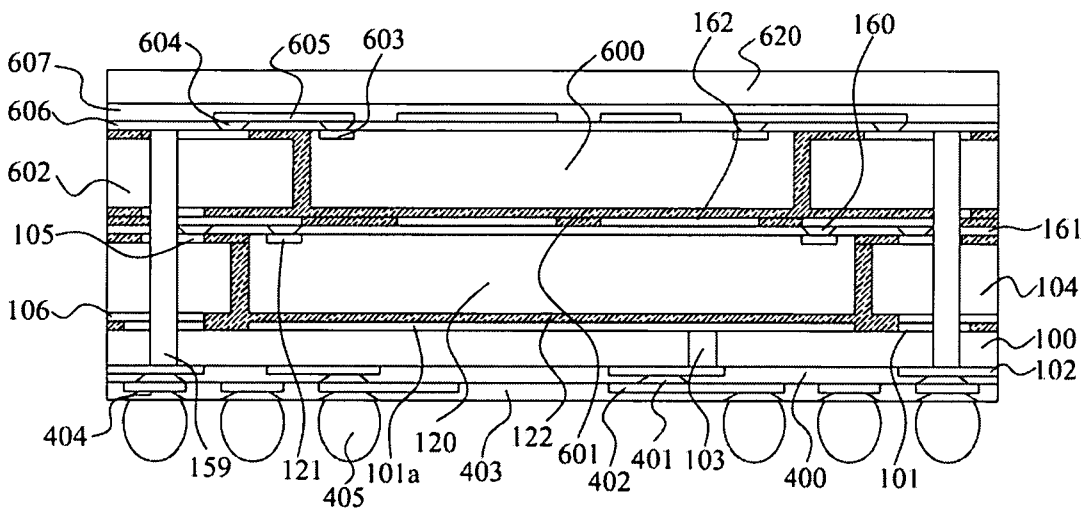
圖十六



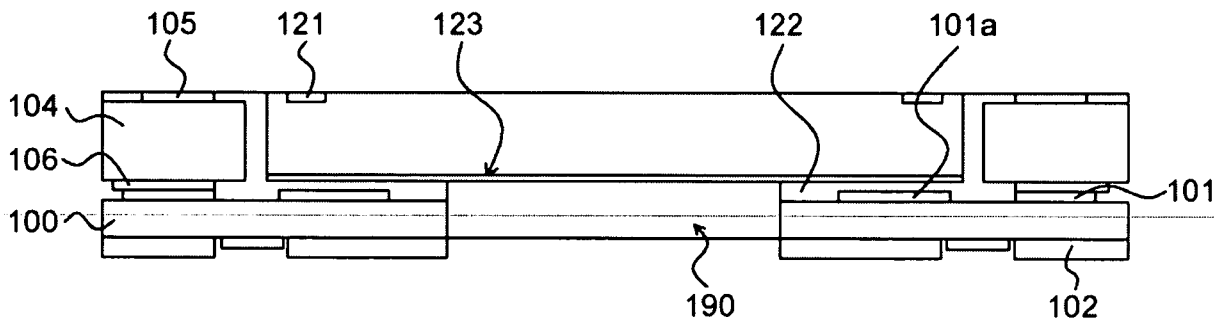
圖十七



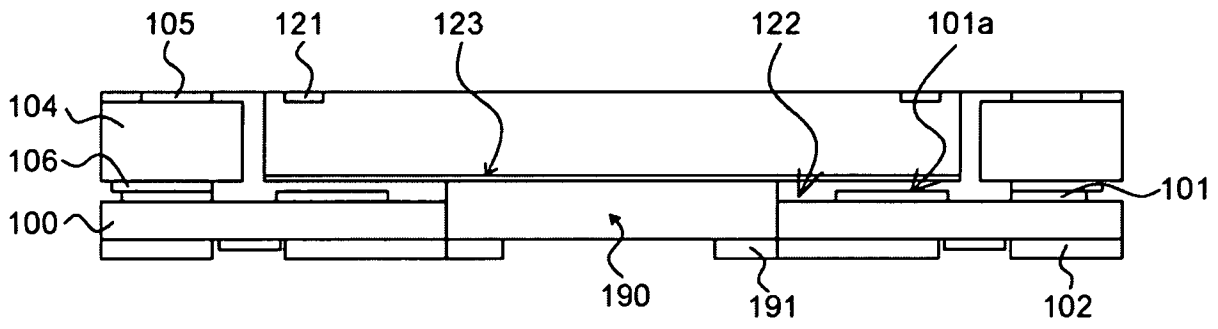
圖十八



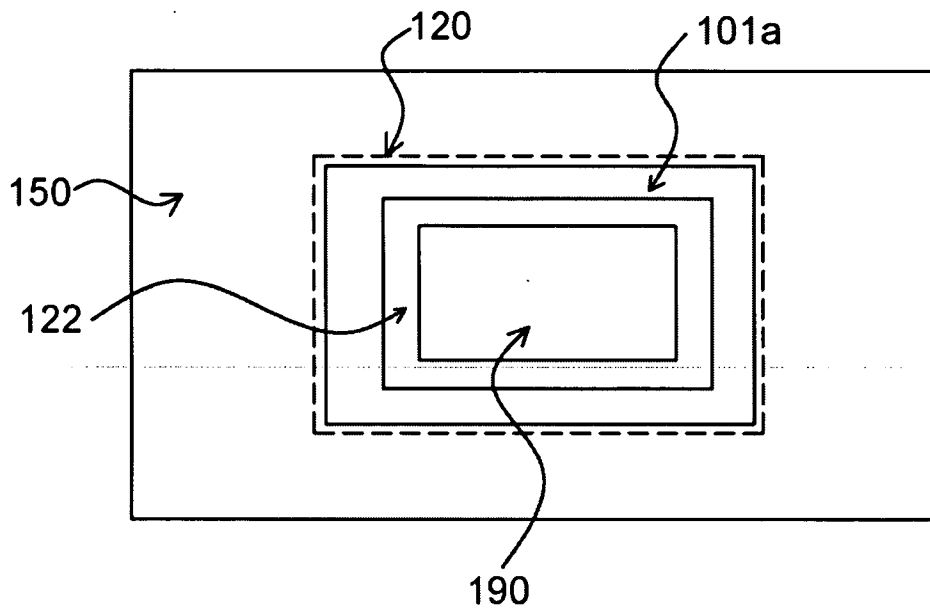
圖十九



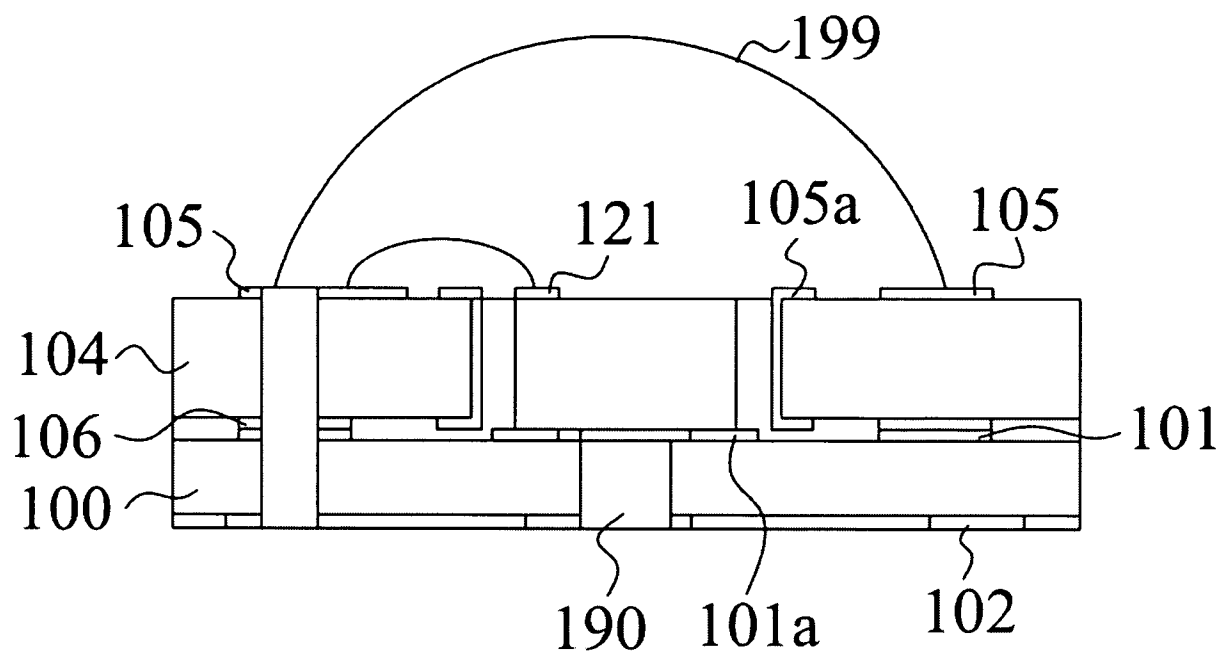
圖二十



圖二十一



圖二十二



圖二十三