

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4387231号
(P4387231)

(45) 発行日 平成21年12月16日(2009.12.16)

(24) 登録日 平成21年10月9日(2009.10.9)

(51) Int.Cl.		F I			
H05K 3/46	(2006.01)	H05K 3/46		Q	
H01L 23/12	(2006.01)	H05K 3/46		N	
H01L 25/00	(2006.01)	H01L 23/12		N	
		H01L 25/00		B	

請求項の数 5 (全 19 頁)

(21) 出願番号	特願2004-104660 (P2004-104660)	(73) 特許権者	000190688
(22) 出願日	平成16年3月31日 (2004.3.31)		新光電気工業株式会社
(65) 公開番号	特開2005-294383 (P2005-294383A)		長野県長野市小島田町80番地
(43) 公開日	平成17年10月20日 (2005.10.20)	(74) 代理人	100091672
審査請求日	平成18年11月24日 (2006.11.24)		弁理士 岡本 啓三
		(72) 発明者	春原 昌宏
			長野県長野市小島田町80番地 新光電気工業株式会社内
		(72) 発明者	村山 啓
			長野県長野市小島田町80番地 新光電気工業株式会社内
		(72) 発明者	東 光敏
			長野県長野市小島田町80番地 新光電気工業株式会社内

最終頁に続く

(54) 【発明の名称】 キャパシタ実装配線基板及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

それぞれ所要の形状にパターン形成された複数の配線層が、絶縁層を介して積層されると共に、該絶縁層を厚さ方向に貫通して形成された導体を介して相互に接続され、

キャパシタが、いずれかの絶縁層中に埋め込まれ、前記複数の配線層のうち電源ラインとして供される第1の配線層とグラウンドラインとして供される第2の配線層とに近接し、かつ、該第1、第2の各配線層間に挟まれて当該各配線層に電氣的に接続されると共に、該キャパシタに電流を流したときにその電流の向きと当該各配線層に流れる電流の向きが逆方向となり、かつ、該キャパシタに流れる電流の経路が当該各配線層に流れる電流の経路と略平行となるように、埋め込み実装されていることを特徴とするキャパシタ実装配線基板。

【請求項2】

前記キャパシタの一方の電極は、断面的に見て略L字形状に形成され、且つ前記第2の配線層に電氣的に接続された第3の配線層に係止されるようにして該第3の配線層に電氣的に接続され、前記キャパシタの他方の電極は、絶縁層を厚さ方向に貫通して形成された導体を介して前記第1の配線層に電氣的に接続されていることを特徴とする請求項1に記載のキャパシタ実装配線基板。

【請求項3】

前記キャパシタの一方の電極は、断面的に見てL字形状に形成され、且つ絶縁層を厚さ方向に貫通して形成された導体を介して前記第2の配線層に電氣的に接続された第3の配

線層に係止されるようにして該第3の配線層に電氣的に接続され、前記キャパシタの他方の電極は、絶縁層を厚さ方向に貫通して形成された導体を介して前記第1の配線層に電氣的に接続されていることを特徴とする請求項1に記載のキャパシタ実装配線基板。

【請求項4】

キャパシタを絶縁層中に埋め込み実装する工程を含むキャパシタ実装配線基板の製造方法であって、前記キャパシタを絶縁層中に埋め込み実装する工程が、

第1の配線層上に形成された第1の絶縁層に、前記第1の配線層に達するように凹部を形成する工程と、

前記凹部内の前記第1の配線層上に、キャパシタの各電極側にそれぞれ所定の隙間を空けて当該キャパシタを実装する工程と、

前記キャパシタの一方の電極及び前記第1の配線層に電氣的に接続され、かつ、前記キャパシタの他方の電極に別の位置で電氣的に接続されるように所要のパターン形状に第2の配線層を形成する工程と、

前記キャパシタ、前記第1の絶縁層及び前記第1、第2の各配線層を覆って形成された第2の絶縁層に、前記キャパシタの他方の電極に接続された前記第2の配線層に達するようにビアホールを形成する工程と、

前記ビアホールの内部を含めて前記第2の絶縁層上に第3の配線層を形成する工程とを含むことを特徴とするキャパシタ実装配線基板の製造方法。

【請求項5】

キャパシタを絶縁層中に埋め込み実装する工程を含むキャパシタ実装配線基板の製造方法であって、前記キャパシタを絶縁層中に埋め込み実装する工程が、

第1の配線層上に形成された第1の絶縁層に、前記第1の配線層に達するように第1のビアホールを形成する工程と、

キャパシタの一方の電極が、前記第1のビアホールの開口領域を部分的に覆うようにして当該キャパシタを実装する工程と、

前記キャパシタの一方の電極及び前記第1の配線層に電氣的に接続され、かつ、前記キャパシタの他方の電極に別の位置で電氣的に接続されるように所要のパターン形状に第2の配線層を形成する工程と、

前記キャパシタ、前記第1の絶縁層及び前記第2の配線層を覆って形成された第2の絶縁層に、前記キャパシタの他方の電極に接続された前記第2の配線層に達するように第2のビアホールを形成する工程と、

前記第2のビアホールの内部を含めて前記第2の絶縁層上に第3の配線層を形成する工程とを含むことを特徴とするキャパシタ実装配線基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、キャパシタを実装した配線基板に関し、より詳細には、高速のスイッチング動作が要求される半導体素子（チップ）や電子部品等を搭載するための、デカップリング用のキャパシタを実装した配線基板の新規な構造、及びその製造方法に関する。

【0002】

この明細書では、配線基板は半導体素子等を搭載するパッケージとしての役割を果たす意味で、便宜上「半導体パッケージ」ともいう。また、半導体素子等を搭載した状態にある配線基板（半導体パッケージ）を「半導体装置」と呼ぶことにする。

【背景技術】

【0003】

近年、プリント配線基板は軽量化が要求され、かつ、小型・多ピン化されたBGA（ボール・グリッド・アレイ）やPGA（ピン・グリッド・アレイ）、CSP（チップ・サイズ・パッケージ）等を搭載するため、配線の微細化及び高密度化が要求されている。しかし、従来のプリント配線基板はビアホールの形成に多くの面積を必要としていたため、設計の自由度が制限され、配線の微細化が困難であった。そこで、近年実用化が進んできた

10

20

30

40

50

のが、ビルドアップ法を用いたプリント配線基板（ビルドアップ多層配線基板）である。このビルドアップ多層配線基板は、層間絶縁層の材料とビアホール形成のプロセスの組合せにより多種類のものが作製可能であり、その基本的なプロセスは、絶縁層の形成、絶縁層における層間接続のためのビアホールの形成、ビアホールの内部を含めた導体層（パターン形成された配線、パッド等）の形成を順次繰り返しながら導体層を積み上げていくものである。このようなビルドアップ法によって得られた多層配線基板では、集積度等が進展した半導体素子（チップ）でも搭載することが可能である。

【 0 0 0 4 】

しかしその反面、かかる多層配線基板（半導体パッケージ）では各配線パターンが互いに近接しているため、配線間でクロストークノイズが生じたり、また電源ラインやグランドライン等の電位が変動したりする等の問題が起こり得る。特に、高速のスイッチング動作が要求される半導体素子や電子部品等を搭載する半導体パッケージでは、周波数の上昇に伴いクロストークノイズが発生し易くなり、またスイッチング素子が高速にオン/オフすることでスイッチングノイズが発生し、これによって電源ライン等の電位が変動し易くなる。これは、搭載する半導体素子等の動作信頼性の低下につながり、好ましくない。

10

【 0 0 0 5 】

そこで、電源電圧を安定させ、かつスイッチングノイズ等を低減させる目的で、従来より、半導体素子を搭載した半導体パッケージにチップキャパシタ等の容量素子を付設して電源ライン等を「デカップリング」することが行われている。典型的な手法としては、半導体パッケージの半導体素子等が搭載される側と同じ面又はその反対側の面に、チップキャパシタをはんだ付け等により表面実装する方法がある。

20

【 0 0 0 6 】

しかしこの場合、半導体パッケージの表面にキャパシタを設けた分だけ当該パッケージ全体の厚みが大きくなってしまい、また、キャパシタと半導体素子の間を接続する配線の引き回し距離が長くなってインダクタンスの増大を招くことがある。インダクタンスが大きいと、効果的な「デカップリング」を行うことができないので、インダクタンスは出来るだけ小さい方が望ましい。このためには、キャパシタは出来るだけ半導体素子の近傍に配置することが望ましい。また、このようにキャパシタを半導体素子の近くに配置するのが従来技術常識であった。

【 0 0 0 7 】

30

上記の従来技術に関連する技術としては、例えば、特許文献1に記載されるように、ビルドアップ法によって得られた樹脂の多層回路基板にデカップリング用のキャパシタを内装し、該キャパシタを構成する2層の導体パターンによって挟まれた誘電体層を、所定値以上の比誘電率を有する材料（樹脂）によって形成するようにしたものがある。

【特許文献1】特開平11-68319号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

上述したように従来技術では、デカップリング用キャパシタのインダクタンスを出来るだけ小さくするために、当該キャパシタを半導体素子に近づけて配設することで両者間の配線距離を出来るだけ短くするようにしていた。この際、キャパシタに流れる電流とその近傍のプレーン（平面）状の配線パターン、特に、電源プレーン又はグランドプレーンの磁気的な結合に関する配慮はなされていなかった。

40

【 0 0 0 9 】

このため、キャパシタと半導体素子を接続したときに両者間の配線距離が単に短いというだけでは、当該キャパシタが有する等価直列インダクタンス（ESL）を必ずしも小さくできない場合も起こり得る。例えば、長手の板状のチップキャパシタの近傍で当該キャパシタに接続されるプレーン（平面）状の配線パターンがあり、しかもその配線パターンが当該キャパシタの長手方向に平行な状態で、当該キャパシタに流れる電流とその配線パターンに流れる電流の方向が同じ向きの場合、当該キャパシタに流れる電流によって生じ

50

る磁界と配線パターンに流れる電流によって生じる磁界の方向が同じ向きとなるため、当該キャパシタのESLは、配線パターンからの磁界の影響を受けてそのインダクタンスが見かけ上大きくなってしまふ。

【0010】

つまり、キャパシタの配置とその近傍の配線パターンの配置や流れる電流の向きとの関係によっては、当該キャパシタのESLを必ずしも満足に小さくできないといった課題があった。

【0011】

本発明は、かかる従来技術における課題に鑑み創作されたもので、実装するキャパシタの等価直列インダクタンス(ESL)を低減して効果的なデカップリングを行えるようにし、ひいては搭載する半導体素子等の動作信頼性の向上に寄与することができる新規なキャパシタ実装配線基板及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

上記の従来技術の課題を解決するため、本発明の一形態によれば、それぞれ所要の形状にパターン形成された複数の配線層が、絶縁層を介して積層されると共に、該絶縁層を厚さ方向に貫通して形成された導体を介して相互に接続され、キャパシタが、いずれかの絶縁層中に埋め込まれ、前記複数の配線層のうち電源ラインとして供される第1の配線層とグラウンドラインとして供される第2の配線層とに近接し、かつ、該第1、第2の各配線層間に挟まれて当該各配線層に電氣的に接続されると共に、該キャパシタに電流を流したときにその電流の向きと当該各配線層に流れる電流の向きが逆方向となり、かつ、該キャパシタに流れる電流の経路が当該各配線層に流れる電流の経路と略平行となるように、埋め込み実装されていることを特徴とするキャパシタ実装配線基板が提供される。

【0013】

この形態に係るキャパシタ実装配線基板の構成によれば、キャパシタが、電源用の第1の配線層とグラウンド用の第2の配線層との間に挟まれて該第1、第2の各配線層に近接配置され、該キャパシタに流れる電流の経路と当該各配線層に流れる電流の経路が略平行となるようにいずれかの絶縁層中に埋め込み実装されているので、キャパシタに流れる電流と当該各配線層に流れる電流の磁氣的な結合が強化される。また、キャパシタに流れる電流の向きと当該各配線層に流れる電流の向きが互いに逆方向となっているので、双方の電流によって生じる磁界が互いに打ち消される。その結果、当該キャパシタの等価直列インダクタンス(ESL)は、当該各配線層からの磁界(自己が発生する磁界を打ち消す方向に作用する磁界)の影響を受けて見かけ上小さくなる。つまり、当該キャパシタのESLを低減することができる。これによって、効果的なデカップリングを行うことが可能となり、また、実装する半導体素子等の動作信頼性の向上に寄与することができる。

【0014】

この場合、キャパシタを電源層(第1の配線層)とグラウンド層(第2の配線層)の間に挟み込むようにしているので、例えば、キャパシタの一方の側にのみ電源層(又はグラウンド層)を配置する場合と比べて、キャパシタに流れる電流に対する対抗電流(第1、第2の各配線層に流れる電流)は相対的に増大し、より一層効果的にESLを低減することができる。さらに、キャパシタを配線基板内(いずれかの絶縁層中)に埋め込み実装しているので、基板全体の厚みを小さくすることができ、小型化に寄与する。

【0015】

本発明の他の形態に係るキャパシタ実装配線基板の構成及びその利点、並びにその製造方法については、以下に記述する詳細な実施の形態を参照しながら説明する。

【発明を実施するための最良の形態】

【0016】

図1は本発明の第1の実施形態に係るキャパシタ実装配線基板(半導体パッケージ)の構成を断面図の形態で模式的に示したものである。図示の例では、チップキャパシタ1を半導体パッケージ10の裏面(半導体素子2が搭載される側と反対側の面)に表面実装し

10

20

30

40

50

た場合の構成を示している。

【 0 0 1 7 】

本実施形態に係る半導体パッケージ 1 0 において、1 1 は本パッケージのコア基板としての絶縁性基材（例えば、ガラス布にエポキシ樹脂やポリイミド樹脂等の熱硬化性樹脂を含浸させたもの）、1 2 はコア基板 1 1 の所要箇所に厚さ方向に貫通して形成されたスルーホールの内壁に形成された導体（例えば、銅（Cu）等の金属）、1 3 は導体 1 2 の内側に充填された絶縁体（例えば、エポキシ樹脂等）、1 4 a , 1 4 b はそれぞれコア基板 1 1 の両面に所要の形状にパターン形成された配線層（例えば、Cu）、1 5 a , 1 5 b はそれぞれコア基板 1 1 及び配線層 1 4 a , 1 4 b 上に形成された層間絶縁層としての樹脂層（例えば、エポキシ樹脂層）、1 6 a , 1 6 b はそれぞれ配線層 1 4 a , 1 4 b の一部に電氣的に接続されて樹脂層 1 5 a , 1 5 b 上に所要の形状にパターン形成された配線層、1 7 a , 1 7 b はそれぞれ樹脂層 1 5 a , 1 5 b 及び配線層 1 6 a , 1 6 b 上に形成された樹脂層、1 8 a , 1 8 b はそれぞれ配線層 1 6 a , 1 6 b の一部に電氣的に接続されて樹脂層 1 7 a , 1 7 b 上に所要の形状にパターン形成された配線層、1 9 a , 1 9 b はそれぞれ樹脂層 1 7 a , 1 7 b 及び配線層 1 8 a , 1 8 b 上に形成された樹脂層、2 0 a , 2 0 b はそれぞれ配線層 1 8 a , 1 8 b の一部に電氣的に接続されて樹脂層 1 9 a , 1 9 b 上に所要の形状にパターン形成された配線層を示す。

10

【 0 0 1 8 】

また、2 1 a , 2 1 b はそれぞれ所定の部分に開口部を有して配線層 2 0 a , 2 0 b 及び樹脂層 1 9 a , 1 9 b 上に形成された保護膜としてのソルダレジスト層、2 2 は下側のソルダレジスト層 2 1 b の開口部から露出している各パッド部（配線層 2 0 b の一部）に接合された外部接続端子としてのはんだバンプ、2 3 は同じくソルダレジスト層 2 1 b の開口部から露出している 2 箇所のパッド部（配線層 2 0 b の一部）にチップキャパシタ 1 を接続するはんだを示す。このとき、はんだの接着性を高めるために、ソルダレジスト層 2 1 b の開口部から露出しているパッド部（配線層 2 0 b の一部）上にニッケル（Ni）/金（Au）のめっきによる導体層を被着させておくのが望ましい。これは、上側のソルダレジスト層 2 1 a の開口部から露出しているパッド部（配線層 2 0 a の一部）に対しても同様である。

20

【 0 0 1 9 】

なお、図示の例でははんだバンプ（外部接続端子）2 2 を設けているが、これは必ずしも設ける必要はない。要は、必要なときに外部接続端子を接合できるように下側のソルダレジスト層 2 1 b の開口部からパッド部（配線層 2 0 b の一部）が露出していれば十分である。また、チップキャパシタ 1 は、パッケージ 1 0 に表面実装されるので、パッケージ全体の厚みを抑えるためにもその厚さが可及的に薄いものを用いるのが望ましい。また、後述するようにチップキャパシタ 1 を埋め込み実装する実施形態においても、パッケージ中に埋め込むためその厚さは出来るだけ薄い方が望ましい。よって、本実施形態を含めて以下に記述する各実施形態では、チップキャパシタ 1 として厚さが 1 0 0 μ m 程度の薄いものを使用している。

30

【 0 0 2 0 】

各配線層 1 4 a , 1 4 b , 1 6 a , 1 6 b , 1 8 a , 1 8 b , 2 0 a 及び 2 0 b はそれぞれ所要の形状にパターン形成されるが、その際、それぞれ要求されるパターンの信号ライン、電源ライン（P）又はグランドライン（G）と、層間接続用のパッド部とを含むように形成される。最外層の配線層 2 0 a , 2 0 b 以外の配線層については、各々のパッド部は、それぞれ対応する樹脂層に形成される上下接続用のビアホール（このビアホールには導体（例えば、Cu）が充填されている）の位置に対応してパターン形成されている。一方、最外層の配線層 2 0 a , 2 0 b の各パッド部は、それぞれ搭載する半導体素子（チップ）2 の電極の位置、外部接続端子 2 2 の接合位置、及びチップキャパシタ 1 の実装位置に対応するようにパターン形成されている。また、図示の例では、上側の配線層 1 8 a と下側の配線層 1 4 b が電源ラインとして供され、上側の配線層 1 4 a と下側の配線層 1 8 b がグランドラインとして供されている。本実施形態を含めて以下に記述する各実施形

40

50

態では、便宜上、電源ラインとして供される配線層を「電源プレーン」、グラウンドラインとして供される配線層を「グラウンドプレーン」ともいう。

【0021】

本実施形態に係るキャパシタ実装配線基板（半導体パッケージ）10は、後述するように、デカップリング用として実装するチップキャパシタ1を、電源プレーン（図1の例では、電源用の配線層14bにビアホール（に充填された導体）を介して接続された最下層の配線層20b）に近接して当該プレーンに電氣的に接続すると共に、チップキャパシタ1に電流を流したときにその電流の向き（図1の例では、右から左に向かう方向）と当該プレーン（配線層20b）に流れる電流の向き（図1の例では、左から右に向かう方向）が逆方向となるように実装したことを特徴としている。このような特徴的な構成は、チップキャパシタ1に近接配置される当該プレーンが電源プレーンであるか、グラウンドプレーンであるかの違いはあるにせよ、後述する他の実施形態についても共通している。

10

【0022】

本実施形態に係る半導体パッケージ10は、ビルドアップ法などの周知の技術を用いて製造することができる。よって、その製造方法の工程については図示を省略するが、簡単に説明すると以下の通りである。例えばビルドアップ法を用いた場合、先ず、コア基板11（所要箇所にスルーホールを形成し、その内部に導体12及び絶縁体13を充填したものの）の両面に所要のパターン形状に配線層14a, 14bを形成し、次に、樹脂層（層間絶縁層）の形成 樹脂層における層間接続のためのビアホールの形成 ビアホールの内部を含めた配線層の形成を順次繰り返しながら上下各4層となるまで配線層を積み上げていき、さらに、最外層の配線層20a, 20bのパッド部が露出するように全面を覆ってソルダレジスト層21a, 21bを形成した後、基板実装側のソルダレジスト層21bからそれぞれ露出している各パッド部に、はんだバンプ（外部接続端子）22を接合すると共に、チップキャパシタ1をはんだ付け（23）により表面実装することで、本実施形態の半導体パッケージ10（図1）を得ることができる。

20

【0023】

また、本パッケージ10に半導体素子（チップ）2を搭載して半導体装置を得る場合には、例えば、上側のソルダレジスト層21aの開口部から露出しているパッド部（配線層20aの一部）に、半導体チップ2のパッド上に接合された電極3（例えば、はんだバンプ）が電氣的に接続されるように当該チップ2をフリップチップ接続し、さらに、ソルダレジスト層21aとの間にアンダーフィル樹脂4を充填し、熱硬化させて接着する。あるいは、このアンダーフィル樹脂4の代わりに、あらかじめノン・コンダクティブ・ペースト（NCP）を塗布し、又はノン・コンダクティブ・フィルム（NCF）を貼り付けておき、フリップチップ接続と同時にアンダーフィル樹脂4と同等の形状に成形するようにしてもよい。

30

【0024】

本実施形態に係る半導体パッケージ10（図1）の構成によれば、チップキャパシタ1と電源プレーン（配線層20b）が近接配置されると共に、当該キャパシタ1に流れる電流と当該プレーンに流れる電流の向きが互いに逆方向となっているので、双方の電流の磁氣的な結合が強化されると共に、各々の電流によって生じる磁界が互いに打ち消される。その結果、チップキャパシタ1のESLは、当該電源プレーン（配線層20b）から及ぼされる磁界（つまり、当該キャパシタ1が発生する磁界を打ち消す方向に作用する磁界）の影響を受けて見かけ上小さくなる。つまり、チップキャパシタ1のESLを低減することができ、これによって、効果的なデカップリングを行うことが可能となり、また、搭載する半導体素子（チップ）2の動作信頼性の向上に寄与することができる。

40

【0025】

図2は本発明の第2の実施形態に係るキャパシタ実装配線基板（半導体パッケージ）の構成を断面図の形態で模式的に示したものである。

【0026】

本実施形態に係る半導体パッケージ10aは、上述した第1の実施形態に係る半導体パ

50

パッケージ10(図1)と比べて、チップキャパシタ1を本パッケージ10aの表面(半導体素子2が搭載される側と同じ面)の半導体素子搭載領域の周囲(図示の例では、右側)の領域に表面実装した点で相違する。他の構成及びその機能については、第1の実施形態の場合と基本的に同じであるので、その説明は省略する。

【0027】

この第2の実施形態によれば、第1の実施形態の場合と比べて、搭載する半導体素子2のより近傍にチップキャパシタ1を実装しており、インダクタンスの大きなスルーホールを介さないで、半導体装置(半導体素子2を搭載した状態の半導体パッケージ10a)全体として見たときの電気的特性をより向上させることができる。

【0028】

図3は本発明の第3の実施形態に係るキャパシタ実装配線基板(半導体パッケージ)の構成を断面図の形態で模式的に示したものである。

【0029】

本実施形態に係る半導体パッケージ10bは、上述した第2の実施形態に係る半導体パッケージ10a(図2)と比べて、チップキャパシタ1の直下にグランドプレーン(すなわち、キャパシタ1に流れる電流によって生じる磁界を打ち消す方向に磁界を発生させる電流が流れるグランド用の配線層18a)を配置した点で相違する。この配置の違いにより、キャパシタ1を流れる電流の経路上に存在するビアホールの段数(長さ)は、第2の実施形態の場合と比べて減少しており、当該キャパシタを流れる電流の経路上に発生するインダクタンスは小さくなるため、半導体装置(半導体素子2を搭載した状態の半導体パッケージ10b)全体として見たときの電気的特性が向上する。他の構成及びその機能については、第2の実施形態の場合と基本的に同じであるので、その説明は省略する。

【0030】

図3の例では、チップキャパシタ1の直下の配線層18aはグランド用として供されているが、これは、電源用として供されている場合(電源プレーン)でも同様である。この場合には、電源用として供されている配線層14aはグランド用に変更され、この配線層14aはグランド用の外部接続端子22(G)に接続されるようにパターン変更され、一方、配線層18aは電源用の外部接続端子22(P)に接続されるようにパターン変更される。

【0031】

この第3の実施形態によれば、チップキャパシタ1の直下にグランドプレーン(又は電源プレーン)を配置しているので、第2の実施形態の場合と比べて、当該キャパシタ1に流れる電流によって生じる磁界と当該プレーン(配線層18a)に流れる電流によって生じる磁界との結合がより一層強化される。その結果、チップキャパシタ1のESLをより一層効果的に低減することができる。

【0032】

図4は本発明の第4の実施形態に係るキャパシタ実装配線基板(半導体パッケージ)の構成を断面図の形態で模式的に示したものである。図示の例では、チップキャパシタ1を半導体パッケージ10cに埋め込み実装した場合の構成を示している。

【0033】

本実施形態に係る半導体パッケージ10cは、上述した第1の実施形態に係る半導体パッケージ10(図1)と比べて、本パッケージを構成するビルドアップ層のうちコア基板11の下側(半導体素子2が搭載される側と反対側)に積層されたビルドアップ層(樹脂層17b)中にチップキャパシタ1を埋設した点で相違する。チップキャパシタ1は、その一方の電極が、樹脂層15bを厚さ方向に貫通して形成されたビアホールに充填された導体(配線層16bの一部)を介して電源用の配線層14bに接続され、他方の電極が、樹脂層17bを厚さ方向に貫通して形成されたビアホールに充填された導体(配線層18bの一部)を介してグランド用の配線層18bに接続されている。他の構成及びその機能については、第1の実施形態の場合と基本的に同じであるので、その説明は省略する。

【0034】

10

20

30

40

50

この第4の実施形態によれば、チップキャパシタ1を電源プレーン(配線層14b)とグランドプレーン(配線層18b)の間に挟み込むようにしているため、上述した各実施形態(図1~図3)のようにチップキャパシタ1を表面実装する場合(すなわち、チップキャパシタ1の一方の側にのみ電源プレーン(例えば、図1の配線層20b)又はグランドプレーン(例えば、図3の配線層18a)を配置する場合)と比べて、チップキャパシタ1に流れる電流に対する対抗電流(各プレーン14b, 18bに流れる電流)は相対的に増大する。その結果、チップキャパシタ1のESLをより一層効果的に低減することができる。

【0035】

また、チップキャパシタ1を半導体パッケージ10cに埋め込み実装しているため、第1~第3の各実施形態(図1~図3)の場合と比べて、半導体パッケージ10c全体の厚みを小さくすることができる。さらに、チップキャパシタ1は半導体素子搭載領域の下方の領域に埋め込まれているため、第2、第3の各実施形態(図2、図3)のようにチップキャパシタ1を半導体素子搭載領域の周囲の領域に表面実装する場合と比べて、半導体パッケージ10cのサイズを小さくすることができる。

【0036】

図5は本発明の第5の実施形態に係るキャパシタ実装配線基板(半導体パッケージ)の構成を断面図の形態で模式的に示したものである。

【0037】

本実施形態に係る半導体パッケージ10dは、上述した第4の実施形態に係る半導体パッケージ10c(図4)と比べて、本パッケージを構成するビルドアップ層のうちコア基板11の上側(半導体素子2が搭載される側と同じ側)に積層されたビルドアップ層(樹脂層17a)中にチップキャパシタ1を埋設した点で相違する。このチップキャパシタ1は、その一方の電極が、樹脂層17aを厚さ方向に貫通して形成されたビアホールに充填された導体(配線層18aの一部)を介して電源用の配線層18aに接続され、他方の電極が、樹脂層15aを厚さ方向に貫通して形成されたビアホールに充填された導体(配線層16aの一部)を介してグランド用の配線層14aに接続されている。他の構成及びその機能については、第4の実施形態の場合と基本的に同じであるため、その説明は省略する。

【0038】

この第5の実施形態によれば、第4の実施形態の場合と比べて、搭載する半導体素子2のより近傍にチップキャパシタ1を埋め込み実装しており、インダクタンスの大きなスルーホールを介さないため、半導体装置(半導体素子2を搭載した状態の半導体パッケージ10d)全体として見たときの電気的特性をより向上させることができる。

【0039】

図6は本発明の第6の実施形態に係るキャパシタ実装配線基板(半導体パッケージ)の構成を断面図の形態で模式的に示したものである。

【0040】

本実施形態に係る半導体パッケージ10eは、上述した第5の実施形態に係る半導体パッケージ10d(図5)と比べて、搭載する半導体素子2の直下にグランドプレーン(グランド用の配線層18a)を配置した点で相違する。この配置の違いにより、キャパシタ1を流れる電流の経路上に存在するビアホールの段数(長さ)は、第5の実施形態の場合よりも減少しており、当該キャパシタを流れる電流の経路上に発生するインダクタンスは小さくなるため、半導体装置(半導体素子2を搭載した状態の半導体パッケージ10e)全体として見たときの電気的特性が向上する。また、チップキャパシタ1は、その一方の電極が、樹脂層17aを厚さ方向に貫通して形成されたビアホールに充填された導体(配線層18aの一部)を介してグランド用の配線層18aに接続され、他方の電極が、樹脂層15aを厚さ方向に貫通して形成されたビアホールに充填された導体(配線層16aの一部)を介して電源用の配線層14aに接続されている。他の構成及びその機能については、第5の実施形態の場合と基本的に同じであるため、その説明は省略する。

10

20

30

40

50

【 0 0 4 1 】

図6の例では、搭載する半導体素子2の直下の配線層18aはグランド用として供されているが、これは、電源用として供されている場合（電源プレーン）でも同様である。この場合には、電源用として供されている配線層14aはグランド用に変更され、この配線層14aはグランド用の外部接続端子22（G）に接続されるようにパターン変更され、一方、配線層18aは電源用の外部接続端子22（P）に接続されるようにパターン変更される。

【 0 0 4 2 】

図7は本発明の第7の実施形態に係るキャパシタ実装配線基板（半導体パッケージ）の構成を断面図の形態で模式的に示したものである。

10

【 0 0 4 3 】

本実施形態に係る半導体パッケージ10fは、上述した第5の実施形態に係る半導体パッケージ10d（図5）と比べて、チップキャパシタ1の接続形態において相違する。すなわち、図7において本パッケージ10f中の破線で囲んだ部分CP1に示すように、チップキャパシタ1は、グランド用の配線層14aに接着剤30を介して実装されており、その一方の電極（少なくとも端部）は、断面的に見て略L字形状に形成された配線層16a（これは、配線層14aに接続されている）に係止されて接続されている。また、チップキャパシタ1の他方の電極は、別の部分の配線層16aの一部及び樹脂層17aを厚さ方向に貫通して形成されたビアホールに充填された導体（配線層18aの一部）を介して電源用の配線層18aに接続されている。他の構成及びその機能については、第5の実施形態の場合と基本的に同じであるので、その説明は省略する。

20

【 0 0 4 4 】

この第7の実施形態によれば、基本的には第5の実施形態に係るパッケージ構造と同等であるので、第5の実施形態の場合と同様の効果を奏することができる。更に、上記の構成上の特徴（チップキャパシタ1の一方の電極が略L字形状の配線層16aに係止されている点）に基づいて、当該電極とグランドプレーン（配線層14a）との電気的な接続の信頼性を高めることができる。

【 0 0 4 5 】

図8は本発明の第8の実施形態に係るキャパシタ実装配線基板（半導体パッケージ）の構成を断面図の形態で模式的に示したものである。

30

【 0 0 4 6 】

本実施形態に係る半導体パッケージ10gは、上述した第5の実施形態に係る半導体パッケージ10d（図5）と比べて、チップキャパシタ1の接続形態において相違する。すなわち、図8において本パッケージ10g中の破線で囲んだ部分CP2に示すように、チップキャパシタ1は、樹脂層15a中に接着剤30を介して実装されており、その一方の電極（少なくとも端部）は、断面的に見てL字形状に形成された配線層16a（これは、樹脂層15aを厚さ方向に貫通して形成されたビアホールに充填された導体（配線層16aの一部）を介してグランド用の配線層14aに接続されている）に係止されて接続されている。また、チップキャパシタ1の他方の電極は、別の部分の配線層16aの一部及び樹脂層17aを厚さ方向に貫通して形成されたビアホールに充填された導体（配線層18aの一部）を介して電源用の配線層18aに接続されている。他の構成及びその機能については、第5の実施形態の場合と基本的に同じであるので、その説明は省略する。

40

【 0 0 4 7 】

この第8の実施形態においても、基本的には第5の実施形態に係るパッケージ構造と同等であるので、第5の実施形態の場合と同様の効果を奏することができる。更に、上記の構成上の特徴（チップキャパシタ1の一方の電極がL字形状の配線層16aに係止されている点）に基づいて、第7の実施形態の場合と同様に、当該電極とグランドプレーン（配線層14a）との電気的な接続の信頼性を高めることができる。

【 0 0 4 8 】

なお、第7、第8の各実施形態に係る半導体パッケージ10f、10g（図7、図8）

50

では、第5の実施形態に係る半導体パッケージ10d(図5)に対し、チップキャパシタ1の接続形態に係る部分CP1, CP2を置き換えた場合を例にとって説明したが、これは、第4の実施形態に係る半導体パッケージ10c(図4)又は第6の実施形態に係る半導体パッケージ10e(図6)に対しても同様に置き換え可能であることはもちろんである。

【0049】

また、第7, 第8の各実施形態に係る半導体パッケージ10f, 10g(図7, 図8)は、チップキャパシタ1の接続形態に係る部分CP1, CP2以外の部分については、当業者には周知のビルドアップ法により製造することができる。よって、当該部分CP1, CP2以外の部分については記述の簡略化のためその説明を省略し、当該部分CP1, CP2の製造工程についてのみ、以下、図9~図12を参照しながら説明する。

10

【0050】

(第7の実施形態に係る当該部分CP1の製造工程: 図9及び図10参照)

まず最初の工程では(図9(a)参照)、コア基板11上にグランドプレーン(配線層14a)を形成する。この配線層14aは、図示の例ではコア基板11上の全面に形成されているが、図7に示すように所要のパターン形状に形成される。例えば、コア基板11上に銅(Cu)の薄膜を形成し、その薄膜を種としてサブトラクティブ法により所要のパターンを形成する。

【0051】

次の工程では(図9(b)参照)、パターン形成された配線層14a上に層間絶縁層としての樹脂層15aを形成する。例えば、エポキシ樹脂やポリイミド樹脂等の熱硬化性樹脂を配線層14a上にラミネートし、平坦化及びプレス処理を施し、さらにキュア処理を施して樹脂層15aを形成する。

20

【0052】

次の工程では(図9(c)参照)、樹脂層15aの特定の位置(後述するチップキャパシタが実装される部分に対応する位置)に、ルータ加工により、凹部(キャビティ)RPを形成する。このルータ加工に代えて、サンドブラストやエッチング等により凹部RPを形成するようにしてもよい。

【0053】

次の工程では(図9(d)参照)、樹脂層15aに形成された凹部(キャビティ)RP内の配線層14a上に、厚さが100µm程度の薄いチップキャパシタ1を実装する。この場合、接着剤30を配線層14aに貼り付けた後、その接着剤30の位置に合わせて当該キャパシタ1を搭載するようにしてもよいし、又は、接着剤30を当該キャパシタ1に貼り付けた後、その接着剤30の付いたキャパシタ1を配線層14a上に搭載するようにしてもよい。チップキャパシタ1の実装に際しては、凹部RP内で一方の側(図示の例では左側)の隙間が相対的に大きくなるように位置決めされる。本実施形態では、左側の隙間は100µm~200µm程度に選定されている。このとき、右側の隙間は50µm~100µm程度に選定されている。

30

【0054】

次の工程では(図9(e)参照)、全面に、無電解Cuめっきにより、後の工程で行う電解めっきの際のめっきベース膜となるシード層31を厚さ1µm程度に形成する。無電解めっきに代えて、スパッタリングによりシード層31を形成するようにしてもよい。

40

【0055】

次の工程では(図9(f)参照)、シード層31によって覆われた配線層14a、樹脂層15a及びチップキャパシタ1のうち特定の部分が露出するように全面を覆ってめっきレジスト(レジスト層32)を形成する。ここでいう「特定の部分」は、チップキャパシタ1の一方の電極(図示の例では、左側の電極)及び同じ側にある配線層14aの位置に対応する部分と、チップキャパシタ1の他方の電極(図示の例では、右側の電極)の位置に対応する部分に相当する。レジスト層32の形成は、例えば、全面に感光性のドライフィルム(厚さ25µm程度)をラミネートし、上記の「特定の部分」の形状に従うように

50

露光及び現像（ドライフィルムのパターニング）を行い、その特定の部分の領域に対応する部分のドライフィルムを開口する。これによって、上記の特定の部分が露出したレジスト層 3 2 が形成されたことになる。

【 0 0 5 6 】

次の工程では（図 1 0（a）参照）、レジスト層 3 2 から露出しているシード層 3 1 上に、当該シード層を給電層として電解 Cu めっきを施し、配線層 1 6 a を形成する。これによって、チップキャパシタ 1 の両側の電極上にそれぞれ配線層 1 6 a が形成され、この時点で、一方の側の配線層 1 6 a は、シード層 3 1 を介してグランドプレーン（配線層 1 4 a）に接続されたことになる。

【 0 0 5 7 】

次の工程では（図 1 0（b）参照）、ドライフィルム 3 2 を剥離除去し、さらに、露出している部分のシード層 3 1（Cu）を、ウエットエッチングにより除去する。

【 0 0 5 8 】

次の工程では（図 1 0（c）参照）、樹脂層 1 5 a、配線層 1 4 a、1 6 a、及びチップキャパシタ 1 上に、図 9（b）の工程で行った処理と同様にして、層間絶縁層としての樹脂層 1 7 a を形成する。

【 0 0 5 9 】

次の工程では（図 1 0（d）参照）、樹脂層 1 7 a の特定の位置（チップキャパシタ 1 の他方の電極上の配線層 1 6 a が形成されている部分に対応する位置）に、当該配線層 1 6 a に達するようにビアホール V H 1 を形成する。例えば、樹脂層 1 7 a の対応する部分を CO₂ レーザ、UV-YAG レーザ等により除去することで、ビアホール V H 1 を形成する。

【 0 0 6 0 】

最後の工程では（図 1 0（e）参照）、ビアホール V H 1 の内部を含めて樹脂層 1 7 a 上に、配線層 1 6 a を給電層として電解 Cu めっきを施し、セミアディティブ法により所要のパターン形状に電源プレーン（配線層 1 8 a）を形成する。これによって、チップキャパシタ 1 の他方の電極が配線層 1 6 a（シード層を含む）を介して電源プレーン（配線層 1 8 a）に接続され、チップキャパシタ 1 の接続形態に係る部分 C P 1 が作製されたことになる。

【 0 0 6 1 】

（第 8 の実施形態に係る当該部分 C P 2 の製造工程：図 1 1 及び図 1 2 参照）

先ず最初の工程では（図 1 1（a）参照）、図 9（a）の工程で行った処理と同様にして、コア基板 1 1 上にグランドプレーン（配線層 1 4 a）を形成する。

【 0 0 6 2 】

次の工程では（図 1 1（b）参照）、図 9（b）の工程で行った処理と同様にして、パターン形成された配線層 1 4 a 上に層間絶縁層としての樹脂層 1 5 a を形成する。

【 0 0 6 3 】

次の工程では（図 1 1（c）参照）、樹脂層 1 5 a の特定の位置（チップキャパシタ 1 の一方の電極の端部が位置する部分に対応する位置）に、配線層 1 4 a に達するようにビアホール V H 2 を形成する。例えば、樹脂層 1 5 a の対応する部分を CO₂ レーザ、UV-YAG レーザ等により除去することで、ビアホール V H 2 を形成する。

【 0 0 6 4 】

次の工程では（図 1 1（d）参照）、チップキャパシタ 1 の一方の電極が、樹脂層 1 5 a に形成されたビアホール V H 2 の開口領域を部分的に覆うようにして当該キャパシタ 1 を実装する。この場合、接着剤 3 0 を樹脂層 1 5 a に貼り付けた後、その接着剤 3 0 の位置に合わせて当該キャパシタ 1 を搭載するようによいし、又は、接着剤 3 0 を当該キャパシタ 1 に貼り付けた後、その接着剤 3 0 の付いたキャパシタ 1 を樹脂層 1 5 a 上に搭載するようによい。

【 0 0 6 5 】

次の工程では（図 1 1（e）参照）、図 9（e）の工程で行った処理と同様にして、全

10

20

30

40

50

面に、無電解Cuめっきにより、シード層33を厚さ1 μ m程度に形成する。

【0066】

次の工程では(図11(f)参照)、シード層33によって覆われた配線層14a、樹脂層15a及びチップキャパシタ1のうち特定の部分が露出するように全面を覆ってめっきレジスト(レジスト層34)を形成する。ここでいう「特定の部分」は、チップキャパシタ1の一方の電極がビアホールVH2の開口領域を部分的に覆っている位置に対応する部分と、チップキャパシタ1の他方の電極の位置に対応する部分に相当する。レジスト層34の形成は、図9(f)の工程で行った処理と同様にして行うことができる。

【0067】

次の工程では(図12(a)参照)、図10(a)の工程で行った処理と同様にして、レジスト層34から露出しているシード層33上に配線層16aを形成する。これによって、チップキャパシタ1の両側の電極上に配線層16aが形成され、この時点で、一方の側の配線層16aは、シード層33を介してグランドプレーン(配線層14a)に接続されたことになる。

10

【0068】

次の工程では(図12(b)参照)、ドライフィルム34を剥離除去し、さらに、露出している部分のシード層33(Cu)を、ウエットエッチングにより除去する。

【0069】

次の工程では(図12(c)参照)、樹脂層15a、配線層16a、及びチップキャパシタ1上に、図11(b)の工程で行った処理と同様にして、層間絶縁層としての樹脂層17aを形成する。

20

【0070】

次の工程では(図12(d)参照)、図10(d)の工程で行った処理と同様にして、樹脂層17aの特定の位置(チップキャパシタ1の他方の電極上の配線層16aが形成されている部分に対応する位置)に、当該配線層16aに達するようにビアホールVH3を形成する。

【0071】

最後の工程では(図12(e)参照)、ビアホールVH3の内部を含めて樹脂層17a上に、配線層16aを給電層として電解Cuめっきを施し、セミアディティブ法により所要のパターン形状に電源プレーン(配線層18a)を形成する。これによって、チップキャパシタ1の他方の電極が配線層16a(シード層を含む)を介して電源プレーン(配線層18a)に接続され、チップキャパシタ1の接続形態に係る部分CP2が作製されたことになる。

30

【0072】

図13は、チップキャパシタを表面実装した場合と埋め込み実装した場合の各々のパッケージ構造について評価したときに得られたデータ(当該キャパシタのESL)を対比させて示したものである。図示の例では、2種類のチップキャパシタA、B(Aは3個、Bは2個)について、搭載する半導体素子との接続を考慮しないで、単に表面実装したらどうなるか、また埋め込み実装したらどうなるかを評価したときのデータを示している。埋め込み実装した場合については、チップキャパシタをグランドライン上に位置するように絶縁層中に埋め込み、当該キャパシタに電流を流したときにその電流の向きとグランドラインに流れる電流の向きが逆方向となるようにして、評価を行っている。チップキャパシタA、Bは容量が異なり、それぞれ10nF、5nFである。また、サイズは両方とも、縦(1.0mm)×横(0.5mm)×高さ(0.1mm)である。チップキャパシタAについて、表面実装した場合のESL(pH)は、平均値が209.0、最大値と平均値の差が39.0、最小値と平均値の差が46.0であり、埋め込み実装した場合のESL(pH)は、平均値が84.0、最大値と平均値の差が12.3、最小値と平均値の差が10.5であった。チップキャパシタBについては、表面実装した場合のESL(pH)は、平均値が189.5、最大値と平均値の差が18.5、最小値と平均値の差が18.5であり、埋め込み実装した場合のESL(pH)は、平均値が128.5、最大値と平

40

50

均値の差が4.5、最小値と平均値の差が4.5であった。ここで得られた知見を元に、実際の製品に適用したらどのようなパッケージ構造を実現できるかを案出したものが、上述した各実施形態(図1~図8)の構造である。

【0073】

上述した各実施形態(図1~図8)では、電子部品としてのチップキャパシタを当該パッケージに表面実装した場合又は埋め込み実装した場合を例にとって説明したが、本発明の要旨からも明らかのように、キャパシタに相当する構造を当該パッケージの内部や表面に作り込むようにしてもよい。その場合の構成例を図14に示す。

【0074】

図14に示す構成例では、第6の実施形態に係る半導体パッケージ10e(図6)において、チップキャパシタ1の代わりに、キャパシタに相当する構造(キャパシタ部分)を当該パッケージの内部に作り込んだ場合を示している。図示の構成において、キャパシタ部分は、一方の電極(下側電極)を構成する配線層16aと、他方の電極(上側電極)を構成する配線層16aと、上下各電極間に挟まれて形成された誘電体膜DFとから構成されており、下側電極は電源プレーン(配線層14a)に接続され、上側電極はグランドプレーン(配線層18a)に接続されている。キャパシタを配線基板(パッケージ)内に作り込む方法については、従来より知られている各種の方法を用いることができる。その一例としては、例えば特開平6-252528号公報に記載されるように、配線層の一部である電極上に、スパッタリングや蒸着によりタンタルやアルミニウム等の膜を形成し、次いでこの膜を陽極酸化して、キャパシタの誘電体膜とする方法が知られている。

【0075】

また、上述した各実施形態では、一つのパッケージに1個のキャパシタを表面実装した場合又は埋め込み実装した場合を例にとって説明したが、当該パッケージに搭載される半導体素子等に要求される機能に応じて適宜2個以上のキャパシタを表面実装又は埋め込み実装するようにしてもよい。あるいは、必要に応じてキャパシタの表面実装と埋め込み実装を併用するようにしてもよい。

【0076】

また、図1~図3に示した各実施形態では、当該パッケージの半導体素子等が搭載される側と同じ面又はその反対側の面にキャパシタを表面実装した場合を例にとって説明したが、必要に応じて当該パッケージの両面にそれぞれ表面実装するようにしてもよい。

【0077】

さらに、上述した各実施形態では、当該パッケージをマザーボード等を実装するための外部接続端子としてはんだバンプ22を接合した場合を例にとって説明したが、外部接続端子の形態はこれに限定されないことはもちろんであり、例えば、PGA等において用いられているようなピンの形態とすることも可能である。

【図面の簡単な説明】

【0078】

【図1】本発明の第1の実施形態に係るキャパシタ実装配線基板の構成を示す断面図である。

【図2】本発明の第2の実施形態に係るキャパシタ実装配線基板の構成を示す断面図である。

【図3】本発明の第3の実施形態に係るキャパシタ実装配線基板の構成を示す断面図である。

【図4】本発明の第4の実施形態に係るキャパシタ実装配線基板の構成を示す断面図である。

【図5】本発明の第5の実施形態に係るキャパシタ実装配線基板の構成を示す断面図である。

【図6】本発明の第6の実施形態に係るキャパシタ実装配線基板の構成を示す断面図である。

【図7】本発明の第7の実施形態に係るキャパシタ実装配線基板の構成を示す断面図であ

10

20

30

40

50

る。

【図 8】本発明の第 8 の実施形態に係るキャパシタ実装配線基板の構成を示す断面図である。

【図 9】図 7 の実施形態に係るキャパシタ実装配線基板の要部（チップキャパシタの接続形態に係る部分）の製造工程（その 1）を示す断面図である。

【図 10】図 9 の製造工程に続く製造工程（その 2）を示す断面図である。

【図 11】図 8 の実施形態に係るキャパシタ実装配線基板の要部（チップキャパシタの接続形態に係る部分）の製造工程（その 1）を示す断面図である。

【図 12】図 11 の製造工程に続く製造工程（その 2）を示す断面図である。

【図 13】チップキャパシタを表面実装した場合と埋め込み実装した場合にそれぞれ得られる等価直列インダクタンス（ESL）を対比させて示した図である。

【図 14】図 6 の実施形態の一変形例に係るキャパシタ実装配線基板におけるキャパシタ部分の構成を示す断面図である。

【符号の説明】

【0079】

1 ... キャパシタ（チップキャパシタ）、

2 ... 半導体素子（チップ）、

10, 10a, 10b, 10c, 10d, 10e, 10f, 10g ... キャパシタ実装配線基板（半導体パッケージ）、

11 ... 絶縁性基材（コア基板）、

14a, 14b, 16a, 16b, 18a, 18b, 20a, 20b ... 配線層、

15a, 15b, 17a, 17b, 19a, 19b ... 層間絶縁層（樹脂層）、

21a, 21b ... 保護膜（ソルダレジスト層）、

22 ... 外部接続端子（はんだバンプ）、

23 ... はんだ、

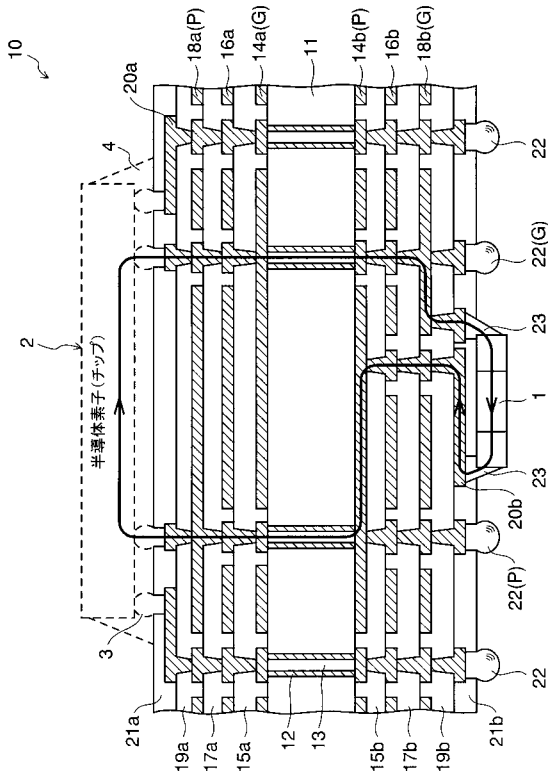
RP ... 凹部（キャビティ）、

VH1, VH2, VH3 ... ピアホール。

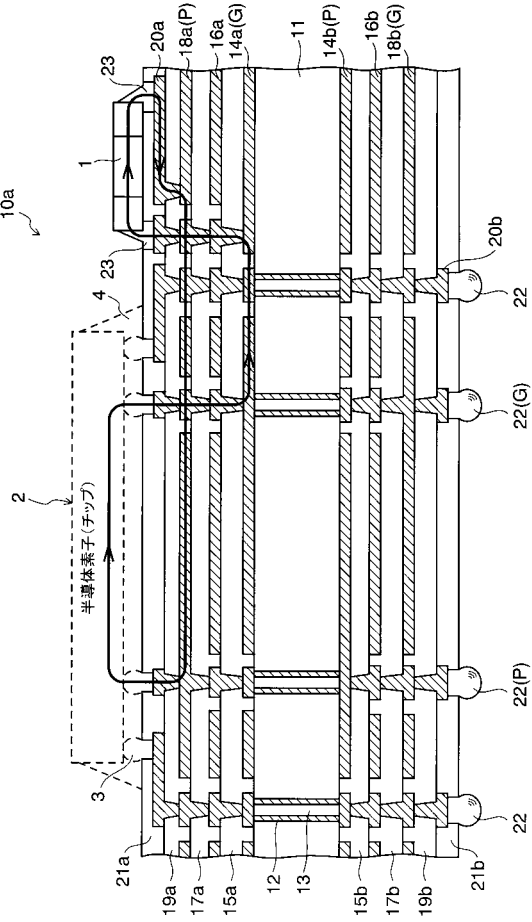
10

20

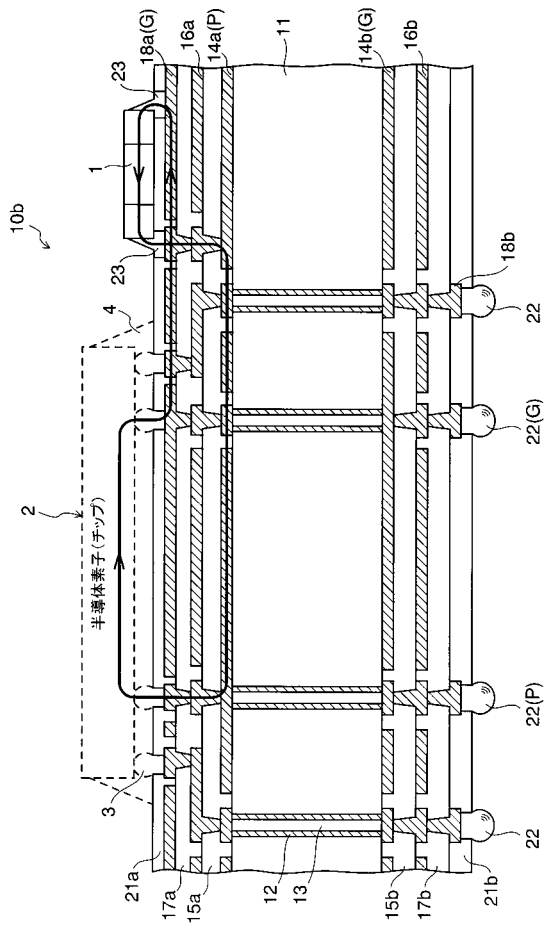
【図 1】



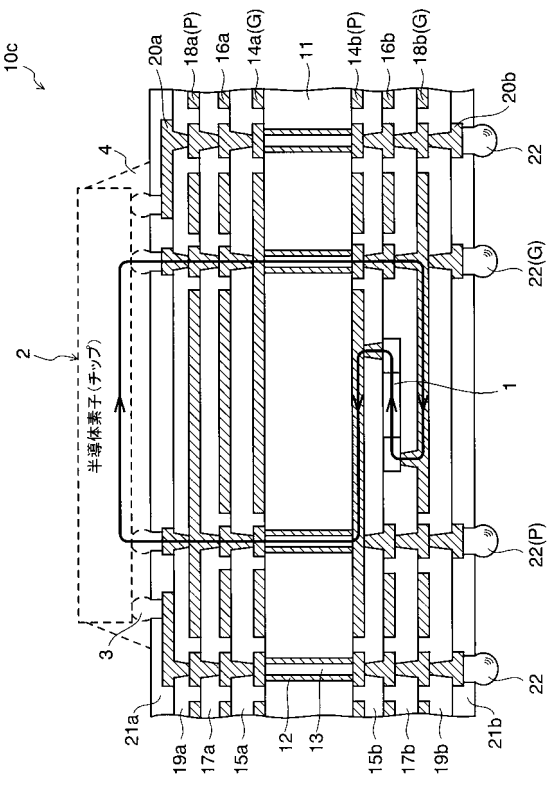
【図 2】



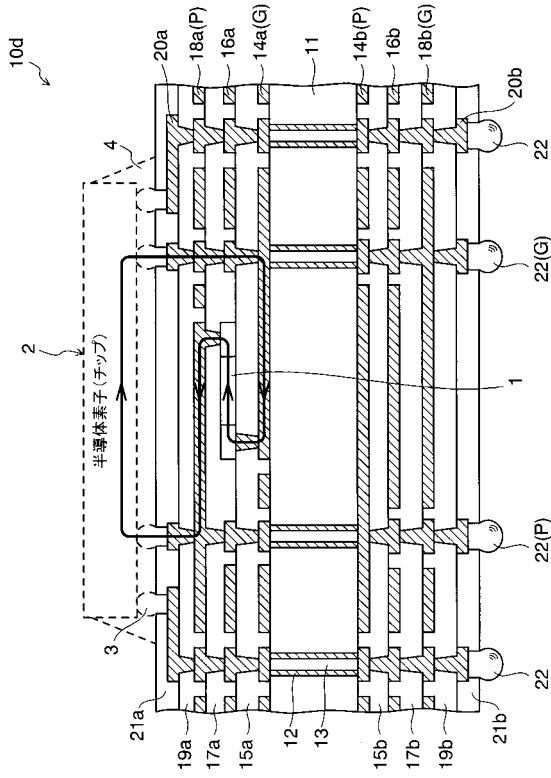
【図 3】



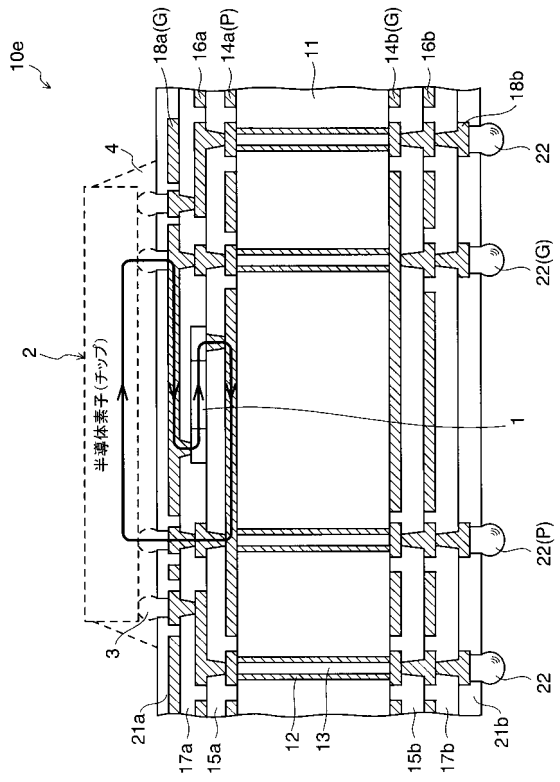
【図 4】



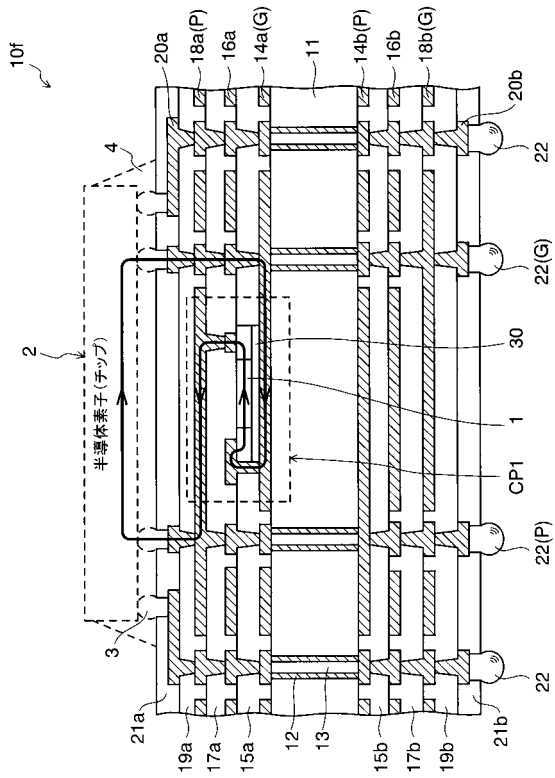
【図5】



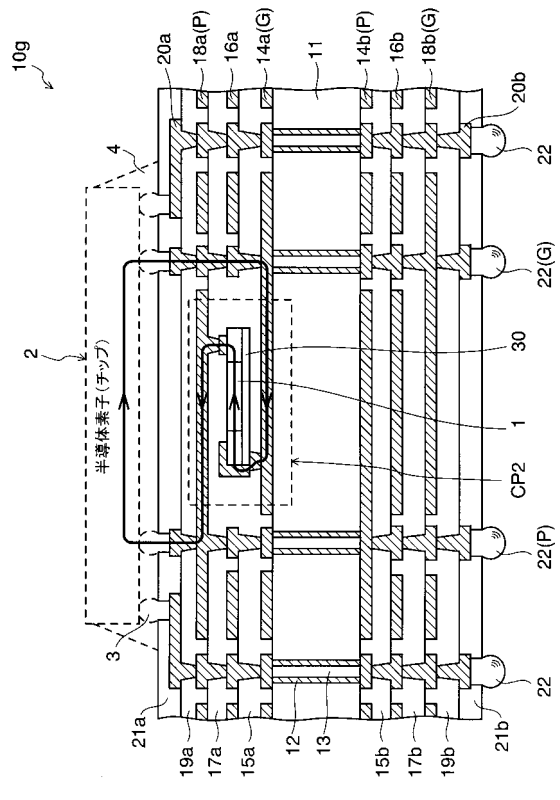
【図6】



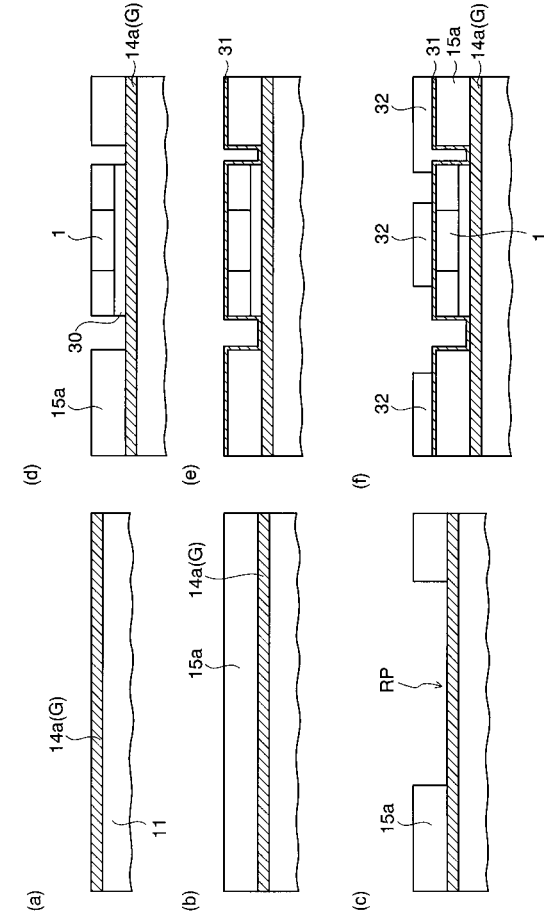
【図7】



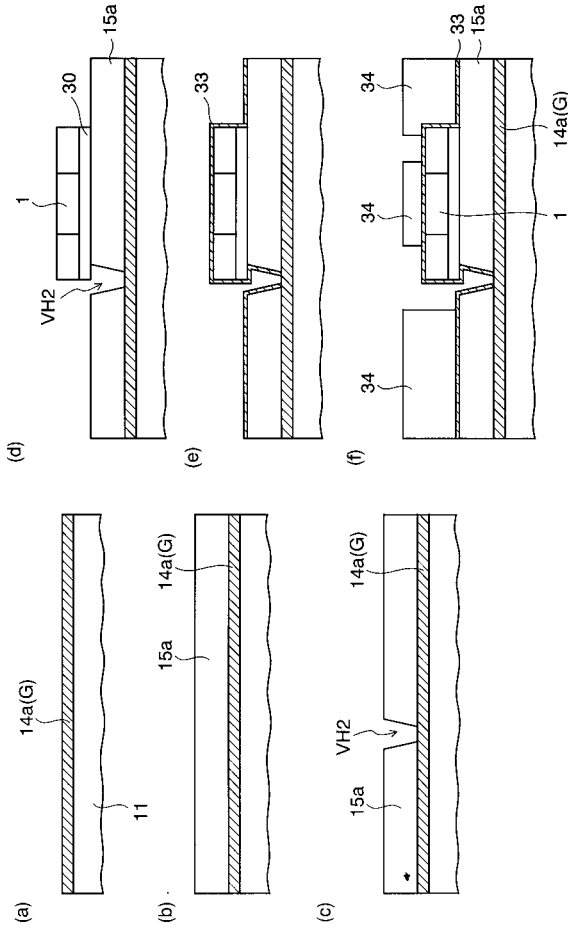
【図8】



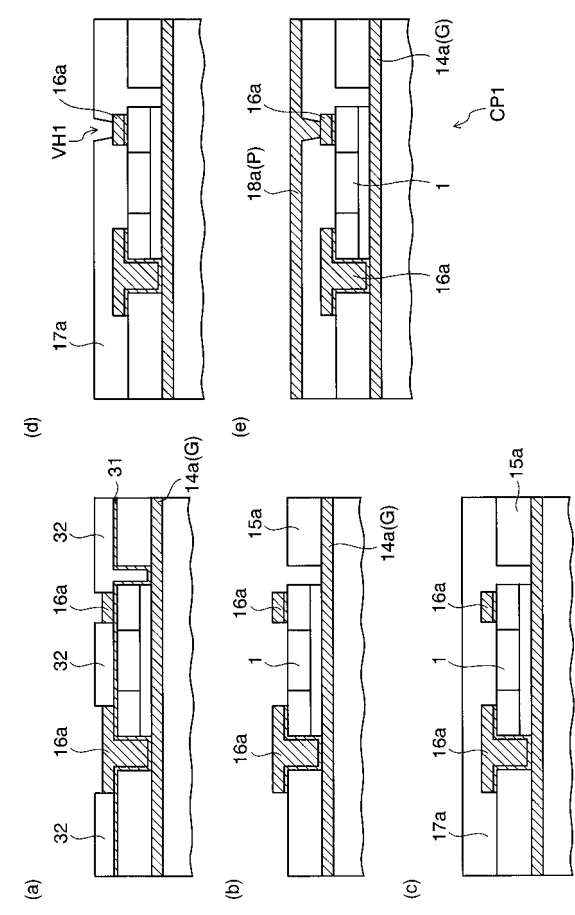
【 図 9 】



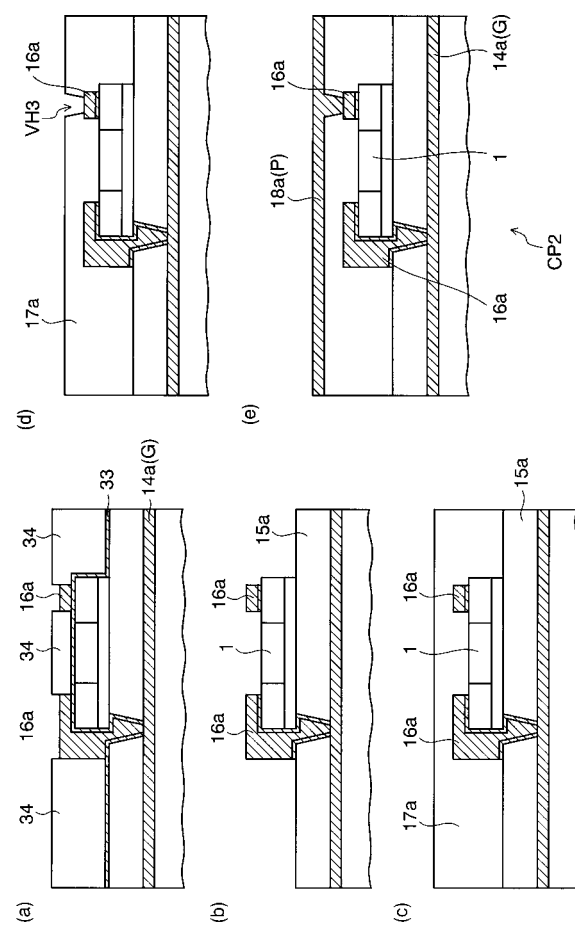
【 図 1 1 】



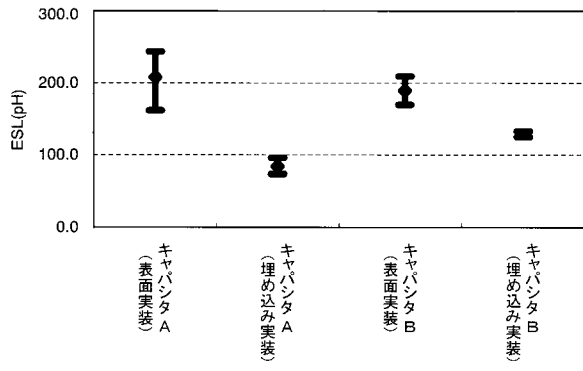
【 図 1 0 】



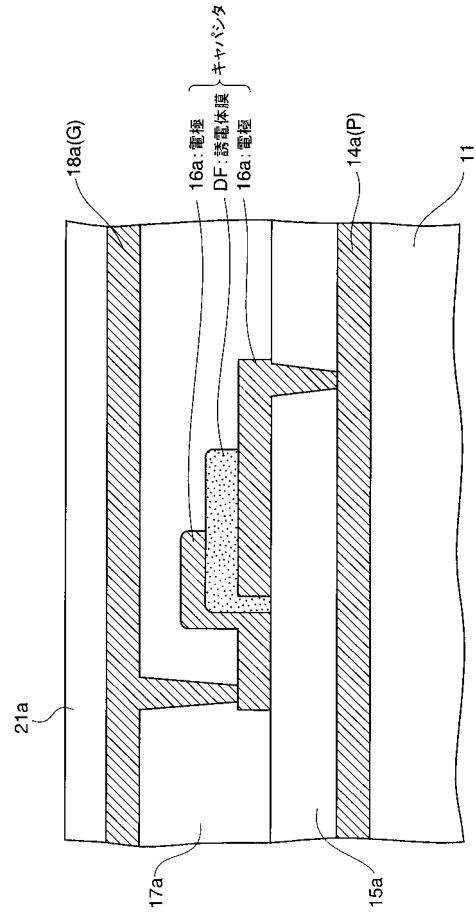
【 図 1 2 】



【図 13】



【図 14】



フロントページの続き

- (72)発明者 五明 利雄
長野県長野市小島田町80番地 新光電気工業株式会社内
- (72)発明者 竹内 之治
長野県長野市小島田町80番地 新光電気工業株式会社内

審査官 千壽 哲郎

- (56)参考文献 特開昭58-119664(JP,A)
特開平10-335178(JP,A)
特開平09-266370(JP,A)
特開2003-229672(JP,A)
特開2001-298273(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|-------|
| H05K | 3/46 |
| H01L | 23/12 |
| H01L | 25/00 |