

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94120391

※ 申請日期：94 6 20

※IPC 分類：H01L 21/02

## 一、發明名稱：(中文/英文)

導線的製造方法與結構

METHOD OF FABRICATING CONDUCTIVE LINES  
AND STRUCTURE OF THE SAME

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

旺宏電子股份有限公司/MACRONIX INTERNATIONAL CO., LTD.

代表人：(中文/英文) 吳敏求/MIIN-CHYOU WU

住居所或營業所地址：(中文/英文)

新竹科學工業園區力行路 16 號/NO. 16, LI-HSIN RD.,  
SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.

國 籍：(中文/英文) 中華民國/TW

## 三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 張瑞斌 / JUI-PIN CHANG
2. 劉建宏 / CHIEN-HUNG LIU
3. 陳盈佐 / YING-TSO CHEN
4. 黃守偉 / SHOU-WEI HUANG

國 籍：(中文/英文) 中華民國/TW

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種半導體元件之製造方法與結構，且特別是有關於一種導線的製造方法與結構。

### 【先前技術】

在半導體製程中，積體電路的金屬化(metallization)製程佔著舉足輕重的地位。一般而言，元件與元件之間係透過金屬導線的形成來加以連接。通常形成金屬導線的方法係於半導體基底上形成一層金屬層，接著再於金屬層上形成已圖案化之光阻層，並以此圖案化之光阻層為罩幕，對金屬層進行蝕刻製程，以形成所需的金屬導線。

然而，隨著積體電路積集度(integration)增加，相對的元件中之圖案與線寬亦逐漸縮小。在金屬導線的線寬縮小之後，金屬導線的片電阻也將因而增加，如此一來會產生較慢的電阻-電容延遲(RC delay)，進而影響元件的操作速度。

### 【發明內容】

有鑑於此，本發明的目的就是在提供一種導線的製造方法，能夠避免因線寬縮小，而造成導線片電阻增加，進而影響元件操作速度，而且可製作出線寬較小的導線。

本發明的另一目的是提供一種導線結構，能夠降低導線的片電阻，提高製程的可靠度，且導線間可具有較小的線距。

本發明提出一種導線的製造方法，適用於降低導線之

片電阻，此製造方法係先提供一材料層，於材料層上形成一導體層，於導體層上形成圖案化之罩幕層。然後，以圖案化之罩幕層為罩幕，移除部分導體層。接著，於圖案化之罩幕層及其所覆蓋之導體層的側壁，形成一間隙壁。繼之，以間隙壁與圖案化之罩幕層為罩幕，移除部分導體層至暴露出材料層表面，以形成導線。

依照本發明的實施例所述，上述之間隙壁的形成方法例如是於材料層上形成一間隙壁材料層。然後，進行一蝕刻製程，以移除部分間隙壁材料層。其中，間隙壁的材質例如是氧化矽、氮化矽、氮氧化矽或高分子材料。

依照本發明的實施例所述，上述之導體層的材質例如是摻雜多晶矽、鋁、銅或鋁銅合金。導體層的形成方法例如是濺鍍法或化學氣相沈積法。

依照本發明的實施例所述，上述之罩幕層的材質例如是鈦(Ti)/氮化鈦(TiN)、氮氧化矽(SiON)、氧化矽、氮化矽或光阻材料。

依照本發明的實施例所述，上述圖案化之罩幕層的形成方法例如是於導體層上形成一罩幕層與一圖案化之光阻層。然後，以圖案化之光阻層為罩幕，蝕刻罩幕層至暴露出導體層表面。

依照本發明的實施例所述，上述之材料層例如是一多晶矽層、一介電層或一金屬層。

本發明另提出一種導線結構，導線結構包括第一導體

層與第二導體層，第二導體層位於第一導體層上。其中，第一導體層的寬度大於第二導體層的寬度。

依照本發明的實施例所述，上述之第一導體層與第二導體層的材質例如是摻雜多晶矽、鋁、銅或鋁銅合金。

依照本發明的實施例所述，上述之導線結構更包括一罩幕層，位於第二導體層上。其中，罩幕層的材質例如是鈦/氮化鈦、氮氧化矽、氧化矽、氮化矽或光阻材料。另外，導線結構還包括一間隙壁，配置於第一導體層上，且位於第二導體層與罩幕層側壁。其中，間隙壁的材質例如是氧化矽、氮化矽、氮氧化矽或高分子材料。

本發明又提出一種導線結構，導線結構包括第一部分與第二部分。第一部分具有第一線寬，而第二部分具有第二線寬，且第二部分配置於第一部分上。其中，第一部分之第一線寬大於第二部分之第二線寬。

依照本發明的實施例所述，上述之第一部分與第二部分的材質例如是摻雜多晶矽、鋁、銅或鋁銅合金。

依照本發明的實施例所述，上述之導線結構更包括一罩幕層，位於第二部分上。其中，罩幕層的材質包括鈦/氮化鈦、氮氧化矽、氧化矽、氮化矽或光阻材料。另外，導線結構更包括一間隙壁，配置於第一部分上，且位於第二部分與罩幕層側壁。其中，間隙壁的材質例如是氧化矽、氮化矽、氮氧化矽或高分子材料。

本發明係利用於部分導體層的側壁形成一間隙壁，並

以此間隙壁為罩幕，形成底部較寬之導線。因此，可解決因線寬縮小，造成導線片電阻增加，而影響元件的操作速度的問題。而且，本發明之方法不需重新改變光罩的設計圖案，即可達到降低導線的片電阻的目的，如此一來不僅可提高製程的可靠度，且可節省製程的成本。另一方面，本發明之方法可突破微影製程的限制，利用間隙壁即可使得所製作出的導線間的具有較小的線距。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

#### 【實施方式】

圖 1A 至圖 1F 是依照本發明實施例所繪示的導線之製造流程剖面圖。

請參照圖 1A，本發明之導線的製造方法係先提供一材料層 100，此材料層 100 可例如是多晶矽層、介電層或是金屬層。本發明並不對材料層 100 作特別的限定，只要是需於其上形成導線以做為連接之用者皆可。接著，在材料層 100 上形成一層導體層 102，其中導體層 102 的材質可例如是摻雜多晶矽、鋁、銅或鋁銅合金等導體材料，其形成方法可例如是濺鍍法或化學氣相沈積法。

之後，請參照圖 1B，在導體層 102 上形成一層罩幕層 104，其中罩幕層 104 的材質例如是鈦(Ti)/氮化鈦(TiN)、氮氧化矽(SiON)、氧化矽、氮化矽或光阻材料。隨後，於罩幕層 104 上形成一圖案化之光阻層 106，並以圖

案化之光阻層 106 為罩幕，蝕刻罩幕層 104 至暴露出導體層 102 表面，以形成一圖案化之罩幕層 104a(如圖 1C 所示)。

繼之，請參照圖 1D，於移除圖案化之光阻層 106 後，以圖案化之罩幕層 104a 為罩幕，移除部分導體層 102，以形成導體層 103。導體層 103 包括被圖案化之罩幕層 104a 所覆蓋之導體層 103a 與位於材料層 100 上的導體層 103b。上述移除部分導體層 102 的方法，例如是採取時間模式(time mode)進行一蝕刻製程，亦即蝕刻步驟開始到結束之間的時間是設定好的，當蝕刻進行到達設定的時間後即停止。

接著，請參照圖 1E，於圖案化之罩幕層 104a 及其所覆蓋之導體層 103a 的側壁，形成一間隙壁 108。其中，間隙壁 108 的形成方法例如是於材料層 100 上形成一間隙壁材料層(未繪示)。然後，進行一蝕刻製程，以移除部分間隙壁材料層，以形成之。另外，間隙壁 108 的材質例如是氧化矽、氮化矽、氮氧化矽或高分子材料。

之後，請參照圖 1F，以間隙壁 108 與圖案化之罩幕層 104a 為罩幕，移除部分導體層 102 至暴露出材料層 100 表面，以形成導線 110。

特別是，上述之間隙壁 108 可使得所製作出的導線 110 間的線距縮小。詳言之，間隙壁 108 可使得導線 110 間的線距，從距離 111 縮短到距離 113。

以下係說明利用本發明之方法所形成之導線結構。

請再次參照圖 1F，導線結構包括二個部分，其中一個部分是導體層 103c，另一個部分是導體層 103a。其中，導體層 103a 位於導體層 103c 上，導體層 103a 與導體層 103c 具有不同的線寬，而且導體層 103c 的寬度 114 係大於導體層 103a 的寬度 112，亦即是指導體層 103c 的線寬大於導體層 103a 的線寬。上述導體層 103a 與導體層 103c 的材質例如是摻雜多晶矽、鋁、銅或鋁銅合金。

在一實施例中，導線結構更包括一罩幕層 104a，位於導體層 103a 上。其中，罩幕層 104a 的材質例如是鈦/氮化鈦、氮氧化矽、氧化矽、氮化矽或光阻材料。

在另一實施例中，除了罩幕層 104a 之外，導線結構更包括一間隙壁 108，配置於導體層 103c 上，且位於導體層 103a 與罩幕層 104a 側壁。其中，間隙壁 108 的材質 a 例如是氧化矽、氮化矽、氮氧化矽或高分子材料。

值得注意的是，在積體電路朝向提高元件積集度 (integration) 發展時，縮小導線的線寬雖可以達到上述之目的，但導線的片電阻也將因而增加，而影響元件的操作速度。然而，本發明係利用於部分導體層的側壁形成間隙壁，並以此間隙壁為罩幕，形成底部較寬之導線(如圖 1F 所示)，以解決因線寬縮小，造成導線片電阻增加，而影響元件的操作速度的問題。

另一方面，在積體電路的製程中，利用本發明之方法不需重新改變光罩的設計圖案，即可達到降低導線的片電



阻的目的，如此一來，不僅可提高製程的可靠度，且可節省製程的成本。

除此之外，在本發明之製程中，利用間隙壁可使得所製作出的導線間的線距縮小。亦即是，本發明之方法可突破微影製程的限制，以製作出線距較小的導線。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### 【圖式簡單說明】

圖 1A 至圖 1F 是依照本發明實施例所繪示的導線之製造流程剖面圖。

#### 【主要元件符號說明】

100：材料層

102、103、103a、103b、103c：導體層

104：罩幕層

104a：圖案化之罩幕層

106：圖案化之光阻層

108：間隙壁

110：導線

111、113：距離

112、114：寬度

## 五、中文發明摘要：

一種導線的製造方法，適用於降低導線之片電阻，此製造方法係先提供一材料層，於材料層上形成一導體層，於導體層上形成圖案化之罩幕層。然後，以圖案化之罩幕層為罩幕，移除部分導體層。接著，於圖案化之罩幕層及其所覆蓋之導體層的側壁，形成一間隙壁。繼之，以間隙壁與圖案化之罩幕層為罩幕，移除部分導體層至暴露出材料層表面，以形成導線。

## 六、英文發明摘要：

A method of fabricating conductive lines is described. The fabricating method is that providing a material layer. A conductive layer is formed on the material layer. A patterned mask layer is formed on the conductive layer. A portion of the conductive layer is removed by using the patterned mask layer as mask. A spacer is formed on the sidewalls of the patterned mask layer and the conductive layer covered by that. A portion of the conductive layer is removed until exposed the surface of the material layer so as to form conductive lines by using the spacer and the patterned mask layer as mask.

## 十、申請專利範圍：

1.一種導線的製造方法，適用於降低該導線之片電阻，該製造方法包括：

提供一材料層，於該材料層上形成一導體層；

於該導體層上形成一圖案化之罩幕層；

以該圖案化之罩幕層為罩幕，移除部分該導體層；

於該圖案化之罩幕層及其所覆蓋之該導體層的側壁，形成一間隙壁；以及

以該間隙壁與該圖案化之罩幕層為罩幕，移除部分該導體層至暴露出該材料層表面，以形成一導線。

2.如申請專利範圍第 1 項所述之導線的製造方法，其中該間隙壁的形成方法包括：

於該材料層上形成一間隙壁材料層；以及

進行一蝕刻製程，以移除部分該間隙壁材料層。

3.如申請專利範圍第 1 項所述之導線的製造方法，其中該間隙壁的材質包括氧化矽、氮化矽、氮氧化矽或高分子材料。

4.如申請專利範圍第 1 項所述之導線的製造方法，其中該導體層的材質包括摻雜多晶矽、鋁、銅或鋁銅合金。

5.如申請專利範圍第 1 項所述之導線的製造方法，其中該導體層的形成方法包括濺鍍法或化學氣相沈積法。

6.如申請專利範圍第 1 項所述之導線的製造方法，其中該罩幕層的材質包括鈦(Ti)/氮化鈦(TiN)、氮氧化矽(SiON)、氧化矽、氮化矽或光阻材料。

7.如申請專利範圍第 1 項所述之導線的製造方法，其中該圖案化之罩幕層的形成方法包括：

於該導體層上形成一罩幕層與一圖案化之光阻層；以及

以該圖案化之光阻層為罩幕，蝕刻該罩幕層至暴露出該導體層表面。

8.如申請專利範圍第 1 項所述之導線的製造方法，其中該材料層包括一多晶矽層、一介電層或一金屬層。

9.一種導線結構，包括：

一第一導體層；以及

一第二導體層，位於該第一導體層上，

其中該第一導體層的寬度大於該第二導體層的寬度。

10.如申請專利範圍第 9 項所述之導線結構，其中該第一導體層與該第二導體層的材質包括摻雜多晶矽、鋁、銅或鋁銅合金。

11.如申請專利範圍第 9 項所述之導線結構，其中該導線結構更包括一罩幕層，位於該第二導體層上。

12.如申請專利範圍第 11 項所述之導線結構，其中該罩幕層的材質包括鈦/氮化鈦、氮氧化矽、氧化矽、氮化矽或光阻材料。

13.如申請專利範圍第 11 項所述之導線結構，其中該導線結構更包括一間隙壁，配置於該第一導體層上，且位於該第二導體層與該罩幕層側壁。

14.如申請專利範圍第 13 項所述之導線結構，其中該間隙壁的材質包括氧化矽、氮化矽、氮氧化矽或高分子材料。

15.一種導線結構，包括：

一第一部分，具有第一線寬；以及

一第二部分，具有第二線寬，配置於該第一部分上，

其中該第一部分之該第一線寬大於該第二部分之該第二線寬。

16.如申請專利範圍第 15 項所述之導線結構，其中該第一部分與該第二部分的材質包括摻雜多晶矽、鋁、銅或鋁銅合金。

17.如申請專利範圍第 15 項所述之導線結構，其中該導線結構更包括一罩幕層，位於該第二部分上。

18.如申請專利範圍第 17 項所述之導線結構，其中該罩幕層的材質包括鈦/氮化鈦、氮氧化矽、氧化矽、氮化矽或光阻材料。

19.如申請專利範圍第 15 項所述之導線結構，其中該導線結構更包括一間隙壁，配置於該第一部分上，且位於該第二部分與該罩幕層側壁。

20.如申請專利範圍第 19 項所述之導線結構，其中該間隙壁的材質包括氧化矽、氮化矽、氮氧化矽或高分子材料。

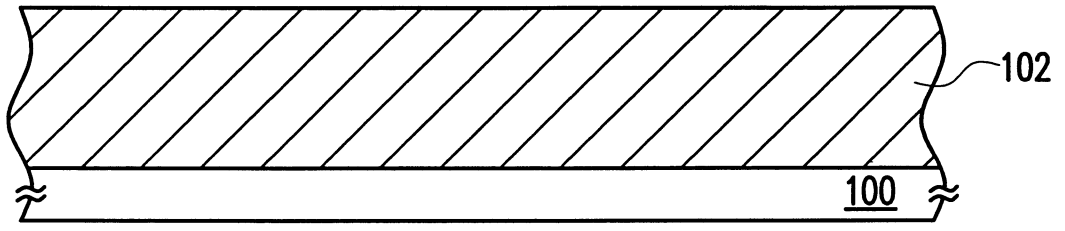


圖 1A

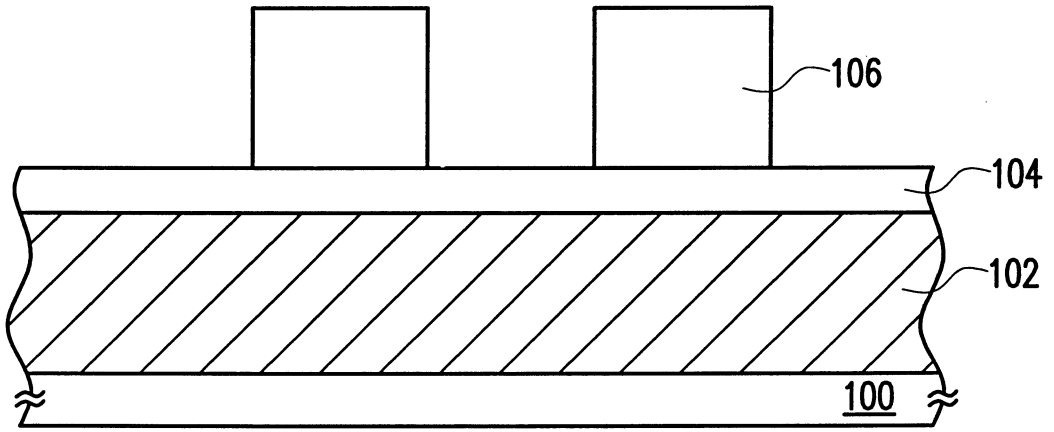


圖 1B

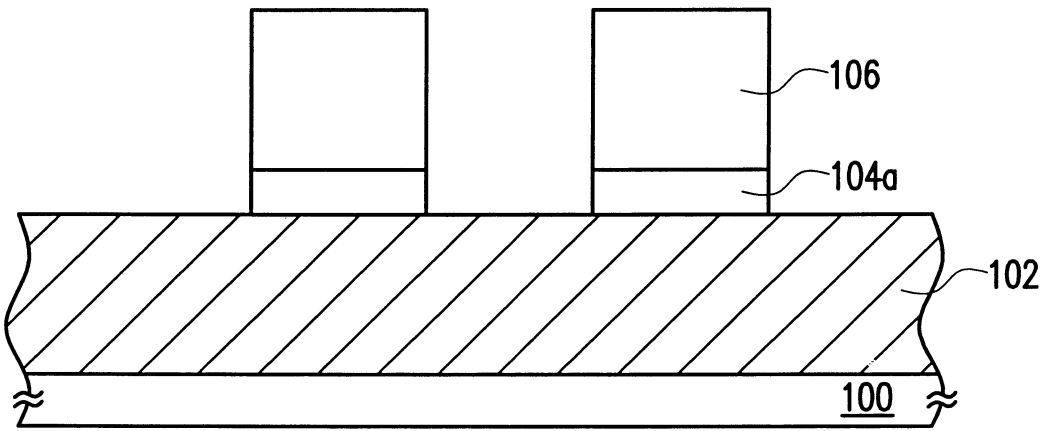


圖 1C

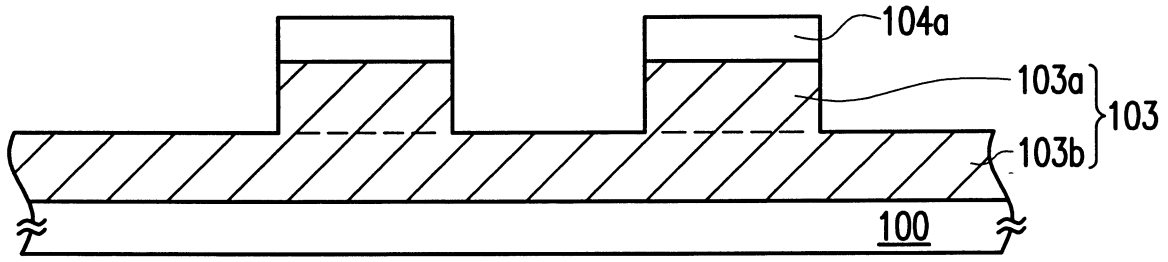


圖 1D

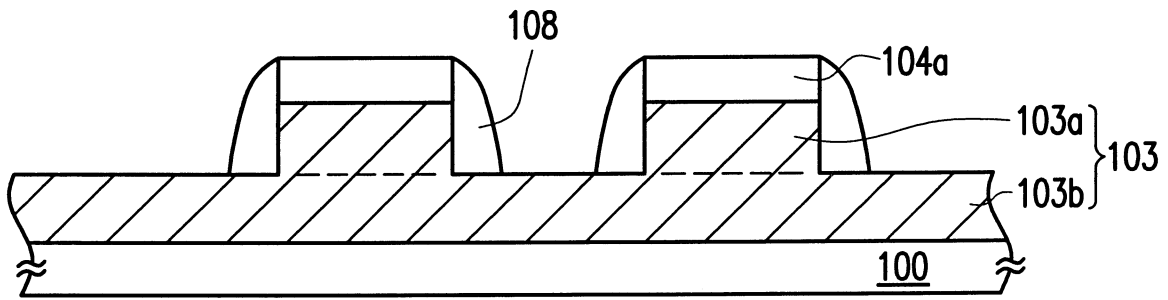


圖 1E

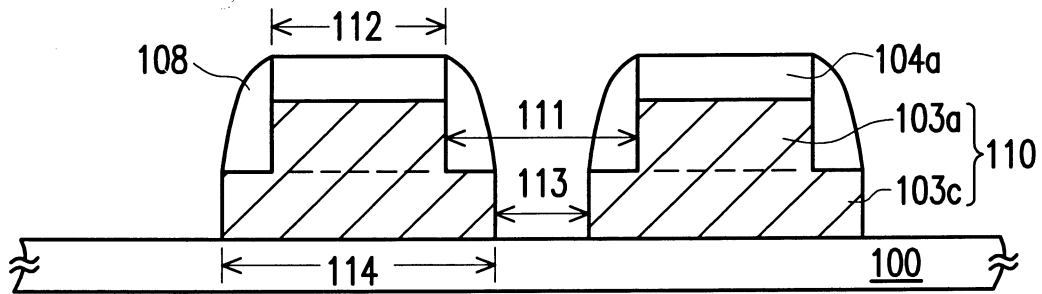


圖 1F

**七、指定代表圖：**

(一)本案指定代表圖為：圖(1F)。

(二)本代表圖之元件符號簡單說明：

100：材料層

103a、103c：導體層

104a：圖案化之罩幕層

108：間隙壁

110：導線

111、113：距離

112、114：寬度

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

無