

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/027

(45) 공고일자 1999년06월 15일
(11) 등록번호 10-0192549
(24) 등록일자 1999년01월29일

(21) 출원번호 10-1996-0031660 (65) 공개번호 특1998-0011717
(22) 출원일자 1996년07월31일 (43) 공개일자 1998년04월30일

(73) 특허권자 엘지반도체주식회사 구본준
충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자 최용규
충청북도 청주시 흥덕구 신봉동 삼성아파트 7-905
(74) 대리인 김용인, 강용복

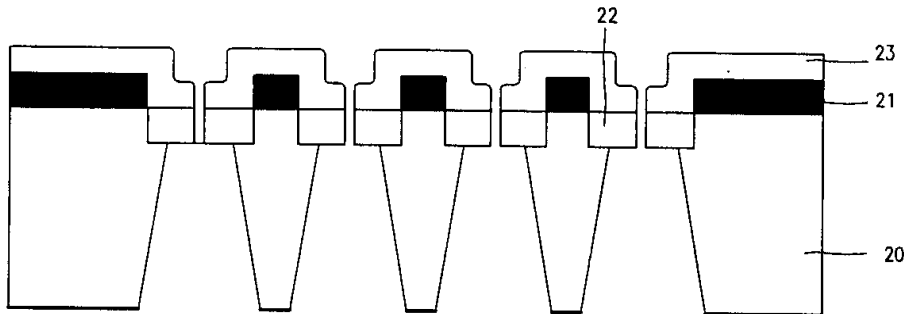
심사관 : 임효순

(54) 마스크의 구조 및 제조방법

요약

본 발명은 마스크의 구조 및 제조방법에 관한 것으로 기판위에 절연막을 도포하고 절연막을 패터닝하여 기판상에 일정간격을 두고 복수개의 절연막패턴들을 형성하는 단계와, 절연막패턴들을 이온주입용 마스크로 사용하여 노출된 기판 표면내에 도펀트를 주입하여 복수개의 도프된 영역들을 형성하는 단계와, 도프된 영역들 및 절연막패턴들의 전표면상에 도전체를 패터닝하여 도프된 영역들상에 복수개의 미세홀들을 형성하는 단계와, 기판의 밑면으로부터 기판을 선택적으로 제거하여 각 도우프된 영역들을 노출시키는 단계와, 그리고 잔존하는 도전체를 마스크로 도전체내의 홀들을 통해 도프된 영역들을 식각하여 도프된 영역들내에 복수개의 홀들을 형성하는 단계로 이루어지고 본 발명에 따른 마스크는 밑면에 일정간격으로 형성되는 복수개의 트렌치들을 갖는 반도체 기판과, 기판 표면내에 형성되고 복수개의 트렌치들상에 형성되며 복수개의 홀들을 갖는 복수개의 도프된 영역들과, 기판상에 형성되고 도프된 영역들 사이에 두고 형성되는 복수개의 절연막들과, 절연막들 전면 및 도프된 영역들상에 형성되는 도전체로 구성되어 공정가를 낮추고 공정을 단순화 시킬 수 있다.

대표도



명세서

[발명의 명칭]

마스크(Mask)의 구조 및 제조방법

[도면의 간단한 설명]

제1도는 전자선 노광장치를 보여주는 개략도.

제2a도 내지 제2f도는 종래기술에 따른 마스크 제조공정을 보여주는 공정 단면도.

제3도는 본 발명에 따른 마스크의 구조를 보여주는 구조 단면도.

제4a도 내지 제4e도는 본 발명에 따른 마스크 제조공정을 보여주는 공정단면도.

제5도는 전기 화학적 식각장치를 보여주는 단면도.

제6a도는 여러 미세 패턴 형상들로 이루어진 본 발명의 마스크 평면도.

제6b도는 제6a도의 A-A'선에 따른 단면도.

제6c도는 제6a도의 미세 패턴 형상을 보여주는 확대도.

* 도면의 주요부분에 대한 부호의 설명

20 : 기판	21 : 산화막
22 : 도프된 영역	23 : 도전체
24 : 구리 플레이트	25 : 오-링
26 : 테프론	27 : 혼합용액
28 : 프레티늄 아노이드	29 : 직류전원

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 마스크(mask)에 관한 것으로, 특히 반도체소자를 제조할 때 사용하는 마스크의 구조 및 제조방법에 관한 것이다.

일반적으로 마스크(masking) 공정은 웨이퍼의 최상층을 선택적으로 제거하거나 패턴을 형성하는 기술이다.

마스크킹 작업이란 마스크로부터 패턴이 웨이퍼 표면으로 옮겨지는 것을 말한다.

그러므로, 마스크의 설계와 제작은 반도체 공정의 중요한 분야이다.

마스크 제작에는 일반적으로 두가지 방법이 있다.

레티클(reticle) 및 E-Beam 기술이다.

레티클 방법은 2-3 마이크로 패턴까지의 마스크를 만든다.

먼저 설계도면의 데이터를 수록한 PG(Pattern Generator) 테이프를 이용하여 하나의 칩에 대한 레티클(reticle)을 만든다.

이때, 레티클이란 기본이 되는 모판 마스크로서 보통 칩의 10배 크기로 제작되는 기본 마스크를 말한다.

그리고 이 레티클에 옮겨진 설계도면의 데이터를 마스크에 옮겨 마스터 마스크(master mask)를 만든다.

즉, 한장의 마스크에는 웨이퍼 위에 여러개의 칩을 만들 수 있도록 각각의 칩의 패턴에 해당하는 여러개의 레티클들이 존재한다고 볼 수 있는 것이다.

그러나, 레티클 방법은 마스크 제작에 긴 시간을 요하고 공정이 복잡한 단점이 있다.

그러므로 현재는 기술이 진보된 E-Beam 기술로 대체되고 있다.

E-Beam 기술은 패턴이 마이크로 이하인 포토마스크를 제작하는데 쓰인다.

또한 E-Beam 기술은 레티클 없이 직접 마스크를 제작할 수 있으므로 편리하다.

제1도는 전자선 노광장치를 보여주는 개략도이다.

제1도에 도시된 바와 같이 셀(cell) 투영형의 전자선(Electron Beam) 노광장치는 전자총(1)과 2개의 마스크(2 a, 2b)와 편향기(3)들로 구성되어 있다.

제1마스크(2a)는 전자총(1)에서 나오는 전자선의 응집력(coherency)을 높인다.

제2마스크(2b)는 마스터 마스크로써 웨이퍼(4)에 미세 패턴 형상을 위하여 여러 패턴들로 이루어져 있다.

또한, 제2 마스크(2b)에 형성된 패턴들은 전자선이 투과될 수 있도록 제2마스크(2b)의 실리콘 기판이 식각되어 있다.

이때, 제2마스크(2b)의 패턴은 통상 실제 웨이퍼상의 패턴보다 20배이상 크다

그러므로, 제2 마스크(2b)의 큰 패턴들은 자기 전기 렌즈(Magnetic Electric Lens)에 의해 축소되어 웨이퍼상에 투영된다.

그러나, 마스터 마스크인 제2 마스크(2b)는 제조시 공정이 복잡하고 공정 단가가 비싼 단점이 있었다.

이하, 첨부된 도면을 참조하여 종래기술에 따른 마스터 마스크 제조방법을 설명하면 다음과 같다.

제2a도 내지 제2f도는 종래기술에 따른 마스크 제조공정을 보여주는 공정 단면도이다.

제2a도에 도시된 바와 같이 실리콘 웨이퍼(10)위에 제1산화막(11)과 실리콘막(12)을 차례로 도포한다.

제2b도에 도시된 바와 같이 실리콘막(12)위에 제2산화막(13)을 도포하고 제2산화막(13)을 패터닝한다.

제2c도에 도시된 바와 같이 패터닝된 제2산화막(13)을 마스크로 제1산화막(11)이 노출되도록 실리콘막(12)을 선택적으로 제거한다.

제2d도에 도시된 바와 같이 패터닝된 제2산화막(13)을 제거하고 실리콘 웨이퍼(10) 및 실리콘막(12) 전

면에 질화막(14)을 도포한다.

그리고 실리콘웨이퍼(10)의 앞면에 선택적으로 제거된 실리콘막(12)과 정확히 정렬되도록 실리콘 웨이퍼(10) 뒷면의 질화막(14)을 패터닝한다.

제2e도에 도시된 바와 같이 패터닝된 질화막(14)을 마스크로 제1 산화막(11)이 노출되도록 실리콘 웨이퍼(10)를 선택적으로 제거한다.

제2f도에 도시된 바와 같이 남아 있는 질화막(14)을 제거하고 실리콘막(12)을 마스크로 제1산화막(11)을 선택적으로 제거하여 제1산화막(11)을 완전히 관통시킨다.

발명이 이루고자 하는 기술적 과제

이와 같은 종래기술에 따른 마스크 제조방법에 있어서는 다음과 같은 문제점이 있었다.

첫째, 마스크를 만들기 위해 SOI(Silicon On Insulator) 웨이퍼를 초기로 하여 제작되므로 가격이 높다.

둘째, 뒷면의 실리콘을 식각하기 위해 패터닝이 필요하므로 공정가(cost)가 증가한다.

셋째, 반도체인 실리콘의 도전성이 떨어지므로 전자들의 충전(charging)현상으로 마스크를 장시간 사용할 수 없다.

본 발명은 이와 같은 문제점을 해결하기 위한 것으로, 공정을 단순화하고 공정 가격을 낮출 수 있는 마스크를 제공하는데 그 목적이 있다.

본 발명의 다른 목적은 전자에 의한 충전(Chargeing)효과를 감소시킬 수 있는 마스크를 제공하는데 있다.

발명의 구성 및 작용

이와 같은 목적을 달성하기 위하여, 본 발명의 마스크 제조방법은 반도체기판을 비하는 단계와, 기판위에 절연막을 도포하고 절연막을 패터닝하여 기판상에 일정간격을 두고 복수개의 절연막패턴을 형성하는 단계와, 절연막패턴들을 이온주입용 마스크로 사용하여 노출된 기판 표면내에 도펀트를 주입하여 복수개의 도펀트 영역들을 형성하는 단계와, 도펀트 영역들 및 절연막패턴들의 전표면상에 도전체를 형성하는 단계와, 도전체를 패터닝하여 도펀트 영역들상에 복수개의 미세홀들을 형성하는 단계와, 기판의 밑면으로부터 기판을 선택적으로 제거하여 각 도우펀트 영역들을 노출시키는 단계와, 그리고 잔존하는 도전체를 마스크로 도전체 내의 홀들을 통해 도펀트 영역들을 식각하여 도펀트 영역들내에 복수개의 홀들을 형성하는 단계로 이루어지고 본 발명에 따른 마스크는 밑면에 일정간격으로 형성되는 복수개의 트랜치들을 갖는 반도체 기판과, 기판 표면내에 형성되고 복수개의 트랜치들상에 형성되며 복수개의 홀들을 갖는 복수개의 도펀트 영역들과, 기판상에 형성되고 도펀트 영역들을 사이에 두고 형성되는 복수개의 절연막들과, 절연막들 전면 도펀트 영역들에 형성되는 도전체로 구성된다.

상기와 같은 본 발명에 따른 마스크의 구조 및 제조방법을 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

제3도는 본 발명에 따른 마스크의 구조 및 제조방법을 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

제3도는 본 발명에 따른 마스크의 구조를 보여주는 구조 단면도이다.

제3도에 도시된 바와 같이 밑면에 일정간격으로 형성되는 복수개의 트랜치들을 갖는 실리콘 기판(20)과, 기판(20) 표면내에 형성되고 복수개의 트랜치들상에 형성되며 복수개의 홀들을 갖는 복수개의 도펀트 영역(22)들과, 기판(20)상에 형성되고 도펀트 영역(22)들을 사이에 두고 형성되는 복수개의 산화막(21)들과, 산화막(21)들 전면 및 도펀트 영역(22)들상에 형성되는 도전체(23)로 구성된다.

이때, 실리콘 기판(20)은 N도전형과 P도전형 중 어느 하나로 한다.

기판(20)의 표면내에 형성되는 도펀트 영역(22)들의 도핑 깊이는 $10\mu\text{m} \sim 30\mu\text{m}$ 중 어느 하나로 하고 도펀트들은 보론(B), 인(P), 비소(As) 중 어느 하나로 한다.

이때, 도펀트들은 기판(20)과 동일한 도전형의 도펀트이다.

도전체(23)는 고용용점을 갖는 텅스텐(W), 알루미늄(Al), 백금(Pt) 등과 같이 메탈과 반도체성을 갖는 다이아몬드 중 어느 하나로 형성된다.

제4a도 내지 제4e도는 본 발명에 따른 마스크 제조공정을 보여주는 공정단면도이다.

제4a도에 도시된 바와 같이 실리콘 기판(20)위에 산화막(21)을 도포한다.

이때, 실리콘 기판(20)은 N도전형과 P도전형 중 어느 하나로 한다.

제4b도에 도시된 바와 같이 미세 패턴이 형성되는 얇은막 영역(tin film area)을 형성하기 위해 산화막(21)을 윈도우(window) 패터닝하여 기판위에 일정간격을 두고 복수개의 산화막(21)패턴들을 형성한다.

이때, 산화막(21)패터닝시 건식식각 방법을 사용한다.

그리고 산화막(21) 패턴들을 이온주입용 마스크로 사용하여 실리콘 기판(20) 표면내에 기판(20)과 동일한 도펀트(dopant)들을 고농도로 주입하여 기판(20)의 표면내에 도펀트 영역(22)들을 형성한다.

이때, 기판(20)의 표면내에 형성되는 도펀트 영역(22)들의 도핑 깊이는 $10\mu\text{m} \sim 30\mu\text{m}$ 중 어느 하나로 한다.

그리고 도펀트들은 보론(B), 인(P), 비소(As) 중 어느 하나로 한다.

제4c도에 도시된 바와 같이 산화막(21) 및 기판(20)의 도프된 영역(22)들 전표면위에 도전체(23)를 도포한다.

이때, 도전체(23)는 고용용점을 갖는 메탈과 반도체성을 갖는 다이아몬드 중 어느하나로 형성된다.

고용용점을 갖는 메탈로는 텅스텐(W), 알루미늄(Al), 백금(Pt)등을 사용한다.

그리고 기판(20)의 도프된 영역(22)들위에 형성되는 도전체(23) 패터닝하여 도프된 영역들위에 복수개의 미세홀들을 형성한다.

이때, 도전체(23)내에 형성되는 패턴들의 크기는실제 웨이커위에 형성하려는 패턴들의 크기보다 약 20배 이상이 크다.

제4d도에 도시된 바와 같이 도프된 영역(22)들위에 형성되는 미세 패턴들과 정확히 얼라인(aliiag)되도록 기판(20)의 밑면으로부터 기판(20)을 선택적으로 제거하여 각 도프된 영역(22)들을 노출시킨다.

이때, 기판(20)의 밑면 식각시 전기 화학적 식각(electro-chemical etching)방법을 이용하여 도프된 영역(22)이 노출될때까지만 식각한다.

제4e도에 도시된 바와 같이 잔존하는 도전체(23)를 마스크로 도전체(23)내의 홀들을 통해 도프된 영역(22)들을 이방성 식각하여 도프된 영역(22)들내에 복수개의 홀들을 형성한다.

이때, 도프된 영역(22)들의 패터닝시 건식식각 방법을 사용한다.

제5도는 전기 화학적 식각장치를 보여주는 단면도이다.

제5도에 도시된 바와 같이 전기 화학적 식각장치는 구리 플레이트(24)(Cu Plate), 오-링(O-ring)(25), 테프론(Teflon)(26), 혼합용액(27), 프레티늄 아노이드(Platinum anode)(28), 직류전원(29)으로 구성된다.

전기 화학적 식각방법을 설명하면 다음과 같다.

먼저, 구리 플레이트(Cu Plate)(24) 위에 식각하고자 하는 기판(20)을 올려 놓는다.

기판(20)의 밑면은 혼합용액(27)에 접촉시키고 기판(20)상면의 도전체(23)는 구리플레이트(24)에 접촉시킨다.

이때, 혼합용액(23)은 HF/HNO₃/H₂O과 HF/H₂O₂ 중 어느 하나를 사용한다.

그리고 기판(20)상면의 도전체(23)에 접속된 구리 플레이트(24)에 전원의 두 전극중 하나를 연결하고 혼합용액(23)에 접촉되는 프레티늄 아노이드(28)에는 다른 하나의 전극을 연결한다.

이들 전극에 직류를 인가함으로써 기판(20)의 밑면이 식각된다.

이때, 식각율을 전류에 의해 조절된다.

즉, 전기 화학적 식각시 도프된 영역(22)에서 전류가 집중되며 증가하게 되는데 이 전류의 변동을 측정하여 전류가 급격히 증가하는 시간에 식각을 종료한다.

제6a도는 여러 미세 패턴 형상들로 이루어진 본 발명의 마스크 평면도이고 제6b도는 제6a도의 A-A' 선에 따른 단면도이며 제6c도는 제6a도의 미세 패턴 형상을 보여주는 확대도이다.

제6a도 내지 제6c도에 도시된 바와 같이 완성된 마스크의 얇은 막 영역(thin film area)에는 여러 미세 패턴들이 형성된다.

위의 미세 패턴들은 전자선(E-Beam)에 의해 웨이퍼 표면에 그대로 옮겨지게 된다.

발명의 효과

본 발명에 따른 마스크의 구조 및 제조방법에 있어서는 다음과 같은 효과가 있다.

첫째, SOI(Silicon On Insulator) 웨이퍼를 사용하지 않고 마스크를 제작하므로 공정가가 낮다.

둘째, 실리콘 기판의 밑면을 식각할 때 포토 에치공정이 필요없으므로 공정이 단순하다.

셋째, 실리콘 기판내에 도전체가 형성되므로 전자들의 충전(charging)형상이 적다.

(57) 청구의 범위

청구항 1

반도체기판을 준비하는 단계 : 상기 기판위에 절연막을 도포하고 상기절연막을 패터닝하여 상기 기판상에 일정간격을 두고 복수개의절연막패턴들을 형성하는 단계 : 상기 절연막패턴들을 이온주입용 마스크로 사용하여 노출된 기판 표면내에 도펀트를 주입하여 복수개의 도프된 영역들을 형성하는 단계:상기 도프된 영역들 및 절연막패턴들의 전표면상에 도전체를 형성하는 단계 : 상기 도전체를 패터닝하여 도프된 영역들상에 복수개의 미세홀들을 형성하는 단계:상기 기판의 밑면으로부터 기판을 선택적으로 제거하여 각 도프된 영역들을 노출시키는 단계 : 그리고 상기 잔존하는 도전체를 마스크로 상기 도전체내의 홀들을 통해 도프된 영역들을 식각하여 도프된 영역들내에 복수개의 홀들을 형성하는 단계를 구비함을 특징으로 하는 마스크 제조방법.

청구항 2

제1항에 있어서, 기판은 실리콘으로 형성함을 특징으로 하는 마스크 제조방법.

청구항 3

제1항에 있어서, 기판은 N 도전형과 P 도전형 중에 어느 하나임을 특징으로 하는 마스크 제조방법.

청구항 4

제1항에 있어서, 절연막은 산화막임을 특징으로 하는 마스크 제조방법.

청구항 5

제1항에 있어서, 절연막 패터닝시 건식식각법이 사용됨을 특징으로하는 마스크 제조방법.

청구항 6

제1항에 있어서, 도프된 영역의 형성을 위해 사용되는 도펀트는 기판과 동일한 도전형의 도펀트임을 특징으로하는 마스크 제조방법.

청구항 7

제6항에 있어서, 도펀트는 B, P, As중 어느 하나를 사용함을 특징으로하는 마스크 제조방법.

청구항 8

제1항에 있어서, 도프된 영역의 깊이는 $10\mu\text{m}\sim 30\mu\text{m}$ 중 어느 하나임을 특징으로하는 마스크 제조방법.

청구항 9

제1항에 있어서, 도전체는 고용융점을 갖는 메탈과 반도체성을 갖는 다이아몬드중 어느 하나임을 특징으로 하는 마스크 제조방법

청구항 10

제9항에 있어서, 고용융점을 갖는 메탈은 텅스텐, 알루미늄, 백금등 중 어느 하나임을 특징으로 하는 마스크 제조방법.

청구항 11

제1항에 있어서, 기판의 밑면을 제거시 전기 화학적 식각방법이 사용됨을 특징으로 하는 마스크 제조방법.

청구항 12

제11항에 있어서, 전기 화학적 식각방법은 상기 잔존하는 도전체를 플레이트에 접촉시키고 기판의 밑면은 혼합용액에 접촉시키는 단계 : 상기 잔존하는 도전체에 전원의 두 전극 중 하나를, 혼합용액에는 다른 하나의 전극을 연결하는 단계 : 그리고 상기 전극들을 통해 전류를 인가하는 단계 구비함을 특징으로 하는 마스크 제조방법.

청구항 13

제12항에 있어서, 혼합용액은 $\text{HF}/\text{HNO}_3/\text{H}_2\text{O}_2$ 과 $\text{HF}/\text{H}_2\text{O}_2$ 중 어느 하나임을 특징으로 하는 마스크 제조방법.

청구항 14

제12항에 있어서, 도프된 영역의 패터닝시 이방성 식각방법이 사용됨을 특징으로 하는 마스크 제조방법.

청구항 15

밑면에 일정간격으로 형성되는 복수개의 트렌치들을 갖는 반도체 기판 : 상기 기판 표면내에 형성되고 상기 복수개의 트렌치들상에 형성되며 복수개의 홀들을 갖는 복수개의 도프된 영역들:상기 기판상에 형성되고 상기 도프된 영역들을 사이에 두고 형성되는 복수개의 절연막들 : 상기 절연막들 전면 및 도프된 영역들상에 형성되는 도전체로 구성됨을 특징으로 하는 마스크.

청구항 16

제15항에 있어서, 기판은 실리콘으로 형성됨을 특징으로 하는 마스크.

청구항 17

제15항에 있어서, 기판은 N도전형과 P 도전형 중에 어느 하나임을 특징으로 하는 마스크.

청구항 18

제15항에 있어서, 절연막은 산화막임을 특징으로 하는 마스크.

청구항 19

제15항에 있어서, 도프된 영역의 형성을 위해 사용되는 도펀트는 기판과 동일한 도전형의 도펀트임을 특징으로 하는 마스크.

청구항 20

제19항에 있어서, 도펀트는 B, P, As중 어느 하나임을 특징으로 하는 마스크.

청구항 21

제15항에 있어서, 도프된 영역의 깊이는 $10\mu\text{m} \sim 30\mu\text{m}$ 중 어느 하나임을 특징으로 하는 마스크.

청구항 22

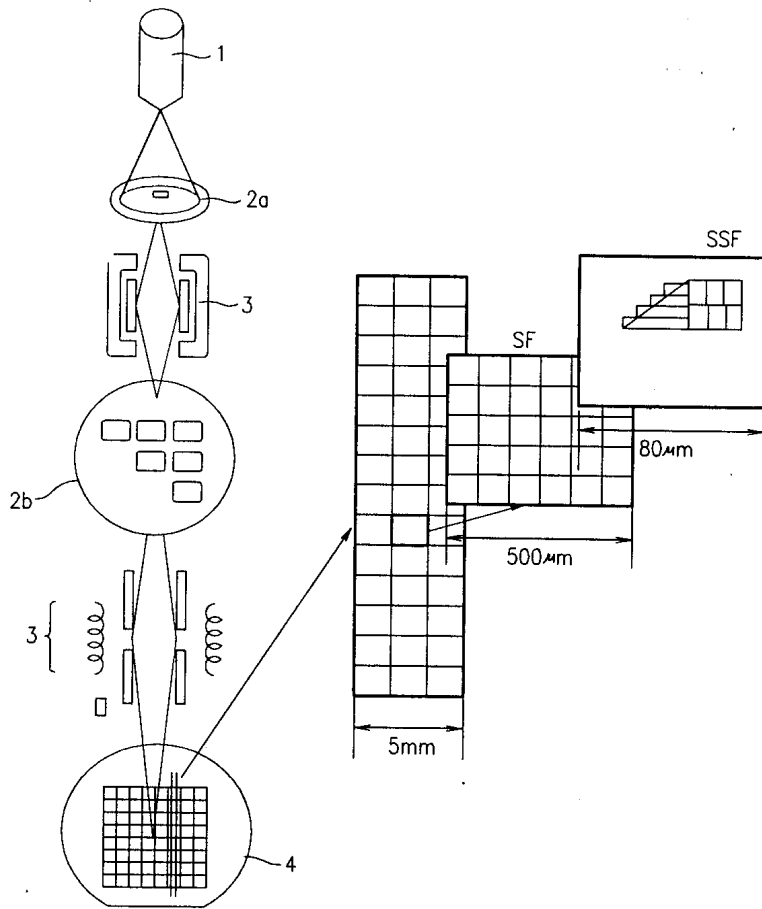
제15항에 있어서, 도전체는 고용용점을 갖는 메탈과 반도체성을 갖는 다이아몬드중 어느 하나임을 특징으로 하는 마스크.

청구항 23

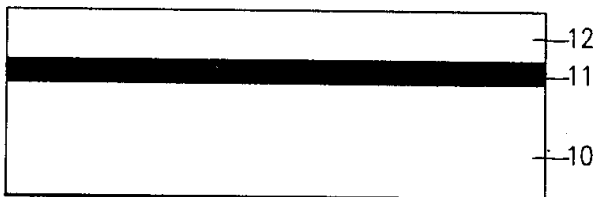
제22항에 있어서, 고용용점을 갖는 메탈은 텅스텐, 알루미늄, 백금 중 어느 하나임을 특징으로 하는 마스크.

도면

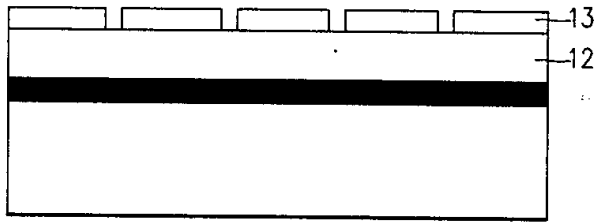
도면1



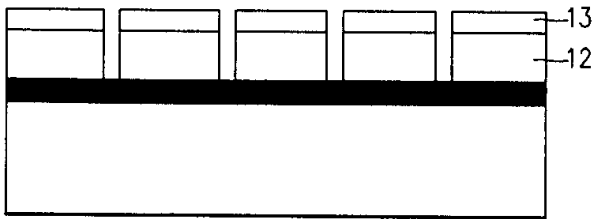
도면2a



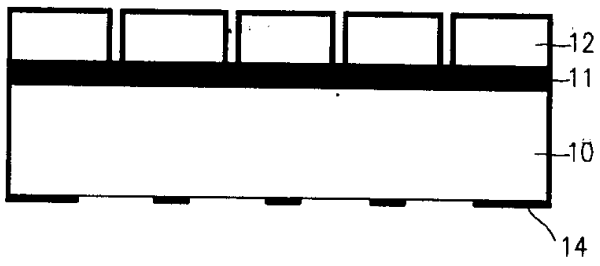
도면2b



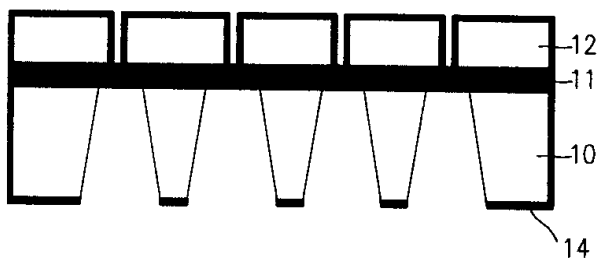
도면2c



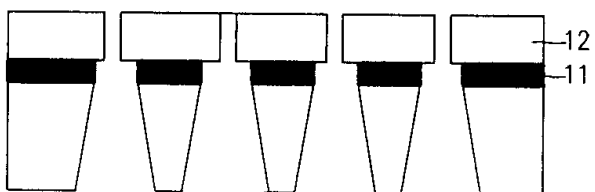
도면2d



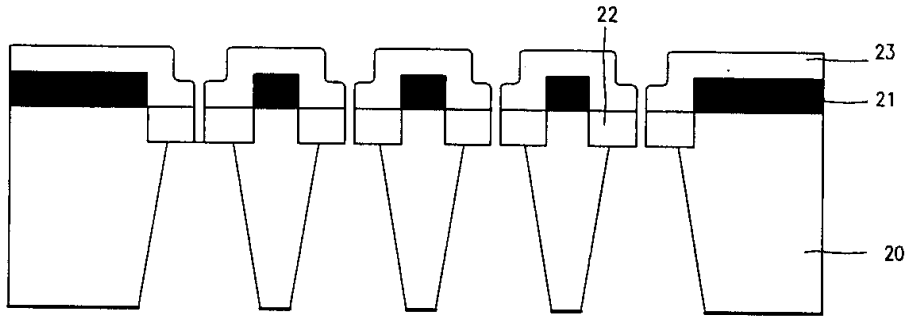
도면2e



도면2f



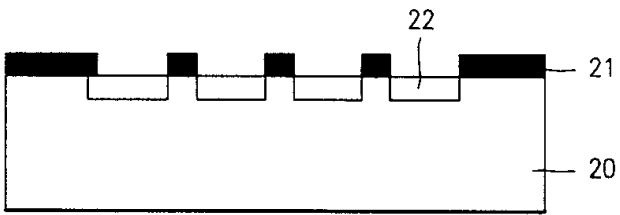
도면3



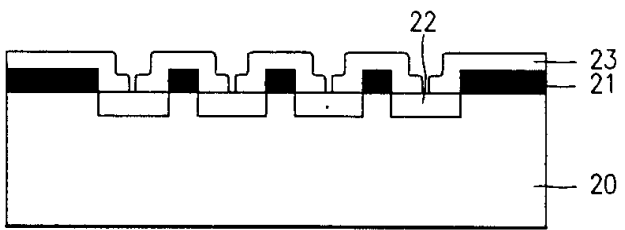
도면4a



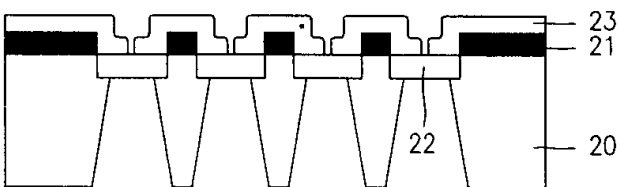
도면4b



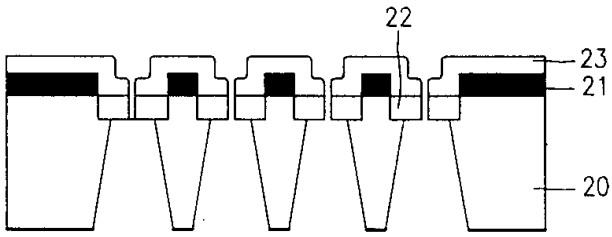
도면4c



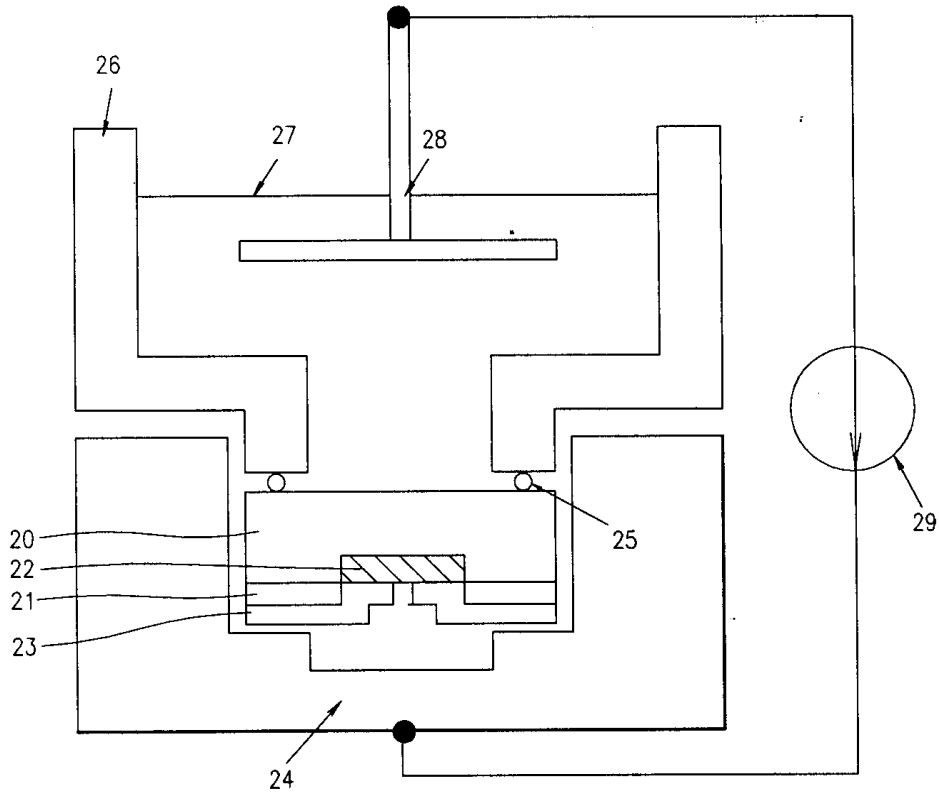
도면4d



도면4e



도면5



도면6

