



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2015년07월01일  
(11) 등록번호 10-1532917  
(24) 등록일자 2015년06월25일

(51) 국제특허분류(Int. Cl.)

H01L 33/36 (2010.01)

(21) 출원번호 10-2012-0138806

(22) 출원일자 2012년12월03일

심사청구일자 2013년07월09일

(65) 공개번호 10-2014-0071003

(43) 공개일자 2014년06월11일

(56) 선행기술조사문헌

KR1020110001673 A

KR1020120070810 A

(73) 특허권자

일진엘이디(주)

경기도 안산시 단원구 원시로 163 (원시동)

(72) 발명자

송정섭

대전 대덕구 덕암로125번안길 32, D동 101호 (덕암동, 광산빌라)

김동우

서울 강남구 압구정로 321, 7동 905호 (압구정동, 한양아파트)

(뒷면에 계속)

(74) 대리인

특허법인 대아

전체 청구항 수 : 총 8 항

심사관 : 김태연

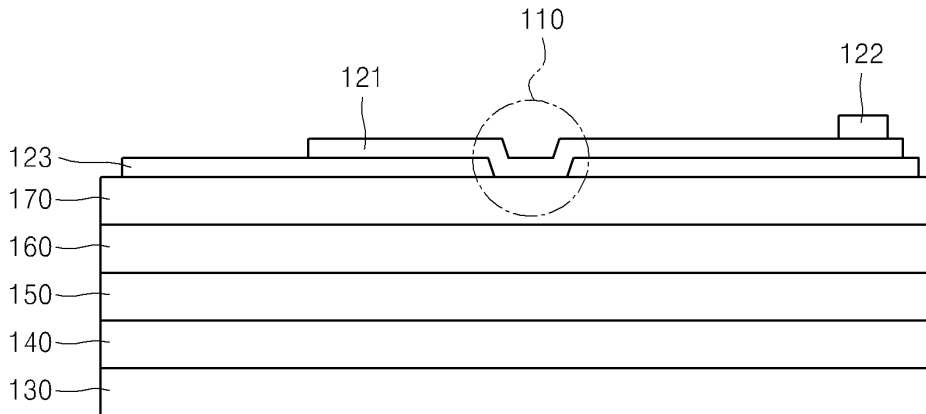
(54) 발명의 명칭 **세퍼레이션 영역을 포함하여 전류 분산 효과가 우수한 고휘도 반도체 발광소자**

**(57) 요약**

본 발명은 발광면을 분리하는 세퍼레이션 영역을 포함하여 우수한 전류 분산 효과를 나타내면서, 휘도 특성을 향상시킨 반도체 발광소자에 관한 것이다.

본 발명의 반도체 발광소자는 발광 영역을 분리하는 세퍼레이션 영역을 포함하여 유효 전류 밀도의 균일도를 개선하는 효과를 얻을 수 있으며, 전류 분산 효과가 우수하여 광효율의 향상도 기대할 수 있다.

**대표도** - 도3



(72) 발명자

**황성주**

전남 순천시 장평8길 3, (인제동)

**김 극**

경기 성남시 분당구 수내로 206, 303동 601호 (수내동, 푸른마을벽산신성아파트)

**최원진**

경기 성남시 분당구 정자로 144, 403동 1302호 (정자동, 정든마을우성4단지아파트)

## 명세서

### 청구범위

#### 청구항 1

제1 반도체층, 활성층 및 제2 반도체층을 포함하는 반도체 발광소자에 있어서,

상기 제1 반도체층을 전기적으로 연결하는 제1 연장 전극과, 상기 제2 반도체층과 전기적으로 연결된 제2 전극  
컨택층 및 제2 연장 전극을 포함하고,

상기 제2 전극 컨택층은 세퍼레이션 영역에 의하여 복수로 분리되어 각각의 제2 전극 컨택층이 이격되어 형성되  
고,

상기 제2 전극 컨택층은 투명 전도성 산화물로 형성되고,

상기 제2 연장 전극은 상기 세퍼레이션 영역의 일부를 가로지르도록 형성되는 것을 특징으로 하는 반도체 발광  
소자.

#### 청구항 2

삭제

#### 청구항 3

제1항에 있어서,

상기 세퍼레이션 영역에 의하여 분리되는 각각의 제2 전극 컨택층의 수평 면적이 균일하게 형성되는 것을 특징  
으로 하는 반도체 발광소자.

#### 청구항 4

제1항에 있어서,

상기 제2 전극 컨택층은 ITO, ClO, ZnO, NiO, In<sub>2</sub>O<sub>3</sub> 및 IZO 중에서 선택되는 1종 또는 2종 이상을 포함하여 이루  
어지는 것을 특징으로 하는 반도체 발광소자.

#### 청구항 5

제1항에 있어서,

상기 세퍼레이션 영역의 폭은 0.5 ~ 20  $\mu\text{m}$  범위에 있는 것을 특징으로 하는 반도체 발광소자.

#### 청구항 6

제1항에 있어서,

상기 제1 반도체층을 노출시킨 전류 확산용 컨택홀을 포함하는 것을 특징으로 하는 반도체 발광소자.

#### 청구항 7

제6항에 있어서,

상기 전류 확산용 콘택홀에 의하여 노출된 제1 반도체층을 제1 연장 전극이 전기적으로 연결하는 것을 특징으로 하는 반도체 발광소자.

**청구항 8**

제1항에 있어서,

상기 제1 연장 전극과 전기적으로 연결된 제1 전극 패드 및 상기 제2 연장 전극과 전기적으로 연결된 제2 전극 패드를 더 포함하는 것을 특징으로 하는 반도체 발광소자.

**청구항 9**

제1 반도체층, 활성층 및 제2 반도체층을 형성하는 단계;

상기 제2 반도체층 상부에 제2 전극 콘택층을 형성하는 단계;

상기 제2 전극 콘택층의 일 영역을 식각하여 세퍼레이션 영역을 형성하는 단계;

상기 제2 전극 콘택층 및 제2 반도체층 상부에, 상기 세퍼레이션 영역의 일부를 가로지르도록 제2 연장 전극을 형성하는 단계;

상기 제1 반도체층의 일 영역이 외부로 노출되도록 활성층 및 제2 반도체층을 식각하는 단계 및

상기 노출된 제1 반도체층 상부에 제1 연장 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 발광소자의 제조방법.

**발명의 설명**

**기술분야**

[0001] 본 발명은 발광 영역을 분리하는 세퍼레이션 영역을 포함하여 우수한 전류 분산 효과를 나타내면서, 휘도 특성을 향상시킨 반도체 발광소자에 관한 것이다.

**배경기술**

[0002] 종래의 반도체 소자에는 예를 들어 GaN계 질화물 반도체 소자를 들 수 있고, 이 GaN계 질화물 반도체 발광소자는 그 응용 분야에 있어서 청색 또는 녹색 LED의 발광소자, MESFET과 HEMT 등의 고속 스위칭과 고출력 소자에 응용되고 있다.

[0003] 특히, 청색 또는 녹색 LED 발광소자는 이미 양산화가 진행된 상태이며 전 세계적인 매출은 크게 증가하고 있는 상황이다.

[0004] 도 1은 일반적인 질화물계 발광소자를 개략적으로 나타낸 것이다.

[0005] 도 1을 참조하면, 질화물계 발광소자는 성장 기판(11)로부터 형성된다. 보다 구체적으로, 질화물계 발광소자는, n형 질화물 반도체층(12), 활성층(13) 및 p형 질화물 반도체층(14)을 포함한다.

[0006] 이 때, n형 질화물 반도체층(12)에 전자를 주입하기 위하여, n형 질화물 반도체층(12)에 전기적으로 연결되도록 n층 전극 패드(15)이 형성된다. 또한, p형 질화물 반도체층(14)에 정공을 주입하기 위하여, p형 질화물 반도체층(14)에 전기적으로 연결되도록 p층 전극 패드(16)가 형성된다.

[0007] 그러나 p형 질화물 반도체층은 높은 비저항을 가지므로, p형 질화물 반도체층 내에서 전류가 고르게 분산되지 못하고, 상기 p층 전극 패드가 형성된 부분에 전류가 집중된다. 또한, 상기 전류는 반도체층들을 통해 흘러서 n층 전극 패드로 빠져나간다. 이에 따라, 상기 n형 질화물 반도체층에서 n층 전극 패드가 형성된 부분에 전류가 집중되며, 발광 다이오드의 모서리를 통해 전류가 집중적으로 흐르는 문제점이 발생된다. 상기과 같은 전류의

집중은 발광영역의 감소로 이어지고, 결과적으로 발광 효율을 저하시킨다.

- [0008] 특히, 2개의 전극이 발광구조의 상면에 거의 수평으로 배열되는 플래너(planar) 구조 발광소자는, 수직(vertical) 구조 발광소자에 비해 전류흐름이 전체 발광영역에 균일하게 분포하지 못하므로, 발광에 가담하는 유효면적이 크지 못하다는 문제가 있다.
- [0009] 한편, 조명용 발광소자와 같이 고출력을 위해서, 발광소자는 점차 약 1mm 이상으로 대면적화 되는 추세에 있다. 하지만, 발광소자는 대면적화 될수록 전체면적에서 균일한 전류분포를 실현하는 것은 보다 어려운 문제이다. 이와 같이, 대면적화에 따른 전류분산효율문제는 반도체 발광소자에서 중요한 기술적 과제로 인식되고 있다.
- [0010] 종래 전류밀도를 향상시키고 면적효율성을 향상시키기 위하여 주로 다양한 p층 전극과 n층 전극의 형태과 배열을 개선하는 방향으로 연구되어 왔다. 그 일 예로 미국특허 제6,486,499호에서는 n층 전극과 p층 전극이 서로 일정한 간격을 갖도록 연장되어 맞물린 다수의 전극지(finger)를 포함하는 것을 개시하고 있다. 이러한 전극 구조를 통하여 추가적인 전류 경로를 제공하고, 넓은 유효발광면적을 확보하며 균일한 전류 흐름을 형성하고자 하였다.
- [0011] 그러나 이러한 전극 구조에서도 p층 전극 부근의 p형 반도체층에서 전류밀도가 증가함에 따라 출력효율이 저하되고, 전류 분산 효율에 한계가 있었다.
- [0012] 따라서 반도체층을 통하여 흐르는 전류를 고르게 분산시킬 수 있는 반도체 발광소자의 개발이 지속적으로 요구되는 실정이다.

**발명의 내용**

**해결하려는 과제**

- [0013] 이에 본 발명자들은 발광 출력을 향상시킬 수 있는 구조의 반도체 발광소자를 개발하고자 연구, 노력한 결과, 제1 반도체층을 전기적으로 연결하는 제1 연장 전극과, 상기 제2 반도체층과 전기적으로 연결된 제2 전극 컨택층 및 제2 연장 전극을 형성하고, 상기 제2 전극 컨택층을 복수의 영역으로 분리하여 각각의 제2 전극 컨택층이 이격되도록 하는 세퍼레이션 영역을 포함하도록 반도체 발광 소자를 구성하면 전류 분산을 극대화하여 휘도를 향상시킬 수 있음을 발견함으로써 본 발명을 완성하게 되었다.
- [0014] 따라서 본 발명의 목적은 우수한 전류 분산 효과를 나타낼 수 있도록 발광 영역을 분리하는 세퍼레이션 영역을 포함하는 반도체 발광소자를 제공하는데 있다.

**과제의 해결 수단**

- [0015] 이와 같은 목적을 달성하기 위한 본 발명의 반도체 발광소자는 제1 반도체층, 활성층 및 제2 반도체층을 포함하고, 상기 제1 반도체층을 전기적으로 연결하는 제1 연장 전극과, 상기 제2 반도체층과 전기적으로 연결된 제2 전극 컨택층 및 제2 연장 전극을 포함하며, 상기 제2 전극 컨택층은 세퍼레이션 영역에 의하여 복수로 분리되어 각각의 제2 전극 컨택층이 이격되어 형성되는 것을 특징으로 한다.
- [0016] 또한, 본 발명의 반도체 발광소자는 상기 제2 연장 전극이 상기 세퍼레이션 영역의 일부를 지나가도록 형성되는 것을 특징으로 한다.
- [0017] 또한, 본 발명의 반도체 발광소자는 상기 세퍼레이션 영역에 의하여 분리되는 각각의 제2 전극 컨택층의 수평면적이 균일하게 형성되는 것을 특징으로 한다.
- [0018] 또한, 본 발명의 반도체 발광소자는 상기 제2 전극 컨택층이 ITO, ClO, ZnO, NiO, In<sub>2</sub>O<sub>3</sub> 및 IZO 중에서 선택되는 1종 또는 2종 이상을 포함하여 이루어지는 것을 특징으로 한다.
- [0019] 또한, 본 발명의 반도체 발광소자는, 상기 세퍼레이션 영역의 폭이 0.5 ~ 20 μm 범위에 있는 것을 특징으로 한

다.

- [0020] 또한, 본 발명의 반도체 발광소자는, 상기 제1 반도체층을 노출시킨 전류 확산용 컨택홀을 포함하며, 상기 전류 확산용 컨택홀에 의하여 노출된 제1 반도체층을 제1 연장 전극이 전기적으로 연결하는 것을 특징으로 한다.
- [0021] 또한, 본 발명의 반도체 발광소자는, 상기 제1 연장 전극과 전기적으로 연결된 제1 전극 패드 및 상기 제2 연장 전극과 전기적으로 연결된 제2 전극 패드를 더 포함하는 것을 특징으로 한다.
- [0022] 한편 본 발명의 반도체 발광소자의 제조방법은,
- [0023] 제1 반도체층, 활성층 및 제2 반도체층을 형성하는 단계; 상기 제2 반도체층 상부에 제2 전극 컨택층을 형성하는 단계; 상기 제2 전극 컨택층의 일 영역을 식각하여 세퍼레이션 영역을 형성하는 단계; 상기 제2 전극 컨택층 및 제2 반도체층 상부에 제2 연장 전극을 형성하는 단계; 상기 제1 반도체층의 일 영역이 외부로 노출되도록 활성층 및 제2 반도체층을 식각하는 단계 및 상기 노출된 제1 반도체층 상부에 제1 연장 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

**발명의 효과**

- [0024] 본 발명의 반도체 발광소자는 발광 영역을 분리하는 세퍼레이션 영역을 포함하여 유효 전류 밀도의 균일도를 개선하는 효과를 얻을 수 있으며, 전류 분산 효과가 우수하여 광효율의 향상도 기대할 수 있다.

**도면의 간단한 설명**

- [0025] 도 1은 종래의 반도체 발광소자의 단면을 도시한 단면도이다.
- 도 2는 본 발명의 일 실시예에 따른 반도체 발광소자의 평면도이다.
- 도 3은 도 2의 절취선 A-A에서 얻어진 단면도이다.
- 도 4는 도 2의 절취선 B-B에서 얻어진 단면도이다.
- 도 5는 본 발명의 또 다른 실시예에 따른 반도체 발광소자의 평면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0026] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0027] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 또는 "상부에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 또한, 다른 부분 "하에" 또는 "하부에" 있다고 할 때, 이 역시 다른 부분 "바로 아래"에 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 또는 "바로 아래에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0028] 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 따른 반도체 발광소자에 관하여 상세히 설명하면 다음과 같으며, 하기 실시예에서 제1 반도체층은 n형 질화물층, 제2 반도체층은 p형 질화물층, 제2 전극 컨택층은 p-컨택층, 제1 연장 전극은 n층 연장 전극, 제2 연장 전극은 p층 연장 전극, 제1 전극 패드는 n층 전극 패드, 제2 전극 패드는 p층 전극 패드로 나타난다.
- [0029] 도 2는 본 발명의 일 실시예에 따른 수평형 반도체 발광소자의 평면도이다.
- [0030] 도 2에서 도시된 바와 같이, 본 발명의 발광소자는 발광 영역을 분리하는 세퍼레이션 영역(110)을 포함한다.

또한, 메사 식각 등에 의하여 노출된 n형 질화물층을 전기적으로 연결하는 n측 연장 전극(111)을 포함하며, p측 연장 전극(121)이 p형 질화물층 상부 중 일부에 위치한 p측 전극 패드(122)와 전기적으로 연결되어 p측 전극부를 형성한다. 상기 n측 연장 전극(111)은 상기 p측 연장 전극(121)과 전기적으로 절연되도록 형성된다.

[0031] 상기 p측 연장 전극(121)은 세퍼레이션 영역(110)의 일부를 가로지르도록 형성되는 바, 상기 세퍼레이션 영역(110)이 p측 연장 전극(121)의 일부를 가로지르는 형태로 이루어진다.

[0032] 도 2에서 보는 바와 같이 상기 세퍼레이션 영역(110)에 의하여 p형 질화물층 상부에 형성되는 p-컨택층(123) 영역이 3개로 분리될 수 있으며, 세퍼레이션 영역에 의하여 분리되는 p-컨택층 영역의 수는 세퍼레이션 영역의 형태에 따라 다르게 나타날 수 있다.

[0033] 이 때, 상기 세퍼레이션 영역(110)에 의하여 분리되는 각각의 p-컨택층의 수평 면적이 균일하도록 세퍼레이션 영역(110)을 구성하는 것이 바람직하며, 그 제조 공정 상의 오차 등을 고려할 때, 각각의 p-컨택층의 수평 면적은 상호 간에  $\pm 10\%$  내의 차이를 나타내는 것이 좋다. 즉, 상기 p-컨택층의 수평 면적은 n측 연장 전극을 비롯하여 비발광 영역을 제외한 발광 영역을 의미하며, p측 연장 전극(121)과 p측 전극 패드(122)가 형성되는 영역을 제외한 면적을 기준으로 균일하게 분리되도록 함이 바람직하다.

[0034] 한편, 상기 n측 연장 전극(111) 및 p측 연장 전극(121)의 폭은 각각  $1 \sim 100 \mu\text{m}$ , 바람직하게는  $5 \sim 50 \mu\text{m}$  범위 내로 조절할 수 있으나, 이에 제한되지 아니한다.

[0035] 상기 n측 전극 패드(112)에는 하나 또는 2 이상의 n측 연장 전극(111)이 전기적으로 연결될 수 있으며, 상기 n측 연장 전극(111)은 절곡점이 없는 직선 형태뿐만 아니라 하나 이상의 절곡점을 갖도록 형성될 수 있다.

[0036] 또한, 상기 p측 전극 패드(122)에도 역시 하나 또는 2 이상의 p측 연장 전극(121)이 전기적으로 연결될 수 있다. 상기 2 이상의 p측 연장 전극(121)이 형성되는 경우 p측 전극 패드(122)에 연결되지 않는 반대편의 끝단은 각각 이격되어 형성되거나 p측 전극 패드(122)를 중심으로 폐쇄형으로 형성될 수 있다.

[0037] 보다 구체적인 구성을 설명하기 위하여 도 3 및 4에서 도 2의 절취선 A-A, B-B를 따라 보여지는 단면도를 나타내었다.

[0038] 도 3에서 도시된 바와 같이, 본 발명의 반도체 발광소자는 기판(130)의 상부 방향으로 버퍼층(140), n형 질화물층(150), 활성층(160), p형 질화물층(170)이 적층되어 형성된다.

[0039] 상기 기판(130)은 사파이어를 비롯하여, SiC, Si, GaN, ZnO, GaAs, GaP, LiAl<sub>2</sub>O<sub>3</sub>, BN 또는 AlN 등의 화합물로 이루어질 수 있다. 또한, 상기 버퍼층(140)은 기판(130)과 n형 질화물층(150) 사이의 격차 부정합을 해소하기 위해 선택적으로 형성될 수 있고, 예컨대 AlN 또는 GaN으로 형성할 수 있다.

[0040] n형 질화물층(150)은 기판(130) 또는 버퍼층(140)의 상부면에 형성되고, n형 도판트가 도핑되어 있는 질화물로 형성된다. 상기 n형 도판트로는 실리콘(Si), 게르마늄(Ge), 주석(Sn) 등이 사용될 수 있다. 여기서, n형 질화물층(150)은 Si를 도핑한 n형 AlGa<sub>x</sub>N 또는 인도우프 AlGa<sub>x</sub>N으로 이루어진 제 1 층, 및 인도우프 또는 Si를 도핑한 n형 Ga<sub>x</sub>N로 이루어진 제 2 층이 번갈아가며 형성된 적층 구조일 수 있다. 물론, n형 질화물층(150)은 단층의 n형 질화물층으로 성장시키는 것도 가능하나, 제 1 층과 제 2 층의 적층 구조로 형성하여 크랙이 없는 결정성이 좋은 캐리어 제한층으로 작용할 수 있다.

[0041] 활성층(160)은 n형 질화물층(150)과 p형 질화물층(170) 사이에서 단일양자우물구조 또는 다중양자우물구조로 이루어질 수 있으며, n형 질화물층(150)을 통하여 흐르는 전자와, p형 질화물층(170)을 통하여 흐르는 정공이 재결합(re-combination)되면서, 광이 발생된다. 여기서, 활성층(160)은 다중양자우물구조로서, 양자장벽층과 양자우물층은 각각 Al<sub>x</sub>Ga<sub>y</sub>In<sub>z</sub>N(이 때,  $x+y+z=1$ ,  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq z \leq 1$ )으로 이루어질 수 있다. 이러한 양자장벽층과 양자우물층이 반복되어 형성된 구조의 활성층(160)은 발생하는 응력과 변형에 의한 자발적인 분극을 억제할 수 있다.

[0042] p형 질화물층(170)은 p형 도판트가 도핑되어 있는 질화물로 형성된다. 상기 p형 도판트로는 마그네슘(Mg), 아연(Zn) 또는 카드뮴(Cd) 등이 사용될 수 있다. 여기서, p형 질화물층은 Mg를 도핑한 p형 AlGa<sub>x</sub>N 또는 인도우프 AlGa<sub>x</sub>N으로 이루어진 제 1 층, 및 인도우프 또는 Mg를 도핑한 p형 Ga<sub>x</sub>N로 이루어진 제 2 층을 번갈아가며 적층한 구조로 형성될 수 있다. 또한, p형 질화물층(170)은 n형 질화물층(150)과 마찬가지로 단층의 p형 질화물층으로 성장시키는 것도 가능하나, 적층 구조로 형성하여 크랙이 없는 결정성이 좋은 캐리어 제한층으로 작용할 수 있다.

다.

- [0043] 상기 p형 질화물층(170)의 상부에는 p측 연장 전극(121) 및 상기 p측 연장 전극과 전기적으로 연결되는 p측 전극 패드(122)가 형성된다. 또한, 상기 p측 연장 전극(121)의 하부에는 p-컨택층(123)이 형성되며, 상기 p-컨택층(123)은 p형 질화물(170)에 오믹 컨택되어 접촉 저항을 낮추는 역할을 한다. 상기 p-컨택층(123)은 투명 전도성 산화물로 이루어질 수 있으며, IT0, ClO, ZnO, NiO, In<sub>2</sub>O<sub>3</sub> 및 IZO 중에서 선택되는 1종 또는 2종 이상을 포함하여 이루어질 수 있다.
- [0044] 특히, 상기 p-컨택층(123)은 상기 세퍼레이션 영역(110)에 의하여 복수로 분리되므로, 각각의 p-컨택층(123)은 이격되어 위치하게 된다. 따라서, 상기 세퍼레이션 영역(110)은 각 p-컨택층(123)이 이격되어 있는 공간을 의미한다. 다만 이격되어 형성된 각 p-컨택층(123)은 상기 p측 연장 전극(121)에 의하여 전기적으로 연결될 수 있다.
- [0045] 상기 세퍼레이션 영역(110)은 p-컨택층(123)을 일부 식각하는 과정을 통하여 형성될 수 있으며, 마스크로 포토 레지스트를 이용하는 경우 포토 리소그래피(photo-lithography), 전자빔 리소그래피(e-beam lithography), 이온빔 리소그래피(Ion-beam Lithography), 극자외선 리소그래피(Extreme Ultraviolet Lithography), 근접 X선 리소그래피(Proximity X-ray Lithography) 또는 나노 임프린트 리소그래피(nano imprint lithography) 등의 방법을 이용하여 형성할 수 있고, 또한 이와 같은 방법은 건식(Dry) 또는 습식(Wet) 식각(Etching)을 이용할 수 있다.
- [0046] 상기 세퍼레이션(110) 영역의 폭, 즉, 각각의 p-컨택층(123)이 이격되어 있는 거리는 0.5 ~ 20  $\mu\text{m}$  범위에 있는 것이 바람직하며, 보다 바람직하게는 3 ~ 10  $\mu\text{m}$  범위에 있도록 형성하는 것이 좋다.
- [0047] 한편, 도 4에서 도시된 바와 같이, n형 질화물층(150)이 노출된 상부에 n측 연장 전극(111) 및 상기 n측 연장 전극과 전기적으로 연결되는 n측 전극 패드(112)가 형성된다. 상기 n측 연장 전극은 p형 질화물층(170), p-컨택층(123) 및 p측 연장 전극(121)까지 형성한 후, 일 영역까지 노광 에칭(lithography etching)되어 외부로 노출된 n형 질화물층(150)의 상부에 형성된다.
- [0048] 또한, 상기 n측 연장 전극(111)의 하부에는 n-컨택층(151)이 더 포함될 수 있으며, 상기 n-컨택층(151)은 n형 질화물(150)에 오믹 컨택되어 접촉 저항을 낮추는 역할을 한다. 상기 n-컨택층(151)은 투명 전도성 산화물로 이루어질 수 있으며, 그 재질은 In, Sn, Al, Zn, Ga 등의 원소를 포함할 수 있다.
- [0049] 또한, 상기 n측 연장 전극(111) 및 n측 전극 패드(112)는 p-컨택층(123)으로부터 n형 질화물층(130)의 일부까지 노광 에칭(lithography etching)하여 형성된 n형 질화물층(130)의 노출된 일 영역에 형성될 수 있다.
- [0050] 한편, 본 발명의 발광소자는 p형 질화물층 및 활성층을 관통하여 상기 n형 질화물층을 노출시키도록 형성된 전류 확산용 컨택홀을 포함할 수 있다. 상기 n측 연장 전극은 상기 전류 확산용 컨택홀에 의하여 노출된 n형 질화물층을 전기적으로 연결하게 되며, 이를 통하여 발광 영역을 확대하고 전류 분산을 도모할 수 있다. 다만, 이 경우 컨택홀의 측벽과 n측 연장 전극을 이격시키기 위한 절연층이 요구된다. 상기 절연층은 실리콘 산화물 또는 실리콘 질화물로 형성될 수 있으며, PECVD(Plasma Enhanced Chemical Vapor Deposition) 방법, 스퍼터링 방법, MOCVD 방법 또는 전자빔 증착(e-beam evaporation) 방법으로 형성될 수 있다.
- [0051] 상기와 같이 세퍼레이션 영역에 의하여 발광면에 해당하는 제2 전극 컨택층이 분리되어 형성됨에 따라, 유효 전류 밀도의 균일도를 개선하는 효과를 기대할 수 있으며, 전류 밀도를 향상시켜 휘도를 높일 수 있다.
- [0052] 이하, 본 발명의 하기 실시예를 통하여 본 발명의 반도체 발광소자에 대하여 보다 구체적으로 설명하기로 한다.
- [0053] **실시예 1**
- [0054] 도 2 내지 4와 같은 반도체 발광소자를 구성하기 위하여 사파이어 기판에 질화물 발광소자의 질화물층으로 GaN을 적용하였고, 연장 전극으로 일반적인 Au 기반 전극을 적용하였으며, 세퍼레이션 영역은 도 2와 같이 형성하여 질화물 발광소자를 제조하였다.



[0055] **실시예 2**

[0056] 세퍼레이션 영역을 추가적으로 도 5와 같이 형성하는 것을 제외하고는 실시예 1과 동일하게 질화물 발광소자를 제조하였다.

[0057] **비교예**

[0058] 별도의 세퍼레이션 영역을 형성하지 않는 것을 제외하고는 상기 실시예 1과 동일하게 질화물 발광소자를 제조하였다.

[0059] 상기 실시예 및 비교예의 발광소자에서의 발광 출력을 패키지 상태에서 120 mA의 동일 전류를 인가하여 측정하였으며, 그 결과를 하기 표 1에 나타내었다.

**표 1**

	실시예 1	실시예 2	비교예
광출력(Optical power) (mW)	201	203	198

[0061] 상기 표 1에서 보는 바와 같이, 실시예의 발광소자는 비교예에 비하여 약 3 % 이상 광출력 특성이 개선된 바, 실시예의 발광소자는 우수한 광출력 특성을 나타낼 수 있음을 확인할 수 있었다.

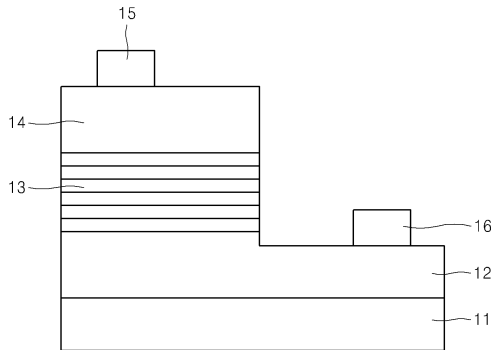
[0062] 이상에서는 본 발명의 실시예를 중심으로 설명하였으나, 이는 예시적인 것에 불과하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 기술자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 이하에 기재되는 특허청구범위에 의해서 판단되어야 할 것이다.

**부호의 설명**

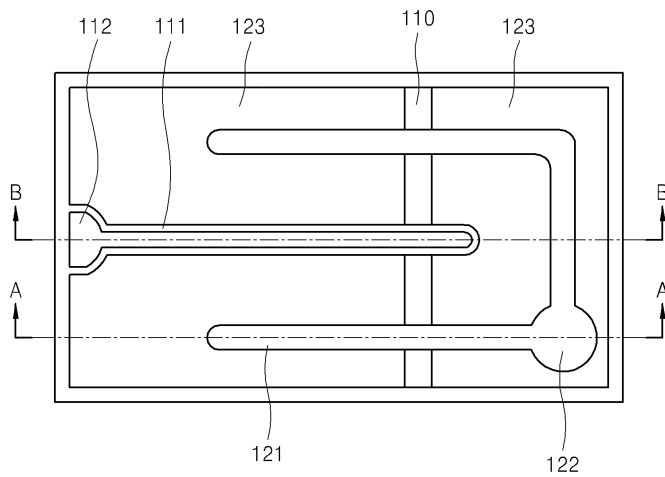
- |                      |               |
|----------------------|---------------|
| [0063] 110: 세퍼레이션 영역 | 111: n층 연장 전극 |
| 112: n층 전극 패드        | 121: p층 연장 전극 |
| 122: p층 전극 패드        | 123: p-컨택층    |
| 130: 기관              | 140: 버퍼층      |
| 150: n형 질화물층         | 151: n-컨택층    |
| 160: 활성층             | 170: p형 질화물층  |

도면

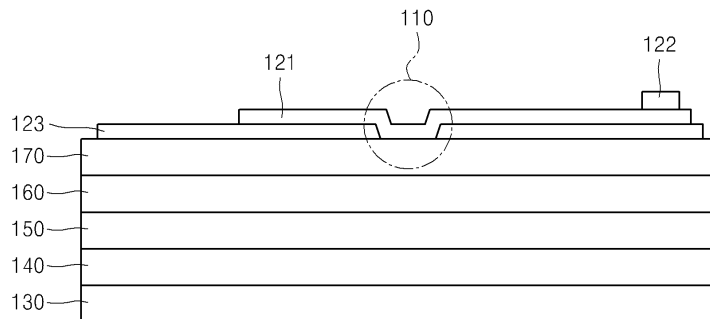
도면1



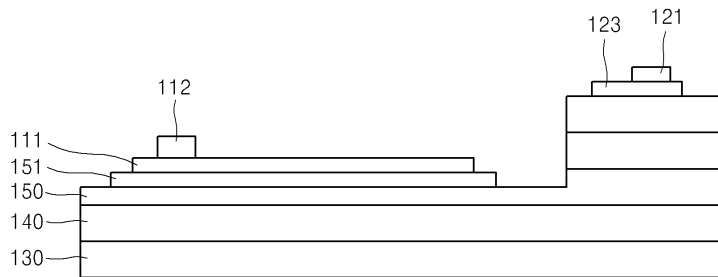
도면2



도면3



도면4



도면5

