

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4032310号

(P4032310)

(45) 発行日 平成20年1月16日(2008.1.16)

(24) 登録日 平成19年11月2日(2007.11.2)

(51) Int. Cl.

G 1 1 B 7/09 (2006.01)

F I

G 1 1 B 7/09

C

請求項の数 4 (全 13 頁)

(21) 出願番号	特願2004-165849 (P2004-165849)	(73) 特許権者	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成16年6月3日(2004.6.3)	(74) 代理人	100089875 弁理士 野田 茂
(65) 公開番号	特開2005-346842 (P2005-346842A)	(72) 発明者	原田 真吾 神奈川県横浜市保土ヶ谷区神戸町134番 地 ソニー・エルエスアイ・デザイン株式 会社内
(43) 公開日	平成17年12月15日(2005.12.15)	審査官	山澤 宏
審査請求日	平成17年4月28日(2005.4.28)	(56) 参考文献	特開昭63-152029 (JP, A)

最終頁に続く

(54) 【発明の名称】 トラッキング誤差検出器

(57) 【特許請求の範囲】

【請求項1】

ディスク表面のトラック上に照射され、そのトラックから反射したレーザ光を分割された受光素子で受け、トラッキング誤差量に応じて前記分割された受光素子から出力される信号を2値化回路を含む信号処理回路により2値化し、前記2値化した信号間の位相差をもとにトラッキング制御のためのトラッキングエラー信号を出力するトラッキング誤差検出器において、

前記受光素子から出力された信号間の振幅差を検出する振幅差検出回路と、

前記信号処理回路により2値化される前記信号間の振幅差を、前記振幅差検出回路で検出された検出結果をもとに調整する信号間振幅差調整回路とを備え、

前記信号間振幅差調整回路による前記信号間の振幅差の調整は、前記各信号ごとに設けられたゲインコントロールアンプのゲインを設定することによりなされ、

前記ゲインコントロールアンプは、

電圧信号入力である前記信号を電流信号へ変換する第1変換回路と、

前記第1変換回路により変換された前記電流信号を所定のミラー比により増幅するカレントミラー回路と、

前記カレントミラー回路の電流信号出力を電圧信号出力へ変換する第2変換回路とを有し、

前記信号間振幅差調整回路による前記ゲインコントロールアンプのゲインの設定は、前記カレントミラー回路において並列に接続されるトランジスタを切り替えることによりな

10

20

される、

ことを特徴とするトラッキング誤差検出器。

【請求項 2】

前記ゲインコントロールアンプは前記信号間振幅差調整回路または前記信号処理回路の何れかに設けられていることを特徴とする請求項 1 記載のトラッキング誤差検出器。

【請求項 3】

前記信号間振幅差調整回路による前記トランジスタの切り替えは、前記 2 値化回路において前記各信号に生じる波形歪みにもとづく前記各信号の位相オフセットを等量にし、前記信号間の位相差をもとに出力される前記トラッキングエラー信号に対する前記位相オフセットを抑制するようになされることを特徴とする請求項 1 記載のトラッキング誤差検出器。

10

【請求項 4】

前記第 1 変換回路から前記電流信号が出力されるノードの入力インピーダンスを低減する入力インピーダンス低減回路を備えたことを特徴とする請求項 1 記載のトラッキング誤差検出器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば光ディスク、光磁気ディスクを含む記録媒体に対応した光記録再生ディスク装置におけるトラッキング誤差検出器に関する。

20

【背景技術】

【0002】

従来の DVD-ROM などの光記録再生ディスク装置において、レーザを精度良く pit 列に照射させるトラッキングサーボ回路の方式として Differential Phase Detector (以下、DPD という) 方式がある。

この DPD 方式は、ディスク表面上から反射したレーザ光を分割された受光素子で受けると、トラッキング誤差量に応じてそれらの分割された素子から出力される信号間に位相差が生じることを利用し、その位相差情報をフィードバックすることでトラッキング制御する方式である。

この DPD 方式のトラッキング誤差検出回路 (以下、DPD 回路という) ブロックは、この位相差情報を読み取って、あるアナログ量 (例えば電圧値) に変換し、後段の DSP に渡すまでの役割を担うものである。

30

【0003】

この DPD 回路ブロックの基本的な構成のブロック図を図 1 に示す。

図 1 に示すように、この DPD 回路ブロックの前段には、ディスク面上から反射されたレーザ光を受光する 4 分割されたフォトダイオードなどの受光素子 101 があり、それぞれの素子がディスク面上に記録されたデータ波形を出力する。

この DPD 回路ブロックは、これら信号波形がフォトダイオードやディスクの品質ばらつきによって非常に小さい場合や大きい場合、適切なレベルまで信号振幅を増減幅するゲインコントロールアンプ 102a, 102b, 102c, 102d と、データ波形列に含まれる高周波信号成分を高域強調するイコライザ回路 103a, 103b, 103c, 103d と、信号から DC オフセットなどの低域成分を除去するハイパスフィルタ 104a, 104b, 104c, 104d と、アナログ信号を 2 値化する 2 値化回路 105a, 105b, 105c, 105d と、2 値化された信号間の位相差を検出し、その検出位相誤差に応じた信号を出力する位相差検出器 106a, 106b と、検出結果波形を加算する加算回路 107 と、その加算結果を積分するローパスフィルタ 108 とを備えている。

40

【0004】

4 分割された受光素子 101 から出力される信号は、図 1 に示す例では、フォトダイオード素子 A とフォトダイオード素子 C、また、フォトダイオード素子 B とフォトダイオード素子 D が同位相であり、よってフォトダイオード素子 A とフォトダイオード素子 B との

50

間、フォトダイオード素子Cとフォトダイオード素子Dとの間において位相差を検出し、ローパスフィルタ108の手前でそれらを加算する方式と、予め各々のフォトダイオード素子から出力される信号をフォトダイオード素子A + フォトダイオード素子D、フォトダイオード素子B + フォトダイオード素子Cというように加算しておき、それらの間の位相差を検出する方式の2通りある。

図1は前者の例であり、フォトダイオード素子Aとフォトダイオード素子Bとの間の位相差を検出する回路と、フォトダイオード素子Cとフォトダイオード素子Dとの間の位相差を検出する回路の構成は基本的に同一であるので以降は、受光素子Aと受光素子Bとの間において位相差を検出する回路について説明するが、当然ながらフォトダイオード素子Aとフォトダイオード素子Bをフォトダイオード素子Cとフォトダイオード素子Dへ置き換えればそのままフォトダイオード素子Cとフォトダイオード素子Dとの間の位相差を検出する回路として流用可能である。

10

#### 【0005】

将来的に、光ディスク読出し速度の高倍速化や次世代光ディスクの導入に伴い、入力される信号の帯域がますます高域へとシフトしていくことが予想されるが、このDPD回路、とりわけバイポーラトランジスタに比べて速度が遅くトランスコンダクタGm値も小さいMOSトランジスタにより構成されたDPD回路においては、入力信号帯域が個別回路の使用帯域を超えてしまい、その結果回路の位相特性が問題となってくると考えられる。

#### 【0006】

ここで、この位相特性がどのように問題となってくるのかを詳細に述べる。

20

例えば図1の2値化回路105a, 105b、すなわち高ゲインコンパレータでは、後段の位相差検出回路106aにおいて検出を容易にするため急峻なスルーレートを持つ波形を出力する必要がある。前述したようにMOSトランジスタのトランスコンダクタGm値はバイポーラトランジスタよりも小さいために、急峻なスルーレートを実現する高いゲインを得るためには多段のアンプを縦続接続する構成が必要になってくる。

図2は、この多段のアンプを縦続接続した構成を有する2値化回路の動作を示す説明図である。

入力されたアナログ信号はこれら多段のアンプを経る間に図2に示すように徐々に電源電圧のレベルでクリップされていき、最終的にデジタル的な2値化信号へと変化していくが、振幅がクリップされた信号には歪みが生じており、基の信号周波数成分の高調波成分が発生してしまう。そして当然ながら各アンプには有限の帯域が存在し、さらに後段アンプには電源電圧レベルまで出力信号をフルスイングさせられる能力が求められるためにインバータ回路などを用いる必要があり、よって一般的に多段アンプの段数を経る毎に群遅延は一定値を取る領域が狭くなってくる。

30

図3は、この多段のアンプを縦続接続した構成を有する2値化回路の各アンプ出力における群遅延特性図である。

この群遅延変動が始まる帯域と同等もしくはそれ以上の信号成分が入力されると、出力信号にはその周波数成分によって異なる遅延時間量が発生してしまう。そしてこれら周波数毎に異なる遅延時間量を持つ基本波成分と前記歪みによって生じた高調波成分が合成されたアンプ出力波形には、予測困難な位相シフトが生じることとなる。例えばDVDの8倍速読み取り時における入力信号最高域は約35MHzであり、図3の3rd出力群遅延特性においてその変動がすでに発生している領域に入っている。

40

#### 【0007】

この位相シフトは、例えば光ピックアップ内において、「視野振り」と呼ばれる動作によって対物レンズとフォトダイオードとの相対位置関係にずれが生じた時など位相比較対象となる2つの信号間に大きい振幅差(ワーストケースでは4倍~5倍程度)が発生した場合、このDPD回路ブロックにとっては大きな問題を引き起こす。

図4は、位相比較対象となる2つの信号間に大きい振幅差が発生した場合の問題点を示す説明図である。

すなわち、アンプを多段構成した2値化回路105a, 105bにおいて、例えば入力

50

振幅が比較的大きい図4(b)の例では、1段目のアンプを通過した時点ですでに電源電圧で波形がクリップし、歪みが生じることで位相シフトが発生する。そして、2段目、3段目・・・と信号がアンプを経るごとに位相シフトが蓄積されていく。次に、入力振幅が比較的小さい図4(a)の例では、1段目だけではクリップせず歪みも位相シフトも発生しない。そして、2段目のアンプ出力でようやくクリップし位相シフトが引き起こされたとすれば、当然ながら最終的な位相シフトの蓄積量は図4(b)の大振幅信号入力側よりも少なくなる。

【0008】

このようなディスク表面上から反射したレーザ光を分割された受光素子で受け、トラッキング誤差量に応じてそれら分割された素子から出力される信号間に位相差が生じることを利用しトラッキング制御するDPPD方式を用いたものとしては、異なる制御動作に対応してトラッキングエラー信号を出力する低域通過手段の特性を切り替え、トラッキングサーボ制御の精度向上を図るものがある(例えば、特許文献1参照)。

【特許文献1】特開平10-162381号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

かかる従来のトラッキング誤差検出器では、以下の短所が付随している。すなわち、2値化回路105a, 105bへの入力信号間に振幅差がある場合、経路毎に異なる位相シフトを発生させ、このDPPD回路ブロックの出力にオフセットを生じさせる原因となり、このような現象に対しては対応できず、また、前記入力信号間の振幅差は動作途中で逐次変化していくものであり、よってオフセット量もその時々で変化し、除去するのが容易でないという課題があった。

【0010】

本発明は、このような事情に鑑みてなされたものであり、位相差比較対象となる信号間の振幅差により誤差出力信号に生じるオフセットを抑制し、精度の高いトラッキング誤差検出を実現できるトラッキング誤差検出器を提供することを目的とする。

【課題を解決するための手段】

【0011】

上述の目的を達成するため、本発明にかかるトラッキング誤差検出器は、ディスク表面のトラック上に照射され、そのトラックから反射したレーザ光を分割された受光素子で受け、トラッキング誤差量に応じて前記分割された受光素子から出力される信号を2値化回路を含む信号処理回路により2値化し、前記2値化した信号間の位相差をもとにトラッキング制御のためのトラッキングエラー信号を出力するトラッキング誤差検出器において、前記受光素子から出力された信号間の振幅差を検出する振幅差検出回路と、前記信号処理回路により2値化される前記信号間の振幅差を、前記振幅差検出回路で検出された検出結果をもとに調整する信号間振幅差調整回路とを備え、前記信号間振幅差調整回路による前記信号間の振幅差の調整は、前記各信号ごとに設けられたゲインコントロールアンプのゲインを設定することによりなされ、前記ゲインコントロールアンプは、電圧信号入力である前記信号を電流信号へ変換する第1変換回路と、前記第1変換回路により変換された前記電流信号を所定のミラー比により増幅するカレントミラー回路と、前記カレントミラー回路の電流信号出力を電圧信号出力へ変換する第2変換回路とを有し、前記信号間振幅差調整回路による前記ゲインコントロールアンプのゲインの設定は、前記カレントミラー回路において並列に接続されるトランジスタを切り替えることによりなされることを特徴とする。

【発明の効果】

【0012】

本発明によれば、受光素子から出力された信号間の振幅差を検出し、信号処理回路により2値化される前記信号間の振幅差を前記検出結果をもとに調整し、2値化回路において前記各信号に生じる波形歪みにもとづく前記各信号の位相オフセットを等量にすることが

10

20

30

40

50

出来、トラッキングエラー信号は前記信号間の位相差をもとに出力されるため、前記トラッキングエラー信号に含まれる位相オフセットを相殺でき、位相差比較対象となる信号間の振幅差によりトラッキングエラー信号に生じる位相オフセットが抑制でき、精度の高いトラッキング誤差検出を実現できるトラッキング誤差検出器を提供できる効果がある。

【発明を実施するための最良の形態】

【0013】

位相差比較対象となる信号間の振幅差により誤差出力信号に生じるオフセットを抑制し、精度の高いトラッキング誤差検出を実現できるトラッキング誤差検出器を提供するという目的を、前記受光素子から出力された信号間の振幅差を検出する振幅差検出回路と、前記信号処理回路により2値化される前記信号間の振幅差を、前記振幅差検出回路で検出された検出結果をもとに調整する信号間振幅差調整回路とを備え、受光素子から出力される信号ごとに設けられたゲインコントロールアンプを、カレントミラー回路を用いて構成することで実現した。

10

【実施例1】

【0014】

図5は、この実施例1のトラッキング誤差検出器の構成を示すブロック図である。

このトラッキング誤差検出器では、2値化回路に入力される2つの信号間の振幅が常に同一となるように、リアルタイムで前記信号間の振幅差を揃える機能を備えている。

このトラッキング誤差検出器は、図5に示すように、受光素子1と、信号間振幅差調整回路41と、*Differential Phase Detector*（以下、DPDという）方式のトラッキング誤差検出回路（以下、DPD回路という）ブロック（信号処理回路）51とを備えている。

20

受光素子1は、ディスク面上から反射されたレーザ光を受光する4分割されたフォトダイオード素子A、B、C、Dから構成され、それぞれの素子がディスク面上に記録されたデータ波形を出力する。

【0015】

信号間振幅差調整回路41は、振幅差検出回路2、21、およびゲインコントロールアンプ3、4、22、23を備えている。

ゲインコントロールアンプ3は、フォトダイオード素子Aから出力される信号を増幅するアンプ、ゲインコントロールアンプ4は、フォトダイオード素子Bから出力される信号を増幅するアンプ、ゲインコントロールアンプ22は、フォトダイオード素子Cから出力される信号を増幅するアンプ、ゲインコントロールアンプ23は、フォトダイオード素子Dから出力される信号を増幅するアンプである。

30

ゲインコントロールアンプ3、4はゲインが振幅差検出回路2から出力されるゲイン調整信号をもとにそれぞれ調整可能な構成となっている。また、ゲインコントロールアンプ22、23は振幅差検出回路21から出力されるゲイン調整信号をもとにそれぞれ調整可能な構成となっている。

振幅差検出回路2は、フォトダイオード素子Aとフォトダイオード素子Bとからそれぞれ出力される信号間の振幅差を検出し、その検出結果をもとにゲインコントロールアンプ3、4に対するゲイン調整信号を出力し、それぞれのゲイン調整信号によりゲインコントロールアンプ3、4のゲインを調整し、ゲインコントロールアンプ3、4から出力される信号間の振幅差をなくすように機能する。

40

また、振幅差検出回路21は、フォトダイオード素子Cとフォトダイオード素子Dとからそれぞれ出力される信号間の振幅差を検出し、その検出結果をもとにゲインコントロールアンプ22、23に対するゲイン調整信号を出力し、それぞれのゲイン調整信号によりゲインコントロールアンプ22、23のゲインを調整し、ゲインコントロールアンプ22、23から出力される信号間の振幅差をなくすように機能する。

【0016】

DPD回路ブロック51は、ゲインコントロールアンプ3、4、22、23から出力される信号波形がフォトダイオードやディスクの品質ばらつきによって非常に小さい場合や

50

大きい場合、適切なレベルまで信号振幅を増減幅するゲインコントロールアンプ5, 9, 25, 29と、データ波形列に含まれる高周波信号成分を高域強調するイコライザ回路6, 11, 26, 31と、信号からDCオフセットなどの低域成分を除去するハイパスフィルタ7, 12, 27, 32と、アナログ信号を2値化する2値化回路8, 13, 28, 33と、2値化された信号間の位相差を検出し、その検出位相誤差に応じた信号を出力する位相差検出器14, 34と、検出結果波形を加算する加算回路35と、その加算結果を積分するローパスフィルタ36とを備えている。

#### 【0017】

このDPD回路ブロック51は、4分割された受光素子1から出力される信号がフォトダイオード素子Aとフォトダイオード素子D、また、フォトダイオード素子Bとフォトダイオード素子Cが同位相であり、フォトダイオード素子Aとフォトダイオード素子Bとの間、フォトダイオード素子Cとフォトダイオード素子Dとの間において位相差を検出し、ローパスフィルタ36の手前でそれらを加算する方式である。

#### 【0018】

なお、信号間振幅差調整回路41およびDPD回路ブロック51において、フォトダイオード素子Aとフォトダイオード素子Bとの間の位相差を検出する回路と、フォトダイオード素子Cとフォトダイオード素子Dとの間の位相差を検出する回路の構成は基本的に同一であるので、以降、フォトダイオード素子Aとフォトダイオード素子Bとの間において位相差を検出する回路について説明するが、当然ながらフォトダイオード素子Aとフォトダイオード素子Bをフォトダイオード素子Cとフォトダイオード素子Dへ置き換えればそのままフォトダイオード素子Cとフォトダイオード素子Dとの間の位相差を検出する回路として流用可能である。

#### 【0019】

次に動作について説明する。

この実施例1のトラッキング誤差検出器では、2値化回路8と2値化回路13へ入力される各信号間の振幅が常に同一になるようにリアルタイムで前記信号間の振幅差を略同一に調整する。これは、前記信号間に振幅差が存在すると、2値化回路8, 13内の多段アンプステージを経るごとに生じる歪み量、即ち高調波成分量に違いが生じ、その結果、各ステージ出力波形に生じる位相シフト量に差が生じるため、振幅差を揃えることで、歪み量を同一にして結果として位相シフト量も同一にすることで、前記位相シフト量の差がDPD回路ブロック51の出力へ与える悪影響、すなわちDPD回路ブロック51から出力されるトラッキングエラー信号に対する位相オフセットを抑制するものである。

信号振幅を揃える手段としては、図5に示すように、新たに振幅差検出回路2, 21とゲインコントロールアンプ3, 4, 22, 23とを備えた信号間振幅差調整回路41を設け、振幅差検出回路2による振幅差検出結果に従ってゲインコントロールアンプ3, 4を個別に制御し、また、振幅差検出回路21による振幅差検出結果に従ってゲインコントロールアンプ22, 23を個別に制御する。

#### 【0020】

例えば、フォトダイオード素子Aからの信号の振幅がフォトダイオード素子Bからの信号の振幅に対して2倍であったとすると、ゲインコントロールアンプ3のゲインは1倍のまま、ゲインコントロールアンプ4のゲインを2倍にし、ゲインコントロールアンプ5とゲインコントロールアンプ9へ入力されるフォトダイオード素子Aからの入力信号およびフォトダイオード素子Bからの入力信号が同じ振幅を持つようにする。

#### 【0021】

もしくは、ゲインコントロールアンプ5およびゲインコントロールアンプ9を個別にゲイン調整可能なアンプとし、振幅差検出回路2が出力するゲイン調整信号を前記ゲインコントロールアンプ5, 9へ出力するように構成し、ゲインコントロールアンプ5, 9に対し、受光素子1の製造および設計起因による出力信号の全体ゲインのばらつきを補正するため同じゲイン設定にするとという前提に加え、フォトダイオード素子Aおよびフォトダイオード素子Bからそれぞれ出力される信号間の振幅補正の機能も担わせ、振幅差検出回路

10

20

30

40

50

2の検出結果をもとに経路別にゲインコントロールアンプ5とゲインコントロールアンプ9とをそれぞれゲイン制御する。この場合、ゲインコントロールアンプ3およびゲインコントロールアンプ4は不要となる。

#### 【0022】

なお、ゲインコントロールアンプ25およびゲインコントロールアンプ29についても同様であり、ゲインコントロールアンプ25およびゲインコントロールアンプ29をゲイン調整可能なアンプとし、振幅差検出回路21が出力するゲイン調整信号を前記ゲインコントロールアンプ25, 29へ出力するように構成し、ゲインコントロールアンプ25, 29に対し、受光素子1の製造および設計起因による出力信号の全体ゲインのばらつきを補正するため同じゲイン設定にするという前提に加え、フォトダイオード素子Cおよびフォトダイオード素子Dからそれぞれ出力される信号間の振幅補正の機能も担わせ、振幅差検出回路21の検出結果をもとに経路別にゲインコントロールアンプ25とゲインコントロールアンプ29とをそれぞれゲイン制御する。この場合、ゲインコントロールアンプ22およびゲインコントロールアンプ23は不要となる。

#### 【0023】

この場合、これらゲインコントロールアンプ3, 4やゲインコントロールアンプ5, 9に一般的な抵抗フィードバック型のアンプを用いた場合、異なるゲイン設定においてはアンプ全体の位相特性そのものが影響を受け、その結果、各ゲインコントロールアンプにそれぞれ異なる位相オフセットが生じてしまう。

図6は、このような一般的なオペアンプを使用した抵抗フィードバック型の増幅器を示す回路図である。

#### 【0024】

この実施例1では、各ゲインコントロールアンプごとのゲイン設定による位相オフセット量、位相特性の変動を抑制する。

以下、このゲイン設定変動による各ゲインコントロールアンプにおける位相オフセット量、位相特性の変動の抑制について説明する。

このゲインコントロールアンプにおけるゲイン設定により位相オフセット量、位相特性が変動する現象は図7に示すこの一般的な抵抗フィードバック型の増幅器のモデルから求めた伝達関数から説明できる。ここで $G_m$ はオペアンプのゲイン、 $R_i$ は入力抵抗、 $R_f$ はフィードバック抵抗、 $C_{pi}$ ,  $C_{po}$ は入力ノードと出力ノードにおける寄生容量を示している。

この伝達関数は、もちろん $R_i$ ,  $R_f$ ,  $C_{pi}$ ,  $C_{po}$ などのパラメータ絶対値にも因るが、基本的に2次遅れ系となりこの位相特性はパラメータ $n$ と $Q$ が決定している。このアンプではゲイン $= (G_m R_f - 1) / (G_m R_i + 1)$ は抵抗の比 $(R_f / R_i)$ で決定される。

よって、この比を変化させるためには抵抗 $R_i$ もしくは $R_f$ を変化させる必要があるが、これらを変えると、図7に示すように $n$ および $Q$ の値がダイレクトに変動する結果を引き起こし、位相特性の変化を引き起こす。つまり、 $n$ および $Q$ を変えずにゲインだけを変えることは困難である。

#### 【0025】

そこで、ゲインを変化させてもこれら位相特性の変動を抑制できる回路を図8に示す。

図8は、ゲインの変化に対する位相特性の変動を抑制できるようにした回路の基本回路図である。

図9は、図8に示す回路の伝達関数 $V_o / V_i$ と、この伝達関数 $V_o / V_i$ の2つの極における $p_1$ と $p_2$ を示す説明図である。

図8に示す回路は、電圧信号入力を抵抗(第1変換回路) $R_i$ で電流信号へと変換し、それをカレントミラー回路 $C_M$ のミラー比 $G_m2 / G_m1$ にて増幅し、その電流信号出力を、抵抗(第2変換回路) $R_o$ を用いて再度電圧信号出力へと変換するものである。

図9は、図8に示す回路において寄生容量値 $C_{pi}$ ,  $C_{po}$ を考慮した伝達関数 $V_o / V_i$ と、伝達関数 $V_o / V_i$ における2つの極 $p_1$ ,  $p_2$ を示している。

10

20

30

40

50

この伝達関数においてDcゲイン項を見るとGm1, Gm2, Ri, Roの4パラメータのうちどれを変えても全体ゲインを変えることが可能である。またこの回路にはループがないので単純な1次遅れ系の縦続接続関数になり、位相特性を決めるのは図9に示した2つの極 p1と p2である。

#### 【0026】

位相特性を一定に保つためにはこれら極を一定値に保つ必要があるが、p1, p2に影響を与えず、ゲインのみを変化させるようなパラメータに着目する。

まず、p1を構成するRo, Cpoは固定値とする。次にp2を構成するGm1, Ri, Cpiのうち、抵抗RiについてはGm1 / Riを満たすような値を設定し、p2を近似的にGm1 / Cpiとする。

そして、Gm1の変化に寄生容量値Cpiの変化が追従するようになればp2を変化させずに全体ゲインだけを変化可能となる。

図11は、位相特性に変化を与えることなく全体ゲインだけを変化させることが可能であることを伝達関数から示すための説明図である。

そこでGm1の変化を、並列に置いたトランジスタを、導通、非導通が選択信号により制御されるスイッチによって切り替えることで実現する構成にする。

この場合、前記選択信号は、フォトダイオード素子Aとフォトダイオード素子Bとからそれぞれ出力される信号間の振幅差の検出結果をもとに振幅差検出回路2からゲインコントロールアンプ3, 4に対し出力されるゲイン調整信号をもとに生成される。

図10は、このような導通、非導通が選択信号により制御されるスイッチによって並列に置いたトランジスタTr1を切り替えることでGm1を変化させる構成を示す回路図である。

このように構成すると、寄生容量値Cpiは主にGm1を構成しているトランジスタのゲート容量から成っていることから、Gm1の増減に伴って、寄生容量値Cpiも同様に増減することになる。このような構成を取ることで、ゲイン変動に伴ってp1およびp2に与える影響を抑制することが可能な回路を実現できる。

#### 【0027】

なおこの図10に示す例ではスイッチ数が4、すなわちGm1の可変範囲が1倍～4倍である回路例を示しているが、当然ながらこれは並列に並べるトランジスタの数を変更することでGm1の可変範囲を任意に設定することが出来る。

#### 【0028】

なお、この回路ではゲイン設定はデジタル的にしか切り替えることが出来ないため、量子化誤差によってある程度の振幅差は取れ残ってしまう。ただし、常に正確に振幅を合わせなくとも、ある範囲内でさえ振幅が一致していればDPD回路ブロック51の最終出力に発生するオフセットは充分小さく出来る。

#### 【0029】

以上のように、この実施例1によれば、受光素子1のフォトダイオード素子Aとフォトダイオード素子Bとから出力された信号間の振幅差を検出し、2値化回路8, 13により2値化される前記信号間の振幅差を前記検出結果をもとに調整し、前記信号間の振幅差を無くすため、2値化回路8, 13において前記各信号に生じる波形歪みにもとづく前記各信号の位相オフセット量を等量にすることが出来、この結果、前記信号間の位相差をもとに出力されるトラッキングエラー信号に含まれる位相オフセットを相殺でき、位相差比較対象となる信号間の振幅差によりトラッキングエラー信号に生じる位相オフセットが抑制でき、精度の高いトラッキング誤差検出を実現するトラッキング誤差検出器を提供できる効果がある。

#### 【0030】

また、DVDなどの光ディスクのDPD方式トラッキングサーボにおいて、高倍速化や次世代光ディスクなどにおける読み取りスピードの高速化に伴い顕在化してくる光ピックアップ視野振り動作による入力信号間の振幅差が原因となる出力のオフセット要因を除去するトラッキング誤差検出器を提供できる効果がある。

10

20

30

40

50

## 【 0 0 3 1 】

また、バイポーラトランジスタに限らずCMOSによる回路においてより高い効果が期待できるため、現在、バイポーラトランジスタで実現されているためフロントエンドチップとして分離されているDPD回路を、後段のCMOSで実現されている信号処理チップと統合させることが可能になる効果もある。

実施例 2 .

## 【 0 0 3 2 】

この実施例 2 では、図 1 0 に示した回路構成に改良を施し、ノード N 1 の入力インピーダンスを下げた回路例について説明する。

図 1 0 に示す回路構成では、ノード N 1 の入力インピーダンスが高く、抵抗 R 1 で変換された後の入力電流信号が大きい場合にこのノード N 1 の電圧変動が大きくなってしまい、歪みの原因になる。これを低減するために結節点 A と B との間にゲート接地トランジスタ（入力インピーダンス低減回路）Tr 2 を設けノード N 1 の入力インピーダンスを下げる。

10

図 1 2 は、このような結節点 A と B との間にゲート接地トランジスタを設けノード N 1 の入力インピーダンスを下げる構成の一例を示す回路図である。

この実施例 2 によれば、ノード N 1 の入力インピーダンスの低下により、抵抗 R 1 で変換された後の入力電流信号が大きい場合であっても、ノード N 1 の電圧変動を抑制でき、抵抗 R 1 で変換された後の入力電流信号の大きさに応じた歪み量の変化、位相オフセット量の変化などの現象を抑制でき、精度の高いトラッキング誤差検出器を提供できる効果がある。

20

実施例 3

## 【 0 0 3 3 】

この実施例 3 では、前記実施例 2 で用いたゲート接地トランジスタ Tr 2 を、オペアンプ（入力インピーダンス低減回路）OP を使ってゲート電位を制御することで、さらにノード N 1 の入力インピーダンスを下げる事が可能となる。

図 1 3 は、このようなノード N 1 の入力インピーダンスをさらに下げることが可能となる回路構成の一例を示す回路図である。

## 【 0 0 3 4 】

この実施例 3 によれば、ノード N 1 は OP によって Vref 端子とバーチャルショートされるため、ノード N 1 の入力インピーダンスをさらに低下させることが可能になり、抵抗 R 1 で変換された後の入力電流信号の大きさに応じた歪み量の変化、位相オフセット量の変化などの現象を抑制でき、精度の高いトラッキング誤差検出器を提供できる効果がある。

30

## 【 図面の簡単な説明 】

## 【 0 0 3 5 】

【 図 1 】従来の DPD 回路ブロックの基本的な構成を示すブロック図である。

【 図 2 】従来の DPD 回路ブロックにおける多段のアンプを縦続接続した構成を有する 2 値化回路の動作を示す説明図である。

【 図 3 】従来の DPD 回路ブロックの多段のアンプを縦続接続した構成を有する 2 値化回路の各アンプ出力における群遅延特性図である。

40

【 図 4 】従来の DPD 回路ブロックにおいて位相比較対象となる 2 つの信号間に大きい振幅差が発生した場合の問題点を示す説明図である。

【 図 5 】本発明の実施例 1 のトラッキング誤差検出器の構成を示すブロック図である。

【 図 6 】本発明の実施例 1 のトラッキング誤差検出器を説明するための一般的な抵抗フィードバック型のアンプを示す回路図である。

【 図 7 】一般的な抵抗フィードバック型のアンプのモデルから求めた伝達関数を示す説明図である。

【 図 8 】本発明の実施例 1 のトラッキング誤差検出器に用いられるゲインの変化に対する位相特性の変動を抑制できるようにした回路の基本回路図である。

50

【図9】本発明の実施例1のトラッキング誤差検出器に用いられるゲインの変化に対する位相特性の変動を抑制できるようにした回路の伝達関数と2つの極を示す説明図である。

【図10】本発明の実施例1のトラッキング誤差検出器において、導通、非導通が選択信号により制御されるスイッチによって並列に置いたトランジスタを切り替えることでゲインを変化させる構成を示す回路図である。

【図11】本発明の実施例1のトラッキング誤差検出器において位相特性に変化を与えることなく全体ゲインだけを変化させることが可能であることを伝達関数から示すための説明図である。

【図12】本発明の実施例2のトラッキング誤差検出器において、ノードN1の入力インピーダンスを下げるための回路構成の一例を示す回路図である。

【図13】本発明の実施例3のトラッキング誤差検出器において、ノードN1の入力インピーダンスをさらに下げるための回路構成の一例を示す回路図である。

【符号の説明】

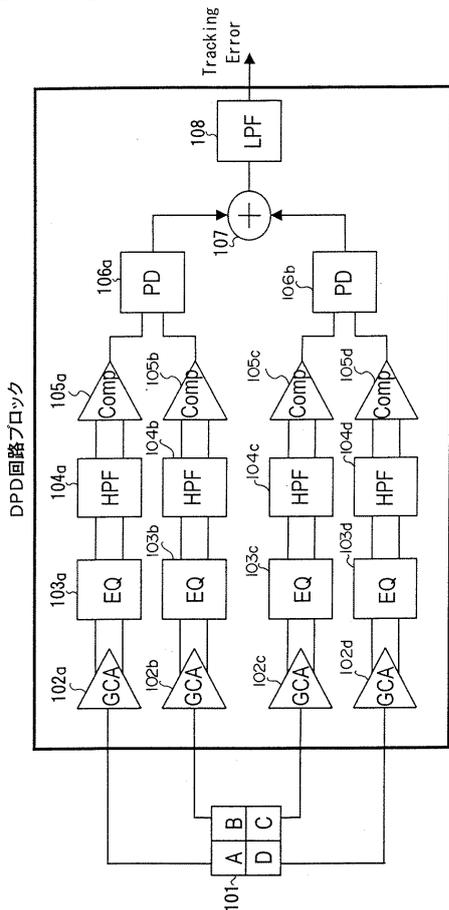
【0036】

1.....受光素子、2, 21.....振幅差検出回路、3, 4, 22, 23.....ゲインコントロールアンプ、8, 13, 28, 33.....2値化回路、41.....信号間振幅差調整回路、.....51DPD回路ブロック(信号処理回路)、Ri.....抵抗(第1変換回路)、CM...カレントミラー回路、Ro.....抵抗(第2変換回路)、Tr1.....トランジスタ、Tr2.....トランジスタ(入力インピーダンス低減回路)、OP.....オペアンプ(入力インピーダンス低減回路)。

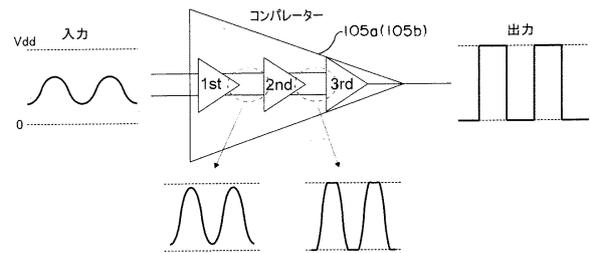
10

20

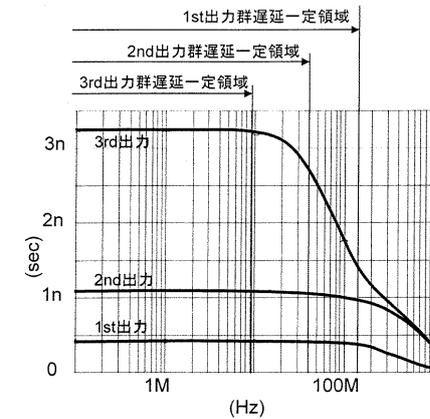
【図1】



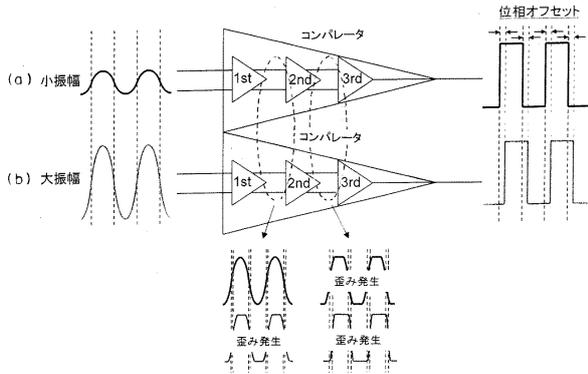
【図2】



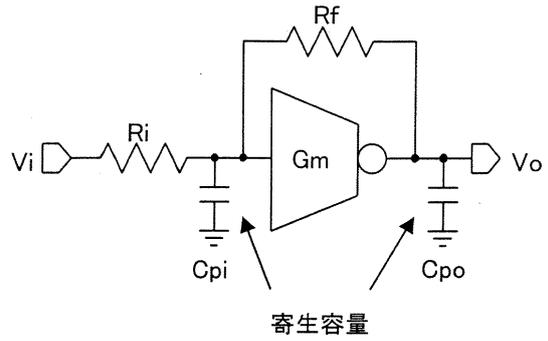
【図3】



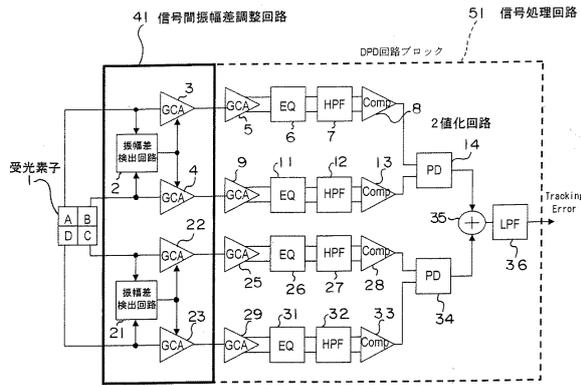
【 図 4 】



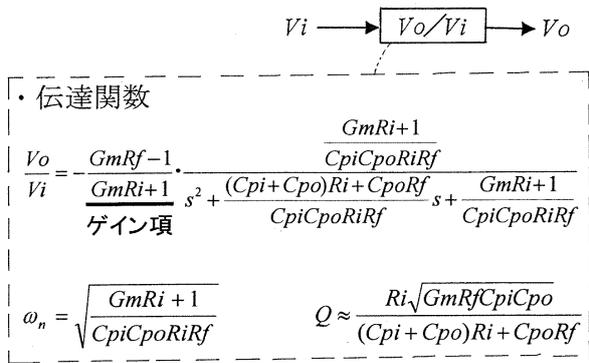
【 図 6 】



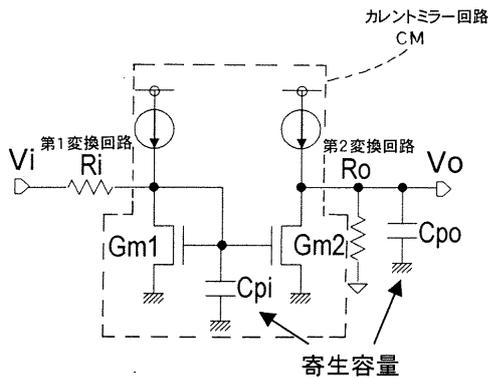
【 図 5 】



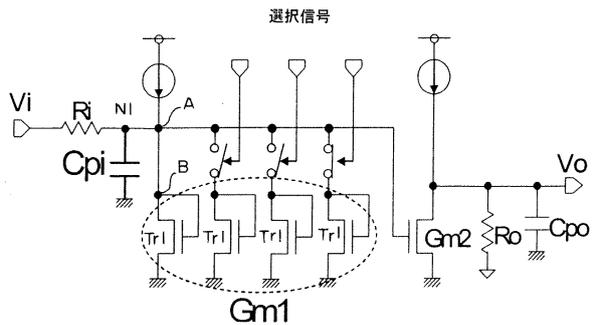
【 図 7 】



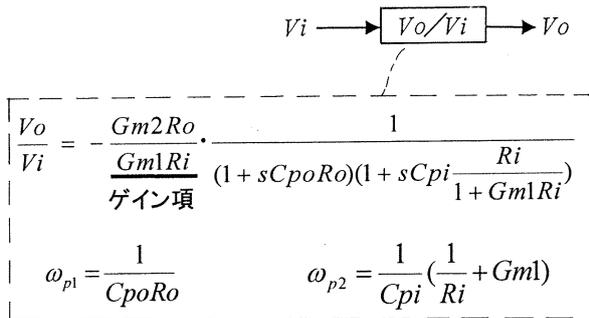
【 図 8 】



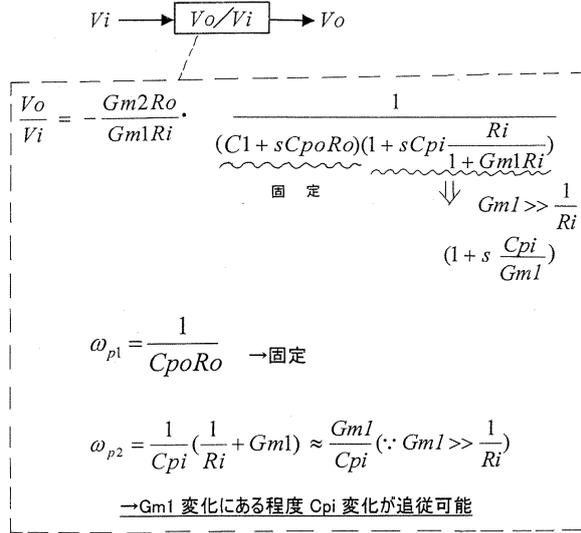
【 図 10 】



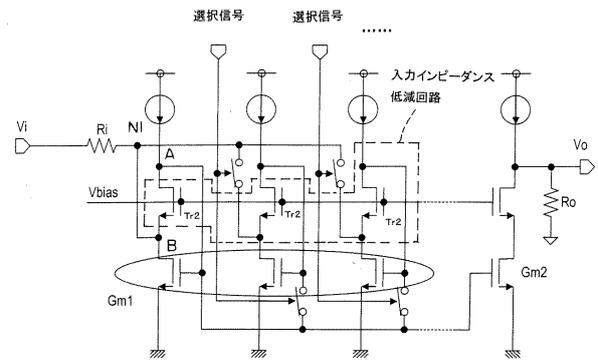
【 図 9 】



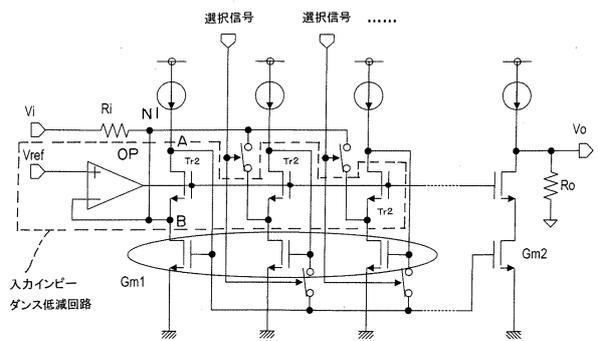
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

G 1 1 B      7 / 0 9