



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2009년12월29일  
(11) 등록번호 10-0934426  
(24) 등록일자 2009년12월21일

(51) Int. Cl.  
G06F 17/50 (2006.01) G06F 17/00 (2006.01)  
(21) 출원번호 10-2007-0098144  
(22) 출원일자 2007년09월28일  
심사청구일자 2007년09월28일  
(65) 공개번호 10-2008-0051020  
(43) 공개일자 2008년06월10일  
(30) 우선권주장  
JP-P-2006-00327388 2006년12월04일 일본(JP)  
(56) 선행기술조사문헌  
JP2006079447 A\*  
JP13092857 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
후지쯔 가부시끼가이샤  
일본국 가나가와켄 가와사키시 나카하라쿠 가미고  
다나카 4초메 1-1  
(72) 발명자  
가토 요시유키  
일본 가나가와켄 가와사키시 나카하라쿠 가미코다  
나카 4-1-1후지쯔 가부시끼가이샤 나이  
아오야마 히사시  
일본 가나가와켄 가와사키시 나카하라쿠 가미코다  
나카 4-1-1후지쯔 가부시끼가이샤 나이  
(74) 대리인  
김태홍, 신정건

전체 청구항 수 : 총 9 항

심사관 : 나용수

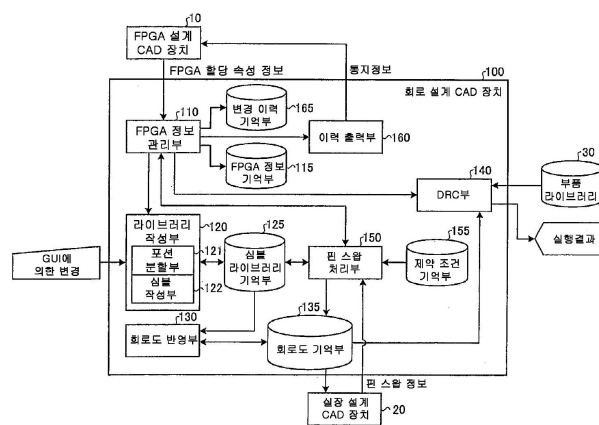
(54) 회로 설계 지원 장치, 회로 설계 지원 방법, 회로 설계지원 프로그램을 기록한 컴퓨터 판독가능한 기록 매체 및프린트 기관의 제조 방법

**(57) 요약**

본 발명은 부품으로서 FPGA를 사용하는 회로의 설계에 있어서, FPGA의 변경에 따른 회로도의 변경을 효율적으로 행할 수 있도록 하는 것을 목적으로 한다.

회로 설계 CAD 장치(100)의 FPGA 정보 관리부(110)가 FPGA 설계 CAD 장치(10)가 작성한 핀 할당 정보나 속성 정보 등의 FPGA 정보를 취입하고, 라이브러리 작성부(120)가 FPGA 정보를 이용하여 심볼 라이브러리를 작성하도록 구성한다. 또한, 라이브러리 작성부(120)는 심볼 라이브러리를 작성하는 경우에 작성 대상의 FPGA가 회로도에 배치된 경우에는 회로도에 배치되어 있는 기존의 심볼 라이브러리의 포션 분할이나 핀 배치를 될 수 있는 한 변경하지 않도록 하여, 회로도 반영부(130)가 새롭게 심볼 라이브러리가 작성된 FPGA의 심볼을 회로도에 배치하는 경우에, 기존의 배치를 변경하지 않도록 배치한다.

**대표도**



## 특허청구의 범위

### 청구항 1

부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 장치로서,

PLD에 대해서 PLD 설계 CAD에 의해 작성된 설계 정보인 PLD 정보를 입력하는 PLD 정보 입력 수단과,

회로 설계에서 사용하는 PLD의 심볼 라이브러리를 상기 PLD 정보 입력 수단에서 입력된 PLD 정보를 이용하여 작성하는 때에, 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치되었는지 여부를 판정하고, 회로도에 배치되었다고 판정한 경우에는 회로도에 배치된 심볼에 대응하는 심볼 라이브러리의 정보에 기초하여 심볼의 변경이 적어지도록 심볼 라이브러리를 작성하는 라이브러리 작성 수단을

을 포함하는 것을 특징으로 하는 회로 설계 지원 장치.

### 청구항 2

삭제

### 청구항 3

제1항에 있어서, 상기 라이브러리 작성 수단은 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치된 경우에, 회로도에 배치된 심볼에 대응하는 심볼 라이브러리의 정보에 기초하여 포션 할당을 행하는 것을 특징으로 하는 회로 설계 지원 장치.

### 청구항 4

제3항에 있어서, 상기 라이브러리 작성 수단은 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치된 경우에, 회로도에 배치된 심볼에 포함되는 논리 핀에 대해서는 상기 회로도에 배치된 심볼과 동일한 포션에 할당하는 것을 특징으로 하는 회로 설계 지원 장치.

### 청구항 5

제3항 또는 제4항에 있어서, 상기 라이브러리 작성 수단은 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치된 경우에, 회로도에 배치된 심볼에 포함되지 않는 논리 핀에 대해서는 물리 핀명에 기초하여 포션에 할당하는 것을 특징으로 하는 회로 설계 지원 장치.

### 청구항 6

제1항, 제3항 및 제4항 중 어느 한 항에 있어서, 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치되었는지 여부를 판정하여, 회로도에 배치되었다고 판정한 경우에는 회로도에 배치된 심볼을 상기 라이브러리 작성 수단에 의해 심볼 라이브러리가 작성된 심볼로 치환하는 심볼 치환 수단을 더 포함한 것을 특징으로 하는 회로 설계 지원 장치.

### 청구항 7

제6항에 있어서, 상기 심볼 치환 수단은 상기 라이브러리 작성 수단에 의해 심볼 라이브러리가 작성된 심볼의 핀 중 치환 전의 심볼과 논리 핀명이 다른 핀이 라인에 접속되어 있는 경우에는 상기 라인을 절단하는 것을 특징으로 하는 회로 설계 지원 장치.

### 청구항 8

부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 장치에 의한 회로 설계 지원 방법으로서,

PLD에 대해서 PLD 설계 CAD에 의해 작성된 설계 정보인 PLD 정보를 입력하는 PLD 정보 입력 단계와,

회로 설계에서 사용하는 PLD의 심볼 라이브러리를 상기 PLD 정보 입력 단계에서 입력된 PLD 정보를 이용하여 작성하는 때에, 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치되었는지 여부를 판정하고, 회로도에 배치되었다고 판정한 경우에는 회로도에 배치된 심볼에 대응하는 심볼 라이브러리의 정보에 기초하여 심볼의 변

경이 적어지도록 심볼 라이브러리를 작성하는 라이브러리 작성 단계를 포함하는 것을 특징으로 하는 회로 설계 지원 방법.

**청구항 9**

부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 프로그램을 기록한 컴퓨터 판독가능 기록매체로서,

PLD에 대해서 PLD 설계 CAD에 의해 작성된 설계 정보인 PLD 정보를 입력하는 PLD 정보 입력 단계와,

회로 설계에서 사용하는 PLD의 심볼 라이브러리를 상기 PLD 정보 입력 단계에서 입력된 PLD 정보를 이용하여 작성하는 때에, 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치되었는지 여부를 판정하고, 회로도에 배치되었다고 판정한 경우에는 회로도에 배치된 심볼에 대응하는 심볼 라이브러리의 정보에 기초하여 심볼의 변경이 적어지도록 심볼 라이브러리를 작성하는 라이브러리 작성 단계를

를 컴퓨터에 실행시키는 것을 특징으로 하는 회로 설계 지원 프로그램을 기록한 컴퓨터 판독가능 기록매체.

**청구항 10**

부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 장치를 이용하여 설계가 행하여지는 프린트 기관의 제조 방법으로서,

상기 회로 설계 지원 장치가,

PLD에 대해서 PLD 설계 CAD에 의해 작성된 설계 정보인 PLD 정보를 입력하는 PLD 정보 입력 단계와,

회로 설계에서 사용하는 PLD의 심볼 라이브러리를 상기 PLD 정보 입력 단계에서 입력된 PLD 정보를 이용하여 작성하는 때에, 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치되었는지 여부를 판정하고, 회로도에 배치되었다고 판정한 경우에는 회로도에 배치된 심볼에 대응하는 심볼 라이브러리의 정보에 기초하여 심볼의 변경이 적어지도록 심볼 라이브러리를 작성하는 라이브러리 작성 단계를

를 포함하는 것을 특징으로 하는 프린트 기관의 제조 방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은 부품으로서 PLD(Programmable Logic Device)를 사용하는 회로의 설계를 지원하는 회로 설계 지원 장치, 회로 설계 지원 방법, 회로 설계 지원 프로그램 및 프린트 기관의 제조 방법에 관한 것이며, 특히, PLD의 설계 변경에 따른 회로도의 수정을 적게 하고, 그리하여 회로 설계의 효율을 향상시킬 수 있는 회로 설계 지원 장치, 회로 설계 지원 방법, 회로 설계 지원 프로그램 및 프린트 기관의 제조 방법에 관한 것이다.

**배경 기술**

<2> 회로 설계 CAD에 있어서, FPGA(Field Programmable Gate Array) 등의 PLD를 부품으로서 사용하는 경우에는, 회로 설계자는 PLD의 설계 후에 PLD의 심볼을 작성하여 심볼 라이브러리에 등록하여야 한다. 그러나, 회로 설계자는 부품을 조합하여 회로를 설계하는 것이 주된 업무이기 때문에, 부품의 심볼 작성에 익숙하지 않은 경우가 많고, PLD의 설계 변경시마다 심볼 작성을 행하는 것은 회로 설계자에게 있어서 부담이 크다.

<3> 여기서, PLD의 심볼의 작성을 지원하는 기술이 개발되어 있다. 예컨대, 특허문헌 1에는 FPGA의 핀 배열 정보로부터 FPGA 라이브러리를 자동 생성하는 FPGA 설계 지원 장치가 기재되어 있다.

<4> [특허문헌 1] 일본 특허 공개 2006-79447호 공보

**발명의 내용**

**해결하고자하는 과제**

<5> 그러나, FPGA 설계 지원 장치에 의해서 FPGA 라이브러리를 작성하여도 회로 설계 도중에 FPGA에 변경이 있을 때마다 회로도 안의 FPGA 심볼을 치환하여야 한다는 문제가 있다. 또한, FPGA 설계 지원 장치에서 작성되는 FPGA 심볼은 FPGA의 변경에 의해 포션 분할이나 핀 배치가 다른 것이 되는 경우도 많고, 회로도의 대폭적인 변경이 필요해지는 경우도 있다.

<6> 본 발명은 전술한 종래 기술에 의한 문제점을 해소하기 위해 이루어진 것이며, FPGA 등 PLD의 설계 변경에 따른 회로도의 수정을 적게 하고, 그것에 의해 회로 설계의 효율을 향상시킬 수 있는 회로 설계 지원 장치, 회로 설계 지원 방법, 회로 설계 지원 프로그램 및 프린트 기관의 제조 방법을 제공하는 것을 목적으로 한다.

**과제 해결수단**

<7> 전술한 과제를 해결하고, 목적을 달성하기 위해 청구항 1에 따른 발명은 부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 장치로서, PLD에 대해서 PLD 설계 CAD에 의해 작성된 설계 정보인 PLD 정보를 입력하는 PLD 정보 입력 수단과, 회로 설계에서 사용하는 PLD의 심볼 라이브러리를 상기 PLD 정보 입력 수단에 의해 입력된 PLD 정보를 이용하여 작성하는 라이브러리 작성 수단을 구비한 것을 특징으로 한다.

<8> 이 청구항 1의 발명에 의하면, PLD에 대해서 PLD 설계 CAD에 의해 작성된 설계 정보인 PLD 정보를 입력하고, 회로 설계에서 사용하는 PLD의 심볼 라이브러리를 입력한 PLD 정보를 이용하여 작성하도록 구성하였기 때문에, 회로도에 배치된 심볼의 정보를 이용하여 심볼 라이브러리를 작성하는 것이 가능해진다.

<9> 또한, 청구항 2에 따른 발명은 상기한 발명에 있어서, 상기 라이브러리 작성 수단은 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치되었는지 여부를 판정하여, 회로도에 배치되었다고 판정한 경우에는 회로도에 배치된 심볼에 대응하는 심볼 라이브러리의 정보에 기초하여 심볼의 변경이 적어지도록 심볼 라이브러리를 작성하는 것을 특징으로 한다.

<10> 이 청구항 2의 발명에 의하면, 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치되었는지 여부를 판정하여, 회로도에 배치되었다고 판정한 경우에는 회로도에 배치된 심볼에 대응하는 심볼 라이브러리의 정보에 기초하여 심볼의 변경이 적어지도록 심볼 라이브러리를 작성하도록 구성하였기 때문에, 회로도에 배치된 PLD에 설계 변경이 있었던 경우에, 그 심볼의 변경을 적게 할 수 있다.

<11> 또한, 청구항 3에 따른 발명은 상기 발명에 있어서, 상기 라이브러리 작성 수단은 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치된 경우에, 회로도에 배치된 심볼에 대응하는 심볼 라이브러리의 정보에 기초하여 포션 할당을 행하는 것을 특징으로 한다.

<12> 이 청구항 3의 발명에 의하면, 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치된 경우에, 회로도에 배치된 심볼에 대응하는 심볼 라이브러리의 정보에 기초하여 포션 할당을 행하도록 구성하였기 때문에, 회로도에 배치된 PLD에 설계 변경이 있었던 경우에, 그 심볼의 변경을 적게 할 수 있다.

<13> 또한, 청구항 4에 따른 발명은 상기 발명에 있어서, 상기 라이브러리 작성 수단은 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치된 경우에, 회로도에 배치된 심볼에 포함되는 논리 핀에 대해서는 이 회로도에 배치된 심볼과 동일 포션에 할당하는 것을 특징으로 한다.

<14> 이 청구항 4의 발명에 의하면, 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치된 경우에, 회로도에 배치된 심볼에 포함되는 논리 핀에 대해서는 회로도에 배치된 심볼과 동일 포션에 할당하도록 구성하였기 때문에, 회로도에 배치된 PLD에 설계 변경이 있었던 경우에, 그 심볼의 변경을 적게 할 수 있다.

<15> 또한, 청구항 5에 따른 발명은 상기 발명에 있어서, 상기 라이브러리 작성 수단은 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치된 경우에, 회로도에 배치된 심볼에 포함되지 않는 논리 핀에 대해서는 물리 핀명에 기초하여 포션 분할을 행하는 것을 특징으로 한다.

<16> 이 청구항 5의 발명에 의하면, 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치된 경우에, 회로도에 배치된 심볼에 포함되지 않는 논리 핀에 대해서는 물리 핀명에 기초하여 포션에 할당하도록 구성하였기 때문에, 회로도에 배치된 PLD에 설계 변경이 있었던 경우에, 그 심볼의 변경을 적게 할 수 있다.

<17> 또한, 청구항 6에 따른 발명은 상기 발명에 있어서, 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치되었는지 여부를 판정하여, 회로도에 배치되었다고 판정한 경우에는, 회로도에 배치된 심볼을 상기 라이브러리 작성 수단에 의해 심볼 라이브러리가 작성된 심볼로 치환하는 심볼 치환 수단을 더 구비한 것을 특징으로 한다.

- <18> 이 청구항 6의 발명에 의하면, 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치되었는지 여부를 판정하여, 회로도에 배치되었다고 판정한 경우에는 회로도에 배치된 심볼을 새롭게 심볼 라이브러리를 작성한 심볼로 치환하도록 구성하였기 때문에, 회로도에 배치된 PLD에 설계 변경이 있었던 경우에, 회로 설계자에 의한 회로도 상의 심볼의 치환을 불필요로 할 수 있다.
- <19> 또한, 청구항 7에 따른 발명은 상기 발명에 있어서, 상기 심볼 치환 수단은 상기 라이브러리 작성 수단에 의해 심볼 라이브러리가 작성된 심볼의 핀 중 치환 전의 심볼과 논리 핀명이 다른 핀이 라인에 접속되어 있는 경우에는, 이 라인을 절단하는 것을 특징으로 한다.
- <20> 이 청구항 7의 발명에 의하면, 심볼 라이브러리를 작성한 심볼의 핀 중 치환 전의 심볼과 논리 핀명이 다른 핀이 라인에 접속되어 있는 경우에는, 그 라인을 절단하도록 구성하였기 때문에, PLD의 설계 변경에 따른 회로도의 수정 누설을 막을 수 있다.
- <21> 또한, 청구항 8에 따른 발명은 부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 장치에 의한 회로 설계 지원 방법으로서, PLD에 대해서 PLD 설계 CAD에 의해 작성된 설계 정보인 PLD 정보를 입력하는 PLD 정보 입력 단계와, 회로 설계에서 사용하는 PLD의 심볼 라이브러리를 상기 PLD 정보 입력 단계에 의해 입력된 PLD 정보를 이용하여 작성하는 라이브러리 작성 단계를 포함한 것을 특징으로 한다.
- <22> 이 청구항 8의 발명에 의하면, PLD에 대해서 PLD 설계 CAD에 의해 작성된 설계 정보인 PLD 정보를 입력하고, 회로 설계에서 사용하는 PLD의 심볼 라이브러리를 입력한 PLD 정보를 이용하여 작성하도록 구성하였기 때문에, 회로도에 배치된 심볼의 정보를 이용하여 심볼 라이브러리를 작성하는 것이 가능해진다.
- <23> 또한, 청구항 9에 따른 발명은 부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 프로그램으로서, PLD에 대해서 PLD 설계 CAD에 의해 작성된 설계 정보인 PLD 정보를 입력하는 PLD 정보 입력 단계와, 회로 설계에서 사용하는 PLD의 심볼 라이브러리를 상기 PLD 정보 입력 단계에 의해 입력된 PLD 정보를 이용하여 작성하는 라이브러리 작성 단계를 컴퓨터에 실행시키는 것을 특징으로 한다.
- <24> 이 청구항 9의 발명에 의하면, PLD에 대해서 PLD 설계 CAD에 의해 작성된 설계 정보인 PLD 정보를 입력하고, 회로 설계에서 사용하는 PLD의 심볼 라이브러리를 입력한 PLD 정보를 이용하여 작성하도록 구성하였기 때문에, 회로도에 배치된 심볼의 정보를 이용하여 심볼 라이브러리를 작성하는 것이 가능해진다.
- <25> 또한, 청구항 10에 따른 발명은 부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 장치를 이용하여 설계가 행하여지는 프린트 기관의 제조 방법으로서, 상기 회로 설계 지원 장치가 PLD에 대해서 PLD 설계 CAD에 의해 작성된 설계 정보인 PLD 정보를 입력하는 PLD 정보 입력 단계와, 회로 설계에서 사용하는 PLD의 심볼 라이브러리를 상기 PLD 정보 입력 단계에 의해 입력된 PLD 정보를 이용하여 작성하는 라이브러리 작성 단계를 포함한 것을 특징으로 한다.
- <26> 이 청구항 10의 발명에 의하면, PLD에 대해서 PLD 설계 CAD에 의해 작성된 설계 정보인 PLD 정보를 입력하고, 회로 설계에서 사용하는 PLD의 심볼 라이브러리를 입력한 PLD 정보를 이용하여 작성하도록 구성하였기 때문에, 회로도에 배치된 심볼의 정보를 이용하여 심볼 라이브러리를 작성하는 것이 가능해진다.

**효 과**

- <27> 본 발명에 의하면, 회로도에 배치된 심볼의 정보를 이용하여 심볼 라이브러리를 작성하는 것이 가능해지기 때문에, PLD의 설계 변경에 따른 회로도의 수정을 적게 할 것이 가능해진다는 효과를 발휘한다.
- <28> 또한, 본 발명에 의하면, 회로도에 배치된 PLD에 설계 변경이 있었던 경우에, 그 심볼의 변경을 적게 할 수 있기 때문에, PLD의 설계 변경에 따른 회로도의 수정을 적게 할 수 있고, 그것에 의해 회로 설계의 효율을 향상시킬 수 있다는 효과를 발휘한다.
- <29> 또한, 본 발명에 의하면, 회로도에 배치된 PLD에 설계 변경이 있었던 경우에, 회로 설계자에 의한 회로도 상의 심볼의 치환을 불필요로 하기 때문에, PLD의 설계 변경에 따른 회로도의 수정을 적게 할 수 있고, 그것에 의해 회로 설계의 효율을 향상시킬 수 있다는 효과를 발휘한다.
- <30> 또한, 본 발명에 의하면, PLD의 설계 변경에 따른 회로도의 수정 누설을 막기 때문에, 설계 품질을 향상시킬 수 있다는 효과를 발휘한다.

**발명의 실시를 위한 구체적인 내용**



- <31> 이하에 첨부 도면을 참조하여, 본 발명에 따른 회로 설계 지원 장치, 회로 설계 지원 방법, 회로 설계 지원 프로그램 및 프린트 기관의 제조 방법의 적합한 실시예를 상세하게 설명한다. 또한, 본 실시예에서는 본 발명을 FPGA에 적용한 경우를 중심으로 설명한다.
- <32> [실시예 1]
- <33> 우선, 본 실시예 1에 따른 FPGA 협조 설계의 개념에 대해서 설명한다. 도 1은 본 실시예 1에 따른 FPGA 협조 설계의 개념을 설명하기 위한 설명도이다. 도 1에 도시하는 바와 같이, 본 실시예 1에 따른 FPGA 협조 설계에서는 FPGA의 설계를 지원하는 FPGA 설계 CAD 장치(10)와, 프린트 기관의 실장 설계를 지원하는 실장 설계 CAD 장치(20)와, 회로 설계를 지원하는 회로 설계 지원 장치로서의 회로 설계 CAD 장치(100)가 협력하여 설계자를 지원한다.
- <34> 구체적으로는 회로 설계 CAD 장치(100)가 FPGA 설계 CAD 장치(10)가 작성한 핀 배치 등의 FPGA 정보를 입력하여 FPGA의 심볼 라이브러리를 작성한다. 또한, 이 회로 설계 CAD 장치(100)는 FPGA의 심볼 라이브러리를 작성하는 경우에, 심볼 라이브러리를 작성하는 FPGA가 이미 회로도에 배치되었을 때, 즉 FPGA의 변경에 따라서 심볼 라이브러리를 재차 작성할 때는 포션 할당이나 심볼 핀의 배치 등 기존의 심볼의 정보를 될 수 있는 한 그대로 이용하여 심볼 라이브러리를 작성한다.
- <35> 이와 같이, 회로 설계 CAD 장치(100)가 FPGA 정보를 이용하여 FPGA의 심볼 라이브러리를 작성함으로써, 회로 설계자는 FPGA의 심볼 라이브러리를 작성할 필요가 없�지며, 회로 설계자의 부담을 경감할 수 있다. 또한, 회로 설계 CAD 장치(100)가 FPGA의 변경에 따라서 심볼 라이브러리를 재차 작성하는 경우에, 기존의 심볼의 정보를 될 수 있는 한 그대로 이용하여 심볼 라이브러리를 작성함으로써, 회로도의 수정을 줄일 수 있으며, 회로 설계의 효율을 향상시킬 수 있다.
- <36> 또한, 이 회로 설계 CAD 장치(100)는 DRC(디자인 룰 체크)를 행하는 경우에, FPGA 설계 CAD 장치(10)가 작성한 핀 입출력 속성 등 FPGA 정보를 참조하여 DRC를 행한다. 예컨대, 이 회로 설계 CAD 장치(100)는 각 네트에 대해서, FPGA의 핀 입출력 속성을 참조하여 출력 핀의 개수를 체크한다. 이와 같이, 회로 설계 CAD 장치(100)가 핀 입출력 속성 등 FPGA 정보를 참조하여 DRC를 행함으로써, 보다 정확히 DRC를 행할 수 있다.
- <37> 또한, 이 회로 설계 CAD 장치(100)는 실장 설계에서 핀 스왑(pin-swap)이 발생한 경우에, 실장 설계 CAD 장치(20)로부터 핀 스왑 정보를 취입하여 심볼 라이브러리나 회로도 등에 핀 스왑을 반영시킨다. 또한, 이 회로 설계 CAD 장치(100)는 핀 사이의 배선 길이 등의 제약 조건에도 실장 설계에서의 핀 스왑을 반영시킨다. 이와 같이, 회로 설계 CAD 장치(100)가 실장 설계에서의 핀 스왑을 제약 조건에도 반영시킴으로써, 회로 설계 정보와 실장 설계 정보 사이의 부정합을 없앨 수 있다.
- <38> 또한, 이 회로 설계 CAD 장치(100)는 실장 설계에서의 핀 스왑의 이력을 기록하고, FPGA 설계 CAD 장치(10)에 핀 스왑의 이력 정보를 제공한다. 이와 같이, 회로 설계 CAD 장치(100)가 실장 설계에서의 핀 스왑의 이력을 기록하여, FPGA 설계 CAD 장치(10)에 핀 스왑의 이력 정보를 제공함으로써, FPGA 설계, 회로 설계 및 실장 설계 사이의 정합성을 확보할 수 있다.
- <39> 다음에, 본 실시예 1에 따른 FPGA 협조 설계 시스템의 구성에 대해서 설명한다. 도 2는 본 실시예 1에 따른 FPGA 협조 설계 시스템의 구성을 도시하는 기능 블록도이다. 도 2에 도시하는 바와 같이, 이 FPGA 협조 설계 시스템은 FPGA 설계 CAD 장치(10)와, 실장 설계 CAD 장치(20)와, 회로 설계 CAD 장치(100)로 구성된다.
- <40> 회로 설계 CAD 장치(100)는 FPGA 설계 CAD 장치(10) 및 실장 설계 CAD 장치(20)와 연휴하여, FPGA를 부품으로서 사용하는 회로 설계를 지원한다. 도 3은 회로 설계를 설명하기 위한 설명도이다. 도 3에 도시하는 바와 같이, 회로 설계자는 부품과 관련된 심볼 라이브러리로서 등록되어 있는 심볼을 회로도 상에 배치하고, 심볼 핀 사이를 접속함으로써 회로의 설계를 행한다.
- <41> 단, FPGA의 경우, 프로그램이 기록되기 전에 심볼 라이브러리로서 등록되어 있는 것에서는 핀은 입력 또는 출력으로도 될 수 있기 때문에 입출력 핀으로서 정의되어 있다. 그 때문에, 등록된 심볼 라이브러리를 사용한 경우에는 입력이 되는 핀이 우측에 존재하거나, 반대로 출력이 되는 핀이 좌측에 존재하거나, 혹은 도 4(a)에 도시하는 바와 같이, 버스가 순차적으로 배열되지 않기 때문에 회로도로서 알기 어려워진다.
- <42> 따라서, FPGA에 대해서는 프로그램의 기록마다 심볼 라이브러리의 작성이 필요해진다. 그래서, 여기서는 회로 설계 CAD 장치(100)가 프로그램의 기록마다 FPGA의 심볼 라이브러리를 작성하는 것으로 하고 있다. 프로그램의 기록마다 FPGA의 심볼 라이브러리를 작성함으로써, 도 4(b)에 도시하는 바와 같이, 입력이 되는 핀을 좌측에 배

치하고, 버스를 순차적으로 배열할 수 있다.

- <43> 도 2로 되돌아가 이 회로 설계 CAD 장치(100)는 FPGA 정보 관리부(110)와, FPGA 정보 기억부(115)와, 라이브러리 작성부(120)와, 심볼 라이브러리 기억부(125)와, 회로도 반영부(130)와, 회로도 기억부(135)와, DRC부(140)와, 핀 스왑 처리부(150)와, 제약 조건 기억부(155)와, 이력 출력부(160)와, 변경 이력 기억부(165)를 갖는다.
- <44> FPGA 정보 관리부(110)는 FPGA 정보를 관리하는 처리부이며, FPGA 설계 CAD 장치(10)가 출력한 파일로부터 물리 핀과 논리 핀의 대응, 핀의 입출력 속성, 전압값, बैं크 번호 등의 FPGA 정보를 검색하여 FPGA 정보 기억부(115)에 저장한다.
- <45> 또한, 이 FPGA 정보 관리부(110)는 FPGA 정보 기억부(115)에 FPGA 정보를 최초로 저장한 후에 FPGA 정보를 검색하여 FPGA 정보 기억부(115)에 재저장한 경우에는 FPGA 정보가 변경된 것을 나타내는 변경 이력을 변경 이력 기억부(165)에 저장한다.
- <46> FPGA 정보 기억부(115)는 FPGA 정보 관리부(110)의 관리 하에 FPGA 정보를 기억하는 기억부이다. 도 5는 FPGA 정보 기억부(115)가 기억하는 FPGA 정보의 일례를 도시하는 도면이다. 도 5에 도시하는 바와 같이, 이 FPGA 정보 기억부(115)는 핀마다 물리 핀명, 논리 핀명, 입출력 속성, बैं크 번호, 스왑 그룹 번호, 차동 속성 및 전원 전압값을 기억한다.
- <47> 라이브러리 작성부(120)는 FPGA 정보 기억부(115)가 기억하는 FPGA 정보를 이용하여 FPGA의 심볼 라이브러리를 작성하는 처리부이며, 작성한 심볼 라이브러리를 심볼 라이브러리 기억부(125)에 저장한다. 이 라이브러리 작성부(120)는 포션 분할을 행하는 포션 분할부(121)와, 포션 분할부(121)에 의해 분할된 각 포션의 심볼을 작성하는 심볼 작성부(122)를 갖는다.
- <48> 포션 분할부(121)는 사용자에게 의해 GUI를 이용하여 지정된 포션 분할물로 포션 분할을 행한다. 포션 분할로서는, बैं크 번호마다 बैं크 그룹마다 논리 핀명에 의한 분할 등이 있다. 또한, 이 포션 분할부(121)는 심볼 상에서의 핀 위치에 대해서는 좌우의 위치는 입출력 속성에 의해 결정하고, 단계는 각각의 속성에 의해 소트하여 결정한다. 또한, 이 포션 분할부(121)는 사용자가 GUI를 이용하여 지정한 포션 사이의 핀의 이동을 접수하여 핀의 이동을 행한다.
- <49> 또한, 라이브러리 작성부(120)는 심볼 라이브러리를 작성할 때에, 작성 대상의 FPGA의 심볼이 회로도에 배치되었는지 여부를 조사하여, 회로도에 배치된 경우에는 배치된 심볼에 관한 정보를 참조하여 심볼 라이브러리를 작성한다.
- <50> 구체적으로는, 이 라이브러리 작성부(120)는 논리 핀명을 키에 기존의 심볼 라이브러리를 참조하여 포션 할당을 한다. 또한, 이 라이브러리 작성부(120)는 기존의 심볼 라이브러리와 일치하는 위치에 심볼핀을 배치한 심볼 라이브러리를 작성한다. 즉, 이 라이브러리 작성부(120)는 기존의 심볼에 포함되는 논리 핀명의 핀은 기존의 부분과 동일한 부분의 동일한 위치에 할당하고, 기존의 심볼에 포함되지 않는 논리 핀명의 핀은 물리 핀명이 동일한 핀의 포션에 할당된다. 또한, 이 라이브러리 작성부(120)는 심볼 라이브러리 상의 비어 있는 위치에 논리 핀명이 일치하지 않은 핀을 배치하여, 공간이 없는 경우는 하측 방향으로 심볼 라이브러리의 사이즈를 확장하여 핀을 배치한다.
- <51> 이 라이브러리 작성부(120)가 작성 대상의 FPGA의 심볼이 회로도에 배치된 경우에, 배치된 심볼에 관한 정보를 참조하여 심볼 라이브러리를 작성함으로써, FPGA의 설계 변경에 기인하는 회로도의 수정을 최소한으로 억제할 수 있다.
- <52> 심볼 라이브러리 기억부(125)는 FPGA의 심볼 라이브러리를 기억하는 기억부이다. 도 6은 심볼 라이브러리 기억부(125)가 기억하는 심볼 라이브러리의 일례를 도시하는 도면이다. 도 6에 도시하는 바와 같이, 이 심볼 라이브러리 기억부(125)는 라이브러리 명칭, 작성 일시, 판수, 점유 영역, 도형 테이블 수 및 심볼 핀 수의 정보와, 심볼을 구성하는 각 도형의 정보와, 각 핀의 정보를 기억한다.
- <53> 회로도 반영부(130)는 라이브러리 작성부(120)에 의해 심볼 라이브러리가 작성된 FPGA의 심볼이 회로도에 배치된 경우에, 배치된 심볼을 새롭게 작성된 심볼로 치환하는 처리부이다. 또한, 이 회로도 반영부(130)는 치환 전과 다른 논리 핀명이 되는 핀에 라인이 접속되어 있는 경우에, 그 라인을 절단한다.
- <54> 이 회로도 반영부(130)가 치환 전과 다른 논리 핀명이 되는 핀에 라인이 접속되어 있는 경우에, 그 라인을 절단함으로써, FPGA의 설계 변경에 따른 회로도의 수정 누설을 감할 수 있다.

- <55> 회로도 기억부(135)는 부품이 배치된 회로도의 정보를 기억하는 기억부이다. 이 회로도 기억부(135)는 라이브러리 작성부(120)에 의해 심볼 라이브러리가 작성된 FPGA의 심볼이 회로도에 배치된 경우에, 회로도 반영부(130)에 의해 갱신된다.
- <56> DRC부(140)는 DRC를 행하는 처리부이며, 회로도의 정보, 부품 라이브러리(30)의 정보에 덧붙여 FPGA 정보 관리부(110)가 관리하는 FPGA 정보를 참조하여 DRC를 행한다. 구체적으로는, 이 DRC부(140)는 입출력 속성 체크, 차동 신호 체크, 전원 전압값 체크 등을 행한다. 이 DRC부(140)가 FPGA 정보를 참조하여 DRC를 행함으로써, FPGA에 관련되는 DRC를 정확히 행할 수 있다.
- <57> 핀 스왑 처리부(150)는 실장 설계 CAD 장치(20)가 출력하는 핀 스왑 정보를 입력하고, 실장 설계에서 행해진 핀 스왑을 FPGA 정보, 심볼 라이브러리, 회로도에 반영하는 처리부이다. FPGA에서는 프로그램 기록에 의해 부품 내부의 동작을 변경할 수 있기 때문에, 실장하기 쉬운 핀 할당으로 하기 때문에 실장 설계 페이지로 FPGA 부품의 핀의 교체(핀 스왑)가 행하여진다. 이 때문에, 핀 스왑 처리부(150)는 실장 설계에서 행해진 핀 스왑을 회로 설계에 반영시키는 처리를 행한다.
- <58> 도 7은 핀 스왑의 일례를 도시하는 도면이다. 도 7에 도시하는 바와 같이, FPGA와 다른 부품 사이의 배선이 크로스되는 경우, FPGA의 핀 스왑에 의해 배선의 크로스를 없앨 수 있다. 도 8은 핀 스왑의 회로도에의 반영예를 도시하는 도면이다. 도 8에 도시하는 바와 같이, 회로도의 심볼로 물리 핀명이 「D1」, 「E1」, 「F1」, 「G1」의 핀의 배치 변경이 행하여지고 있다.
- <59> 또한, 이 핀 스왑 처리부(150)는 핀 사이의 배선 거리 길이 등의 제약 조건에도 실장 설계에서의 핀 스왑을 반영시킨다. 이 핀 스왑 처리부(150)가 제약 조건에도 실장 설계에서의 핀 스왑을 반영시킴으로써, 회로 설계와 실장 설계 사이에서 설계 정보의 정합성을 확보할 수 있다.
- <60> 또한, 이 핀 스왑 처리부(150)는 핀 스왑에 의한 FPGA 정보의 변경 이력을 기억하도록 FPGA 정보 관리부(110)에 지시하고, FPGA 정보 관리부(110)는 변경 이력 기억부(165)에 변경 이력을 저장한다.
- <61> 제약 조건 기억부(155)는 핀 사이의 배선 길이 등의 회로 설계에 관한 제약조건을 기억한 기억부이다. 도 9는 제약 조건 기억부(155)가 기억하는 제약 조건의 일례를 도시하는 도면이다. 도 9에 도시하는 바와 같이, 이 제약 조건 기억부(155)는 핀 사이의 배선 거리 길이에 관한 제약 조건을 기억한다. 예컨대, 부품 「IC1」의 물리 핀명이 「G1」의 핀과 부품 「I12」의 물리 핀명이 「2」의 핀 사이의 배선 길이는 50 mm 이하인 것이 제약 조건으로서 기억되어 있다.
- <62> 이력 출력부(160)는 핀 스왑 처리부(150)에 의한 핀 스왑 반영 처리에서 변경된 FPGA 정보의 변경 이력을 통지 정보로서 FPGA 설계 CAD 장치(10)가 입력 가능한 형식으로 파일에 출력하는 처리부이다.
- <63> 변경 이력 기억부(165)는 FPGA 정보의 변경 이력을 기억하는 기억부이며, FPGA 정보 관리부(110)에 의해 관리된다. 도 10은 변경 이력 기억부(165)가 기억하는 변경 이력의 일례를 도시하는 도면이다. 도 10에 도시하는 바와 같이, 이 변경 이력 기억부(165)는 핀 스왑 처리마다 처리가 행하여진 일시와 스왑이 행해진 핀에 관하여 변경된 정보를 기억한다. 또한, 이 변경 이력 기억부(165)는 이력 출력부(160)에 의한 변경 이력의 출력마다 FPGA 정보 관리부(110)에 의한 FPGA 설계 CAD 장치(10)로부터의 FPGA 정보 검색마다 처리가 행하여진 일시를 기억한다.
- <64> 도 11은 이력 출력부(160)가 FPGA 설계 CAD 장치(10)에 대하여 출력하는 통지 정보의 일례를 도시하는 도면이다. 도 11에 도시하는 바와 같이, 이력 출력부(160)는 스왑이 행해진 핀마다 물리 핀명과 변경 후의 논리 핀명을 통지 정보로서 출력한다. 도 12는 통지 정보의 출력 포맷을 도시하는 도면이다.
- <65> 이와 같이, 변경 이력 기억부(165)가 FPGA 정보의 변경 이력을 기억하고, 이력 출력부(160)가 변경 이력을 FPGA 설계 CAD 장치(10)가 입력 가능한 형식으로 통지 정보를 파일에 출력함으로써, 실장 설계, 회로 설계 및 FPGA 설계 사이에서의 설계 정보의 정합성을 확보할 수 있다.
- <66> 다음에, 회로 설계 CAD 장치(100)에 의한 심볼 라이브러리 작성 및 심볼 배치 처리의 처리 단계에 대해서 설명한다. 도 13은 회로 설계 CAD 장치(100)에 의한 심볼 라이브러리 작성 및 심볼 배치 처리의 처리 단계를 나타내는 흐름도이다.
- <67> 도 13에 도시하는 바와 같이, 회로 설계 CAD 장치(100)는 FPGA 정보 관리부(110)가 FPGA 설계 CAD 장치(10)가 파일에 출력한 핀 할당 정보 및 속성 정보 등의 FPGA 정보를 검색하고, FPGA 정보 기억부(115)에 저장한다(단계



S101).

- <68> 그리고, 라이브러리 작성부(120)가 FPGA 정보 관리부(110)에 의해 검색된 FPGA 정보에 대응하는 심볼이 회로도에 배치되었는지 여부를 판정하여(단계 S102), 회로도에 배치되지 않은 경우에는 사용자에게 지정된 포션 분할률을 사용하여 포션 분할을 행하고(단계 S103), 입출력 속성에 기초하여 좌우에 배당되는 등 소정의 심볼 작성률에 따라서 심볼 핀의 위치를 결정한다(단계 S104).
- <69> 한편, 회로도에 배치된 경우에는 라이브러리 작성부(120)는 이전에 행해진 포션 분할 할당을 참조하고, 이전과 동일한 논리 핀명의 핀은 이전과 동일한 포션에 할당한다(단계 S105). 또한, 이전에 동일한 논리 핀명이 없는 핀은 물리 핀명으로 이전과 동일한 부분에 할당한다(단계 S106). 그리고, 이전과 동일한 논리 핀명의 핀은 이전과 동일한 위치에 배치하여(단계 S107), 이전에 동일한 논리 핀명이 없는 핀은 심볼 상의 빈 위치에 배치한다(단계 S108).
- <70> 그리고, 라이브러리 작성부(120)는 사용자로부터 GUI에 의한 포션 분할, 핀 위치의 변경을 접수하여, 변경이 지정된 경우에는 포션 분할, 핀 위치를 변경하고(단계 S109), 심볼 라이브러리를 작성하여 심볼 라이브러리 기억부(125)에 저장한다(단계 S110).
- <71> 그리고, 회로도 반영부(130)가 라이브러리 작성부(120)에 의해 심볼 라이브러리가 작성된 FPGA 이전의 심볼이 회로도에 배치되었는지 여부를 판정하여(단계 S111), 회로도에 배치된 경우에는 배치된 심볼을 새롭게 작성된 심볼로 치환하고(단계 S112), 이전과는 다른 논리 핀명이 배치되는 핀에 라인이 접속되어 있는 경우에는 그 라인을 절단한다(단계 S113).
- <72> 그 후, 작성된 심볼은 부품 입력 기능에 따라 사용자에게 의해 지정되면 회로도에 배치된다(단계 S114).
- <73> 이와 같이, FPGA 정보 관리부(110)에 의해 검색된 FPGA 정보에 대응하는 심볼이 회로도에 배치된 경우에, 라이브러리 작성부(120)가 이전에 작성한 심볼 라이브러리를 참조하여 심볼 라이브러리를 작성하고, 회로도 반영부(130)가 배치된 심볼을 새롭게 심볼 라이브러리가 작성된 심볼로 치환함으로써, FPGA의 설계 변경에 따른 회로도의 수정을 최소한으로 억제할 수 있다.
- <74> 또한, 여기서는 라이브러리 작성부(120)는 심볼 라이브러리 작성 대상의 FPGA가 회로도에 배치되어 있는 경우에, 이전에 작성한 심볼 라이브러리를 참조하는 것으로 하였지만, 심볼 라이브러리 작성 대상의 FPGA의 심볼 라이브러리가 심볼 라이브러리 기억부(125)에 기억되어 있는 경우에, 이전에 작성한 심볼 라이브러리를 참조하도록 할 수도 있다.
- <75> 다음에, DRC부(140)에 의한 입출력 속성 체크 처리의 처리 단계에 대해서 설명한다. 도 14는 DRC부(140)에 의한 입출력 속성 체크 처리의 처리 단계를 나타내는 흐름도이다.
- <76> 도 14에 도시하는 바와 같이, DRC부(140)는 네트, 즉 1 접속 그룹 중 하나에 착안하여, 착안한 네트에 속하는 모든 핀의 정보를 취득한다(단계 S201). 그리고, 정보를 취득한 핀 중 하나에 착안하여(단계 S202), 착안한 핀은 FPGA 부품인지 여부를 판정한다(단계 S203).
- <77> 그 결과, 착안한 핀이 FPGA 부품인 경우에는 FPGA 정보 기억부(115)에 기억된 FPGA 정보를 참조하여 핀의 입출력 속성을 조사하고(단계 S204), 착안한 핀이 FPGA 부품이 아닌 경우에는 부품 라이브러리(30)를 참조하여 핀의 입출력 속성을 조사한다(단계 S205). 그리고, 모든 핀의 입출력 속성을 조사하였는지 여부를 판정하여(단계 S206), 조사하지 않은 핀이 있는 경우에는 단계 S202로 되돌아가 조사하지 않은 핀에 착안하여 입출력 속성을 조사한다.
- <78> 한편, 모든 핀의 입출력 속성을 조사한 경우에는 착안한 네트에 출력 핀이 2 핀 이상 있는지 여부를 판정하여(단계 S207), 출력 핀이 2핀 이상 있는 경우에는 네트가 출력 핀 사이를 접속하고 있는 에러로서 사용자에게 통지한다(단계 S208). 또한, 착안한 네트에 출력 핀이 1핀도 존재하지 않는지 여부를 판정하여(단계 S209), 출력 핀이 1핀도 존재하지 않는 경우에는 착안한 네트에 출력 핀이 존재하지 않는 에러로서 사용자에게 통지한다(단계 S210). 이것에 대하여, 하나의 핀만이 출력 핀인 경우에는 착안한 네트는 정상으로 사용자에게 통지한다(단계 S211).
- <79> 그리고, 전체 네트에 대해서 출력 핀 수를 체크하였는지 여부를 판정하여(단계 S212), 체크하지 않은 네트가 있는 경우에는, 단계 S201로 되돌아가 미체크된 네트에 착안하여 출력 핀 수를 체크하고, 모든 네트에 대해서 출력 핀 수를 체크한 경우에는 입출력 속성 체크 처리를 종료한다.

- <80> 이와 같이, DRC부(140)가 FPGA 부품에 대해서는 FPGA 정보를 참조하여 핀의 입출력 속성을 조사함으로써, FPGA를 포함하는 회로에 대해서도 정확한 입출력 속성 체크를 행할 수 있다.
- <81> 다음에, DRC부(140)에 의한 차동 신호 체크 처리의 처리 단계에 대해서 설명한다. 도 15는 DRC부(140)에 의한 차동 신호 체크 처리의 처리 단계를 나타내는 흐름도이다.
- <82> 도 15에 도시하는 바와 같이, DRC부(140)는 네트 중 하나에서 착안하여, 착안한 네트에 속하는 모든 핀의 정보를 취득한다(단계 S301). 또한, 차동 속성이 포지티브인 핀의 수를 나타내는 포지티브핀 수 및 네가티브인 핀의 수를 나타내는 네가티브핀 수의 초기값을 제로 클리어한다(단계 S302). 그리고, 정보를 취득한 핀 중 하나에 착안하여(단계 S303), 착안한 핀이 FPGA 부품인지 여부를 판정한다(단계 S304).
- <83> 그 결과, 착안한 핀이 FPGA 부품인 경우에는 FPGA 정보 기억부(115)에 기억된 FPGA 정보를 참조하여 핀의 차동 속성을 조사하고(단계 S305), 착안한 핀이 FPGA 부품이 아닌 경우에는 부품 라이브러리(30)를 참조하여 핀의 차동 속성을 조사한다(단계 S306). 그리고, 차동 속성이 포지티브인 경우에는 포지티브핀 수에 「1」을 더하고, 차동 속성이 네가티브인 경우에는 네가티브핀 수에 「1」을 더한다(단계 S307).
- <84> 그리고, 모든 핀의 차동 속성을 조사하였는지 여부를 판정하여(단계 S308), 조사하지 않은 핀이 있는 경우에는, 단계 S303으로 되돌아가 조사하지 않은 핀에 착안하여 차동 속성을 조사한다.
- <85> 한편, 모든 핀의 차동 속성을 조사한 경우에는 포지티브핀 수가 정(正)이며, 또한, 네가티브핀 수도 정인지 여부, 즉 착안한 네트에 포지티브 속성의 핀이 있는지 여부를 판정하여(단계 S309), 포지티브핀 수가 정이며, 네가티브핀 수도 정인 경우에는 포지티브 속성의 핀과 네가티브 속성의 핀을 접속하고 있는 에러로서 사용자에게 통지한다(단계 S310). 이것에 대하여, 포지티브핀 수와 네가티브핀 수 중 한 쪽만이 정인 경우에는 착안한 네트는 정상으로 사용자에게 통지한다(단계 S311).
- <86> 그리고, 전체 네트에 대해서 차동 신호를 체크하였는지 여부를 판정하여(단계 S312), 체크하지 않은 네트가 있는 경우에는 단계 S301로 되돌아가 미체크된 네트에 착안하여 차동 신호를 체크하고, 전체 네트에 대해서 차동 신호를 체크한 경우에는 차동 신호 체크 처리를 종료한다.
- <87> 이와 같이, DRC부(140)가 FPGA 부품에 대해서는 FPGA 정보를 참조하여 핀의 차동 속성을 조사함으로써, FPGA를 포함하는 회로에 대해서도 정확한 차동 신호 체크를 행할 수 있다.
- <88> 다음에, DRC부(140)에 의한 전원 전압값 체크 처리의 처리 단계에 대해서 설명한다. 도 16은 DRC부(140)에 의한 전원 전압값 체크 처리의 처리 단계를 나타내는 흐름도이다.
- <89> 도 16에 도시하는 바와 같이, DRC부(140)는 부품 중 하나에 착안하고(단계 S401), 착안한 부품의 핀 중 하나에 착안한다(단계 S402). 그리고, 착안한 핀은 전원 핀인지 여부를 판정하여(단계 S403), 전원 핀이 아닌 경우에는 단계 S410으로 진행된다.
- <90> 한편, 착안한 핀이 전원 핀인 경우에는 FPGA 부품인지 여부를 판정하여(단계 S404), FPGA 부품인 경우에는 FPGA 정보 기억부(115)에 기억된 FPGA 정보를 참조하여 핀의 전원 전압값을 조사하고(단계 S405), 착안한 핀이 FPGA 부품이 아닌 경우에는 부품 라이브러리(30)를 참조하여 핀의 전원 전압값을 조사한다(단계 S406). 그리고, 착안하고 있는 핀에 접속하는 네트의 전압값을 조사하고(단계 S407), 전압값이 일치하는지 여부를 판정하여(단계 S408) 전압값이 일치하지 않는 경우에는 전원 전압값이 불일치하여 사용자에게 통지한다(단계 S409).
- <91> 그리고, 모든 핀을 조사하였는지 여부를 판정하여(단계 S410), 조사하지 않은 핀이 있는 경우에는 단계 S402로 되돌아가 조사하지 않은 핀에 착안하여 전원 핀의 전압값을 조사한다.
- <92> 한편, 모든 핀을 조사한 경우에는 전체 부품에 대해서 전원 전압값을 체크하였는지 여부를 판정하여(단계 S411) 체크하지 않은 부품이 있는 경우에는, 단계 S401로 되돌아가 미체크된 부품에 착안하여 전원 전압값을 체크하고, 모든 부품에 대해서 전원 전압값을 체크한 경우에는 전원 전압값 체크 처리를 종료한다.
- <93> 이와 같이, DRC부(140)가 FPGA 부품에 대해서는 FPGA 정보를 참조하여 전원 핀의 전압값을 조사함으로써, FPGA를 포함하는 회로에 대해서도 정확한 전원 전압값 체크를 행할 수 있다.
- <94> 다음에, 핀 스왑 처리부(150)에 의한 핀 스왑 처리의 처리 단계에 대해서 설명한다. 도 17은 핀 스왑 처리부(150)에 의한 핀 스왑 처리의 처리 단계를 나타내는 흐름도이다.
- <95> 도 17에 도시하는 바와 같이, 핀 스왑 처리부(150)는 실장 설계 CAD 장치(20)가 작성한 핀 스왑 정보를 취입하

고(단계 S501), 핀 스위프가 행해진 FPGA의 심볼 라이브러리의 물리 핀명을 교체한다(단계 S502).

- <96> 그리고, 핀 스위프가 행해진 FPGA의 FPGA 정보의 논리 핀명과 논리에 관한 속성을 교체하고(단계 S503), 회로도 상의 심볼을 교체한 심볼에 갱신한다(단계 S504). 그리고, 제약 조건을 갖는 핀에 대해서는 제약 조건을 핀 스위프에 맞추어 교체한다(단계 S505).
- <97> 이와 같이, 핀 스위프 처리부(150)가 제약 조건을 갖는 핀에 대해서는 제약 조건을 핀 스위프에 맞추어 교체함으로써, 실장 설계 CAD에서의 핀 스위프를 정확히 회로 설계 정보에 반영시킬 수 있다.
- <98> 다음에, 이력 출력부(160)에 의한 변경 이력 출력 처리의 처리 단계에 대해서 설명한다. 도 18은 이력 출력부(160)에 의한 변경 이력 출력 처리의 처리 단계를 나타내는 흐름도이다. 도 18에 도시하는 바와 같이, 이력 출력부(160)는 변경 이력 기억부(165)가 기억하는 변경 이력으로부터 최신의 FPGA 정보 검색 후, 마지막에 행해진 FPGA 설계 CAD 장치(10)에의 통지 정보 출력 처리를 찾는다(단계 S601).
- <99> 그리고, 마지막에 행한 통지 정보 출력 처리에서 현재까지 핀 스위프가 행해진 핀에 마크를 부여하고(단계 S602), 마크를 부여한 핀의 최신 속성을 FPGA 설계 CAD 장치(10)에의 통지 정보로서 출력한다(단계 S603).
- <100> 즉, 이력 출력부(160)는 FPGA 정보 관리부(110)가 FPGA 설계 CAD 장치(10)로부터 FPGA 정보를 검색하여 FPGA 정보 기억부(115)가 기억하는 FPGA 정보를 갱신한 후에 미통지된 핀 스위프를 대상으로 하여 핀의 최신 속성을 통지 정보로서 출력한다.
- <101> 이와 같이, 이력 출력부(160)가 변경 이력 기억부(165)가 기억하는 변경 이력을 이용하여, 핀 스위프가 행해진 핀의 최신 속성을 FPGA 설계 CAD 장치(10)에의 통지 정보로서 출력함으로써, 실장 설계에서의 핀 스위프를 FPGA 설계 정보에 반영시킬 수 있다.
- <102> 또한, FPGA 정보 관리부(110)가 FPGA 설계 CAD 장치(10)로부터 FPGA 정보를 검색하여 FPGA 정보 기억부(115)가 기억하는 FPGA 정보를 갱신한 후에 미통지된 핀 스위프만을 대상으로 하여 핀의 최신 속성을 통지 정보로서 출력함으로써, 불필요한 통지 정보나 중복하는 통지 정보의 출력을 없애 실장 설계에서의 핀 스위프를 효율적으로 FPGA 설계 정보에 반영시킬 수 있다.
- <103> 전술한 바와 같이, 본 실시예 1에서는 회로 설계 CAD 장치(100)의 FPGA 정보관리부(110)가 FPGA 설계 CAD 장치(10)가 작성한 핀 할당 정보나 속성 정보 등의 FPGA 정보를 취입하고, 라이브러리 작성부(120)가 FPGA 정보를 이용하여 심볼 라이브러리를 작성하는 것으로 하였기 때문에, 회로 설계자가 FPGA의 심볼 라이브러리를 작성할 필요가 없어지며, 회로 설계자의 부담을 경감할 수 있다.
- <104> 또한, 라이브러리 작성부(120)는 심볼 라이브러리를 작성하는 경우에 작성 대상의 FPGA가 회로도에 배치된 경우에는 회로도에 배치되어 있는 기존의 심볼 라이브러리의 포션 할당이나 핀 배치를 될 수 있는 한 변경하지 않도록 하여, 회로도 반영부(130)가 새롭게 심볼 라이브러리가 작성된 FPGA의 심볼을 회로도에 배치하는 경우에, 기존의 배치를 변경하지 않도록 배치하는 것으로 하였기 때문에, FPGA의 설계 변경에 따른 회로도의 변경을 최소한으로 억제할 수 있다.
- <105> 또한, 본 실시예 1에서는 회로 설계 CAD 장치(100)의 DRC부(140)가 DRC를 행하는 경우에, FPGA에 대해서는 FPGA 정보 관리부(110)가 FPGA 설계 CAD 장치(10)로부터 취입하여 FPGA 정보 기억부(115)에 저장한 FPGA 정보를 참조하여 핀의 속성 등을 조사하는 것으로 하였기 때문에, 정확한 DRC를 행할 수 있다.
- <106> 또한, 본 실시예 1에서는 회로 설계 CAD 장치(100)의 핀 스위프 처리부(150)가 실장 설계 CAD 장치(20)로부터 핀 스위프 정보를 취입하여 심볼 라이브러리, FPGA 정보, 회로도에 덧붙여 제약 조건에도 핀 스위프를 반영시키는 것으로 하였기 때문에, 회로 설계 정보와 실장 설계 정보 사이의 부정합을 없앨 수 있다.
- <107> 또한, 본 실시예 1에서는 회로 설계 CAD 장치(100)의 변경 이력 기억부(165)가 FPGA 정보의 변경 이력을 기억하고, FPGA 설계 CAD 장치(10)에 핀 스위프를 통지하는 정보를 이력 출력부(160)가 변경 이력 기억부(165)에 기억된 변경 이력에 기초하여 출력하는 것으로 하였기 때문에, 실장 설계와 회로 설계와 FPGA 설계 사이에서 설계 정보의 정합성을 확보할 수 있다.
- <108> [실시예 2]
- <109> 그런데, 상기 실시예 1에서는 FPGA 부품을 사용하는 회로 설계 결과에 기초하여 프린트 기관의 실장 설계를 행하는 경우의 FPGA 협조 설계 시스템에 대해서 설명하였지만, FPGA 설계자와 실장 설계자 사이에서 미리 양자간에 있어서 바람직한 핀 할당을 검토해 두는 것은 설계 기간의 단축에 크게 기여한다. 그래서, 본 실시예 2에서

는 FPGA 설계자와 실장 설계자 사이에서의 협조 설계를 지원하는 FPGA 협조 설계 시스템에 대해서 설명한다.

- <110> 우선, 본 실시예 2에 따른 FPGA 협조 설계의 개념에 대해서 설명한다. 도 19는 본 실시예 2에 따른 FPGA 협조 설계의 개념을 설명하기 위한 설명도이다. 도 19에 도시하는 바와 같이, 본 실시예 2에 따른 FPGA 협조 설계에서는 협조 설계 지원 장치로서의 임시 라이브러리 작성 장치(200)가 FPGA 설계 CAD 장치(10)가 작성한 핀 할당 정보 등의 FPGA 핀 정보를 입력하여 FPGA의 임시 라이브러리를 작성한다. 여기서, 임시 라이브러리란, 실장 설계 CAD 장치(20)가 핀 할당을 행하는 경우에 필요로 하는 부품 형상 타입 라이브러리이며, FPGA에 대해서 임시로 작성되는 라이브러리이다.
- <111> 또한, 임시 라이브러리 작성 장치(200)는 실장 설계 CAD 장치(20)로부터 핀 스왑 정보를 취입하여 자신이 관리하는 FPGA 정보에 반영시키는 동시에, 핀 스왑 정보를 FPGA 설계 CAD 장치(10)에 통지한다.
- <112> 이와 같이, 본 실시예 2에서는 임시 라이브러리 작성 장치(200)가 FPGA 설계 CAD 장치(10)가 작성한 FPGA 핀 정보를 입력하여 FPGA에 대하여 임시의 부품 형상 타입 라이브러리를 작성함으로써, 실장 설계 CAD 장치(20)를 이용한 핀 할당의 검토를 가능하게 하고 있다.
- <113> 다음에, 본 실시예 2에 따른 FPGA 협조 설계 시스템의 구성에 대해서 설명한다. 도 20은 본 실시예 2에 따른 FPGA 협조 설계 시스템의 구성을 도시하는 기능 블록도이다. 도 20에 도시하는 바와 같이, 이 FPGA 협조 설계 시스템은 FPGA 설계 CAD 장치(10)와, 실장 설계 CAD 장치(20)와, 임시 라이브러리 작성 장치(200)로 구성되고, 임시 라이브러리 작성 장치(200)는 네트리스트 취입부(net-list retrieving portion; 210)와, 네트리스트관리부(220)와, 네트리스트 변환부(230)와, FPGA 설계 CAD 인터페이스부(240)와, FPGA 핀 정보 관리부(250)와, 임시 라이브러리 생성부(260)와, 핀 스왑 처리부(270)를 갖는다.
- <114> 네트리스트 취입부(210)는 사용자에게 의해 작성된 네트리스트를 검색하여 네트리스트 관리부(220)에 전달하는 처리부이다. 도 21은 네트리스트 취입부(210)에 의해 검색되는 네트리스트의 일례를 도시하는 도면이다.
- <115> 도 21에 도시하는 바와 같이, 이 네트리스트는 부품을 정의하는 부품 정의부와 네트를 정의하는 네트 정의부로 구성된다. 부품 정의부에서는 검토에 사용하는 부품에 대해서, 부품명과 부품 라이브러리명이 기술된다. 단, FPGA 부품은 부품 라이브러리가 없기 때문에, 「FPGA/」에 계속하여 모듈명(FPGA를 구별하기 위한 이름)이 기술된다.
- <116> 네트 정의부에서는 네트마다 네트명과, 접속하는 부품핀이 기술된다. 여기서, 부품핀은 부품명, 부품 핀명의 형식으로 기술된다. 또한, FPGA 부품에 대해서는 핀명으로서 논리 핀명 또는 물리 핀명이 기술된다(물리 핀명일 때는 %가 부여됨).
- <117> 네트리스트 관리부(220)는 네트리스트 취입부(210)에 의해 검색된 네트리스트를 기억·관리하는 관리부이다. 이 네트리스트 관리부(220)는 사용자로부터 GUI에 의한 네트리스트의 변경을 접수하여 네트리스트를 변경한다.
- <118> 네트리스트 변환부(230)는 네트리스트 관리부(220)가 관리하는 네트리스트를 실장 설계 CAD 장치(20)를 입력할 수 있는 포맷 변환하는 처리부이다. 이 네트리스트 변환부(230)는 네트리스트의 변환시에 FPGA 핀 정보 관리부(250)가 관리하는 FPGA 정보를 참조한다.
- <119> 도 22는 네트리스트 변환부(230)가 출력하는 네트리스트의 일례를 도시하는 도면이다. 도 22에 도시하는 바와 같이, 이 네트리스트에서는 핀마다 부품명, 라이브러리명, 부품 단자 번호, 핀명, 네트명, 스왑 그룹 번호 및 차동 중별이 기재된다. 여기서, 부품 단자 번호는 핀에 부여되는 일련 번호이다.
- <120> FPGA 설계 CAD 인터페이스부(240)는 FPGA 설계 CAD 장치(10)와의 인터페이스이며, 구체적으로는 FPGA 설계 CAD 장치(10)로부터 FPGA 핀 정보를 취입하고, FPGA 설계 CAD 장치(10)에 핀 스왑 정보를 제공한다.
- <121> FPGA 핀 정보 관리부(250)는 FPGA 설계 CAD 인터페이스부(240)가 검색한 FPGA 핀 정보를 기억·관리하는 관리부이다. 또한, 이 FPGA 핀 정보 관리부(250)는 핀 간격이나 FPGA 핀 정보의 변경에 대해서 사용자로부터 GUI에 의한 지정을 접수하여 FPGA 정보를 변경한다.
- <122> 임시 라이브러리 생성부(260)는 FPGA 부품에 대해서 FPGA 핀 정보 관리부(250)가 관리하는 FPGA 핀 정보를 이용하여 임시 라이브러리, 즉 임시의 부품 형상타입 라이브러리를 생성하는 처리부이다.
- <123> 도 23은 임시 라이브러리 생성부(260)가 생성하는 임시 라이브러리의 일례를 도시하는 도면이다. 도 23에 도시하는 바와 같이, 이 임시 라이브러리에는 핀마다 랜드 형상 타입 라이브러리명, 좌표 X, 좌표 Y, 각도, 핀명이 기재된다. 또한, 랜드 형상 타입 라이브러리명에 대해서는 FPGA 핀 정보 관리부(250)가 사용자에게 의한 지정을



접수하여 기억한 정보가 이용된다.

- <124> 또한, 이 임시 라이브러리에는 부품의 사이즈를 나타내는 영역이 기재된다. 이 영역의 정보는 실장 설계시에 부품과 부품의 거리 산출에 사용된다. 또한, 부품의 사이즈는 핀 간격으로부터 임시 라이브러리 작성부(260)에 의해 계산된다.
- <125> 라이브러리 생성부(260)가 FPGA 핀 정보에 기초하여 임시 라이브러리를 생성함으로써, 실장 설계 CAD에서의 핀 할당의 검토를 가능하게 할 수 있다.
- <126> 핀 스왑 처리부(270)는 실장 설계 CAD 장치(20)로부터 핀 스왑 정보를 취입하여 FPGA 핀 정보 관리부(250)에 FPGA 핀 정보의 변경을 지시하는 처리부이다. FPGA 정보 관리부(250)는 FPGA 핀 정보를 변경하는 동시에, FPGA 설계 CAD 인터페이스부(240)에 핀 스왑 정보의 FPGA 설계 CAD 장치(10)에의 통지를 지시한다. 또한, 이 핀 스왑 처리부(270)는 핀 스왑 정보에 기초하여 네트리스트 관리부(220)에 네트리스트의 변경을 지시한다.
- <127> 다음에, 임시 라이브러리 작성 장치(200)에 의한 실장 설계 CAD용 정보 출력 처리의 처리 단계에 대해서 설명한다. 도 24는 임시 라이브러리 작성 장치(200)에 의한 실장 설계 CAD용 정보 출력 처리의 처리 단계를 나타내는 흐름도이다.
- <128> 도 24에 도시하는 바와 같이, 임시 라이브러리 작성 장치(200)는 FPGA 설계 CAD 장치(10)가 작성한 핀 할당 정보를 FPGA 설계 CAD 인터페이스부(240)가 검색하여 FPGA 핀 정보 관리부(250)에 전달하고, FPGA 핀 정보 관리부(250)가 FPGA 핀 정보를 작성한다(단계 S701).
- <129> 또한, 네트리스트 취입부(210)가 네트리스트를 검색하고(단계 S702), 네트리스트 관리부(220)에 전달한다. 그리고, 네트리스트 관리부(220)는 사용자로부터 네트리스트의 변경 지정 등을 접수하여, 관리하는 네트리스트를 변경하고, FPGA 핀 정보 관리부(250)는 사용자로부터 핀 간격 등의 지정을 접수하여(단계 S703), 관리하는 FPGA 핀 정보를 변경한다.
- <130> 그리고, 임시 라이브러리 생성부(260)가 FPGA 핀 정보로부터 핀 좌표를 구하여 임시의 부품 형상 타입 라이브러리를 생성하고(단계 S704), 네트리스트 변환부(230)가 네트리스트를 변환한다(단계 S705). 그리고, 네트리스트 변환부(230)가 변환한 네트리스트를 파일에 출력하고, 임시 라이브러리 생성부(260)가 생성한 임시 라이브러리를 파일에 출력한다(단계 S706).
- <131> 이와 같이, 임시 라이브러리 작성 장치(200)가 임시 라이브러리를 작성함으로써, 실장 설계 CAD 장치(20)를 이용한 핀 할당의 검토를 가능하게 할 수 있다. 또한, FPGA 핀 정보 관리부(250)가 사용자로부터 핀 간격 등의 지정을 접수하여, 관리하는 FPGA 핀 정보를 변경하기 때문에, 사용자는 여러 가지 핀 간격의 핀 할당을 검토할 수 있다.
- <132> 다음에, 임시 라이브러리 작성 장치(200)에 의한 실장 검토 결과 반영 처리의 처리 단계에 대해서 설명한다. 도 25는 임시 라이브러리 작성 장치(200)에 의한 실장 검토 결과 반영 처리의 처리 단계를 나타내는 흐름도이다.
- <133> 도 25에 도시하는 바와 같이, 임시 라이브러리 작성 장치(200)는 실장 설계 CAD에서의 핀 스왑 정보를 핀 스왑 처리부(270)가 검색하고(단계 S801), 네트리스트의 핀 스왑된 핀의 네트를 교체한다(단계 S802).
- <134> 그리고, 핀 스왑 처리부(270)가 FPGA 핀 정보의 논리 핀명 및 논리 속성을 교체하고(단계 S803), 교체한 핀의 정보를 FPGA 설계 CAD 인터페이스부(240)가 파일에 출력한다(단계 S804).
- <135> 이와 같이, 핀 스왑 처리부(270)가 실장 설계 CAD에서의 핀 스왑 정보를 취입하여 네트리스트 및 FPGA 핀 정보에 핀 스왑을 반영하고, 핀 스왑의 정보를 FPGA 설계 CAD 인터페이스부(240)가 파일에 출력함으로써, 실장 설계에서의 핀 스왑을 FPGA 설계 정보에 반영시킬 수 있다.
- <136> 전술한 바와 같이, 본 실시예 2에서는 FPGA 설계 CAD 장치(10)가 작성한 핀 할당 정보를 FPGA 설계 CAD 인터페이스부(240)가 검색하고, FPGA 핀 정보 관리부(250)가 FPGA 설계 CAD 인터페이스부(240)에 의해 검색된 핀 할당 정보를 FPGA 핀 정보로서 관리하며, 임시 라이브러리 생성부(260)가 FPGA 핀 정보 관리부(250)에 의해 관리되는 FPGA 핀 정보를 이용하여 임시의 부품 형상 타입 라이브러리를 생성하여 실장 설계 CAD 장치(20)가 검색 가능한 형식으로 파일에 출력하는 것으로 하였기 때문에, 실장 설계 CAD 장치(20)를 이용한 조기의 핀 할당의 검토를 가능하게 하여 프린트 기관의 설계 기간을 단축할 수 있다.
- <137> 또한, 본 실시예 1 및 2에서는 각각 회로 설계 CAD 장치 및 임시 라이브러리작성 장치에 대해서 설명하였지만, 회로 설계 CAD 장치 및 임시 라이브러리 작성 장치가 각각 갖는 구성을 소프트웨어에 의해 실현함으로써, 동일



한 기능을 갖는 회로 설계 CAD 프로그램 및 임시 라이브러리 작성 프로그램을 얻을 수 있다. 그래서, 여기서는 회로 설계 CAD 프로그램을 실행하는 컴퓨터에 대해서 설명한다. 또한, 임시 라이브러리 작성 프로그램에 대해서도 동일한 컴퓨터에 의해 실행할 수 있다.

- <138> 도 26은 본 실시예 1에 따른 회로 설계 CAD 프로그램을 실행하는 컴퓨터(300)의 구성을 도시하는 기능 블록도이다. 도 26에 도시하는 바와 같이, 이 컴퓨터(300)는 RAM(310)과, CPU(320)와, HDD(330)와, LAN 인터페이스(340)와, 입출력 인터페이스(350)와, DVD 드라이브(360)를 갖는다.
- <139> RAM(310)은 프로그램이나 프로그램의 실행 도중 결과 등을 기억하는 메모리이며, CPU(320)는 RAM(310)으로부터 프로그램을 독출하여 실행하는 중앙 처리 장치이다. HDD(330)는 프로그램이나 데이터를 저장하는 디스크 장치이며, LAN 인터페이스(340)는 컴퓨터(300)를 LAN 경유로 다른 컴퓨터에 접속하기 위한 인터페이스이다. 입출력 인터페이스(350)는 마우스나 키보드 등의 입력 장치 및 표시 장치를 접속하기 위한 인터페이스이며, DVD 드라이브(360)는 DVD의 판독 및 기록을 행하는 장치이다.
- <140> 그리고, 이 컴퓨터(300)에 있어서 실행되는 회로 설계 CAD 프로그램(311)은 DVD에 기억되고, DVD 드라이브(360)에 의해 DVD로부터 독출되어 컴퓨터(300)에 인스톨된다. 혹은 이 회로 설계 CAD 프로그램(311)은 LAN 인터페이스(340)를 통해 접속된 다른 컴퓨터 시스템의 데이터 베이스 등에 기억되고, 이들의 데이터 베이스로부터 독출되어 컴퓨터(300)에 인스톨된다. 그리고, 인스톨된 회로 설계 CAD 프로그램(311)은 HDD(330)에 기억되고, RAM(310)에 독출되어 CPU(320)에 의해 실행된다.
- <141> 또한, 본 실시예에서는 FPGA를 부품으로서 사용하는 경우에 대해서 설명하였지만, 본 발명은 이것에 한정되는 것은 아니며, 일반적으로 PLD를 부품으로서 사용하는 경우에 마찬가지로 적용할 수 있다.
- <142> (부기 1)
- <143> 부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 장치로서,
- <144> PLD에 대해서 PLD 설계 CAD에 의해 작성된 설계 정보인 PLD 정보를 입력하는 PLD 정보 입력 수단과,
- <145> 회로 설계에서 사용하는 PLD의 심볼 라이브러리를 상기 PLD 정보 입력 수단에 의해 입력된 PLD 정보를 이용하여 작성하는 라이브러리 작성 수단을
- <146> 구비한 것을 특징으로 하는 회로 설계 지원 장치.
- <147> (부기 2)
- <148> 상기 라이브러리 작성 수단은 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치되었는지 여부를 판정하여, 회로도에 배치되었다고 판정한 경우에는 회로도에 배치된 심볼에 대응하는 심볼 라이브러리의 정보에 기초하여 심볼의 변경이 적어지도록 심볼 라이브러리를 작성하는 것을 특징으로 하는 부기 1에 기재한 회로 설계 지원 장치.
- <149> (부기 3)
- <150> 상기 라이브러리 작성 수단은 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치된 경우에, 회로도에 배치된 심볼에 대응하는 심볼 라이브러리의 정보에 기초하여 포션 할당을 행하는 것을 특징으로 하는 부기 2에 기재한 회로 설계 지원 장치.
- <151> (부기 4)
- <152> 상기 라이브러리 작성 수단은 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치된 경우에, 회로도에 배치된 심볼에 포함되는 논리 핀에 대해서는 상기 회로도에 배치된 심볼과 동일한 포션에 할당하는 것을 특징으로 하는 부기 3에 기재한 설계 지원 장치.
- <153> (부기 5)
- <154> 상기 라이브러리 작성 수단은 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치된 경우에, 회로도에 배치된 심볼에 포함되지 않는 논리 핀에 대해서는 상기 회로도에 배치된 심볼과 동일한 위치에 배치하는 것을 특징으로 하는 부기 4에 기재한 회로 설계 지원 장치.
- <155> (부기 6)
- <156> 상기 라이브러리 작성 수단은 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치된 경우에, 회로도에

배치된 심볼에 포함되지 않는 논리 핀에 대해서는 논리 핀명에 기초하여 포선에 할당하는 것을 특징으로 하는 부기 3, 4 또는 5에 기재한 회로 설계 지원 장치.

- <157> (부기 7)
- <158> 상기 라이브러리 작성 수단은 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치된 경우에, 회로도에 배치된 심볼에 포함되지 않는 논리 핀에 대해서는 상기 회로도에 배치된 심볼의 빈 위치에 배치하는 것을 특징으로 하는 부기 6에 기재한 회로 설계 지원 장치.
- <159> (부기 8)
- <160> 상기 라이브러리 작성 수단에 의해 작성된 심볼 라이브러리에 대한 변경을 사용자로부터 접수하는 변경 접수 수단을 더 구비한 것을 특징으로 하는 부기 1 내지 부기 7 중 어느 하나에 기재한 회로 설계 지원 장치.
- <161> (부기 9)
- <162> 상기 변경 접수 수단은 포선 할당 및 핀 위치의 변경을 접수하는 것을 특징으로 하는 부기 8에 기재한 회로 설계 지원 장치.
- <163> (부기 10)
- <164> 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치되었는지 여부를 판정하여, 회로도에 배치되었다고 판정한 경우에는 회로도에 배치된 심볼을 상기 라이브러리 작성 수단에 의해 심볼 라이브러리가 작성된 심볼로 치환하는 심볼 치환 수단을 더 구비한 것을 특징으로 하는 부기 1 내지 부기 9 중 어느 하나에 기재한 회로 설계 지원 장치.
- <165> (부기 11)
- <166> 상기 심볼 치환 수단은 상기 라이브러리 작성 수단에 의해 심볼 라이브러리가 작성된 심볼의 핀 중 치환 전의 심볼과 논리 핀명이 다른 핀이 라인에 접속되어 있는 경우에는 상기 라인을 절단하는 것을 특징으로 하는 부기 10에 기재한 회로 설계 지원 장치.
- <167> (부기 12)
- <168> 부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 장치에 의한 회로 설계 지원 방법으로서,
- <169> PLD에 대해서 PLD 설계 CAD에 의해 작성된 설계 정보인 PLD 정보를 입력하는 PLD 정보 입력 단계와,
- <170> 회로 설계에서 사용하는 PLD의 심볼 라이브러리를 상기 PLD 정보 입력 단계에 의해 입력된 PLD 정보를 이용하여 작성하는 라이브러리 작성 단계를
- <171> 포함한 것을 특징으로 하는 회로 설계 지원 방법.
- <172> (부기 13)
- <173> 상기 라이브러리 작성 단계는 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치되었는지 여부를 판정하여, 회로도에 배치되었다고 판정한 경우에는 회로도에 배치된 심볼에 대응하는 심볼 라이브러리의 정보에 기초하여 심볼의 변경이 적어지도록 심볼 라이브러리를 작성하는 것을 특징으로 하는 부기 12에 기재한 회로 설계 지원 방법.
- <174> (부기 14)
- <175> 상기 라이브러리 작성 단계는 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치된 경우에, 회로도에 배치된 심볼에 대응하는 심볼 라이브러리의 정보에 기초하여 포선 할당을 행하는 것을 특징으로 하는 부기 13에 기재한 회로 설계 지원 방법.
- <176> (부기 15)
- <177> 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치되었는지 여부를 판정하여, 회로도에 배치되었다고 판정한 경우에는 회로도에 배치된 심볼을 상기 라이브러리 작성 단계에 의해 심볼 라이브러리가 작성된 심볼로 치환하는 심볼 치환 단계를 더 포함한 것을 특징으로 하는 부기 12, 13 또는 14에 기재한 회로 설계 지원 방법.
- <178> (부기 16)

- <179> 부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 프로그램으로서,
- <180> PLD에 대해서 PLD 설계 CAD에 의해 작성된 설계 정보인 PLD 정보를 입력하는 PLD 정보 입력 단계와,
- <181> 회로 설계에서 사용하는 PLD의 심볼 라이브러리를 상기 PLD 정보 입력 단계에 의해 입력된 PLD 정보를 이용하여 작성하는 라이브러리 작성 단계를
- <182> 컴퓨터에 실행시키는 것을 특징으로 하는 회로 설계 지원 프로그램.
- <183> (부기 17)
- <184> 상기 라이브러리 작성 단계는 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치되었는지 여부를 판정하여, 회로도에 배치되었다고 판정한 경우에는 회로도에 배치된 심볼에 대응하는 심볼 라이브러리의 정보에 기초하여 심볼의 변경이 적어지도록 심볼 라이브러리를 작성하는 것을 특징으로 하는 부기 16에 기재한 회로 설계 지원 프로그램.
- <185> (부기 18)
- <186> 상기 라이브러리 작성 단계는 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치된 경우에, 회로도에 배치된 심볼에 대응하는 심볼 라이브러리의 정보에 기초하여 포션 할당을 행하는 것을 특징으로 하는 부기 17에 기재한 회로 설계 지원 프로그램.
- <187> (부기 19)
- <188> 심볼 라이브러리의 작성 대상인 PLD의 심볼이 회로도에 배치되었는지 여부를 판정하여, 회로도에 배치되었다고 판정한 경우에는 회로도에 배치된 심볼을 상기 라이브러리 작성 단계에 의해 심볼 라이브러리가 작성된 심볼로 치환하는 심볼 치환 단계를 더 컴퓨터에 실행시키는 것을 특징으로 하는 부기 16, 17 또는 18에 기재한 회로 설계 지원 프로그램.
- <189> (부기 20)
- <190> 부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 장치를 이용하여 설계가 행하여지는 프린트 기관의 제조 방법으로서,
- <191> 상기 회로 설계 지원 장치가,
- <192> PLD에 대해서 PLD 설계 CAD에 의해 작성된 설계 정보인 PLD 정보를 입력하는 PLD 정보 입력 단계와,
- <193> 회로 설계에서 사용하는 PLD의 심볼 라이브러리를 상기 PLD 정보 입력 단계에 의해 입력된 PLD 정보를 이용하여 작성하는 라이브러리 작성 단계를
- <194> 포함한 것을 특징으로 하는 프린트 기관의 제조 방법.

**산업이용 가능성**

- <195> 이상과 같이, 본 발명에 따른 회로 설계 지원 장치, 회로 설계 지원 방법, 회로 설계 지원 프로그램 및 프린트 기관의 제조 방법은 PLD를 부품으로서 사용하는 회로의 설계에 유용하며, 특히, PLD의 재기록이나 핀 스왑이 빈번히 발생하는 경우에 적합하다.

**도면의 간단한 설명**

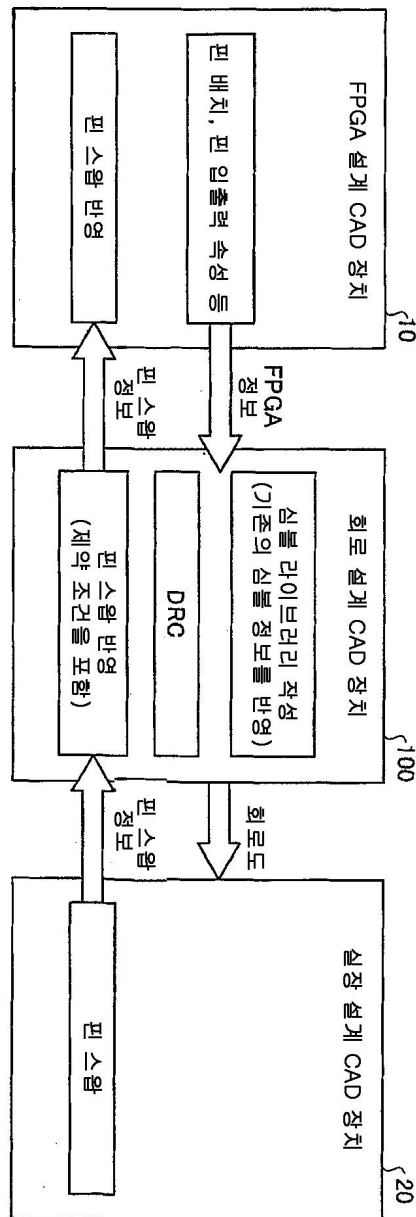
- <196> 도 1은 본 실시예 1에 따른 FPGA 협조 설계의 개념을 설명하기 위한 설명도.
- <197> 도 2는 본 실시예 1에 따른 FPGA 협조 설계 시스템의 구성을 도시한 기능 블록도.
- <198> 도 3은 회로 설계를 설명하기 위한 설명도.
- <199> 도 4는 FPGA의 심볼 라이브러리를 설명하기 위한 설명도.
- <200> 도 5는 FPGA 정보 기억부가 기억하는 FPGA 정보의 일례를 도시한 도면.
- <201> 도 6은 심볼 라이브러리 기억부가 기억하는 심볼 라이브러리의 일례를 도시한 도면.
- <202> 도 7은 핀 스왑의 일례를 도시한 도면.



- <239> 311 : 회로 설계 CAD 프로그램
- <240> 320 : CPU
- <241> 330 : HDD
- <242> 340 : LAN 인터페이스
- <243> 350 : 입출력 인터페이스
- <244> 360 : DVD 드라이브

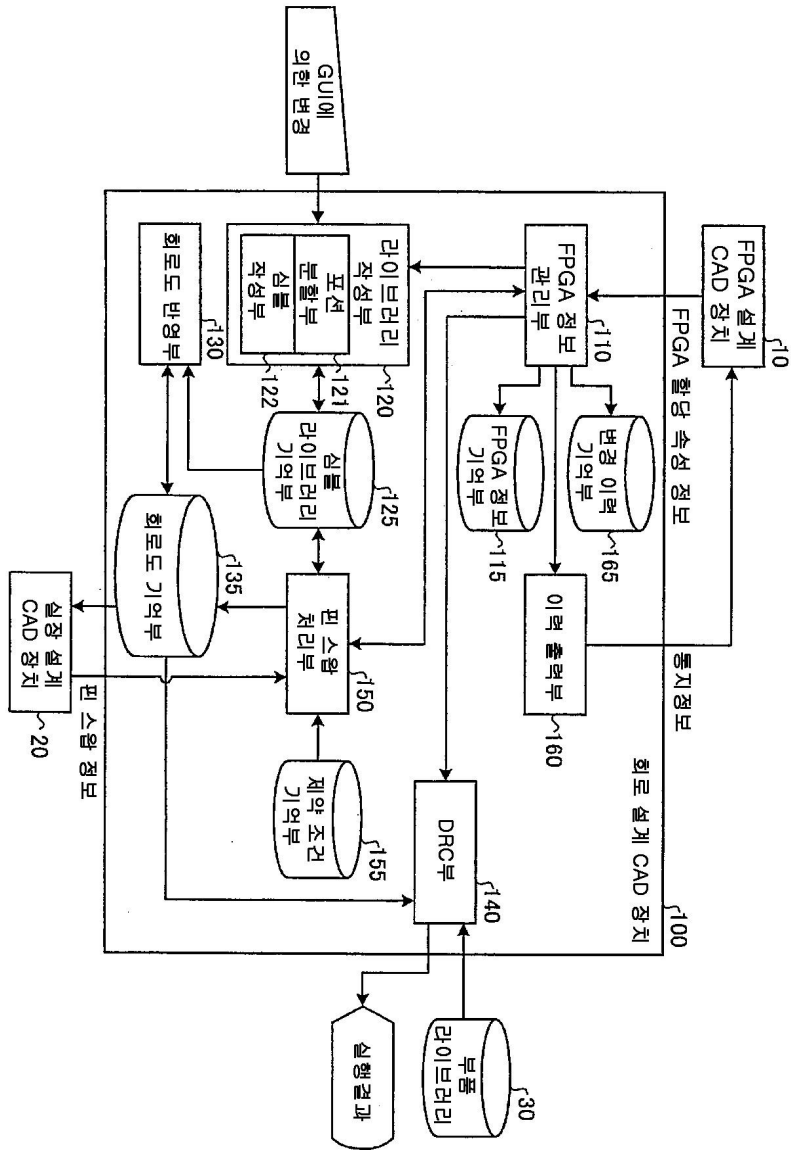
도면

도면1

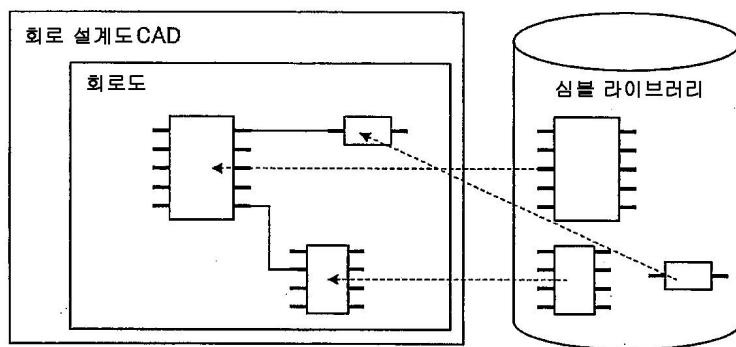




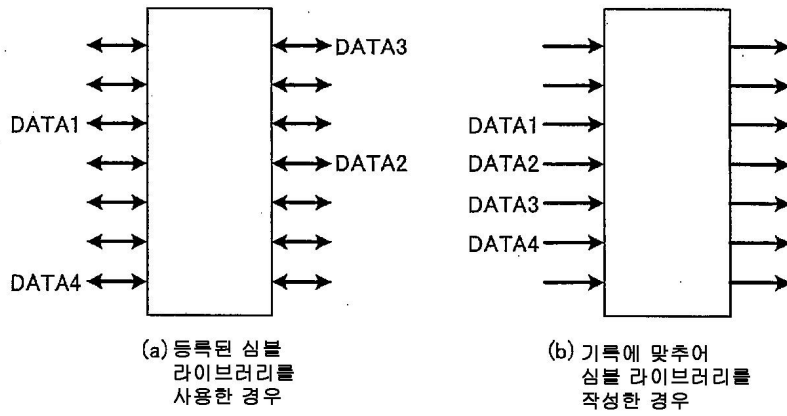
도면2



도면3



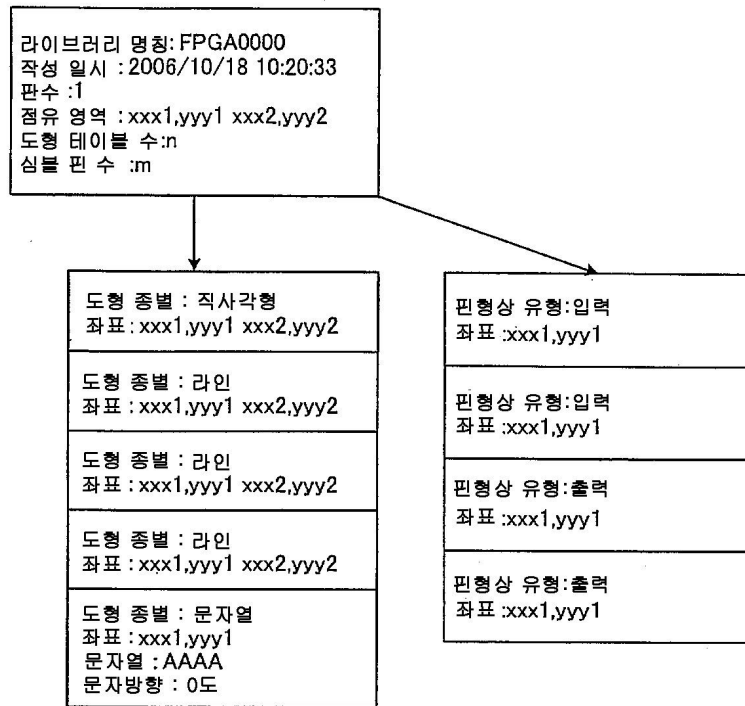
도면4



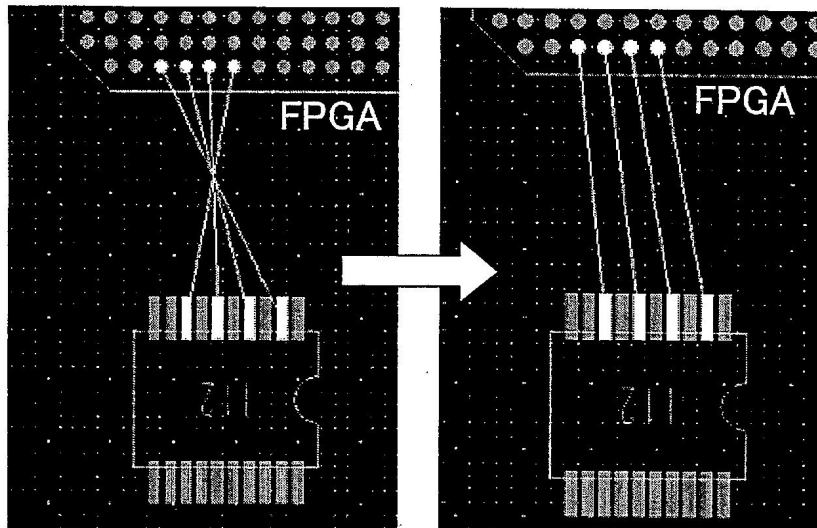
도면5

물리 핀명	논리 핀명	입출력 속성	뱅크 번호	스텝 그룹 번호	차동 속성	전원 전압값
A0	ADRS1		1	1		
A1	VCCIO					3.3V
A2	ADRS2		1	1		
A3	GND					
A4	DATA1		1	1	POSI	
A5	DATA2		1	1	NEGA	
A6	VCCINT					1.5V
C10	ADRSB1		2	2		
C11	ADRSB2		2	2		
C12	ADRSB3		2	2		

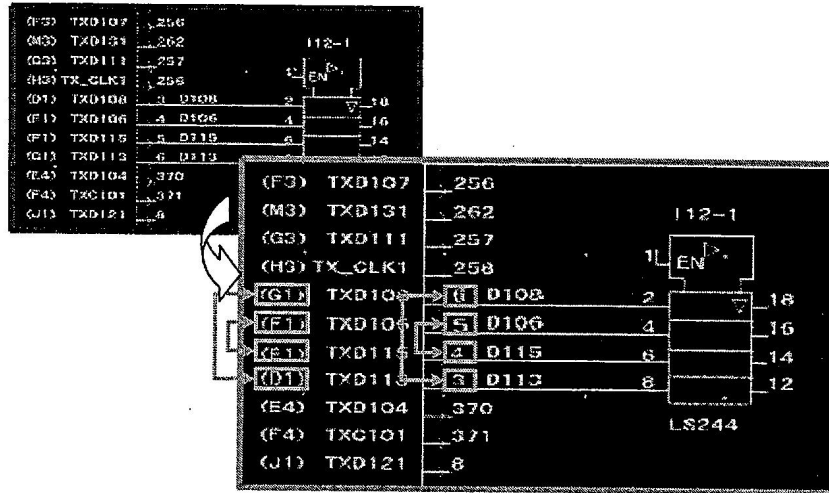
도면6



도면7



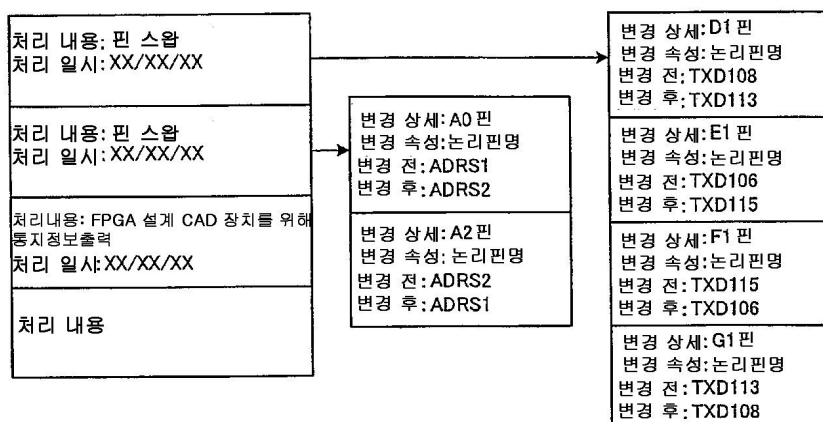
도면8



도면9

대상 핀 사이 : 부품IC1 부품I12 지정 : 50mm 이하	물리 핀명 G1 물리 핀명 2
대상 핀 사이 : 부품IC1 부품I12 지정 : 50mm 이하	물리 핀명 F1 물리 핀명 4
대상 핀 사이 : 부품IC1 부품I12 지정 : 70mm 이하	물리 핀명 E1 물리 핀명 6

도면10



도면11

물리핀명 : A0 논리핀명 : ADRS2
물리핀명 : A2 논리핀명 : ADRS1
물리핀명 : D1 논리핀명 : TXD113
물리핀명 : E1 논리핀명 : TXD115
물리핀명 : F1 논리핀명 : TXD106
물리핀명 : G1 논리핀명 : TXD108

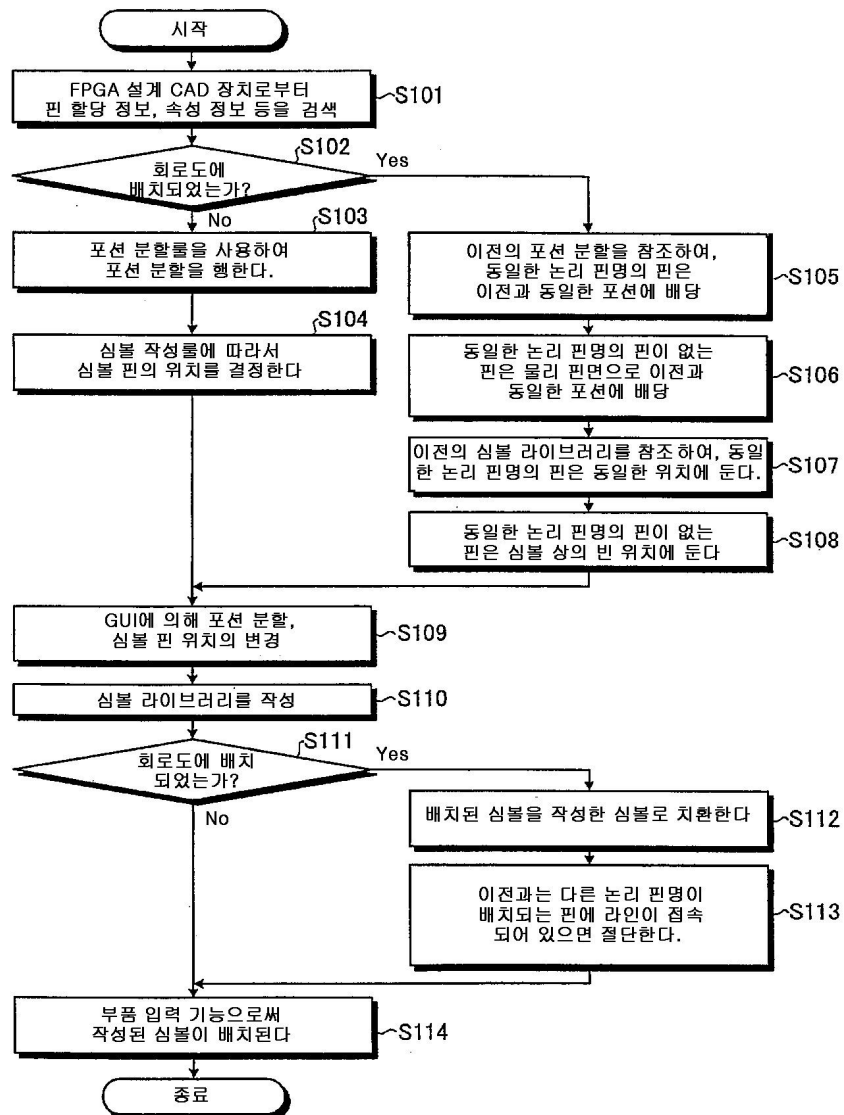
도면12

```

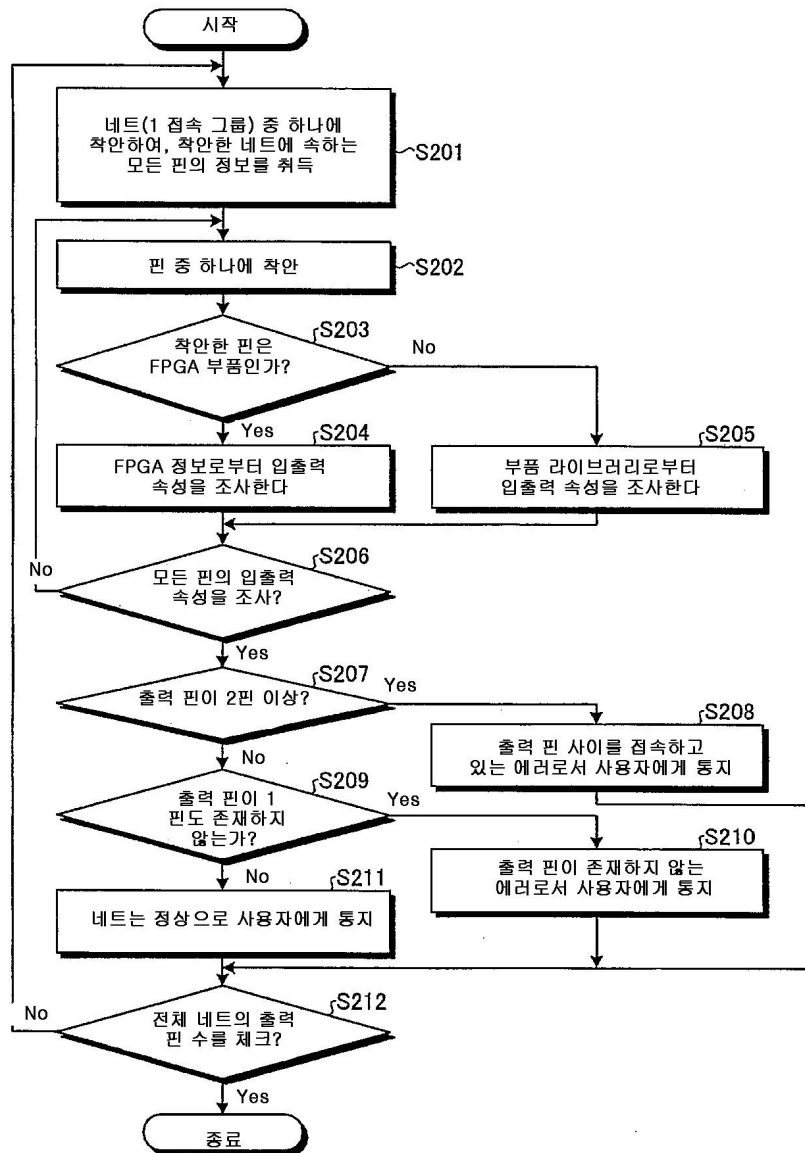
NET "TXD113" LOC="D1";
NET "TXD115" LOC="E1";
NET "TXD106" LOC="F1";
NET "TXD108" LOC="G1";
    
```



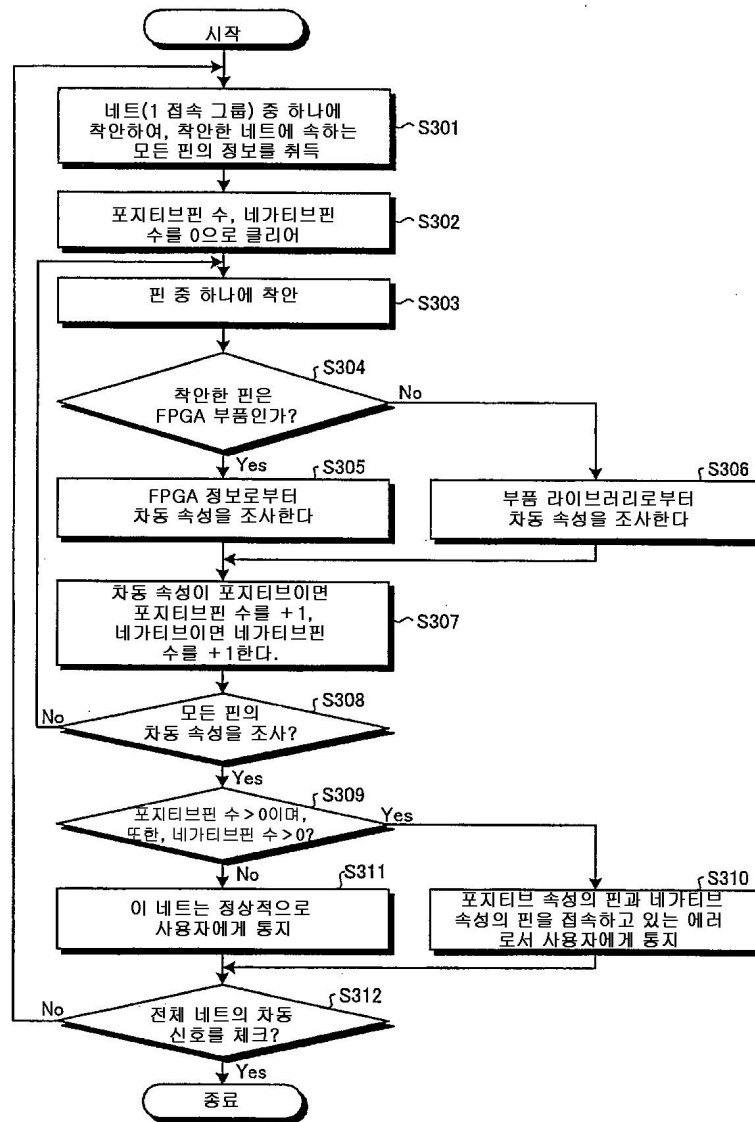
도면13



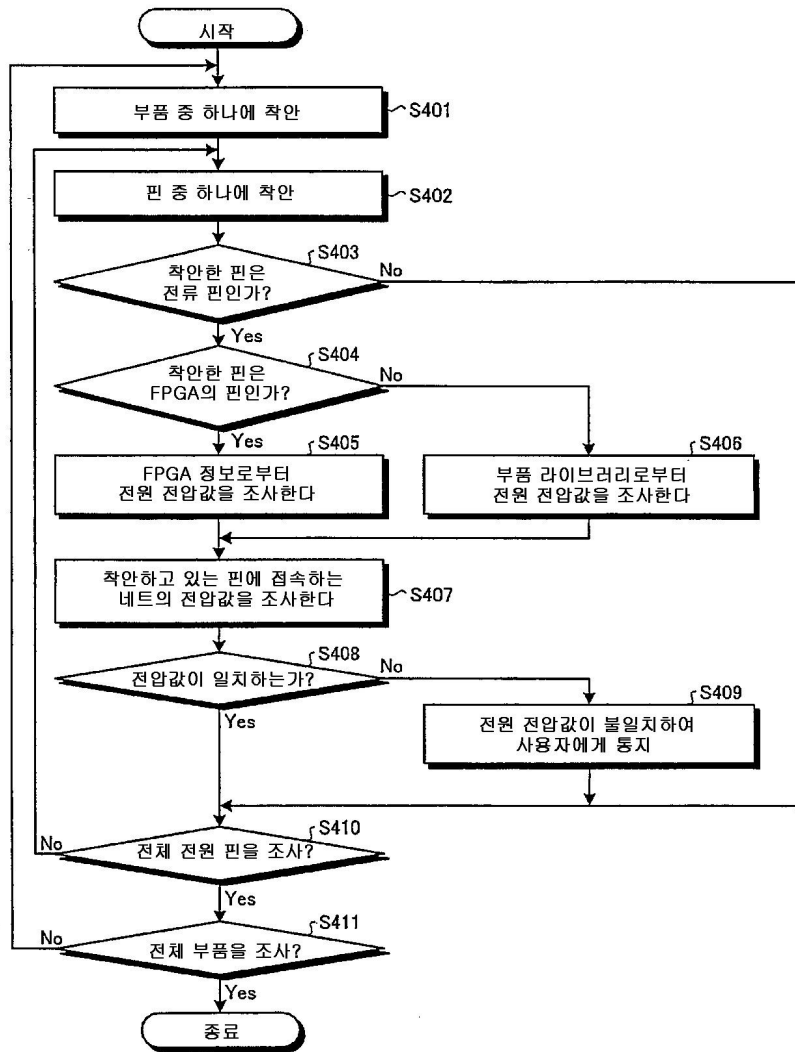
도면14



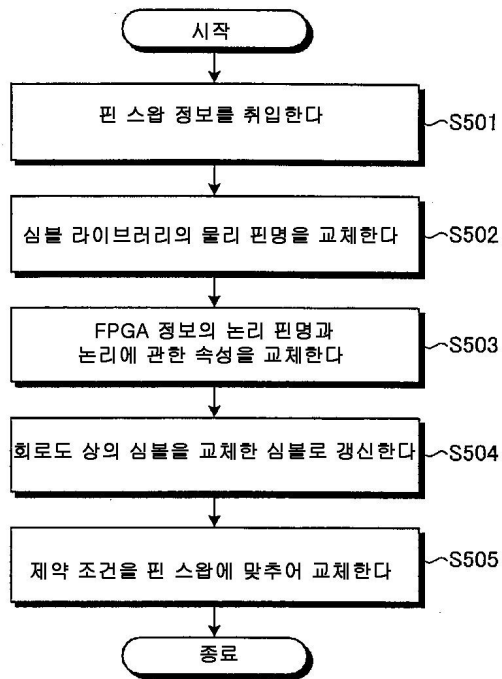
도면15



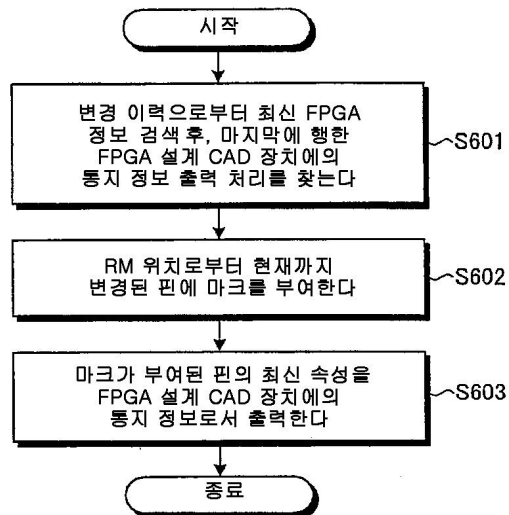
도면16



도면17

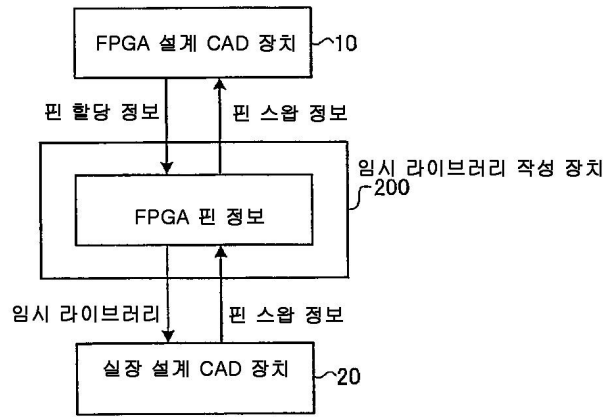


도면18

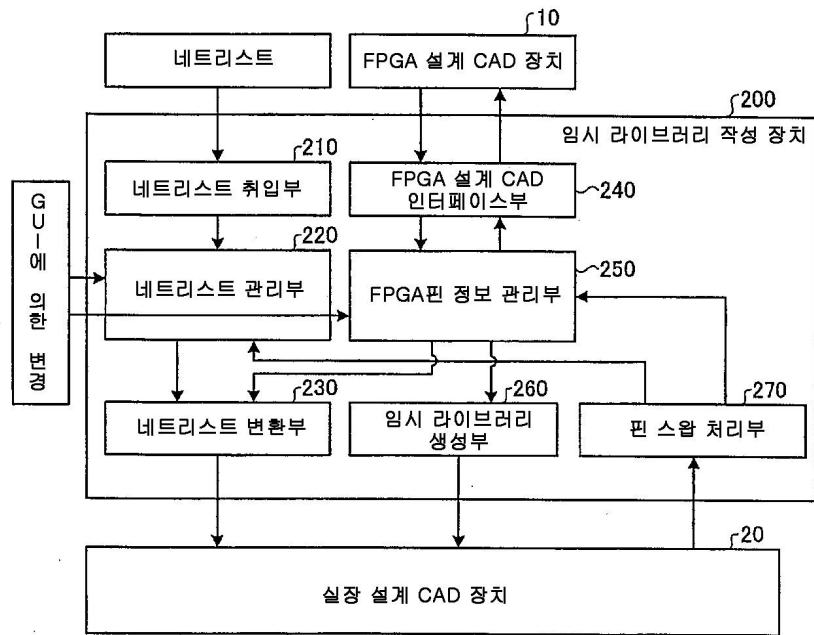




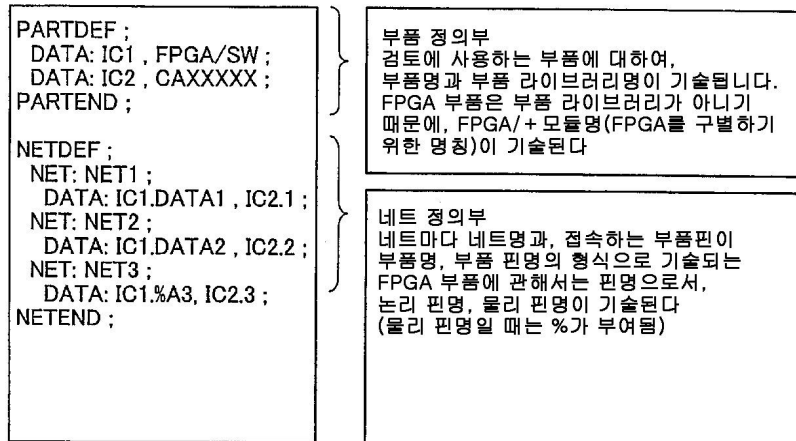
도면19



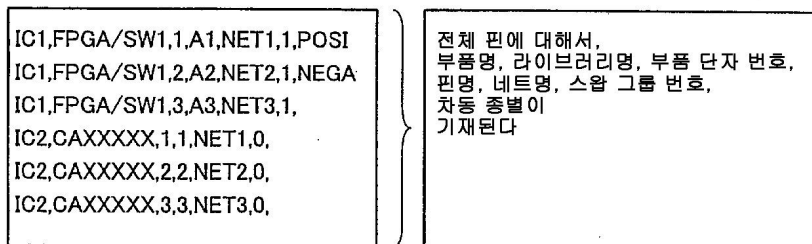
도면20



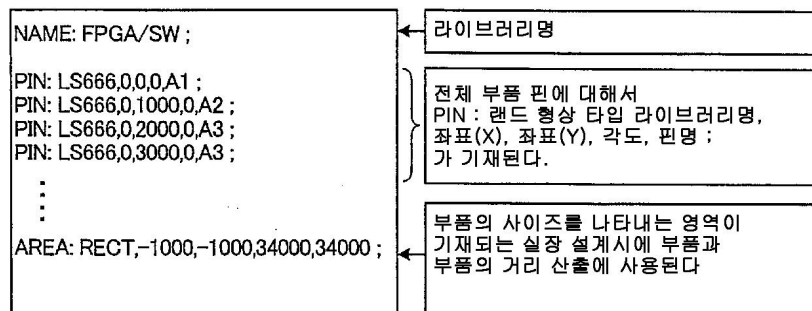
도면21



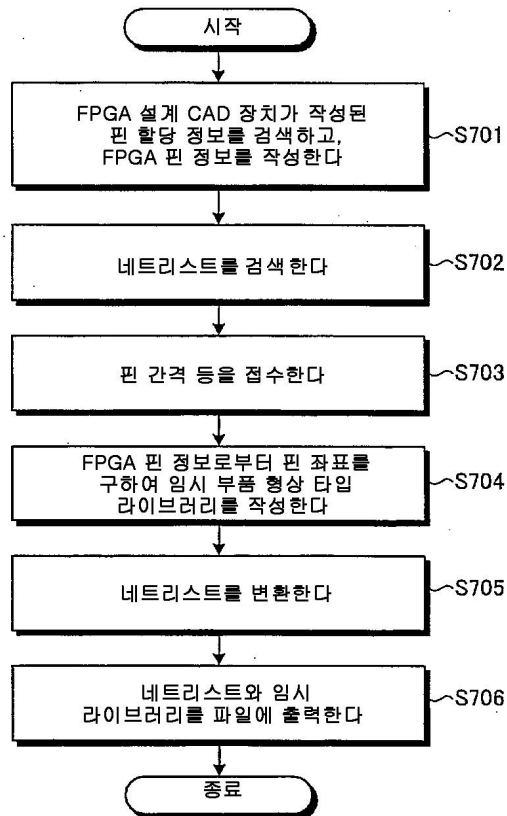
도면22



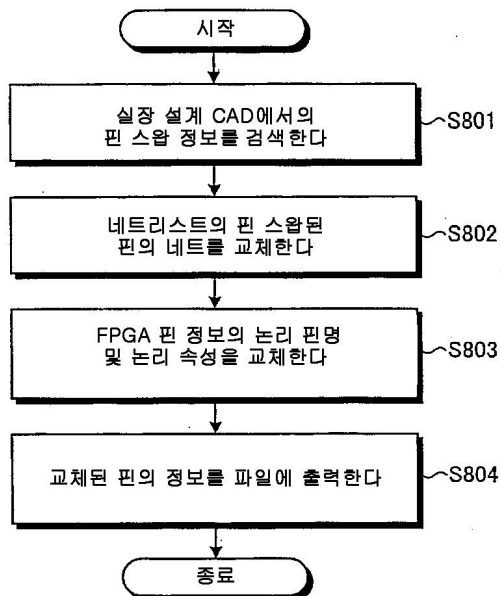
도면23



도면24



도면25



도면26

