



(12) 发明专利

(10) 授权公告号 CN 111968973 B

(45) 授权公告日 2023. 09. 22

(21) 申请号 202010884171.0

H01L 27/02 (2006.01)

(22) 申请日 2020.08.28

(56) 对比文件

(65) 同一申请的已公布的文献号  
申请公布号 CN 111968973 A

CN 109148444 A, 2019.01.04

CN 103337498 A, 2013.10.02

CN 108389895 A, 2018.08.10

(43) 申请公布日 2020.11.20

CN 109686736 A, 2019.04.26

(73) 专利权人 电子科技大学  
地址 611731 四川省成都市高新区(西区)  
西源大道2006号

US 2018082997 A1, 2018.03.22

KR 20040038379 A, 2004.05.08

审查员 张羽豪

(72) 发明人 乔明 张书豪 李怡 袁章亦安  
张波

(74) 专利代理机构 成都点睛专利代理事务所  
(普通合伙) 51232  
专利代理师 敖欢

(51) Int. Cl.

H01L 27/06 (2006.01)

权利要求书9页 说明书20页 附图24页

(54) 发明名称

一种BCD半导体器件

(57) 摘要

本发明提供一种集成有SG-VDMOS的BCD半导体器件,能够在一片芯片上同时集成两类JFET、两类VDMOS、LIGBT、七类LDMOS、低压NMOS、低压PMOS、低压NPN、低压PNP及四类二极管等二十类半导体器件,将应用在模拟电路中的Bipolar器件、开关电路中的功率器件、逻辑电路中的CMOS器件等各类横纵向器件集成到一起,节约成本的同时极大提高芯片集成度。不同于传统器件结构,该发明集成包含了槽型JFET、槽栅LIGBT、槽栅VDMOS、快恢复二极管,所集成的SG-VDMOS与常规VDMOS相比能有效降低栅漏电容,降低了开关损耗,提升了开关速度,通过超结自然形成的槽状隔离结构贯穿整个漂移区将各个器件完全隔离,能够同时兼顾高的关断耐压和低的导通电阻,所述制造方法简单,工艺难度相对较低,构成的BCD器件可以用于消费电子、显示驱动等多种产品中。



CN 111968973 B

1. 一种BCD半导体器件,其特征在于:包括集成于同一芯片上的第一类JFET器件(1),第一隔离结构(204),第一类VDMOS器件(2),第二隔离结构(203),第二类VDMOS器件(3),LIGBT器件(4),第一类LDMOS器件(5),第二类LDMOS器件(6),第三类LDMOS器件(7),第四类LDMOS器件(8),第五类LDMOS器件(9),第六类LDMOS器件(10),第七类LDMOS器件(11),第二类JFET器件(12),低压NMOS器件(13),低压PMOS器件(14),低压PNP器件(15),低压NPN器件(16),第一类二极管(17),第二类二极管(18),第三类二极管(19),第四类二极管(20);

所述第一类JFET器件(1)包括多个结构相同并依次连接的元胞,所述元胞直接做在第一掺杂类型衬底(85)上,第一掺杂类型衬底(85)下方是高压漏极金属(100),漂移区包括底部的第一掺杂类型Buffer区,超结条位于第一掺杂类型Buffer区上表面,超结条包括周期性交替排列的第一掺杂类型条(51)和第二掺杂类型条(31)、及第三掺杂类型条(511)与第二掺杂类型外延层(311),第一掺杂类型外延层(512)及第二掺杂类型体区(312)位于第三掺杂类型条(511)与第二掺杂类型外延层(311)上表面,第一掺杂类型外延层(512)上表面设置有第一重掺杂类型源区(52),第二掺杂类型体区(312)上设置第十四类氧化层(623),沟槽介质(61)上表面与第一电极(101)接触、其余表面被第十四类氧化层(623)包围,第一电极(101)覆盖第一类JFET器件(1)的上表面;

所述第一类VDMOS器件(2)包括多个结构相同并依次连接的元胞,所述元胞直接做在第一掺杂类型衬底(85)上,第一掺杂类型衬底(85)下方是高压漏极金属(100),漂移区包括底部的第一掺杂类型Buffer区和超结条,超结条包括周期性交替排列的第一掺杂类型条(51)和第二掺杂类型条(31)、及周期性排列的第三掺杂类型条(511)与第二掺杂类型外延层(311),第二掺杂类型体区(312)位于第三掺杂类型条(511)与第二掺杂类型外延层(311)上表面,第二掺杂类型体区(312)内置第二重掺杂类型接触区(32)及第一重掺杂类型接触区(52),介质层(62)覆盖了第一类栅氧化层(610)及部分第一重掺杂类型接触区(52),第一类金属层(102)覆盖了介质层(62)及裸露的第一重掺杂类型接触区(52)及第二重掺杂类型接触区(32)上表面,槽栅的第一类栅氧化层(610)上表面与介质层(62)相切并向下延伸至第一掺杂类型条(51)中,第一类多晶硅控制栅(701)位于第一类栅氧化层(610)中的上部,并被第一类栅氧化层(610)包围,第一类多晶硅分离栅(702)位于第一类栅氧化层(610)中的下部,并被第一类栅氧化层(610)包围;第一类多晶硅控制栅(701)上表面深入第一重掺杂类型接触区(52)、下表面深入第三掺杂类型条(511),第一类VDMOS最右侧的元胞2(n)为终端结构,第二类金属层(103)覆盖了介质层(62)及部分第二类多晶硅分离栅(703)上表面,第二类多晶硅分离栅(703)周围被第一类栅氧化层(610)包围;

所述第一隔离结构(204)位于第一类JFET器件(1)最后一个元胞1(n)与第一类VDMOS器件第一个元胞2(1)之间,直接做在第一掺杂类型衬底(85)上,第一掺杂类型衬底(85)下方是高压漏极金属(100),漂移区包括底部的第一掺杂类型Buffer区和位于第一掺杂类型Buffer区上表面的超结条,其中超结条包括周期性交替排列的第一掺杂类型条(51)和第二掺杂类型条(31)、及位于第一掺杂类型条(51)和第二掺杂类型条(31)上表面周期性排列的第三掺杂类型条(511)与第二掺杂类型外延层(311),位于第三掺杂类型条(511)与第二掺杂类型外延层(311)上表面的是第一掺杂类型外延层(512)及第二掺杂类型体区(312),第二掺杂类型条(31)和第二掺杂类型外延层(311)组成的条状结构贯穿整个漂移区,属于第一隔离结构(204)的第二掺杂类型体区(312)上表面均覆盖有场氧化层(86),场氧化层(86)

覆盖了整个第一隔离结构(204)的上表面,介质层(62)覆盖了场氧化层(86);

所述第二类VDMOS器件(3)包括多个结构相同并依次连接的元胞,所述元胞直接做在第一掺杂类型衬底(85)上,第一掺杂类型衬底(85)下方是高压漏极金属(100),漂移区包括底部的第一掺杂类型Buffer区和超结条,超结条包括周期性交替排列的第一掺杂类型条(51)和第二掺杂类型条(31)、及周期性排列的第三掺杂类型条(511)与第二掺杂类型外延层(311),第二掺杂类型体区(312)位于第三掺杂类型条(511)与第二掺杂类型外延层(311)上表面,第二掺杂类型体区(312)内置第二重掺杂类型接触区(32)及第一重掺杂类型接触区(52),介质层(62)覆盖了第一类栅氧化层(610)及部分第一重掺杂类型接触区(52),第三类金属层(104)覆盖了介质层(62)及裸露的第一重掺杂类型接触区(52)及第二重掺杂类型接触区(32)上表面,槽栅的第一类栅氧化层(610)上表面与介质层(62)相切并向下延伸至第一掺杂类型条(51)中,第一类多晶硅控制栅(701)位于第一类栅氧化层(610)中的上部,并被第一类栅氧化层(610)包围,第一类多晶硅分离栅(702)位于第一类栅氧化层(610)中的下部,并被第一类栅氧化层(610)包围;第一类多晶硅控制栅(701)上表面伸入第一重掺杂类型接触区(52)、下表面伸入第三掺杂类型条(511);耗尽型沟道(543)分布在第一类栅氧化层(610)两侧,纵向连通了第一重掺杂类型接触区(52)以及第三掺杂类型条(511);

所述第二隔离结构(203)位于第一类VDMOS器件(2)最后一个终端元胞2(n)与第二类VDMOS器件(3)第一个元胞3(1)之间,直接做在第一掺杂类型衬底(85)上,第一掺杂类型衬底(85)下方是高压漏极金属(100),漂移区包括底部的第一掺杂类型Buffer区和超结条,超结条包括周期性交替排列的第一掺杂类型条(51)和第二掺杂类型条(31),第一掺杂类型条(51)和第二掺杂类型条(31)并列位于第一掺杂类型Buffer区上表面,周期性排列的第三掺杂类型条(511)与第二掺杂类型外延层(311)位于第一掺杂类型条(51)和第二掺杂类型条(31)上表面,第一掺杂类型外延层(512)与第二掺杂类型体区(312)位于第三掺杂类型条(511)与第二掺杂类型外延层(311)上表面,第二掺杂类型条(31)和第二掺杂类型外延层(311)组成的条状结构贯穿整个漂移区,属于第二隔离结构(203)的第二掺杂类型体区(312)和第一掺杂类型外延层(512)上表面均覆盖有场氧化层(86),场氧化层(86)覆盖了整个第二隔离结构(203)的上表面,介质层(62)覆盖了场氧化层(86);

第二类VDMOS器件(3)最后一个元胞3(n)右侧依次为LIGBT器件(4)、第一类LDMOS器件(5)、第二类LDMOS器件(6)、第三类LDMOS器件(7)、第四类LDMOS器件(8)、第五类LDMOS器件(9)、第六类LDMOS器件(10)、第七类LDMOS器件(11)、第二类JFET器件(12)、低压NMOS器件(13)、低压PMOS器件(14)、低压PNP(15)、低压NPN器件(16)、二极管;第二类VDMOS器件(3)最后一个元胞3(n)右侧的上述器件均位于第二掺杂类型外延层(311)中,第二掺杂类型外延层(311)位于交替周期排列的第一掺杂类型条(51)和第二掺杂类型条(31)上表面,隔离条(21)及隔离条(21)上表面的场氧化层(86)、覆盖于场氧化层(86)上表面的介质层(62)三部分构成隔离条结构,所述隔离条结构将位于第二掺杂类型外延层(311)中的LIGBT器件(4)、第一类LDMOS器件(5)、第二类LDMOS器件(6)、第三类LDMOS器件(7)、第四类LDMOS器件(8)、第五类LDMOS器件(9)、第六类LDMOS器件(10)、第七类LDMOS器件(11)、第二类JFET器件(12)、低压NMOS器件(13)、低压PMOS器件(14)、低压PNP(15)、低压NPN器件(16)、第一类二极管(17)、第二类二极管(18)、第三类二极管(19)、第四类二极管(20)相互隔开;

所述LIGBT器件(4)位于第二类VDMOS器件(3)最后一个元胞3(n)右侧的两个相邻所述

隔离条结构之间,第一掺杂类型埋层(500)位于第二掺杂类型外延层(311)部分上表面,第一掺杂类型外延层(512)位于相邻的两个隔离条(21)之间的第一掺杂类型埋层(500)上方,第一掺杂类型外延层(512)左侧设置有第二掺杂类型阱区(320);第二掺杂类型阱区(320)靠近上表面处设置有相切的第一重掺杂类型接触区(52)与第二重掺杂类型接触区(32);第一掺杂类型外延层(512)右侧设置有第一掺杂类型第一阱区(520);第一掺杂类型第一阱区(520)正中间靠近上表面处设置有第二重掺杂类型接触区(32);第一掺杂类型外延层(512)部分上表面设置有场氧化层(86);第三类栅氧化层(612)位于所述隔离条结构与第二掺杂类型阱区(320)之间,且与第二掺杂类型阱区(320)左边界相切;第三类多晶硅(72)位于第三类栅氧化层(612)之内,其被第三类栅氧化层(612)包围;第三类栅氧化层(612)上表面、场氧化层(86)上表面处均覆盖有介质层(62),第一类发射极金属(105)覆盖了部分第一重掺杂类型接触区(52)与部分第二重掺杂类型接触区(32)上表面,第一掺杂类型第一阱区(520)正中间靠近上表面处的第二重掺杂类型接触区(32)上表面覆盖有第一类集电极金属(106);

所述第一类LDMOS器件(5)位于LIGBT器件(4)右侧,并通过隔离条结构与相邻的LIGBT器件(4)隔开;所述第一类LDMOS器件(5)位于第二掺杂类型外延层(311)中,位于第二掺杂类型外延层(311)部分上表面处设置有第一掺杂类型第一埋层(501),相邻的两个隔离条(21)之间的第一掺杂类型第一埋层(501)上方是第一掺杂类型外延层(512),第一掺杂类型外延层(512)上表面处设置有第二掺杂类型第一深阱区(301),第二掺杂类型第一深阱区(301)左侧设置有第一掺杂类型第二阱区(521),位于第一掺杂类型第二阱区(521)正下方与之相切的是第一掺杂类型降场层(550),第一掺杂类型第二阱区(521)靠近上表面处设置有第一重掺杂类型接触区(52)、及与第一重掺杂类型接触区(52)相切的第二重掺杂类型接触区(32);第二掺杂类型第一深阱区(301)右侧上表面处设置有第二重掺杂类型接触区(32),第二掺杂类型第一深阱区(301)上表面处设置有部分场氧化层(86),第二掺杂类型第一深阱区(301)上表面的场氧化层(86)与第一掺杂类型第二阱区(521)之间有间隔,第四类栅氧化层(613)连接了位于第一掺杂类型第二阱区(521)上表面处的第二重掺杂类型接触区(32)与场氧化层(86)左边界,所述第四类栅氧化层(613)相切于第二重掺杂类型接触区(32)右边界,第四类栅氧化层(613)上表面处覆盖有第四类多晶硅层(73),所述第四类多晶硅层(73)左端与第四类栅氧化层(613)相切或者不延伸至第四类栅氧化层(613)的左边界,第四类多晶硅层(73)左端覆盖或相切于第二重掺杂类型接触区(32)右边界,所述第四类多晶硅层(73)右侧覆盖部分场氧化层(86);第四类栅氧化层(613)裸露的部分,第四类多晶硅层(73)上表面,场氧化层(86)裸露的上表面处均覆盖有介质层(62),位于第一掺杂类型第二阱区(521)上表面处的第一重掺杂类型接触区(52)与部分第二重掺杂类型接触区(32)上表面处覆盖有第二类源极金属(107),第二掺杂类型第一深阱区(301)右侧靠近上表面处的第二重掺杂类型接触区(32)上表面覆盖有第二类漏极金属(108);

所述第二类LDMOS器件(6)通过隔离条结构与相邻的第一类LDMOS器件(5)隔开;所述第二类LDMOS器件(6)在第二掺杂类型外延层(311)部分上表面处设置有第一掺杂类型第二埋层(502),第一掺杂类型外延层(512)位于第一掺杂类型第二埋层(502)上方,第二掺杂类型第一埋层(401)位于第一掺杂类型第二埋层(502)正上方处,第一掺杂类型外延层(512)左侧上部设置有第二掺杂类型第一阱区(321),第二掺杂类型第二降场层(42)位于第二掺杂

类型第一阱区 (321) 正下方并与第二掺杂类型第一阱区 (321) 相切, 第一掺杂类型外延层 (512) 右侧设置有第一掺杂类型第三阱区 (522) 并在其中靠近上表面处设置有第一重掺杂类型接触区 (52), 第一掺杂类型外延层 (512) 正上方处设置有场氧化层 (86), 第一掺杂类型外延层 (512) 正上方的场氧化层 (86) 与第二掺杂类型第一阱区 (321) 之间间隔, 第五类栅氧化层 (614) 连接了位于第二掺杂类型第一阱区 (321) 上表面处的第一重掺杂类型源区 (52) 与场氧化层 (86) 左边界, 所述第五类栅氧化层 (614) 厚度大于第一类LDMOS器件 (5) 的第四类栅氧化层 (613), 所述第五类栅氧化层 (614) 左端部分覆盖或相切于第一重掺杂类型接触区 (52) 右边界, 第五类栅氧化层 (614) 上表面处覆盖有第五类多晶硅层 (74), 所述第五类多晶硅层 (74) 左侧相切或者未延伸至第五类栅氧化层 (614) 的左边界, 且覆盖或相切于第一重掺杂类型接触区 (52) 右边界, 所述第五类多晶硅层 (74) 右端覆盖部分场氧化层 (86), 介质层 (62) 覆盖第五类栅氧化层 (614) 裸露的部分、第五类多晶硅层 (74) 上表面、场氧化层 (86) 裸露的上表面, 第三类源极金属 (109) 覆盖第二掺杂类型第一阱区 (321) 内的第一重掺杂类型接触区 (52) 的部分上表面及与第一重掺杂类型接触区 (52) 左侧相切的第二重掺杂类型接触区 (32) 的上表面, 第三类漏极金属 (111) 覆盖右侧的第一重掺杂类型接触区 (52), 第一类场板电极金属 (110) 部分覆盖了右侧的第五类多晶硅层 (74) 上表面;

所述第三类LDMOS器件 (7) 通过隔离条结构与相邻的第二类LDMOS器件 (6) 隔开, 所述第三类LDMOS器件 (7) 在第二掺杂类型外延层 (311) 部分上表面设置了第一掺杂类型第三埋层 (503), 第一掺杂类型外延层 (512) 位于第一掺杂类型第三埋层 (503) 上方, 第一掺杂类型外延层 (512) 正上方处设置有场氧化层 (86), 第一掺杂类型外延层 (512) 左侧设置有第二掺杂类型第二阱区 (322), 第二掺杂类型第三降场层 (43) 位于第二掺杂类型第二阱区 (322) 正下方并与第二掺杂类型第二阱区 (322) 相切, 第一掺杂类型外延层 (512) 右侧设置有第一掺杂类型第四阱区 (523) 并在第一掺杂类型第四阱区 (523) 内部靠近上表面处设置有第一重掺杂类型接触区 (52); 第一掺杂类型外延层 (512) 上方的场氧化层 (86) 与第二掺杂类型第二阱区 (322) 之间设有间隔, 第六类栅氧化层 (615) 连接了位于第二掺杂类型第二阱区 (322) 上表面处的第一重掺杂类型接触区 (52) 与场氧化层 (86) 左边界, 所述第六类栅氧化层 (615) 左端部分覆盖或相切于第一重掺杂类型接触区 (52) 右边界, 第六类栅氧化层 (615) 上表面覆盖有第六类多晶硅层 (75), 所述第六类多晶硅层 (75) 左端相切或者未延伸至第六类栅氧化层 (615) 的左边界, 且覆盖或相切于第一重掺杂类型接触区 (52) 右边界, 所述第六类多晶硅层 (75) 右侧覆盖部分场氧化层 (86); 介质层 (62) 覆盖了第六类栅氧化层 (615) 裸露的部分、第六类多晶硅层 (75) 上表面、场氧化层 (86) 裸露的上表面, 第四类源极金属 (112) 覆盖左侧的部分第一重掺杂类型接触区 (52) 与第二重掺杂类型接触区 (32) 上表面, 第四类漏极金属 (114) 覆盖右侧的第一重掺杂类型接触区 (52), 第二类场板电极金属 (113) 覆盖了右侧的第六类多晶硅层 (75) 的部分上表面;

所述第四类LDMOS器件 (8) 通过隔离条结构与相邻的第三类LDMOS器件 (7) 隔开, 所述第四类LDMOS器件 (8) 在第二掺杂类型外延层 (311) 部分上表面处设置有第一掺杂类型第四埋层 (504), 第一掺杂类型外延层 (512) 位于第一掺杂类型第四埋层 (504) 上方, 第一掺杂类型外延层 (512) 正上方处设置有第二掺杂类型top层 (402), 第二掺杂类型top层 (402) 上方设置有场氧化层 (86), 第一掺杂类型外延层 (512) 左侧设置有第二掺杂类型第三阱区 (323), 第二掺杂类型第四降场层 (44) 位于第二掺杂类型第三阱区 (323) 正下方并与第二掺杂类型

第三阱区(323)相切,第一掺杂类型外延层(512)右侧设置有第一掺杂类型第五阱区(524)并在第一掺杂类型第五阱区(524)内部靠近上表面处设置有第一重掺杂类型接触区(52);第二掺杂类型top层(402)上方的场氧化层(86)与第二掺杂类型第三阱区(323)之间设有间隔,第七类栅氧化层(616)连接了位于第二掺杂类型第三阱区(323)上表面处的第一重掺杂类型接触区(52)与场氧化层(86)左边界,所述第七类栅氧化层(616)左端部分覆盖或相切于第一重掺杂类型接触区(52)右边界,第七类栅氧化层(616)上表面处覆盖有第七类多晶硅层(76),所述第七类多晶硅层(76)左端相切或者未延伸至第七类栅氧化层(616)的左边界,且覆盖或相切于第一重掺杂类型接触区(52)右边界,所述第七类多晶硅层(76)覆盖部分场氧化层(86);介质层(62)覆盖了第七类栅氧化层(616)裸露的部分、第七类多晶硅层(76)上表面、场氧化层(86)裸露的上表面,第五类源极金属(115)覆盖了部分第一重掺杂类型接触区(52)与部分第二重掺杂类型接触区(32)上表面,第五类漏极金属(117)覆盖了右侧的第一重掺杂类型接触区(52),第三类场板电极金属(116)覆盖了右侧的部分第七类多晶硅层场板(76)上表面;

所述第五类LDMOS器件(9)通过隔离条结构与相邻的第四类LDMOS器件(8)隔开;所述第五类LDMOS器件(9)在第二掺杂类型外延层(311)部分上表面处设置有第一掺杂类型第五埋层(505),第二掺杂类型埋层(403)位于第一掺杂类型第五埋层(505)上方,第二掺杂类型埋层(403)上方设置有场氧化层(86),第一掺杂类型外延层(512)左侧设置有第二掺杂类型第四阱区(324),第二掺杂类型第五降场层(45)位于第二掺杂类型第四阱区(324)正下方,并与第二掺杂类型第四阱区(324)相切,第一掺杂类型外延层(512)右侧设置有第一掺杂类型第六阱区(525)并在第一掺杂类型第六阱区(525)内靠近上表面处设置有第一重掺杂类型接触区(52);场氧化层(86)与第二掺杂类型第四阱区(324)之间设有间隔,第八类栅氧化层(617)连接了位于第二掺杂类型第四阱区(324)上表面处的第一重掺杂类型接触区(52)与场氧化层(86)左边界,所述第八类栅氧化层(617)左端部分覆盖或相切于第一重掺杂类型接触区(52)右边界,第八类栅氧化层(617)上表面处覆盖有第八类多晶硅层(77),所述第八类多晶硅层(77)左端相切或者未延伸至第八类栅氧化层(617)的左边界,且覆盖或相切于第一重掺杂类型接触区(52)右边界,所述第八类多晶硅层(77)右侧覆盖部分第八类场氧化层(86);介质层(62)覆盖了第八类栅氧化层(617)裸露的部分、第八类多晶硅层(77)上表面、场氧化层(86)裸露的上表面,第六类源极金属(118)覆盖了部分第一重掺杂类型接触区(52)与第二重掺杂类型接触区(32),第六类漏极金属(120)覆盖了第一掺杂类型外延层(512)右侧的部分第一重掺杂类型接触区(52),第四类场板电极金属(119)覆盖右侧的部分多晶硅(77);

所述第六类LDMOS器件(10)通过隔离条结构与相邻的第五类LDMOS器件(9)隔开;所述第六类LDMOS器件(10)在第二掺杂类型外延层(311)部分上表面处设置有第一掺杂类型第六埋层(506),第一掺杂类型外延层(512)位于第一掺杂类型第六埋层(506)上方,第一掺杂类型外延层(512)上方设置有场氧化层(86),第一掺杂类型外延层(512)左侧设置有第二掺杂类型第五阱区(325),位于第二掺杂类型第五阱区(325)正下方与之相切的是第二掺杂类型第六降场层(46),第一掺杂类型外延层(512)右侧设置有第一掺杂类型第七阱区(526)并在其中靠近上表面处设置有第一重掺杂类型接触区(52),第一掺杂类型外延层(512)上方的场氧化层(86)与第二掺杂类型第五阱区(325)之间设有间隔,第九类栅氧化层(618)连接

了位于第二掺杂类型第五阱区(325)上表面处的第一重掺杂类型接触区(52)与场氧化层(86)左边界,所述第九类栅氧化层(618)左端覆盖或相切于第一重掺杂类型接触区(52)右边界,第九类栅氧化层(618)上表面处覆盖第九类多晶硅层(78),所述第九类多晶硅层(78)左端相切或者未延伸至第九类栅氧化层(618)的左边界,且覆盖或相切于第一重掺杂类型接触区(52)右边界,所述第九类多晶硅层(78)右端覆盖部分第九类场氧化层(86);介质层(62)覆盖第九类栅氧化层(618)裸露的部分、第九类多晶硅层(78)上表面、场氧化层(86)裸露的上表面处,第七类源极金属(121)覆盖第一掺杂类型外延层(512)左侧的部分第一重掺杂类型接触区(52)与第二重掺杂类型接触区(32)的上表面,第七类漏极金属(122)覆盖第一掺杂类型外延层(512)右侧的部分第一重掺杂类型接触区(52);

所述第七类LDMOS器件(11)通过隔离条结构与相邻的第六类LDMOS器件(10)隔开;所述第七类LDMOS器件(11)在第二掺杂类型外延层(311)部分上表面处设置有第一掺杂类型第七埋层(507),第一掺杂类型外延层(512)位于第一掺杂类型第七埋层(507)上方,第一掺杂类型外延层(512)左侧设置有第二掺杂类型第六阱区(326),第二掺杂类型第七降场层(47)位于第二掺杂类型第六阱区(326)正下方与第二掺杂类型第六阱区(326)相切,第一掺杂类型外延层(512)右侧设置有第一重掺杂类型接触区(52),第十类栅氧化层(619)覆盖第一重掺杂类型接触区(52)右边界,第十类栅氧化层(619)上表面处覆盖有第十类多晶硅层(79),所述第十类多晶硅层(79)左端相切或者未延伸至第十类栅氧化层(619)的左边界,且覆盖或相切于第一重掺杂类型接触区(52)右边界;介质层(62)覆盖了第十类栅氧化层(619)裸露的部分、第十类多晶硅层(79)上表面、场氧化层(86)裸露的上表面,第八类源极金属(123)覆盖了第一掺杂类型外延层(512)左侧的部分第一重掺杂类型接触区(52)与第二重掺杂类型接触区(32)的上表面,第八类漏极金属(124)覆盖了第一掺杂类型外延层(512)右侧的部分第一重掺杂类型接触区(52);

所述第二类JFET器件(12)通过隔离条结构与相邻的第七类LDMOS器件(11)隔开;所述第二类JFET器件(12)在第二掺杂类型外延层(311)部分上表面处设置有第一掺杂类型外延层(512),第一掺杂类型外延层(512)靠近上表面正中间处设置有第二重掺杂类型接触区(32),第二重掺杂类型接触区(32)左右两侧对称设置第一重掺杂类型接触区(52),第一重掺杂类型接触区(52)与第二重掺杂类型接触区(32)之间水平方向上通过场氧化层(86)隔离,场氧化层(86)上方覆盖有介质层(62),第四类金属层(125)覆盖了第二重掺杂类型接触区(32)左侧的第一重掺杂类型接触区(52),第五类金属层(126)覆盖了第二重掺杂类型接触区(32),第六类金属层(127)覆盖了第二重掺杂类型接触区(32)右侧的第一重掺杂类型接触区(52);

所述低压NMOS器件(13)通过隔离条结构与相邻的第二类JFET器件(12)隔开;所述低压NMOS器件(13)在第二掺杂类型外延层(311)部分上表面处设置有第一掺杂类型第八埋层(508),第一掺杂类型外延层(512)位于第一掺杂类型第八埋层(508)上方,第一掺杂类型外延层(512)上方是第二掺杂类型第二深阱区(302),第二掺杂类型第二深阱区(302)左侧设置有第一重掺杂类型接触区(52)与第二重掺杂类型接触区(32),第二掺杂类型第二深阱区(302)右侧设置有第一重掺杂类型接触区(52),两个相邻的第一重掺杂类型接触区(52)上表面通过第十一类栅氧化层(620)连接,第十一类栅氧化层(620)两端相切或覆盖一部分第一重掺杂类型接触区(52),第十一类多晶硅层(80)覆盖了第十一类栅氧化层(620)上表面,

介质层(62)覆盖了第十一类多晶硅层(80),第一类体区金属层(128)覆盖了第二重掺杂类型接触区(32),第九类源极金属层(129)覆盖了第二掺杂类型第二深阱区(302)左侧的第一重掺杂类型接触区(52),第九类漏极金属层(130)覆盖了第二掺杂类型第二深阱区(302)右侧的第一重掺杂类型接触区(52);

所述低压PMOS器件(14)通过隔离条结构与相邻的低压NMOS器件(13)隔开;所述低压PMOS器件(14)在第二掺杂类型外延层(311)部分上表面处设置有第一掺杂类型第九埋层(509),第一掺杂类型外延层(512)位于第一掺杂类型第九埋层(509)上方,第一掺杂类型深阱区(5102)位于第一掺杂类型外延层(512)上方,第一掺杂类型深阱区(5102)左侧设置有第一重掺杂类型接触区(52)与第二重掺杂类型接触区(32),第一掺杂类型深阱区(5102)右侧设置有第二重掺杂类型接触区(32),两个相邻的第二重掺杂类型接触区(32)上表面通过第十二类栅氧化层(621)连接,第十二类栅氧化层(621)两端相切或覆盖部分第二重掺杂类型接触区(32),第十二类多晶硅层(81)覆盖了第十二类栅氧化层(621)上表面,介质层(62)覆盖了第十二类多晶硅层(81)上表面,第二类体区金属层(131)覆盖了第一重掺杂类型接触区(52),第十类源极金属(132)覆盖了第一掺杂类型深阱区(5102)左侧的第二重掺杂类型接触区(32),第十类漏极金属(133)覆盖了第一掺杂类型深阱区(5102)右侧的第二重掺杂类型接触区(32);

所述低压PNP器件(15)通过隔离条结构与相邻的低压PMOS器件(14)隔开;所述低压PNP器件(15)在第二掺杂类型外延层(311)部分上表面处设置有第一掺杂类型第十埋层(510),第一掺杂类型外延层(512)位于第一掺杂类型第十埋层(510)上方,第一掺杂类型外延层(512)上方设置有两个第一重掺杂类型接触区(52)与两个第二重掺杂类型接触区(32),第一重掺杂类型接触区(52)与第二重掺杂类型接触区(32)交替分布且间距相等,第一掺杂类型外延层(512)最左侧为第一重掺杂类型接触区(52),相邻的第一重掺杂类型接触区(52)和第二重掺杂类型接触区(32)两者表面通过场氧化层(86)隔离,两个第二重掺杂类型接触区(32)被第二掺杂类型第三深阱区(303)包围,第七类金属层(134)覆盖了最左侧的第一重掺杂类型接触区(52)上表面,第八类金属层(135)覆盖了中间的第二重掺杂类型接触区(32),第九类金属层(136)覆盖了中间的第一重掺杂类型接触区(52),第十类金属层(137)覆盖了最右侧的第二重掺杂类型接触区(32);

所述低压NPN器件(16)通过隔离条结构与相邻的低压PNP器件(15)隔开;所述低压NPN器件(16)在第二掺杂类型外延层(311)部分上表面处设置有第一掺杂类型第十一埋层(5101),第一掺杂类型外延层(512)位于第一掺杂类型第十一埋层(5101)上方,第一掺杂类型外延层(512)左上方设置有第二掺杂类型第四深阱区(304),第二掺杂类型第四深阱区(304)上表面处设置有通过场氧化层(86)隔离的第一重掺杂类型接触区(52)与第二重掺杂类型接触区(32),场氧化层(86)上表面覆盖有介质层(62),第二掺杂类型第四深阱区(304)外部右侧的第一掺杂类型外延层(512)上表面处设置有第一重掺杂类型接触区(52),第二掺杂类型第四深阱区(304)外部的第一重掺杂类型接触区(52)与第二掺杂类型第四深阱区(304)之间通过场氧化层(86)隔离,介质层(62)覆盖了场氧化层(86),第十二类金属层(139)覆盖了第四深阱区(304)内部的第一重掺杂类型接触区(52),第十一类金属层(138)覆盖了第四深阱区(304)内部的第二重掺杂类型接触区(32),第十三类金属层(140)覆盖了第四深阱区(304)外的第一重掺杂类型接触区(52);

所述第一类二极管器件(17)通过隔离条结构与相邻的低压NPN器件(16)隔开;所述第一类二极管器件(17)在第二掺杂类型外延层(311)部分上表面处设置有第二掺杂类型第三埋层(313),第一掺杂类型外延层(512)位于第二掺杂类型第三埋层(313)上方,第一掺杂类型外延层(512)两侧分别设置有第二掺杂类型第五深阱区(305),第二掺杂类型第五深阱区(305)下表面深入第二掺杂类型第三埋层(313),第二掺杂类型第五深阱区(305)上表面处设置有第二重掺杂类型接触区(32),两个第二重掺杂类型接触区(32)及设置于第二重掺杂类型接触区(32)正中间处的第一重掺杂类型接触区(52)位于第一掺杂类型外延层(512)上表面,第一重掺杂类型接触区(52)和与其相邻的两个第二重掺杂类型接触区(32)表面通过场氧化层(86)隔离,场氧化层(86)上表面覆盖有介质层(62),第十四类金属层(141)覆盖了左侧的第二重掺杂类型接触区(32),第十五类金属(142)覆盖了第一重掺杂类型接触区(52),第十六类金属层(143)覆盖了右侧的第二重掺杂类型接触区(32);

所述第二类二极管器件(18)通过隔离条结构与相邻的第一类二极管器件(17)隔开;所述第二类二极管器件(18)在第二掺杂类型外延层(311)部分上表面处设置有第二掺杂类型第四埋层(314),第一掺杂类型外延层(512)位于第二掺杂类型第四埋层(314)上方,第一掺杂类型外延层(512)上表面处设置有两个第一重掺杂类型接触区(52),场氧化层(86)上表面覆盖有介质层(62),第十七类金属层(144)覆盖了左侧的第一重掺杂类型接触区(52),第十八类金属(145)覆盖了第一掺杂类型外延层(512)的部分上表面,第十九类金属层(146)覆盖了右侧的第一重掺杂类型接触区(52);

所述第三类二极管器件(19)通过隔离条结构与相邻的第二类二极管器件(18)隔开;所述第三类二极管器件(19)在第二掺杂类型外延层(311)部分上表面处设置有第二掺杂类型第五埋层(315),第一掺杂类型外延层(512)位于第二掺杂类型第五埋层(315)上方,第一掺杂类型外延层(512)上表面处设置有两个第一重掺杂类型接触区(52),及两个第二重掺杂类型接触区(32),两个第二重掺杂类型接触区(32)之间设置有间隔、且位于相邻场氧化层(86)之间,场氧化层(86)上表面覆盖有介质层(62),第二十类金属层(147)覆盖了左侧的第一重掺杂类型接触区(52),第二十一类金属(148)覆盖了第一掺杂类型外延层(512)的部分上表面,以及两个第二重掺杂类型接触区(32)的上表面,第二十二类金属层(149)覆盖了右侧的第一重掺杂类型接触区(52);

所述第四类二极管器件(20)通过隔离条结构与相邻的第三类二极管器件(19)隔开;所述第四类二极管器件(20)在第二掺杂类型外延层(311)部分上表面处设置有第二掺杂类型第六埋层(316),第一掺杂类型外延层(512)位于第二掺杂类型第六埋层(316)上方,第一掺杂类型外延层(512)上表面处设置有两个第一重掺杂类型接触区(52)、两个第十三类氧化层(622)、以及两个第六类多晶硅(709),两个第十三类氧化层(622)位于两个第一重掺杂类型接触区(52)之间,两个第十三类氧化层(622)之间设置有间隔,第一重掺杂类型接触区(52)和第十三类氧化层(622)之间为场氧化层(86),场氧化层(86)上表面覆盖有介质层(62),第六类多晶硅(709)位于第十三类氧化层(622)内部上表面,两个第六类多晶硅(709)上表面与第二十四类金属层(151)接触、其余表面都被第十三类氧化层(622)包围,第二十三类金属层(150)覆盖了左侧第一重掺杂类型接触区(52),第二十四类金属层(151)覆盖了第一掺杂类型外延层(512)的部分上表面、两个第十三类氧化层(622)的上表面、以及两个第六类多晶硅(709)上表面,第二十五类金属层(152)覆盖了右侧的第一重掺杂类型接触区

(52)。

2. 根据权利要求1所述的BCD半导体器件,其特征在于:所述隔离条(21)为通过填充介质形成。

3. 根据权利要求1所述的BCD半导体器件,其特征在于:所述器件周期性交替排列的第一掺杂类型条(51)与第二掺杂类型条(31)通过刻槽填充形成。

4. 根据权利要求1所述的BCD半导体器件,其特征在于:所述器件周期性交替排列的第一掺杂类型条(51)与第二掺杂类型条(31)之间有薄层介质(63)隔离。

5. 根据权利要求1所述的BCD半导体器件,其特征在于:所述器件周期性交替排列的第一掺杂类型条(51)与第二掺杂类型条(31)直接做到第一掺杂类型衬底(85)上,去掉了第一掺杂类型Buffer区。

6. 根据权利要求1所述的BCD半导体器件,其特征在于:所述第二类VDMOS器件(3)右侧的器件(4-20)与正下方的第二掺杂类型外延层(311)之间通过介质隔离。

7. 根据权利要求1所述的BCD半导体器件,其特征在于:所述第一类VDMOS器件(2)、第二类VDMOS器件(3)中第一类多晶硅控制栅(701)被替换为纵向两个分离的第二类多晶硅控制栅(704)。

8. 根据权利要求1所述的BCD半导体器件,其特征在于:所述第一类VDMOS器件(2)、第二类VDMOS器件(3)中第一类多晶硅分离栅(702)被替换为纵向两个分离的第三类多晶硅分离栅(705)。

9. 根据权利要求1所述的BCD半导体器件,其特征在于:所述第一类VDMOS器件(2)、第二类VDMOS器件(3)中第一类多晶硅控制栅(701)被替换为横向两个分离的第三类多晶硅控制栅(706),第一类多晶硅分离栅(702)被替换为第四类多晶硅分离栅(707),第四类多晶硅分离栅(707)从两个分离的第三类多晶硅控制栅(706)中穿过并与上方的第一类金属层(102)、第三类金属层(104)接触。

10. 根据权利要求1所述的BCD半导体器件,其特征在于:所述第一类VDMOS器件(2)的终端结构2(n)上端都被场氧化层(86)覆盖,第五类多晶硅分离栅(708)被第一类栅氧化层(610)包围。

## 一种BCD半导体器件

### 技术领域

[0001] 本发明属于半导体功率器件技术领域,尤其是一种BCD半导体器件。

### 背景技术

[0002] 功率集成IC被广泛应用在电源管理、电机驱动、汽车电子和工业控制等领域。BCD指的是将Bipolar、CMOS、DMOS等高压功率器件及各种电阻电容和二极管集成在同一芯片的工艺技术,具有低成本、易封装、易设计和外围芯片更简洁等特点,快速发展为功率IC领域的主流技术。BCD技术中的Bipolar双极晶体管具有高模拟精度主要用于模拟电路中,CMOS具有高集成度主要用于逻辑电路中,DMOS具有高功率(高电压)特性常用作开关作用。主要用作开关使用的DMOS是BCD工艺的核心器件,其功能要求器件具有高耐压的同时尽量小的比导通电阻,DMOS性能的好坏直接决定了芯片的驱动能力与面积,因此DMOS的设计是关键之一;此外,BCD技术中将不同功能的器件集成到一个芯片上,由于器件功能不同,因此所需要的工作环境也不一样,如何将不同器件进行隔离是BCD设计中的另一个关键之一。目前的技术方法是将DMOS的多晶硅栅分为控制栅和隔离栅分别引入,利用隔离栅来有效减少栅漏电容,从而降低开关损耗,提升开关速度,通过超结自然形成的槽状隔离结构贯穿整个漂移区将各个器件完全隔离,能够同时兼顾高的关断耐压和低的导通电阻。

### 发明内容

[0003] 本发明的目的是提供一种BCD半导体器件及其制造方法,能够在一块芯片上同时集成两类JFET、两类VDMOS、LIGBT、七类LDMOS、低压NMOS、低压PMOS、低压NPN、低压PNP及四类二极管等二十类半导体器件。不同于传统器件结构,该发明集成包含了槽型JFET、槽栅LIGBT、槽栅VDMOS、快恢复二极管,所集成的SG-VDMOS与常规VDMOS相比能有效降低栅漏电容,降低了开关损耗,提升了开关速度,通过超结自然形成的槽状隔离结构贯穿整个漂移区将各个器件完全隔离,能够同时兼顾高的关断耐压和低的导通电阻,所述制造方法简单,工艺难度相对较低。

[0004] 为实现上述发明目的,本发明技术方案如下:

[0005] 一种BCD半导体器件,包括集成于同一芯片上的第一类JFET器件1,第一隔离结构204,第一类VDMOS器件2,第二隔离结构203,第二类VDMOS器件3,LIGBT器件4,第一类LDMOS器件5,第二类LDMOS器件6,第三类LDMOS器件7,第四类LDMOS器件8,第五类LDMOS器件9,第六类LDMOS器件10,第七类LDMOS器件11,第二类JFET器件12,低压NMOS器件13,低压PMOS器件14,低压PNP器件15,低压NPN器件16,第一类二极管17,第二类二极管18,第三类二极管19,第四类二极管20;

[0006] 所述第一类JFET器件1包括多个结构相同并依次连接的元胞,所述元胞直接做在第一掺杂类型衬底85上,第一掺杂类型衬底85下方是高压漏极金属100,漂移区包括底部的第一掺杂类型Buffer区18,超结条位于第一掺杂类型Buffer区18上表面,超结条包括周期性交替排列的第一掺杂类型条51和第二掺杂类型条31、及第三掺杂类型条511与第二掺杂

类型外延层311,第一掺杂类型外延层512及第二掺杂类型体区312位于第三掺杂类型条511与第二掺杂类型外延层311上表面,第一掺杂类型外延层512上表面设置有第一重掺杂类型源区52,第二掺杂类型体区312上设置第十四类氧化层623,沟槽介质61上表面与第一电极101接触、其余表面被第十四类氧化层623包围,第一电极101覆盖第一类JFET器件1的上表面;

[0007] 所述第一类VDMOS器件2包括多个结构相同并依次连接的元胞,所述元胞直接做在第一掺杂类型衬底85上,第一掺杂类型衬底85下方是高压漏极金属100,漂移区包括底部的第一掺杂类型Buffer区18和超结条,超结条包括周期性交替排列的第一掺杂类型条51和第二掺杂类型条31、及周期性排列的第三掺杂类型条511与第二掺杂类型外延层311,第二掺杂类型体区312位于第三掺杂类型条511与第二掺杂类型外延层311上表面,第二掺杂类型体区312内置第二重掺杂类型接触区32及第一重掺杂类型接触区52,介质层62覆盖了第一类栅氧化层610及部分第一重掺杂类型接触区52,第一类金属层102覆盖了介质层62及裸露的第一重掺杂类型接触区52及第二重掺杂类型接触区32上表面,槽栅的第一类栅氧化层610上表面与介质层62相切并向下延伸至第一掺杂类型条51中,第一类多晶硅控制栅701位于第一类栅氧化层610中的上部,并被第一类栅氧化层610包围,第一类多晶硅分离栅702位于第一类栅氧化层610中的下部,并被第一类栅氧化层610包围;第一类多晶硅控制栅701上表面深入第一重掺杂类型接触区52、下表面深入第三掺杂类型条511,第一类VDMOS最右侧的元胞2(n)为终端结构,第二类金属层103覆盖了介质层62及部分第二类多晶硅分离栅703上表面,第二类多晶硅分离栅703周围被第一类栅氧化层610包围;

[0008] 所述第一隔离结构204位于第一类JFET器件1最后一个元胞1(n)与第一类VDMOS器件第一个元胞2(1)之间,直接做在第一掺杂类型衬底85上,第一掺杂类型衬底85下方是高压漏极金属100,漂移区包括底部的第一掺杂类型Buffer区18和位于第一掺杂类型Buffer区18上表面的超结条,其中超结条包括周期性交替排列的第一掺杂类型条51和第二掺杂类型条31、及位于第一掺杂类型条51和第二掺杂类型条31上表面周期性排列的第三掺杂类型条511与第二掺杂类型外延层311,位于第三掺杂类型条511与第二掺杂类型外延层311上表面的是第一掺杂类型外延层512及第二掺杂类型体区312,第二掺杂类型条31和第二掺杂类型外延层311组成的条状结构贯穿整个漂移区,属于第一隔离结构204的第二掺杂类型体区312上表面均覆盖有场氧化层86,场氧化层86覆盖了整个第一隔离结构204的上表面,介质层62覆盖了场氧化层86;

[0009] 所述第二类VDMOS器件3包括多个结构相同并依次连接的元胞,所述元胞直接做在第一掺杂类型衬底85上,第一掺杂类型衬底85下方是高压漏极金属100,漂移区包括底部的第一掺杂类型Buffer区18和超结条,超结条包括周期性交替排列的第一掺杂类型条51和第二掺杂类型条31、及周期性排列的第三掺杂类型条511与第二掺杂类型外延层311,第二掺杂类型体区312位于第三掺杂类型条511与第二掺杂类型外延层311上表面,第二掺杂类型体区312内置第二重掺杂类型接触区32及第一重掺杂类型接触区52,介质层62覆盖了第一类栅氧化层610及部分第一重掺杂类型接触区52,第三类金属层104覆盖了介质层62及裸露的第一重掺杂类型接触区52及第二重掺杂类型接触区32上表面,槽栅的第一类栅氧化层610上表面与介质层62相切并向下延伸至第一掺杂类型条51中,第一类多晶硅控制栅701位于第一类栅氧化层610中的上部,并被第一类栅氧化层610包围,第一类多晶硅分离栅702位

于第一类栅氧化层610中的下部,并被第一类栅氧化层610包围;第一类多晶硅控制栅701上表面伸入第一重掺杂类型接触区52、下表面伸入第三掺杂类型条511;耗尽型沟道543分布在第一类栅氧化层610两侧,纵向连通了第一重掺杂类型接触区52以及第三掺杂类型条511;

[0010] 所述第二隔离结构203位于第一类VDMOS器件2最后一个终端元胞2(n)与第二类VDMOS器件3第一个元胞3(1)之间,直接做在第一掺杂类型衬底85上,第一掺杂类型衬底85下方是高压漏极金属100,漂移区包括底部的第一掺杂类型Buffer区18和超结条,超结条包括周期性交替排列的第一掺杂类型条51和第二掺杂类型条31,第一掺杂类型条51和第二掺杂类型条31并列位于第一掺杂类型Buffer区18上表面,周期性排列的第三掺杂类型条511与第二掺杂类型外延层311位于第一掺杂类型条51和第二掺杂类型条31上表面,第一掺杂类型外延层512与第二掺杂类型体区312位于第三掺杂类型条511与第二掺杂类型外延层311上表面,第二掺杂类型条31和第二掺杂类型外延层311组成的条状结构贯穿整个漂移区,属于第二隔离结构203的第二掺杂类型体区312和第一掺杂类型外延层512上表面均覆盖有场氧化层86,场氧化层86覆盖了整个第二隔离结构203的上表面,介质层62覆盖了场氧化层86;

[0011] 第二类VDMOS器件3最后一个元胞3(n)右侧依次为LIGBT器件4、第一类LDMOS器件5、第二类LDMOS器件6、第三类LDMOS器件7、第四类LDMOS器件8、第五类LDMOS器件9、第六类LDMOS器件10、第七类LDMOS器件11、第二类JFET器件12、低压NMOS器件13、低压PMOS器件14、低压PNP15、低压NPN器件16、二极管17;第二类VDMOS器件3最后一个元胞3(n)右侧的上述器件均位于第二掺杂类型外延层311中,第二掺杂类型外延层311位于交替周期排列的第一掺杂类型条51和第二掺杂类型条31上表面,隔离条21及隔离条21上表面的场氧化层86、覆盖于场氧化层86上表面的介质层62三部分构成隔离条结构,所述隔离条结构将位于第二掺杂类型外延层311中的LIGBT器件4、第一类LDMOS器件5、第二类LDMOS器件6、第三类LDMOS器件7、第四类LDMOS器件8、第五类LDMOS器件9、第六类LDMOS器件10、第七类LDMOS器件11、第二类JFET器件12、低压NMOS器件13、低压PMOS器件14、低压PNP15、低压NPN器件16、第一类二极管17、第二类二极管18、第三类二极管19、第四类二极管20相互隔开;

[0012] 所述LIGBT器件4位于第二类VDMOS器件3最后一个元胞3(n)右侧的两个相邻所述隔离条结构之间,第一掺杂类型埋层500位于第二掺杂类型外延层311部分上表面,第一掺杂类型外延层512位于相邻的两个隔离条21之间的第一掺杂类型埋层500上方,第一掺杂类型外延层512左侧设置有第二掺杂类型阱区320;第二掺杂类型阱区320靠近上表面处设置有相切的第一重掺杂类型接触区52与第二重掺杂类型接触区32;第一掺杂类型外延层512右侧设置有第一掺杂类型第一阱区520;第一掺杂类型第一阱区520正中间靠近上表面处设置有第二重掺杂类型接触区32;第一掺杂类型外延层512部分上表面设置有场氧化层86;第三类栅氧化层612位于所述隔离条结构与第二掺杂类型阱区320之间,且与第二掺杂类型阱区320左边界相切;第三类多晶硅72位于第三类栅氧化层612之内,其被第三类栅氧化层612包围;第三类栅氧化层612上表面、场氧化层86上表面处均覆盖有介质层62,第一类发射极金属105覆盖了部分第一重掺杂类型接触区52与部分第二重掺杂类型接触区32上表面,第一掺杂类型第一阱区520正中间靠近上表面处的第二重掺杂类型接触区32上表面覆盖有第一类集电极金属106;

[0013] 所述第一类LDMOS器件5位于LIGBT器件4右侧,并通过隔离条结构与相邻的LIGBT器件4隔开;所述第一类LDMOS器件5位于第二掺杂类型外延层311中,位于第二掺杂类型外延层311部分上表面处设置有第一掺杂类型第一埋层501,相邻的两个隔离条21之间的第一掺杂类型第一埋层501上方是第一掺杂类型外延层512,第一掺杂类型外延层512上表面处设置有第二掺杂类型第一深阱区301,第二掺杂类型第一深阱区301左侧设置有第一掺杂类型第二阱区521,位于第一掺杂类型第二阱区521正下方与之相切的是第一掺杂类型降场层550,第一掺杂类型第二阱区521靠近上表面处设置有第一重掺杂类型接触区52、及与第一重掺杂类型接触区52相切的第二重掺杂类型接触区32;第二掺杂类型第一深阱区301右侧上表面处设置有第二重掺杂类型接触区32,第二掺杂类型第一深阱区301上表面处设置有部分场氧化层86,第二掺杂类型第一深阱区301上表面的场氧化层86与第一掺杂类型第二阱区521之间有间隔,第四类栅氧化层613连接了位于第一掺杂类型第二阱区521上表面处的第二重掺杂类型接触区32与场氧化层86左边界,所述第四类栅氧化层613相切于第二重掺杂类型接触区32右边界,第四类栅氧化层613上表面处覆盖有第四类多晶硅层73,所述第四类多晶硅层73左端与第四类栅氧化层613相切或者不延伸至第四类栅氧化层613的左边界,第四类多晶硅层73左端覆盖或相切于第二掺杂类型接触区32右边界,所述第四类多晶硅层73右侧覆盖部分场氧化层86;第四类栅氧化层613裸露的部分,第四类多晶硅层73上表面,场氧化层86裸露的上表面处均覆盖有介质层62,位于第一掺杂类型第二阱区521上表面处的第一重掺杂类型接触区52与部分第二重掺杂类型接触区32上表面处覆盖有第二类源极金属107,第二掺杂类型第一深阱区301右侧靠近上表面处的第二重掺杂类型源区32上表面覆盖有第二类漏极金属108;

[0014] 所述第二类LDMOS器件6通过隔离条结构与相邻的第一类LDMOS器件5隔开;所述第二类LDMOS器件6在第二掺杂类型外延层311部分上表面处设置有第一掺杂类型第二埋层502,第一掺杂类型外延层512位于第一掺杂类型第二埋层502上方,第二掺杂类型第一埋层401位于第一掺杂类型第二埋层502正上方处,第一掺杂类型外延层512左侧上部设置有第二掺杂类型第一阱区321,第二掺杂类型第二降场层42位于第二掺杂类型第一阱区321正下方并与第二掺杂类型第一阱区321相切,第一掺杂类型外延层512右侧设置有第一掺杂类型第三阱区522并在其中靠近上表面处设置有第一重掺杂类型接触区52,第一掺杂类型外延层512正上方处设置有场氧化层86,第一掺杂类型外延层512正上方的场氧化层86与第二掺杂类型第一阱区321之间有间隔,第五类栅氧化层614连接了位于第二掺杂类型第一阱区321上表面处的第一重掺杂类型源区52与场氧化层86左边界,所述第五类栅氧化层614厚度大于第一类LDMOS器件5的第四类栅氧化层613,所述第五类栅氧化层614左端部分覆盖或相切于第一重掺杂类型接触区52右边界,第五类栅氧化层614上表面处覆盖有第五类多晶硅层74,所述第五类多晶硅层74左侧相切或者未延伸至第五类栅氧化层614的左边界,且覆盖或相切于第一重掺杂类型接触区52右边界,所述第五类多晶硅层74右端覆盖部分场氧化层86,介质层62覆盖第五类栅氧化层614裸露的部分、第五类多晶硅层74上表面、场氧化层86裸露的上表面,第三类源极金属109覆盖第二掺杂类型第一阱区321内的第一重掺杂类型接触区52的部分上表面及与第一重掺杂类型接触区52左侧相切的第二重掺杂类型接触区32的上表面,第三类漏极金属111覆盖右侧的第一重掺杂类型接触区52,第一类场板电极金属110部分覆盖了右侧的第五类多晶硅层74上表面;

[0015] 所述第三类LDMOS器件7通过隔离条结构与相邻的第二类LDMOS器件6隔开,所述第三类N沟道LDMOS器件7在第二掺杂类型外延层311部分上表面设置了第一掺杂类型第三埋层503,第一掺杂类型外延层512位于第一掺杂类型第三埋层503上方,第一掺杂类型外延层512正上方处设置有场氧化层86,第一掺杂类型外延层512左侧设置有第二掺杂类型第二阱区322,第二掺杂类型第三降场层43位于第二掺杂类型第二阱区322正下方并与第二掺杂类型第二阱区322相切,第一掺杂类型外延层512右侧设置有第一掺杂类型第四阱区523并在第一掺杂类型第四阱区523内部靠近上表面处设置有第一重掺杂类型接触区52;第一掺杂类型外延层512上方的场氧化层86与第二掺杂类型第二阱区322之间设有间隔,第六类栅氧化层615连接了位于第二掺杂类型第二阱区322上表面处的第一重掺杂类型接触区52与场氧化层86左边界,所述第六类栅氧化层615左端部分覆盖或相切于第一重掺杂类型接触区52右边界,第六类栅氧化层615上表面覆盖有第六类多晶硅层75,所述第六类多晶硅层75左端相切或者未延伸至第六类栅氧化层615的左边界,且覆盖或相切于第一重掺杂类型接触区52右边界,所述第六类多晶硅层75右侧覆盖部分场氧化层86;介质层62覆盖了第六类栅氧化层615裸露的部分、第六类多晶硅层75上表面、场氧化层86裸露的上表面,第四类源极金属112覆盖左侧的部分第一重掺杂类型接触区52与二重掺杂类型接触区32上表面,第四类漏极金属114覆盖右侧的第一重掺杂类型接触区52,第二类场板电极金属113覆盖了右侧的第六类多晶硅层75的部分上表面;

[0016] 所述第四类LDMOS器件8通过隔离条结构与相邻的第三类LDMOS器件7隔开,所述第四类LDMOS器件8在第二掺杂类型外延层311部分上表面处设置有第一掺杂类型第四埋层504,第一掺杂类型外延层512位于第一掺杂类型第四埋层504上方,第一掺杂类型外延层512正上方处设置有第二掺杂类型top层402,第二掺杂类型top层402上方设置有场氧化层86,第一掺杂类型外延层512左侧设置有第二掺杂类型第三阱区323,第二掺杂类型第四降场层44位于第二掺杂类型第三阱区323正下方并与第二掺杂类型第三阱区323相切,第一掺杂类型外延层512右侧设置有第一掺杂类型第五阱区524并在第一掺杂类型第五阱区524内部靠近上表面处设置有第一重掺杂类型接触区52;第二掺杂类型top层402上方的场氧化层86与第二掺杂类型第三阱区323之间设有间隔,第七类栅氧化层616连接了位于第二掺杂类型第三阱区323上表面处的第一重掺杂类型接触区52与场氧化层86左边界,所述第七类栅氧化层616左端部分覆盖或相切于第一重掺杂类型接触区52右边界,第七类栅氧化层616上表面处覆盖有第七类多晶硅层76,所述第七类多晶硅层76左端相切或者未延伸至第七类栅氧化层616的左边界,且覆盖或相切于第一重掺杂类型接触区52右边界,所述第七类多晶硅层76覆盖部分场氧化层86;介质层62覆盖了第七类栅氧化层616裸露的部分、第七类多晶硅层76上表面、场氧化层86裸露的上表面,第五类源极金属115覆盖了部分第一重掺杂类型接触区52与部分第二重掺杂类型接触区32上表面,第五类漏极金属117覆盖了右侧的第一重掺杂类型接触区52,第三类场板电极金属116覆盖了右侧的部分第七类多晶硅层场板76上表面;

[0017] 所述第五类LDMOS器件9通过隔离条结构与相邻的第四类LDMOS器件8隔开;所述第五类LDMOS器件9在第二掺杂类型外延层311部分上表面处设置有第一掺杂类型第五埋层505,第二掺杂类型埋层403位于第一掺杂类型第五埋层505上方,第二掺杂类型埋层403上方设置有场氧化层86,第一掺杂类型外延层512左侧设置有第二掺杂类型第四阱区324,第

二掺杂类型第五降场层45位于第二掺杂类型第四阱区324正下方,并与第二掺杂类型第四阱区324相切,第一掺杂类型外延层512右侧设置有第一掺杂类型第六阱区525并在第一掺杂类型第六阱区525内靠近上表面处设置有第一重掺杂类型接触区52;场氧化层86与第二掺杂类型第四阱区324之间设有间隔,第八类栅氧化层617连接了位于第二掺杂类型第四阱区324上表面处的第一重掺杂类型接触区52与场氧化层86左边界,所述第八类栅氧化层617左端部分覆盖或相切于第一重掺杂类型接触区52右边界,第八类栅氧化层617上表面处覆盖有第八类多晶硅层77,所述第八类多晶硅层77左端相切或者未延伸至第八类栅氧化层617的左边界,且覆盖或相切于第一重掺杂类型接触区52右边界,所述第八类多晶硅层77右侧覆盖部分第八类场氧化层86;介质层62覆盖了第八类栅氧化层617裸露的部分、第八类多晶硅层77上表面、场氧化层86裸露的上表面,第六类源极金属118覆盖了部分第一重掺杂类型接触区52与第二重掺杂类型接触区32,第六类漏极金属120覆盖了第一掺杂类型外延层512右侧的部分第一重掺杂类型接触区52,第四类场板电极金属119覆盖右侧的部分多晶硅77;

[0018] 所述第六类LDMOS器件10通过隔离条结构与相邻的第五类LDMOS器件9隔开;所述第六类LDMOS器件10在第二掺杂类型外延层311部分上表面处设置有第一掺杂类型第六埋层506,第一掺杂类型外延层512位于第一掺杂类型第六埋层506上方,第一掺杂类型外延层512上方设置有场氧化层86,第一掺杂类型外延层512左侧设置有第二掺杂类型第五阱区325,位于第二掺杂类型第五阱区325正下方与之相切的是第二掺杂类型第六降场层46,第一掺杂类型外延层512右侧设置有第一掺杂类型第七阱区526并在其中靠近上表面处设置有第一重掺杂类型接触区52,第一掺杂类型外延层512上方的场氧化层86与第二掺杂类型第五阱区325之间设有间隔,第九类栅氧化层618连接了位于第二掺杂类型第五阱区325上表面处的第一重掺杂类型接触区52与场氧化层86左边界,所述第九类栅氧化层618左端覆盖或相切于第一重掺杂类型接触区52右边界,第九类栅氧化层618上表面处覆盖第九类多晶硅层78,所述第九类多晶硅层78左端相切或者未延伸至第九类栅氧化层618的左边界,且覆盖或相切于第一重掺杂类型接触区52右边界,所述第九类多晶硅层78右端覆盖部分第九类场氧化层86;介质层62覆盖第九类栅氧化层618裸露的部分、第九类多晶硅层78上表面、场氧化层86裸露的上表面处,第七类源极金属121覆盖第一掺杂类型外延层512左侧的部分第一重掺杂类型接触区52与第二重掺杂类型接触区32的上表面,第七类漏极金属122覆盖第一掺杂类型外延层512右侧的部分第一重掺杂类型接触区52;

[0019] 所述第七类LDMOS器件11通过隔离条结构与相邻的第六类LDMOS器件10隔开;所述第七类LDMOS器件11在第二掺杂类型外延层311部分上表面处设置有第一掺杂类型第七埋层507,第一掺杂类型外延层512位于第一掺杂类型第七埋层507上方,第一掺杂类型外延层512左侧设置有第二掺杂类型第六阱区326,第二掺杂类型第七降场层47位于第二掺杂类型第六阱区326正下方与第二掺杂类型第六阱区326相切,第一掺杂类型外延层512右侧设置有第一重掺杂类型接触区52,所述第十类栅氧化层619覆盖第一重掺杂类型接触区52右边界,第十类栅氧化层619上表面处覆盖有第十类多晶硅层79,所述第十类多晶硅层79左端相切或者未延伸至第十类栅氧化层619的左边界,且覆盖或相切于第一重掺杂类型接触区52右边界;介质层62覆盖了第十类栅氧化层619裸露的部分、第十类多晶硅层79上表面、场氧化层86裸露的上表面,第八类源极金属123覆盖了第一掺杂类型外延层512左侧的部分第一

重掺杂类型接触区52与第二重掺杂类型接触区32的上表面,第八类漏极金属124覆盖了第一掺杂类型外延层512右侧的部分第一重掺杂类型接触区52;

[0020] 所述第二类JFET器件12通过隔离条结构与相邻的第七类LDMOS器件11隔开;所述第二类JFET器件12在第二掺杂类型外延层311部分上表面处设置有第一掺杂类型外延层512,第一掺杂类型外延层512靠近上表面正中间处设置有第二重掺杂类型接触区32,第二重掺杂类型接触区32左右两侧对称设置第一重掺杂类型接触区52,第一重掺杂类型接触区52与第二重掺杂类型接触区32之间水平方向上通过场氧化层86隔离,场氧化层86上方覆盖有介质层62,第四类金属层125覆盖了第二重掺杂类型接触区32左侧的第一重掺杂类型接触区52,第五类金属层126覆盖了第二重掺杂类型接触区32,第六类金属层127覆盖了第二重掺杂类型接触区32右侧的第一重掺杂类型接触区52;

[0021] 所述低压NMOS器件13通过隔离条结构与相邻的第二类JFET器件12隔开;所述低压NMOS器件13在第二掺杂类型外延层311部分上表面处设置有第一掺杂类型第八埋层508,第一掺杂类型外延层512位于第一掺杂类型第八埋层508上方,第一掺杂类型外延层512上方是第二掺杂类型第二深阱区302,第二掺杂类型第二深阱区302左侧设置有第一重掺杂类型接触区52与第二重掺杂类型接触区32,第二掺杂类型第二深阱区302右侧设置有第一重掺杂类型接触区52,两个相邻的第一重掺杂类型接触区52上表面通过第十一类栅氧化层620连接,第十一类栅氧化层620两端相切或覆盖一部分第一重掺杂类型接触区52,第十一类多晶硅层80覆盖了第十一类栅氧化层620上表面,介质层62覆盖了第十一类多晶硅层80,第一类体区金属层128覆盖了第二重掺杂类型接触区32,第九类源极金属层129覆盖了第二掺杂类型第二深阱区302左侧的第一重掺杂类型接触区52,第九类漏极金属层130覆盖了第二掺杂类型第二深阱区302右侧的第一重掺杂类型接触区52;

[0022] 所述低压PMOS器件14通过隔离条结构与相邻的低压NMOS器件13隔开;所述低压PMOS器件14在第二掺杂类型外延层311部分上表面处设置有第一掺杂类型第九埋层509,第一掺杂类型外延层512位于第一掺杂类型第九埋层509上方,第一掺杂类型深阱区5102位于第一掺杂类型外延层512上方,第一掺杂类型深阱区5102左侧设置有第一重掺杂类型接触区52与第二重掺杂类型接触区32,第一掺杂类型深阱区5102右侧设置有第二重掺杂类型接触区32,两个相邻的第二重掺杂类型接触区32上表面通过第十二类栅氧化层621连接,第十二类栅氧化层621两端相切或覆盖部分第二重掺杂类型接触区32,第十二类多晶硅层81覆盖了第十二类栅氧化层621上表面,介质层62覆盖了第十二类多晶硅层81上表面,第二类体区金属层131覆盖了第一重掺杂类型接触区52,第十类源极金属132覆盖了第一掺杂类型深阱区5102左侧的第二重掺杂类型接触区32,第十类漏极金属133覆盖了第一掺杂类型深阱区5102右侧的第二重掺杂类型接触区32;

[0023] 所述PNP器件15通过隔离条结构与相邻的低压PMOS器件14隔开;所述PNP器件15在第二掺杂类型外延层311部分上表面处设置有第一掺杂类型第十埋层510,第一掺杂类型外延层512位于第一掺杂类型第十埋层510上方,第一掺杂类型外延层512上方设置有两个第一重掺杂类型接触区52与两个第二重掺杂类型接触区32,第一重掺杂类型接触区52与第二重掺杂类型接触区32交替分布且间距相等,第一掺杂类型外延层512最左侧为第一重掺杂类型接触区52,相邻的第一重掺杂类型接触区52和第二重掺杂类型接触区32两者表面通过场氧化层86隔离,两个第二重掺杂类型接触区32被第二掺杂类型第三深阱区303包围,第七

类金属层134覆盖了最左侧的第一重掺杂类型接触区52上表面,第八类金属层135覆盖了中间的第二掺杂类型接触区32,第九类金属层136覆盖了中间的第一重掺杂类型接触区52,第十类金属层137覆盖了最右侧的第二重掺杂类型接触区32;

[0024] 所述NPN器件16通过隔离条结构与相邻的PNP器件15隔开;所述NPN器件16在第二掺杂类型外延层311部分上表面处设置有第一掺杂类型第十一埋层5101,第一掺杂类型外延层512位于第一掺杂类型第十一埋层5101上方,第一掺杂类型外延层512左上方设置有第二掺杂类型第四深阱区304,第二掺杂类型第四深阱区304上表面处设置有通过场氧化层86隔离的第一重掺杂类型接触区52与第二重掺杂类型接触区32,场氧化层86上表面覆盖有介质层62,第二掺杂类型第四深阱区304外部右侧的第一掺杂类型外延层512上表面处设置有第一重掺杂类型接触区52,第二掺杂类型第四深阱区304外部的第一重掺杂类型接触区52与第二掺杂类型第四深阱区304之间通过场氧化层86隔离,介质层62覆盖了场氧化层86,第十二类金属层139覆盖了第四深阱区304内部的第一重掺杂类型接触区52,第十一类金属层138覆盖了第四深阱区304内部的第二重掺杂类型接触区32,第十三类金属层140覆盖了第四深阱区304外的第一重掺杂类型接触区52;

[0025] 所述第一类二极管器件17通过隔离条结构与相邻的PNP器件16隔开;所述第一类二极管器件17在第二掺杂类型外延层311部分上表面处设置有第二掺杂类型第三埋层313,第一掺杂类型外延层512位于第二掺杂类型第三埋层313上方,第一掺杂类型外延层512两侧分别设置有第二掺杂类型第五深阱区305,第二掺杂类型第五阱区305下表面深入第二掺杂类型第三埋层313,第二掺杂类型第五阱区305上表面处设置有第二重掺杂类型接触区32,两个第二重掺杂类型接触区32及设置于第二重掺杂类型接触区32正中间处的第一重掺杂类型接触区52位于第一掺杂类型外延层512上表面,第一重掺杂类型接触区52和与其相邻的两个第二重掺杂类型接触区32表面通过场氧化层86隔离,场氧化层86上表面覆盖有介质层62,第十四类金属层141覆盖了左侧的第二重掺杂类型接触区32,第十五类金属142覆盖了第一重掺杂类型接触区52,第十六类金属层143覆盖了右侧的第二重掺杂类型接触区32;

[0026] 所述第二类二极管器件18通过隔离条结构与相邻的第一类二极管器件17隔开;所述第二类二极管器件18在第二掺杂类型外延层311部分上表面处设置有第二掺杂类型第四埋层314,第一掺杂类型外延层512位于第二掺杂类型第四埋层314上方,第一掺杂类型外延层512上表面处设置有两个第一重掺杂类型接触区52,场氧化层86上表面覆盖有介质层62,第十七类金属层144覆盖了左侧的第一重掺杂类型接触区52,第十八类金属145覆盖了第一掺杂类型外延层512的部分上表面,第十九类金属层146覆盖了右侧的第一重掺杂类型接触区52;

[0027] 所述第三类二极管器件19通过隔离条结构与相邻的第二类二极管器件18隔开;所述第三类二极管器件19在第二掺杂类型外延层311部分上表面处设置有第二掺杂类型第五埋层315,第一掺杂类型外延层512位于第二掺杂类型第五埋层315上方,第一掺杂类型外延层512上表面处设置有两个第一重掺杂类型接触区52,及两个第二重掺杂类型接触区32,两个第二重掺杂类型接触区32之间设置有间隔、且位于相邻场氧化层86之间,场氧化层86上表面覆盖有介质层62,第二十类金属层147覆盖了左侧的第一重掺杂类型接触区52,第二十一类金属148覆盖了第一掺杂类型外延层512的部分上表面,以及两个第二重掺杂类型接触

区32的上表面,第二十二类金属层149覆盖了右侧的第一重掺杂类型接触区52;

[0028] 所述第四类二极管器件20通过隔离条结构与相邻的第三类二极管器件19隔开;所述第四类二极管器件20在第二掺杂类型外延层311部分上表面处设置有第二掺杂类型第六埋层316,第一掺杂类型外延层512位于第二掺杂类型第六埋层316上方,第一掺杂类型外延层512上表面处设置有两个第一重掺杂类型接触区52、两个第十三类氧化层622、以及两个第六类多晶硅709,两个第十三类氧化层622位于两个第一重掺杂类型接触区52之间,两个第十三类氧化层622之间设置有间隔,第一重掺杂类型接触区52和第十三类氧化层622之间为场氧化层86,场氧化层86上表面覆盖有介质层62,第六类多晶硅709位于第十三类氧化层622内部上表面,两个第六类多晶硅709上表面与第二十四类金属层151接触、其余表面都被第十三类氧化层622包围,第二十三类金属层150覆盖了左侧第一重掺杂类型接触区52,第二十四类金属151覆盖了第一掺杂类型外延层512的部分上表面、两个第十三类氧化层622的上表面、以及两个第六类多晶硅709上表面,第二十五类金属层152覆盖了右侧的第一重掺杂类型接触区52。

[0029] 作为优选方式,所述隔离条21为通过填充介质形成。

[0030] 作为优选方式,所述器件周期排列的第一掺杂类型条51与第二掺杂类型条31通过刻槽填充形成。

[0031] 作为优选方式,所述器件周期排列的第一掺杂类型条51与第二掺杂类型条31之间有薄层介质63隔离。

[0032] 作为优选方式,所述器件周期排列的第一掺杂类型条51与第二掺杂类型条31直接做到第一掺杂类型衬底85上,去掉了第一掺杂类型Buffer区18。

[0033] 作为优选方式,所述第二类VDMOS器件3右侧的器件4-20与正下方的第二掺杂类型外延311之间通过介质隔离。

[0034] 作为优选方式,所述第一类VDMOS器件2、第二类VDMOS器件3中控制栅701被替换为纵向两个分离的第二类多晶硅控制栅704。

[0035] 作为优选方式,所述第一类VDMOS器件2、第二类VDMOS器件3中分离栅702被替换为纵向两个分离的第三类多晶硅分离栅705。

[0036] 作为优选方式,所述第一类VDMOS器件2、第二类VDMOS器件3中控制栅701被替换为横向两个分离的第三类多晶硅控制栅706,分离栅702被替换为第四类多晶硅分离栅707,第四类多晶硅分离栅707从两个分离的第三类多晶硅控制栅706中穿过并与上方的第一类金属层102、第三类金属层104接触。

[0037] 作为优选方式,所述第一类VDMOS器件2的终端结构2(n)上端都被场氧化层86覆盖,第五类多晶硅分离栅708被第一类栅氧化层610包围。

[0038] 本发明的有益效果为:本发明在衬底上实现了第一类JFET、第一类VDMOS、第二类VDMOS、LIGBT、七类LDMOS、第二类JFET、NMOS、PMOS、、NPN、PNP及四类二极管的单片集成。漂移区部分由周期交替排列的第一掺杂类型条与第二掺杂类型条构成,第一掺杂类型条与第二掺杂类型条形成横向结,反向耐压时能调制纵向电场,能承受较高耐压,横向结的调制作用使得起到导电作用的第一掺杂类型条掺杂浓度得以提升,极大提高了第一类JFET器件1、第一类VDMOS器件2、第二类VDMOS器件3的电流能力,实现了器件高耐压的同时,导电能力增强;通过改变漂移区超结条最后一次的外延类型使得横向器件可以与高压超结纵向器件单

片集成到一起,降低芯片的制造成本。此外,利用与第一类JFET器件1、第一类VDMOS器件2、第二类VDMOS器件3兼容的第二掺杂阱区形成的工艺,实现第二类VDMOS器件3右侧的器件4-17的槽状隔离结构,较好的隔离了各个器件的同时,提升芯片整体性能。第一类JFET器件1、第一类VDMOS器件2、第二类VDMOS器件3部分由于第一掺杂类型杂质与第二掺杂类型交替形成的条贯穿整个漂移区,自然形成隔离结构,使得不同功能的纵向器件可以独立工作,互不影响。本发明在不增加工艺成本的同时将高压器件与横向器件集成到一起,极大的降低了工艺成本。与常规集成的高压半导体器件相比,本发明提供的高压半导体器件在相同芯片面积的情况下具有更小的导通电阻(或在相同的导通能力的情况下具有更小的芯片面积),构成的高压功率集成电路可以用于消费电子、显示驱动等多种产品中。DMOS器件固有的栅漏电容很大程度上决定了器件的开关频率和开关损耗,通过将传统多晶硅栅分为控制栅(control gate)和隔离栅(split gate)两部分能够在一定程度上降低栅漏电容,从而降低开关损耗,提高开关频率。除了传统PiN二极管,该工艺还集成了可用于快速开关电路中的肖特基二极管,其具有更低的正向导通电压、更快的反向恢复特性。

## 附图说明

[0039] 图1(a) -图1(d)是实施例1的结构示意图。

[0040] 图2(a) -图2(d)是实施例2的结构示意图。

[0041] 图3(a) -图3(d)是实施例3的结构示意图。

[0042] 图4(a) -图4(d)是实施例4的结构示意图。

[0043] 图5(a) -图5(d)是实施例5的结构示意图。

[0044] 图6是实施例6的结构示意图。

[0045] 图7是实施例7的结构示意图。

[0046] 图8是实施例8的结构示意图。

[0047] 图9是实施例9的结构示意图。

[0048] 其中,1为第一类JFET器件,204为第一隔离结构,2为第一类VDMOS器件,203为第二隔离结构,3为第二类VDMOS器件,4为LIGBT器件,5为第一类LDMOS器件,6为第二类LDMOS器件,7为第三类LDMOS器件,8为第四类LDMOS器件,9为第五类LDMOS器件,10为第六类LDMOS器件,11为第七类LDMOS器件,12为第二类JFET器件,13为低压NMOS器件,14为低压PMOS器件,15为低压PNP,16为低压NPN器件,17为第一类二极管,18为第二类二极管,19为第三类二极管,20为第四类二极管;18为第一掺杂类型Buffer区,85为第一掺杂类型衬底,86为场氧化层,1(1) -1(n)为第一类JFET器件1的元胞,2(1) -2(n)为第一类VDMOS器件2的元胞,3(1) -3(n)第二类VDMOS器件3的元胞,51为第一掺杂类型条,31为第二掺杂类型条,511为第三掺杂类型条,311为第二掺杂类型外延层,610~621为第一类到第十二类栅氧化层,622-623为第十三类到第十四类氧化层,701为第一类多晶硅控制栅,702为第一类多晶硅分离栅,703为第二类多晶硅分离栅,704为第二类多晶硅控制栅,705为第三类多晶硅分离栅,706为第三类多晶硅控制栅,707为第四类多晶硅分离栅,708为第五类多晶硅分离栅,709为第六类多晶硅,72~81为第三类到第十二类多晶硅层,512为第一掺杂类型外延层,52为第一重掺杂类型源区,32为第二重掺杂类型源区,543为第一轻掺杂类型耗尽型沟道区,100为高压漏极金属,101为第一电极,102-104为第一类到第三类金属层,105为第一类源极金属,106为第

一类漏极金属,107为第二类源极金属,108为第二类漏极金属,109为第三类源极金属,111为第三类漏极金属,110为第一类场板电极金属,112为第四类源极金属,114为第四类漏极金属,113为第二类场板电极金属,115为第五类源极金属,116为第三类场板电极金属,117为第五类漏极金属,118为第六类源极金属,119为第四类场板电极金属,120为第六类漏极金属,121为第七类源极金属,122为第七类漏极金属,123为第八类源极金属,124为第七类漏极金属,125为第四类金属层,126为第五类金属层,127为第六类金属层,128为第一类体区金属层,129为第九类源极金属,130为第九类漏极金属,131为第二类体区金属层,132为第十类源极金属,133为第十类漏极金属,134为第七类金属层,135为第八类金属层,136为第九类金属层,137为第十类金属层,138为第十一类金属层,139为第十二类金属层,140为第十三类金属层,141为第十四类金属层,142为第十五类金属层,143为第十六类金属层,144为第十七类金属层,145为第十八类金属层,146为第十九类金属层,147为第二十类金属层,148为第二十一类金属层,149为第二十二类金属层,150为第二十三类金属层,151为第二十四类金属层,152为第二十五类金属层,62为介质层,312为第二掺杂类型体区,21为隔离条,500为第一掺杂类型埋层,501~510为第一掺杂类型第一埋层到第一掺杂类型第十埋层,5101为第一掺杂类型第十一埋层,320第二掺杂类型阱区,321~325为第二掺杂类型第一阱区到第五阱区,401为第二掺杂类型第一埋层,402为第二掺杂类型top层,403为第二掺杂类型埋层,313~316为第二掺杂类型第三埋层到第六埋层,301~305为第二掺杂类型第一深阱区到第五深阱区,520~526为第一掺杂类型第一阱区到第一掺杂类型第七阱区,5102为第一掺杂类型深阱区,550为第一掺杂类型降场层,42-47为第二掺杂类型第二降场层到第七降场层,61为沟槽介质,63为薄层介质,82为第二掺杂类型隔离埋层。

[0049] 实施例1

[0050] 如图1(a)-图1(d)所示:

[0051] 一种BCD半导体器件,包括集成于同一芯片上的第一类JFET器件1,第一隔离结构204,第一类VDMOS器件2,第二隔离结构203,第二类VDMOS器件3,LIGBT器件4,第一类LDMOS器件5,第二类LDMOS器件6,第三类LDMOS器件7,第四类LDMOS器件8,第五类LDMOS器件9,第六类LDMOS器件10,第七类LDMOS器件11,第二类JFET器件12,低压NMOS器件13,低压PMOS器件14,低压PNP器件15,低压NPN器件16,第一类二极管17,第二类二极管18,第三类二极管19,第四类二极管20;

[0052] 所述第一类JFET器件1包括多个结构相同并依次连接的元胞,所述元胞直接做在第一掺杂类型衬底85上,第一掺杂类型衬底85下方是高压漏极金属100,漂移区包括底部的第一掺杂类型Buffer区18,超结条位于第一掺杂类型Buffer区18上表面,超结条包括周期性交替排列的第一掺杂类型条51和第二掺杂类型条31、及第三掺杂类型条511与第二掺杂类型外延层311,第一掺杂类型外延层512及第二掺杂类型体区312位于第三掺杂类型条511与第二掺杂类型外延层311上表面,第一掺杂类型外延层512上表面设置有第一重掺杂类型源区52,第二掺杂类型体区312上设置第十四类氧化层623,沟槽介质61上表面与第一电极101接触、其余表面被第十四类氧化层623包围,第一电极101覆盖第一类JFET器件1的上表面;

[0053] 所述第一类VDMOS器件2包括多个结构相同并依次连接的元胞,所述元胞直接做在第一掺杂类型衬底85上,第一掺杂类型衬底85下方是高压漏极金属100,漂移区包括底部的

第一掺杂类型Buffer区18和超结条,超结条包括周期性交替排列的第一掺杂类型条51和第二掺杂类型条31、及周期性排列的第三掺杂类型条511与第二掺杂类型外延层311,第二掺杂类型体区312位于第三掺杂类型条511与第二掺杂类型外延层311上表面,第二掺杂类型体区312内置第二重掺杂类型接触区32及第一重掺杂类型接触区52,介质层62覆盖了第一类栅氧化层610及部分第一重掺杂类型接触区52,第一类金属层102覆盖了介质层62及裸露的第一重掺杂类型接触区52及第二重掺杂类型接触区32上表面,槽栅的第一类栅氧化层610上表面与介质层62相切并向下延伸至第一掺杂类型条51中,第一类多晶硅控制栅701位于第一类栅氧化层610中的上部,并被第一类栅氧化层610包围,第一类多晶硅分离栅702位于第一类栅氧化层610中的下部,并被第一类栅氧化层610包围;第一类多晶硅控制栅701上表面深入第一重掺杂类型接触区52、下表面深入第三掺杂类型条511,第一类VDMOS最右侧的元胞2(n)为终端结构,第二类金属层103覆盖了介质层62及部分第二类多晶硅分离栅703上表面,第二类多晶硅分离栅703周围被第一类栅氧化层610包围;

[0054] 所述第一隔离结构204位于第一类JFET器件1最后一个元胞1(n)与第一类VDMOS器件第一个元胞2(1)之间,直接做在第一掺杂类型衬底85上,第一掺杂类型衬底85下方是高压漏极金属100,漂移区包括底部的第一掺杂类型Buffer区18和位于第一掺杂类型Buffer区18上表面的超结条,其中超结条包括周期性交替排列的第一掺杂类型条51和第二掺杂类型条31、及位于第一掺杂类型条51和第二掺杂类型条31上表面周期性排列的第三掺杂类型条511与第二掺杂类型外延层311,位于第三掺杂类型条511与第二掺杂类型外延层311上表面的是第一掺杂类型外延层512及第二掺杂类型体区312,第二掺杂类型条31和第二掺杂类型外延层311组成的条状结构贯穿整个漂移区,属于第一隔离结构204的第二掺杂类型体区312上表面均覆盖有场氧化层86,场氧化层86覆盖了整个第一隔离结构204的上表面,介质层62覆盖了场氧化层86;

[0055] 所述第二类VDMOS器件3包括多个结构相同并依次连接的元胞,所述元胞直接做在第一掺杂类型衬底85上,第一掺杂类型衬底85下方是高压漏极金属100,漂移区包括底部的第一掺杂类型Buffer区18和超结条,超结条包括周期性交替排列的第一掺杂类型条51和第二掺杂类型条31、及周期性排列的第三掺杂类型条511与第二掺杂类型外延层311,第二掺杂类型体区312位于第三掺杂类型条511与第二掺杂类型外延层311上表面,第二掺杂类型体区312内置第二重掺杂类型接触区32及第一重掺杂类型接触区52,介质层62覆盖了第一类栅氧化层610及部分第一重掺杂类型接触区52,第三类金属层104覆盖了介质层62及裸露的第一重掺杂类型接触区52及第二重掺杂类型接触区32上表面,槽栅的第一类栅氧化层610上表面与介质层62相切并向下延伸至第一掺杂类型条51中,第一类多晶硅控制栅701位于第一类栅氧化层610中的上部,并被第一类栅氧化层610包围,第一类多晶硅分离栅702位于第一类栅氧化层610中的下部,并被第一类栅氧化层610包围;第一类多晶硅控制栅701上表面伸入第一重掺杂类型接触区52、下表面伸入第三掺杂类型条511;耗尽型沟道543分布在第一类栅氧化层610两侧,纵向连通了第一重掺杂类型接触区52以及第三掺杂类型条511;

[0056] 所述第二隔离结构203位于第一类VDMOS器件2最后一个终端元胞2(n)与第二类VDMOS器件3第一个元胞3(1)之间,直接做在第一掺杂类型衬底85上,第一掺杂类型衬底85下方是高压漏极金属100,漂移区包括底部的第一掺杂类型Buffer区18和超结条,超结条包

括周期性交替排列的第一掺杂类型条51和第二掺杂类型条31,第一掺杂类型条51和第二掺杂类型条31并列位于第一掺杂类型Buffer区18上表面,周期性排列的第三掺杂类型条511与第二掺杂类型外延层311位于第一掺杂类型条51和第二掺杂类型条31上表面,第一掺杂类型外延层512与第二掺杂类型体区312位于第三掺杂类型条511与第二掺杂类型外延层311上表面,第二掺杂类型条31和第二掺杂类型外延层311组成的条状结构贯穿整个漂移区,属于第二隔离结构203的第二掺杂类型体区312和第一掺杂类型外延层512上表面均覆盖有场氧化层86,场氧化层86覆盖了整个第二隔离结构203的上表面,介质层62覆盖了场氧化层86;

[0057] 第二类VDMOS器件3最后一个元胞3(n)右侧依次为LIGBT器件4、第一类LDMOS器件5、第二类LDMOS器件6、第三类LDMOS器件7、第四类LDMOS器件8、第五类LDMOS器件9、第六类LDMOS器件10、第七类LDMOS器件11、第二类JFET器件12、低压NMOS器件13、低压PMOS器件14、低压PNP15、低压NPN器件16、二极管17;第二类VDMOS器件3最后一个元胞3(n)右侧的上述器件均位于第二掺杂类型外延层311中,第二掺杂类型外延层311位于交替周期排列的第一掺杂类型条51和第二掺杂类型条31上表面,隔离条21及隔离条21上表面的场氧化层86、覆盖于场氧化层86上表面的介质层62三部分构成隔离条结构,所述隔离条结构将位于第二掺杂类型外延层311中的LIGBT器件4、第一类LDMOS器件5、第二类LDMOS器件6、第三类LDMOS器件7、第四类LDMOS器件8、第五类LDMOS器件9、第六类LDMOS器件10、第七类LDMOS器件11、第二类JFET器件12、低压NMOS器件13、低压PMOS器件14、低压PNP15、低压NPN器件16、第一类二极管17、第二类二极管18、第三类二极管19、第四类二极管20相互隔开;

[0058] 所述LIGBT器件4位于第二类VDMOS器件3最后一个元胞3(n)右侧的两个相邻所述隔离条结构之间,第一掺杂类型埋层500位于第二掺杂类型外延层311部分上表面,第一掺杂类型外延层512位于相邻的两个隔离条21之间的第一掺杂类型埋层500上方,第一掺杂类型外延层512左侧设置有第二掺杂类型阱区320;第二掺杂类型阱区320靠近上表面处设置有相切的第一重掺杂类型接触区52与第二重掺杂类型接触区32;第一掺杂类型外延层512右侧设置有第一掺杂类型第一阱区520;第一掺杂类型第一阱区520正中间靠近上表面处设置有第二重掺杂类型接触区32;第一掺杂类型外延层512部分上表面设置有场氧化层86;第三类栅氧化层612位于所述隔离条结构与第二掺杂类型阱区320之间,且与第二掺杂类型阱区320左边界相切;第三类多晶硅72位于第三类栅氧化层612之内,其被第三类栅氧化层612包围;第三类栅氧化层612上表面、场氧化层86上表面处均覆盖有介质层62,第一类发射极金属105覆盖了部分第一重掺杂类型接触区52与部分第二重掺杂类型接触区32上表面,第一掺杂类型第一阱区520正中间靠近上表面处的第二重掺杂类型接触区32上表面覆盖有第一类集电极金属106;

[0059] 所述第一类LDMOS器件5位于LIGBT器件4右侧,并通过隔离条结构与相邻的LIGBT器件4隔开;所述第一类LDMOS器件5位于第二掺杂类型外延层311中,位于第二掺杂类型外延层311部分上表面处设置有第一掺杂类型第一埋层501,相邻的两个隔离条21之间的第一掺杂类型第一埋层501上方是第一掺杂类型外延层512,第一掺杂类型外延层512上表面处设置有第二掺杂类型第一深阱区301,第二掺杂类型第一深阱区301左侧设置有第一掺杂类型第二阱区521,位于第一掺杂类型第二阱区521正下方与之相切的是第一掺杂类型降场层550,第一掺杂类型第二阱区521靠近上表面处设置有第一重掺杂类型接触区52、及与第一

重掺杂类型接触区52相切的第二重掺杂类型接触区32;第二掺杂类型第一深阱区301右侧上表面处设置有第二重掺杂类型接触区32,第二掺杂类型第一深阱区301上表面处设置有部分场氧化层86,第二掺杂类型第一深阱区301上表面的场氧化层86与第一掺杂类型第二阱区521之间有间隔,第四类栅氧化层613连接了位于第一掺杂类型第二阱区521上表面处的第二重掺杂类型接触区32与场氧化层86左边界,所述第四类栅氧化层613相切于第二重掺杂类型接触区32右边界,第四类栅氧化层613上表面处覆盖有第四类多晶硅层73,所述第四类多晶硅层73左端与第四类栅氧化层613相切或者不延伸至第四类栅氧化层613的左边界,第四类多晶硅层73左端覆盖或相切于第二掺杂类型接触区32右边界,所述第四类多晶硅层73右侧覆盖部分场氧化层86;第四类栅氧化层613裸露的部分,第四类多晶硅层73上表面,场氧化层86裸露的上表面处均覆盖有介质层62,位于第一掺杂类型第二阱区521上表面处的第一重掺杂类型接触区52与部分第二重掺杂类型接触区32上表面处覆盖有第二类源极金属107,第二掺杂类型第一深阱区301右侧靠近上表面处的第二重掺杂类型源区32上表面覆盖有第二类漏极金属108;

[0060] 所述第二类LDMOS器件6通过隔离条结构与相邻的第一类LDMOS器件5隔开;所述第二类LDMOS器件6在第二掺杂类型外延层311部分上表面处设置有第一掺杂类型第二埋层502,第一掺杂类型外延层512位于第一掺杂类型第二埋层502上方,第二掺杂类型第一埋层401位于第一掺杂类型第二埋层502正上方处,第一掺杂类型外延层512左侧上部设置有第二掺杂类型第一阱区321,第二掺杂类型第二降场层42位于第二掺杂类型第一阱区321正下方并与第二掺杂类型第一阱区321相切,第一掺杂类型外延层512右侧设置有第一掺杂类型第三阱区522并在其中靠近上表面处设置有第一重掺杂类型接触区52,第一掺杂类型外延层512正上方处设置有场氧化层86,第一掺杂类型外延层512正上方的场氧化层86与第二掺杂类型第一阱区321之间有间隔,第五类栅氧化层614连接了位于第二掺杂类型第一阱区321上表面处的第一重掺杂类型源区52与场氧化层86左边界,所述第五类栅氧化层614厚度大于第一类LDMOS器件5的第四类栅氧化层613,所述第五类栅氧化层614左端部分覆盖或相切于第一重掺杂类型接触区52右边界,第五类栅氧化层614上表面处覆盖有第五类多晶硅层74,所述第五类多晶硅层74左侧相切或者未延伸至第五类栅氧化层614的左边界,且覆盖或相切于第一重掺杂类型接触区52右边界,所述第五类多晶硅层74右端覆盖部分场氧化层86,介质层62覆盖第五类栅氧化层614裸露的部分、第五类多晶硅层74上表面、场氧化层86裸露的上表面,第三类源极金属109覆盖第二掺杂类型第一阱区321内的第一重掺杂类型接触区52的部分上表面及与第一重掺杂类型接触区52左侧相切的第二重掺杂类型接触区32的上表面,第三类漏极金属111覆盖右侧的第一重掺杂类型接触区52,第一类场板电极金属110部分覆盖了右侧的第五类多晶硅层74上表面;

[0061] 所述第三类LDMOS器件7通过隔离条结构与相邻的第二类LDMOS器件6隔开,所述第三类N沟道LDMOS器件7在第二掺杂类型外延层311部分上表面设置了第一掺杂类型第三埋层503,第一掺杂类型外延层512位于第一掺杂类型第三埋层503上方,第一掺杂类型外延层512正上方处设置有场氧化层86,第一掺杂类型外延层512左侧设置有第二掺杂类型第二阱区322,第二掺杂类型第三降场层43位于第二掺杂类型第二阱区322正下方并与第二掺杂类型第二阱区322相切,第一掺杂类型外延层512右侧设置有第一掺杂类型第四阱区523并在第一掺杂类型第四阱区523内部靠近上表面处设置有第一重掺杂类型接触区52;第一掺杂

类型外延层512上方的场氧化层86与第二掺杂类型第二阱区322之间设有间隔,第六类栅氧化层615连接了位于第二掺杂类型第二阱区322上表面处的第一重掺杂类型接触区52与场氧化层86左边界,所述第六类栅氧化层615左端部分覆盖或相切于第一重掺杂类型接触区52右边界,第六类栅氧化层615上表面覆盖有第六类多晶硅层75,所述第六类多晶硅层75左端相切或者未延伸至第六类栅氧化层615的左边界,且覆盖或相切于第一重掺杂类型接触区52右边界,所述第六类多晶硅层75右侧覆盖部分场氧化层86;介质层62覆盖了第六类栅氧化层615裸露的部分、第六类多晶硅层75上表面、场氧化层86裸露的上表面,第四类源极金属112覆盖左侧的部分第一重掺杂类型接触区52与二重掺杂类型接触区32上表面,第四类漏极金属114覆盖右侧的第一重掺杂类型接触区52,第二类场板电极金属113覆盖了右侧的第六类多晶硅层75的部分上表面;

[0062] 所述第四类LDMOS器件8通过隔离条结构与相邻的第三类LDMOS器件7隔开,所述第四类LDMOS器件8在第二掺杂类型外延层311部分上表面处设置有第一掺杂类型第四埋层504,第一掺杂类型外延层512位于第一掺杂类型第四埋层504上方,第一掺杂类型外延层512正上方处设置有第二掺杂类型top层402,第二掺杂类型top层402上方设置有场氧化层86,第一掺杂类型外延层512左侧设置有第二掺杂类型第三阱区323,第二掺杂类型第四降场层44位于第二掺杂类型第三阱区323正下方并与第二掺杂类型第三阱区323相切,第一掺杂类型外延层512右侧设置有第一掺杂类型第五阱区524并在第一掺杂类型第五阱区524内部靠近上表面处设置有第一重掺杂类型接触区52;第二掺杂类型top层402上方的场氧化层86与第二掺杂类型第三阱区323之间设有间隔,第七类栅氧化层616连接了位于第二掺杂类型第三阱区323上表面处的第一重掺杂类型接触区52与场氧化层86左边界,所述第七类栅氧化层616左端部分覆盖或相切于第一重掺杂类型接触区52右边界,第七类栅氧化层616上表面处覆盖有第七类多晶硅层76,所述第七类多晶硅层76左端相切或者未延伸至第七类栅氧化层616的左边界,且覆盖或相切于第一重掺杂类型接触区52右边界,所述第七类多晶硅层76覆盖部分场氧化层86;介质层62覆盖了第七类栅氧化层616裸露的部分、第七类多晶硅层76上表面、场氧化层86裸露的上表面,第五类源极金属115覆盖了部分第一重掺杂类型接触区52与部分第二重掺杂类型接触区32上表面,第五类漏极金属117覆盖了右侧的第一重掺杂类型接触区52,第三类场板电极金属116覆盖了右侧的部分第七类多晶硅层场板76上表面;

[0063] 所述第五类LDMOS器件9通过隔离条结构与相邻的第四类LDMOS器件8隔开;所述第五类LDMOS器件9在第二掺杂类型外延层311部分上表面处设置有第一掺杂类型第五埋层505,第二掺杂类型埋层403位于第一掺杂类型第五埋层505上方,第二掺杂类型埋层403上方设置有场氧化层86,第一掺杂类型外延层512左侧设置有第二掺杂类型第四阱区324,第二掺杂类型第五降场层45位于第二掺杂类型第四阱区324正下方,并与第二掺杂类型第四阱区324相切,第一掺杂类型外延层512右侧设置有第一掺杂类型第六阱区525并在第一掺杂类型第六阱区525内靠近上表面处设置有第一重掺杂类型接触区52;场氧化层86与第二掺杂类型第四阱区324之间设有间隔,第八类栅氧化层617连接了位于第二掺杂类型第四阱区324上表面处的第一重掺杂类型接触区52与场氧化层86左边界,所述第八类栅氧化层617左端部分覆盖或相切于第一重掺杂类型接触区52右边界,第八类栅氧化层617上表面处覆盖有第八类多晶硅层77,所述第八类多晶硅层77左端相切或者未延伸至第八类栅氧化层

617的左边界,且覆盖或相切于第一重掺杂类型接触区52右边界,所述第八类多晶硅层77右侧覆盖部分第八类场氧化层86;介质层62覆盖了第八类栅氧化层617裸露的部分、第八类多晶硅层77上表面、场氧化层86裸露的上表面,第六类源极金属118覆盖了部分第一重掺杂类型接触区52与第二重掺杂类型接触区32,第六类漏极金属120覆盖了第一掺杂类型外延层512右侧的部分第一重掺杂类型接触区52,第四类场板电极金属119覆盖右侧的部分多晶硅77;

[0064] 所述第六类LDMOS器件10通过隔离条结构与相邻的第五类LDMOS器件9隔开;所述第六类LDMOS器件10在第二掺杂类型外延层311部分上表面处设置有第一掺杂类型第六埋层506,第一掺杂类型外延层512位于第一掺杂类型第六埋层506上方,第一掺杂类型外延层512上方设置有场氧化层86,第一掺杂类型外延层512左侧设置有第二掺杂类型第五阱区325,位于第二掺杂类型第五阱区325正下方与之相切的是第二掺杂类型第六降场层46,第一掺杂类型外延层512右侧设置有第一掺杂类型第七阱区526并在其中靠近上表面处设置有第一重掺杂类型接触区52,第一掺杂类型外延层512上方的场氧化层86与第二掺杂类型第五阱区325之间设有间隔,第九类栅氧化层618连接了位于第二掺杂类型第五阱区325上表面处的第一重掺杂类型接触区52与场氧化层86左边界,所述第九类栅氧化层618左端覆盖或相切于第一重掺杂类型接触区52右边界,第九类栅氧化层618上表面处覆盖第九类多晶硅层78,所述第九类多晶硅层78左端相切或者未延伸至第九类栅氧化层618的左边界,且覆盖或相切于第一重掺杂类型接触区52右边界,所述第九类多晶硅层78右端覆盖部分第九类场氧化层86;介质层62覆盖第九类栅氧化层618裸露的部分、第九类多晶硅层78上表面、场氧化层86裸露的上表面处,第七类源极金属121覆盖第一掺杂类型外延层512左侧的部分第一重掺杂类型接触区52与第二重掺杂类型接触区32的上表面,第七类漏极金属122覆盖第一掺杂类型外延层512右侧的部分第一重掺杂类型接触区52;

[0065] 所述第七类LDMOS器件11通过隔离条结构与相邻的第六类LDMOS器件10隔开;所述第七类LDMOS器件11在第二掺杂类型外延层311部分上表面处设置有第一掺杂类型第七埋层507,第一掺杂类型外延层512位于第一掺杂类型第七埋层507上方,第一掺杂类型外延层512左侧设置有第二掺杂类型第六阱区326,第二掺杂类型第七降场层47位于第二掺杂类型第六阱区326正下方与第二掺杂类型第六阱区326相切,第一掺杂类型外延层512右侧设置有第一重掺杂类型接触区52,所述第十类栅氧化层619覆盖第一重掺杂类型接触区52右边界,第十类栅氧化层619上表面处覆盖有第十类多晶硅层79,所述第十类多晶硅层79左端相切或者未延伸至第十类栅氧化层619的左边界,且覆盖或相切于第一重掺杂类型接触区52右边界;介质层62覆盖了第十类栅氧化层619裸露的部分、第十类多晶硅层79上表面、场氧化层86裸露的上表面,第八类源极金属123覆盖了第一掺杂类型外延层512左侧的部分第一重掺杂类型接触区52与第二重掺杂类型接触区32的上表面,第八类漏极金属124覆盖了第一掺杂类型外延层512右侧的部分第一重掺杂类型接触区52;

[0066] 所述第二类JFET器件12通过隔离条结构与相邻的第七类LDMOS器件11隔开;所述第二类JFET器件12在第二掺杂类型外延层311部分上表面处设置有第一掺杂类型外延层512,第一掺杂类型外延层512靠近上表面正中间处设置有第二重掺杂类型接触区32,第二重掺杂类型接触区32左右两侧对称设置第一重掺杂类型接触区52,第一重掺杂类型接触区52与第二重掺杂类型接触区32之间水平方向上通过场氧化层86隔离,场氧化层86上方覆盖

有介质层62,第四类金属层125覆盖了第二重掺杂类型接触区32左侧的第一重掺杂类型接触区52,第五类金属层126覆盖了第二重掺杂类型接触区32,第六类金属层127覆盖了第二重掺杂类型接触区32右侧的第一重掺杂类型接触区52;

[0067] 所述低压NMOS器件13通过隔离条结构与相邻的第二类JFET器件12隔开;所述低压NMOS器件13在第二掺杂类型外延层311部分上表面处设置有第一掺杂类型第八埋层508,第一掺杂类型外延层512位于第一掺杂类型第八埋层508上方,第一掺杂类型外延层512上方是第二掺杂类型第二深阱区302,第二掺杂类型第二深阱区302左侧设置有第一重掺杂类型接触区52与第二重掺杂类型接触区32,第二掺杂类型第二深阱区302右侧设置有第一重掺杂类型接触区52,两个相邻的第一重掺杂类型接触区52上表面通过第十一类栅氧化层620连接,第十一类栅氧化层620两端相切或覆盖一部分第一重掺杂类型接触区52,第十一类多晶硅层80覆盖了第十一类栅氧化层620上表面,介质层62覆盖了第十一类多晶硅层80,第一类体区金属层128覆盖了第二重掺杂类型接触区32,第九类源极金属层129覆盖了第二掺杂类型第二深阱区302左侧的第一重掺杂类型接触区52,第九类漏极金属层130覆盖了第二掺杂类型第二深阱区302右侧的第一重掺杂类型接触区52;

[0068] 所述低压PMOS器件14通过隔离条结构与相邻的低压NMOS器件13隔开;所述低压PMOS器件14在第二掺杂类型外延层311部分上表面处设置有第一掺杂类型第九埋层509,第一掺杂类型外延层512位于第一掺杂类型第九埋层509上方,第一掺杂类型深阱区5102位于第一掺杂类型外延层512上方,第一掺杂类型深阱区5102左侧设置有第一重掺杂类型接触区52与第二重掺杂类型接触区32,第一掺杂类型深阱区5102右侧设置有第二重掺杂类型接触区32,两个相邻的第二重掺杂类型接触区32上表面通过第十二类栅氧化层621连接,第十二类栅氧化层621两端相切或覆盖部分第二重掺杂类型接触区32,第十二类多晶硅层81覆盖了第十二类栅氧化层621上表面,介质层62覆盖了第十二类多晶硅层81上表面,第二类体区金属层131覆盖了第一重掺杂类型接触区52,第十类源极金属132覆盖了第一掺杂类型深阱区5102左侧的第二重掺杂类型接触区32,第十类漏极金属133覆盖了第一掺杂类型深阱区5102右侧的第二重掺杂类型接触区32;

[0069] 所述PNP器件15通过隔离条结构与相邻的低压PMOS器件14隔开;所述PNP器件15在第二掺杂类型外延层311部分上表面处设置有第一掺杂类型第十埋层510,第一掺杂类型外延层512位于第一掺杂类型第十埋层510上方,第一掺杂类型外延层512上方设置有两个第一重掺杂类型接触区52与两个第二重掺杂类型接触区32,第一重掺杂类型接触区52与第二重掺杂类型接触区32交替分布且间距相等,第一掺杂类型外延层512最左侧为第一重掺杂类型接触区52,相邻的第一重掺杂类型接触区52和第二重掺杂类型接触区32两者表面通过场氧化层86隔离,两个第二重掺杂类型接触区32被第二掺杂类型第三深阱区303包围,第七类金属层134覆盖了最左侧的第一重掺杂类型接触区52上表面,第八类金属层135覆盖了中间的第二掺杂类型接触区32,第九类金属层136覆盖了中间的第一重掺杂类型接触区52,第十类金属层137覆盖了最右侧的第二重掺杂类型接触区32;

[0070] 所述NPN器件16通过隔离条结构与相邻的PNP器件15隔开;所述NPN器件16在第二掺杂类型外延层311部分上表面处设置有第一掺杂类型第十一埋层5101,第一掺杂类型外延层512位于第一掺杂类型第十一埋层5101上方,第一掺杂类型外延层512左上方设置有第二掺杂类型第四深阱区304,第二掺杂类型第四深阱区304上表面处设置有通过场氧化层86

隔离的第一重掺杂类型接触区52与第二重掺杂类型接触区32,场氧化层86上表面覆盖有介质层62,第二掺杂类型第四深阱区304外部右侧的第一掺杂类型外延层512上表面处设置有第一重掺杂类型接触区52,第二掺杂类型第四深阱区304外部的第一重掺杂类型接触区52与第二掺杂类型第四深阱区304之间通过场氧化层86隔离,介质层62覆盖了场氧化层86,第十二类金属层139覆盖了第四深阱区304内部的第一重掺杂类型接触区52,第十一类金属层138覆盖了第四深阱区304内部的第二重掺杂类型接触区32,第十三类金属层140覆盖了第四深阱区304外的第一重掺杂类型接触区52;

[0071] 所述第一类二极管器件17通过隔离条结构与相邻的PNP器件16隔开;所述第一类二极管器件17在第二掺杂类型外延层311部分上表面处设置有第二掺杂类型第三埋层313,第一掺杂类型外延层512位于第二掺杂类型第三埋层313上方,第一掺杂类型外延层512两侧分别设置有第二掺杂类型第五深阱区305,第二掺杂类型第五阱区305下表面深入第二掺杂类型第三埋层313,第二掺杂类型第五阱区305上表面处设置有第二重掺杂类型接触区32,两个第二重掺杂类型接触区32及设置于第二重掺杂类型接触区32正中间处的第一重掺杂类型接触区52位于第一掺杂类型外延层512上表面,第一重掺杂类型接触区52和与其相邻的两个第二重掺杂类型接触区32表面通过场氧化层86隔离,场氧化层86上表面覆盖有介质层62,第十四类金属层141覆盖了左侧的第二重掺杂类型接触区32,第十五类金属142覆盖了第一重掺杂类型接触区52,第十六类金属层143覆盖了右侧的第二重掺杂类型接触区32;

[0072] 所述第二类二极管器件18通过隔离条结构与相邻的第一类二极管器件17隔开;所述第二类二极管器件18在第二掺杂类型外延层311部分上表面处设置有第二掺杂类型第四埋层314,第一掺杂类型外延层512位于第二掺杂类型第四埋层314上方,第一掺杂类型外延层512上表面处设置有两个第一重掺杂类型接触区52,场氧化层86上表面覆盖有介质层62,第十七类金属层144覆盖了左侧的第一重掺杂类型接触区52,第十八类金属145覆盖了第一掺杂类型外延层512的部分上表面,第十九类金属层146覆盖了右侧的第一重掺杂类型接触区52;

[0073] 所述第三类二极管器件19通过隔离条结构与相邻的第二类二极管器件18隔开;所述第三类二极管器件19在第二掺杂类型外延层311部分上表面处设置有第二掺杂类型第五埋层315,第一掺杂类型外延层512位于第二掺杂类型第五埋层315上方,第一掺杂类型外延层512上表面处设置有两个第一重掺杂类型接触区52,及两个第二重掺杂类型接触区32,两个第二重掺杂类型接触区32之间设置有间隔、且位于相邻场氧化层86之间,场氧化层86上表面覆盖有介质层62,第二十类金属层147覆盖了左侧的第一重掺杂类型接触区52,第二十一类金属148覆盖了第一掺杂类型外延层512的部分上表面,以及两个第二重掺杂类型接触区32的上表面,第二十二类金属层149覆盖了右侧的第一重掺杂类型接触区52;

[0074] 所述第四类二极管器件20通过隔离条结构与相邻的第三类二极管器件19隔开;所述第四类二极管器件20在第二掺杂类型外延层311部分上表面处设置有第二掺杂类型第六埋层316,第一掺杂类型外延层512位于第二掺杂类型第六埋层316上方,第一掺杂类型外延层512上表面处设置有两个第一重掺杂类型接触区52、两个第十三类氧化层622、以及两个第六类多晶硅709,两个第十三类氧化层622位于两个第一重掺杂类型接触区52之间,两个第十三类氧化层622之间设置有间隔,第一重掺杂类型接触区52和第十三类氧化层622之间

为场氧化层86,场氧化层86上表面覆盖有介质层62,第六类多晶硅709位于第十三类氧化层622内部上表面,两个第六类多晶硅709上表面与第二十四类金属层151接触、其余表面都被第十三类氧化层622包围,第二十三类金属层150覆盖了左侧第一重掺杂类型接触区52,第二十四类金属151覆盖了第一掺杂类型外延层512的部分上表面、两个第十三类氧化层622的上表面、以及两个第六类多晶硅709上表面,第二十五类金属层152覆盖了右侧的第一重掺杂类型接触区52。

[0075] 所述隔离条21为通过填充介质形成。

[0076] 实施例2

[0077] 如图2(a)-图2(d)所示:本实施例和实施例1的区别在于:

[0078] 所述器件周期排列的第一掺杂类型条51与第二掺杂类型条31通过刻槽填充形成。

[0079] 实施例3

[0080] 如图3(a)-图3(d)所示:本实施例和实施例1的区别在于:

[0081] 所述器件周期排列的第一掺杂类型条51与第二掺杂类型条31之间有薄层介质63隔离。

[0082] 实施例4

[0083] 如图4(a)-图4(d)所示:本实施例和实施例1的区别在于:

[0084] 所述器件周期排列的第一掺杂类型条51与第二掺杂类型条31直接做到第一掺杂类型衬底85上,去掉了第一掺杂类型Buffer区18。

[0085] 实施例5

[0086] 如图5(a)-图5(d)所示,本实施例和实施例1的区别在于:

[0087] 所述第二类VDMOS器件3右侧的器件4-20与正下方的第二掺杂类型外延311之间通过介质隔离。

[0088] 实施例6

[0089] 如图6所示,本实施例和实施例1的区别在于:所述第一类VDMOS器件2、第二类VDMOS器件3中控制栅701被替换为纵向两个分离的第二类多晶硅控制栅704。

[0090] 实施例7

[0091] 如图7所示,本实施例和实施例1的区别在于:所述第一类VDMOS器件2、第二类VDMOS器件3中分离栅702被替换为纵向两个分离的第三类多晶硅分离栅705。

[0092] 实施例8

[0093] 如图8所示,本实施例和实施例1的区别在于:所述第一类VDMOS器件2、第二类VDMOS器件3中控制栅701被替换为横向两个分离的第三类多晶硅控制栅706,分离栅702被替换为第四类多晶硅分离栅707,第四类多晶硅分离栅707从两个分离的第三类多晶硅控制栅706中穿过并与上方的第一类金属层102、第三类金属层104接触。。

[0094] 实施例9

[0095] 如图9所示,本实施例和实施例1的区别在于:所述第一类VDMOS器件2的终端结构2(n)上端都被场氧化层86覆盖,第五类多晶硅分离栅708被第一类栅氧化层610包围。

[0096] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成

的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

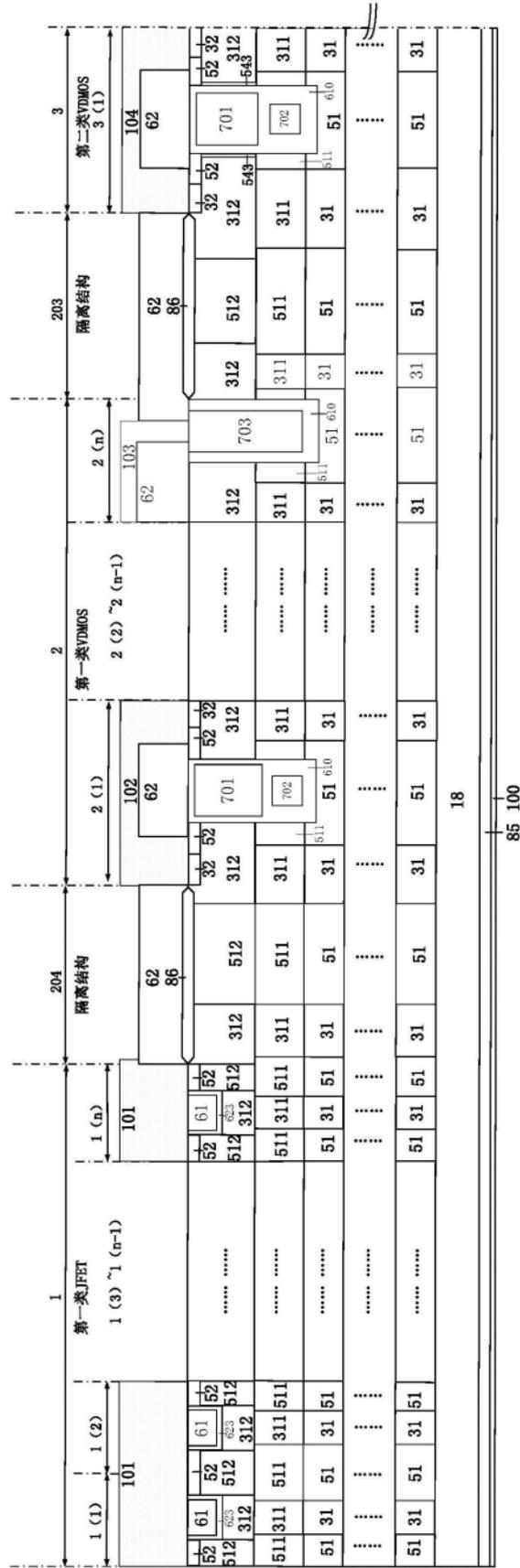


图1(a)

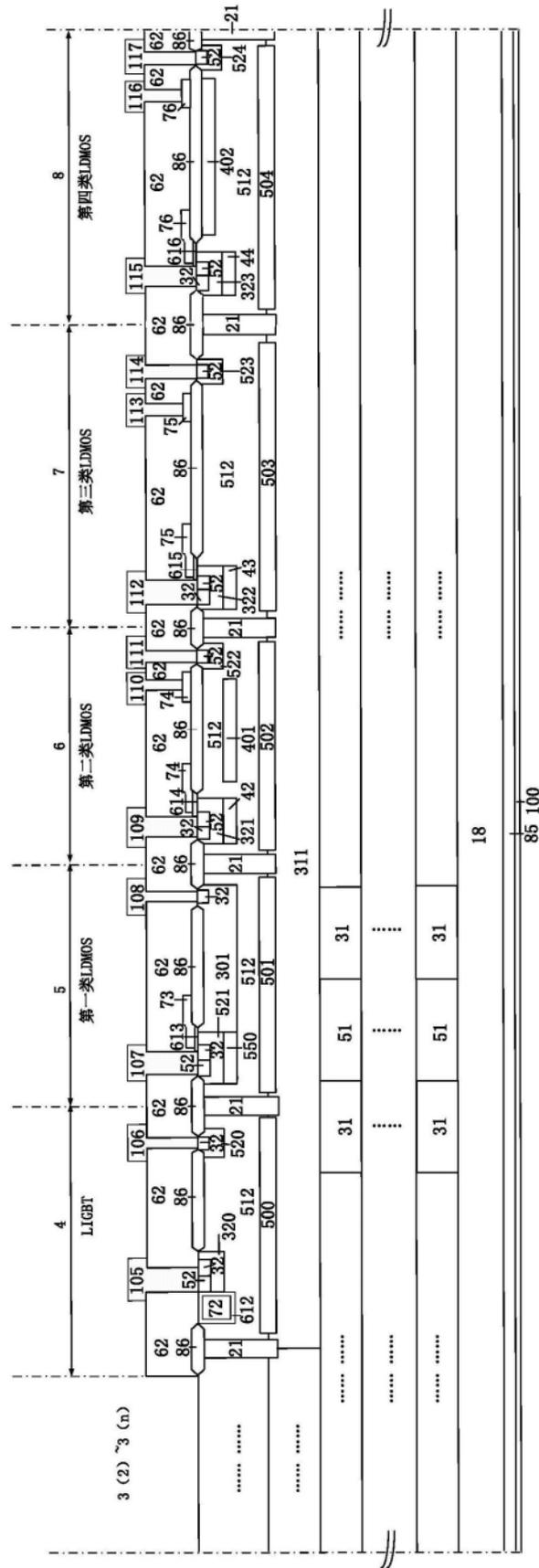


图1(b)

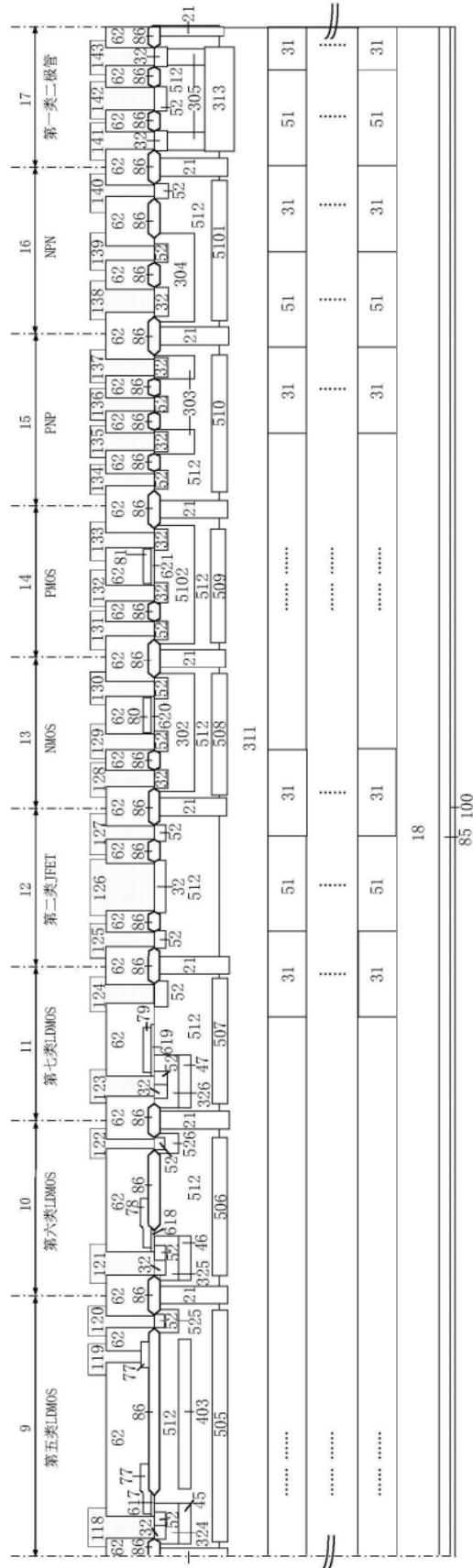


图1(c)

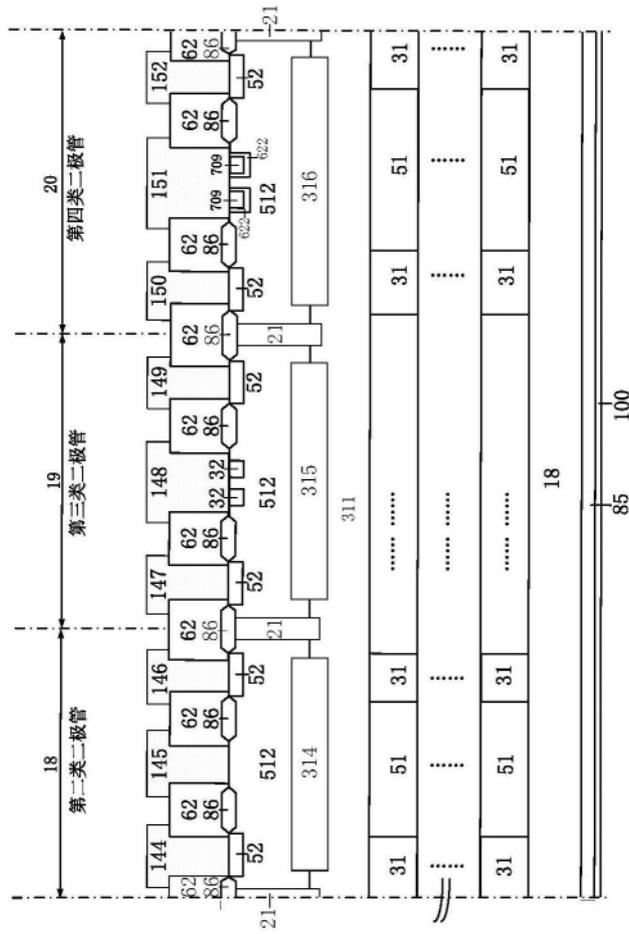


图1 (d)

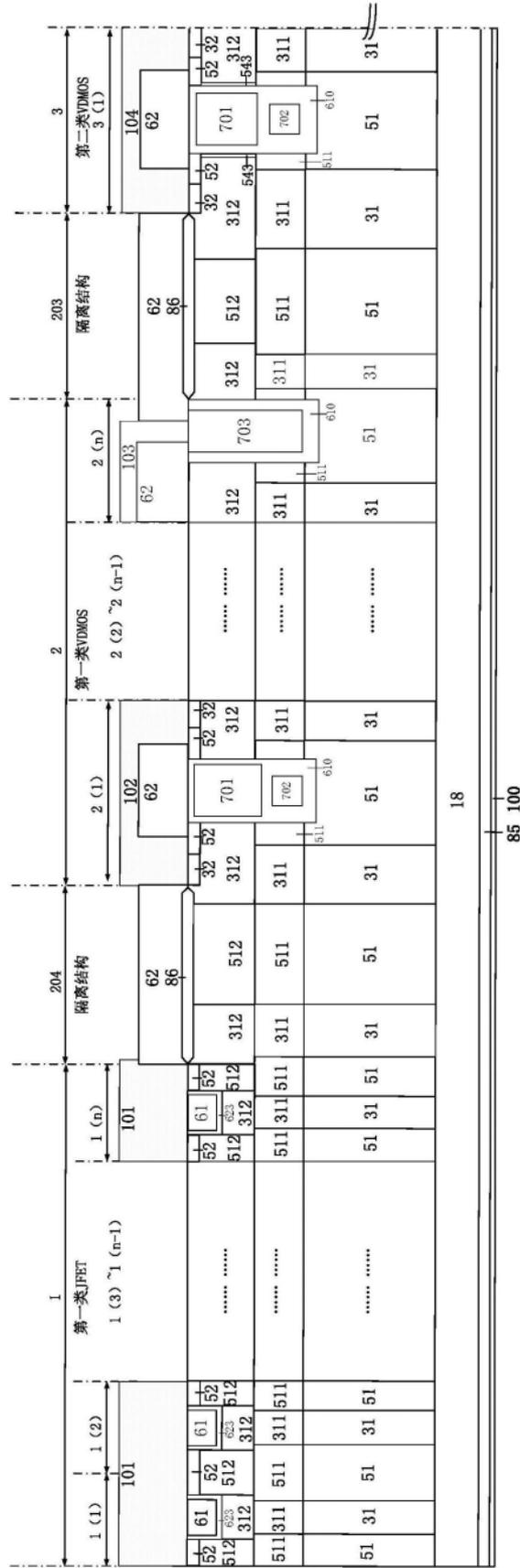


图2(a)



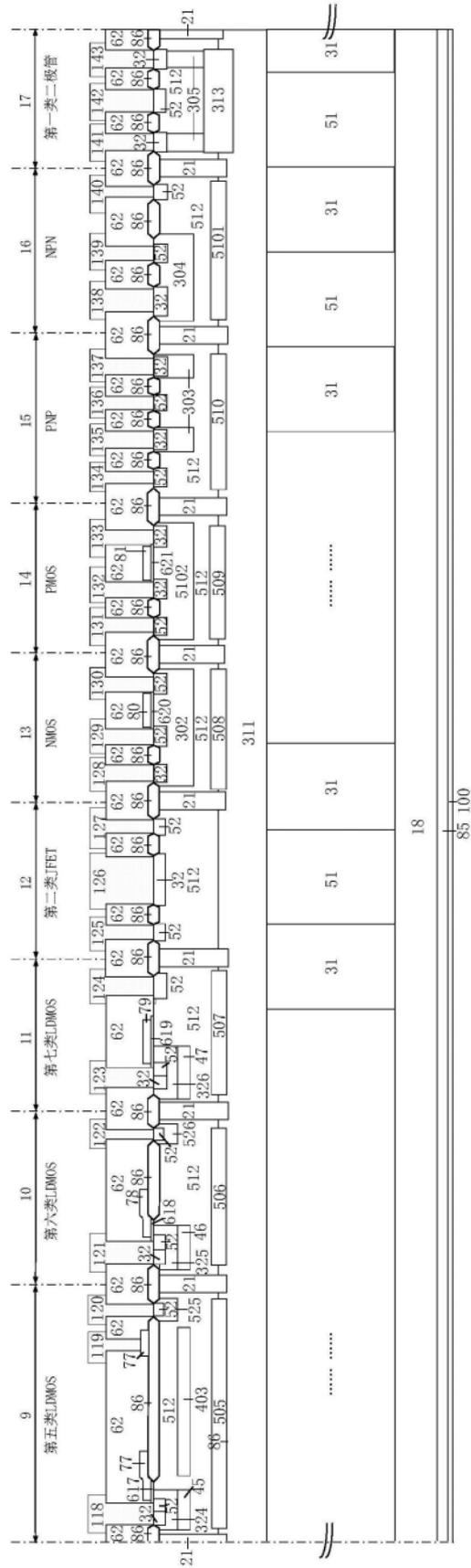


图2(c)

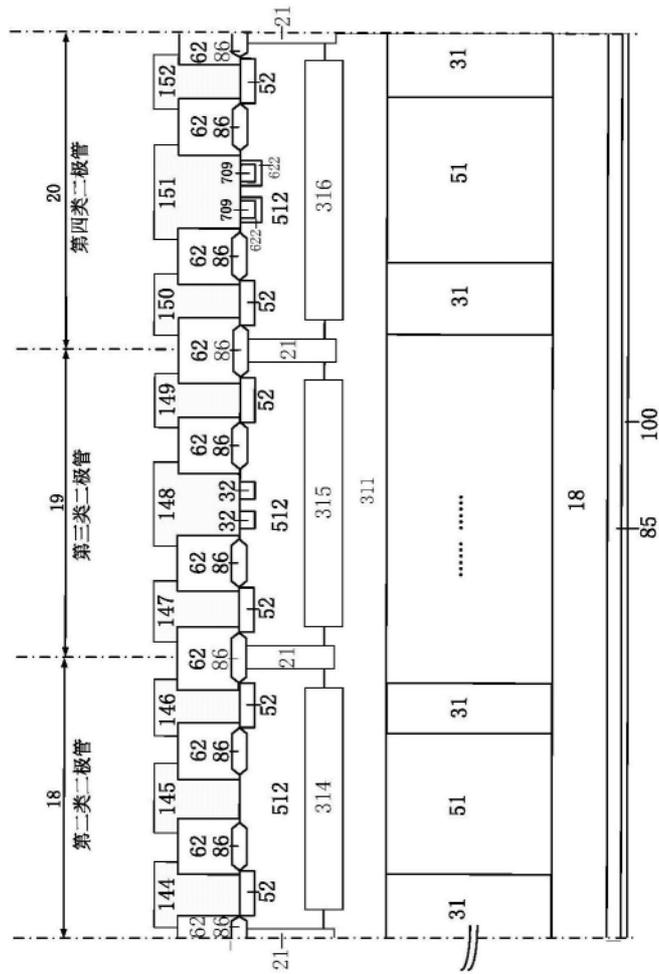


图2(d)





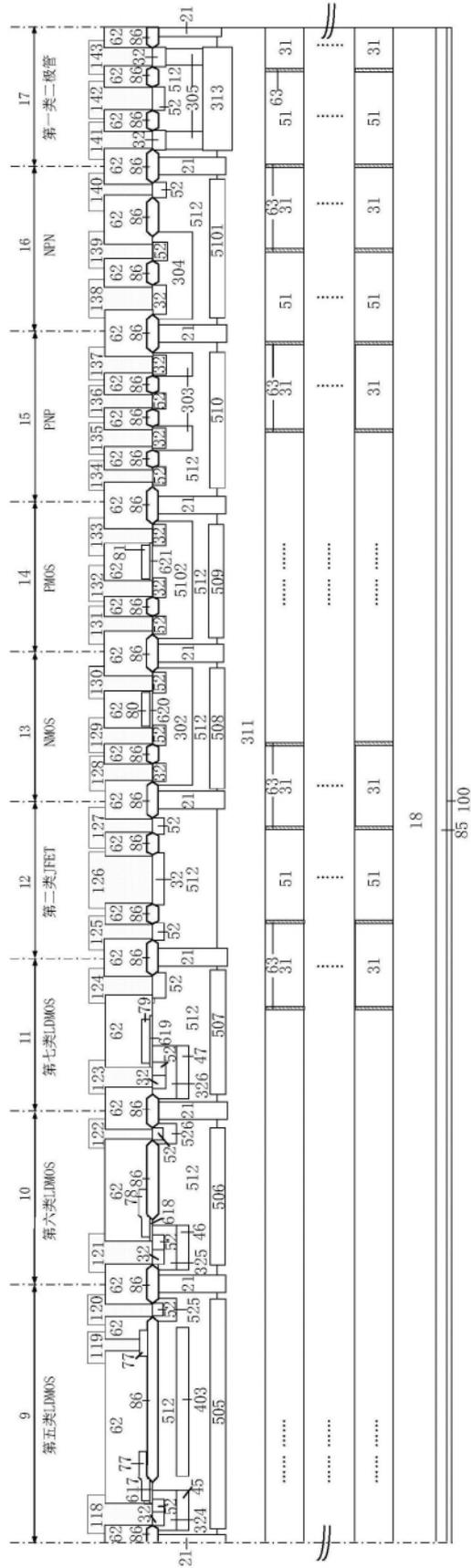


图3(c)

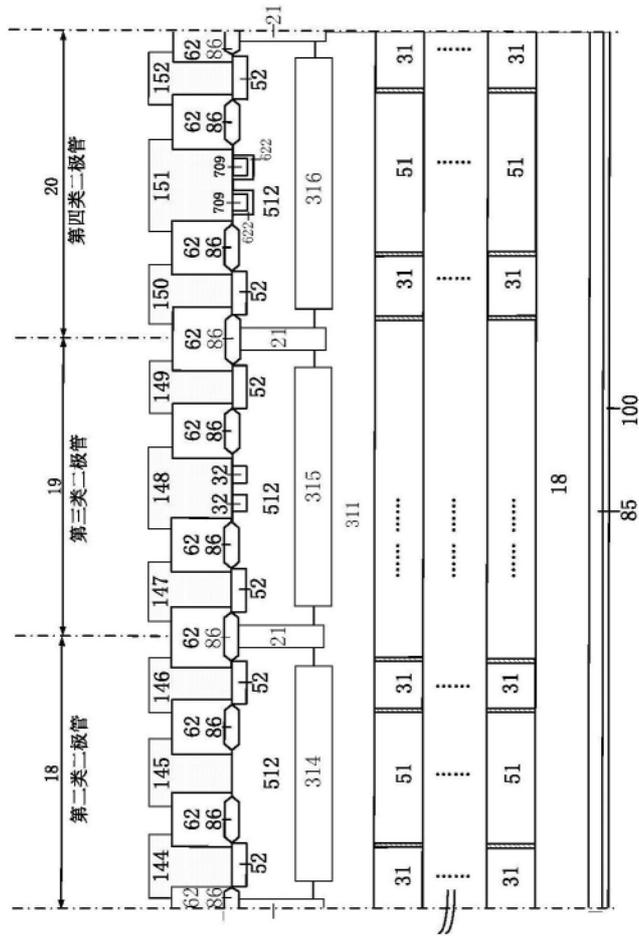


图3 (d)





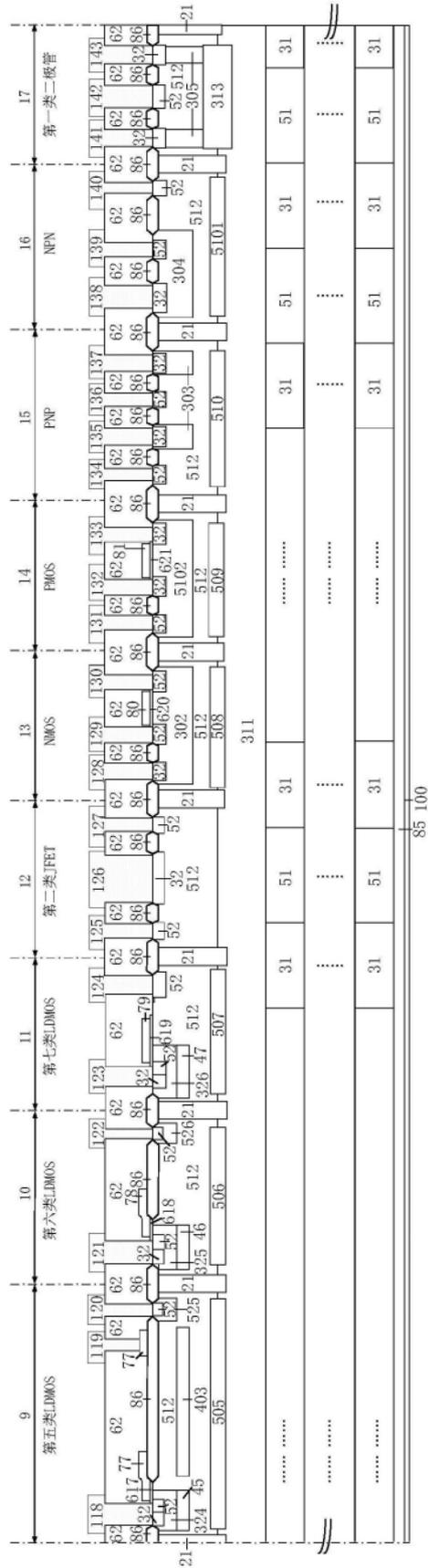


图4(c)

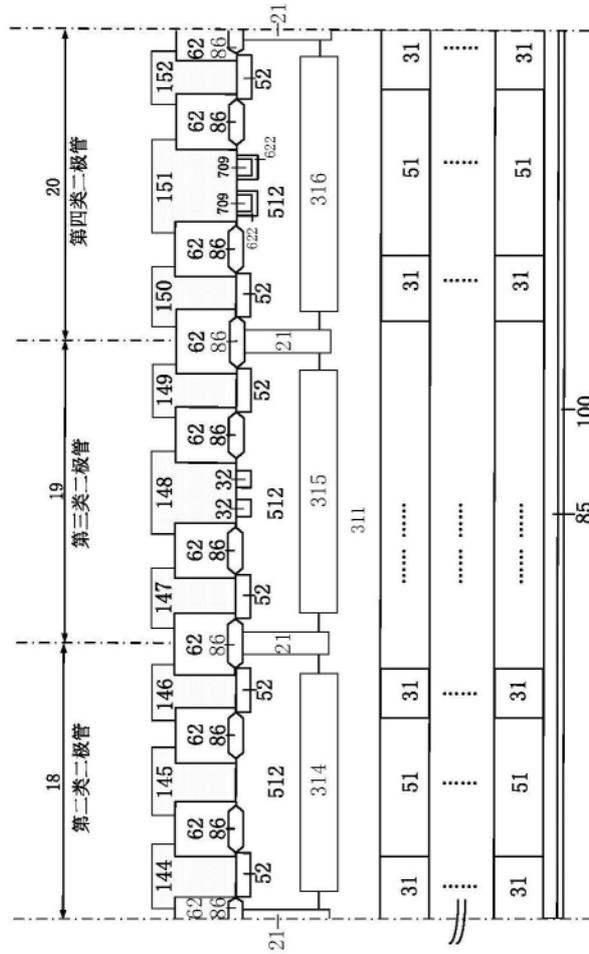


图4(d)

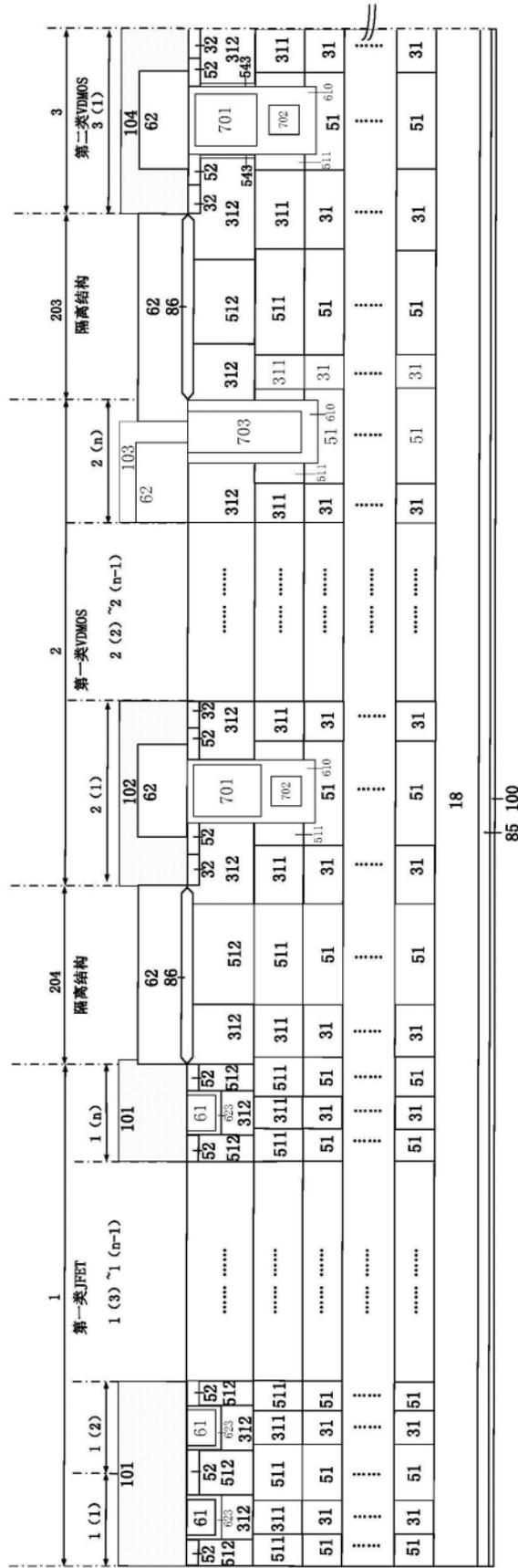


图5(a)





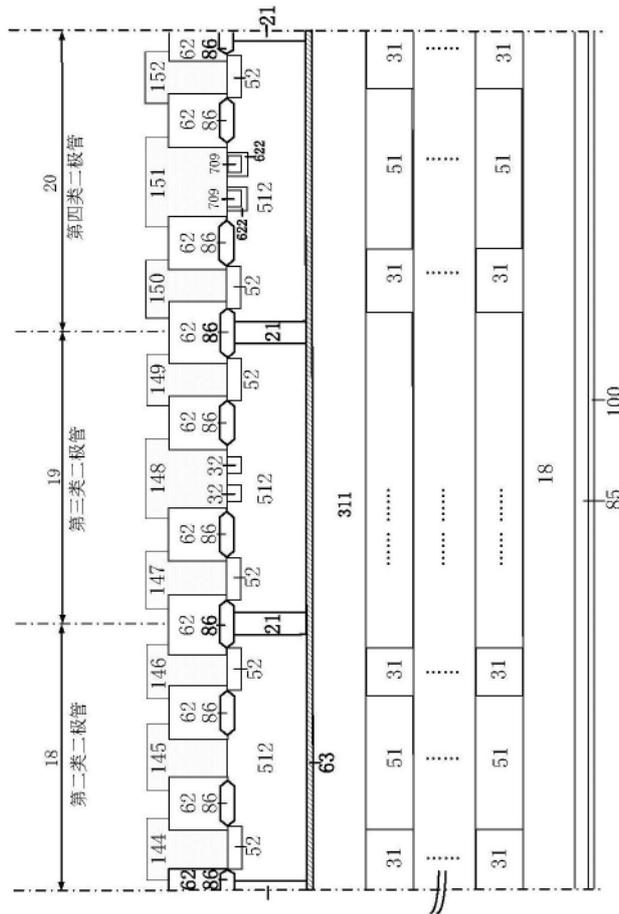


图5 (d)



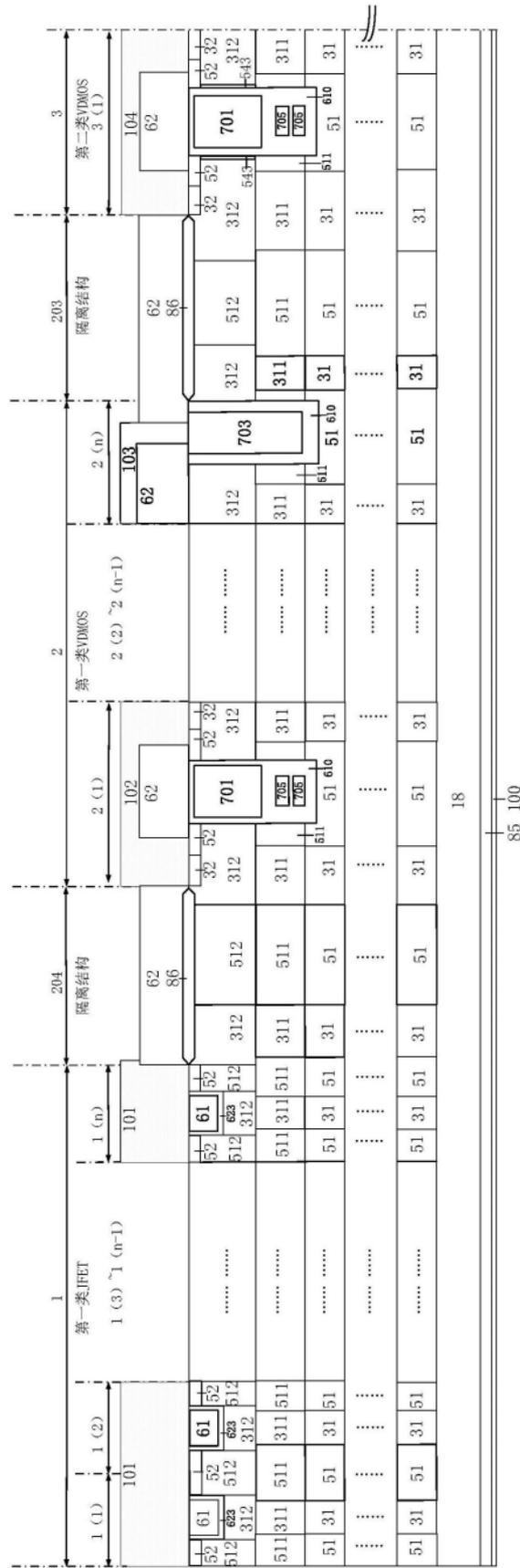


图7

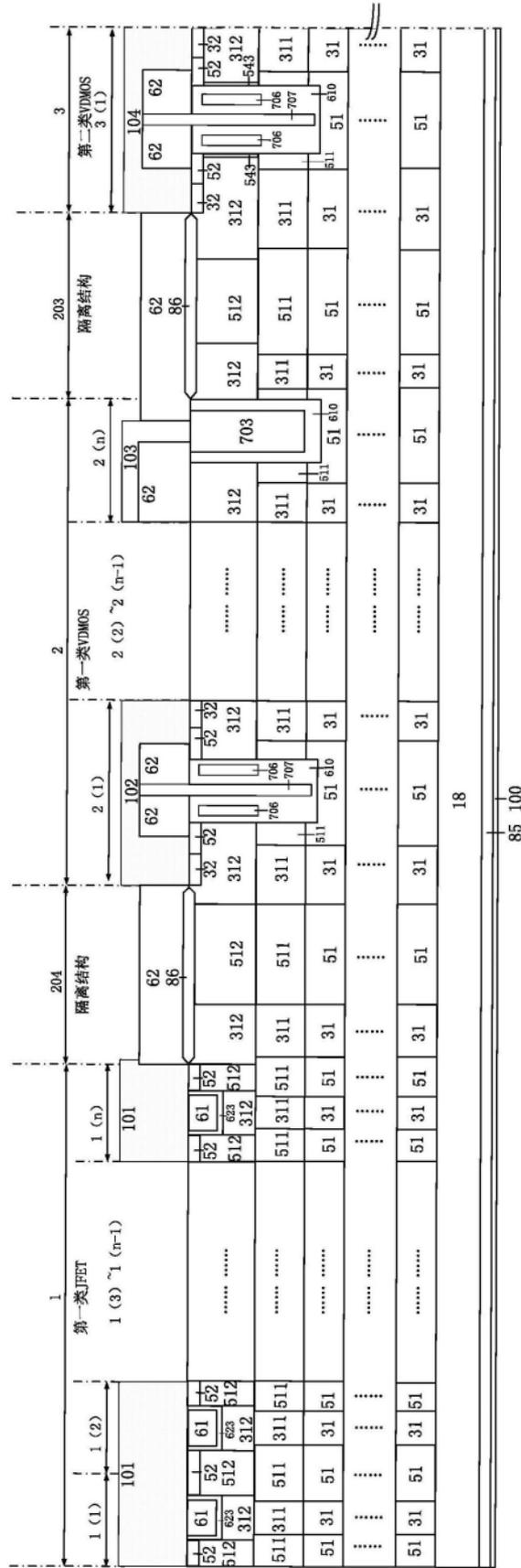


图8

