

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号
特開2022-167230
(P2022-167230A)

(43)公開日 令和4年11月4日(2022.11.4)

(51)国際特許分類 F I
 G 0 6 N 10/00 (2022.01) G 0 6 N 10/00
 G 0 6 N 99/00 (2019.01) G 0 6 N 99/00 1 8 0

審査請求 未請求 請求項の数 9 O L (全24頁)

(21)出願番号	特願2021-72896(P2021-72896)	(71)出願人	000232092 NECソリューションイノベータ株式会社 東京都江東区新木場一丁目18番7号
(22)出願日	令和3年4月22日(2021.4.22)	(74)代理人	110002044弁理士法人プライタス
		(72)発明者	橋本 慎司 東京都江東区新木場一丁目18番7号 NECソリューションイノベータ株式会社内
		(72)発明者	中川 匡人 東京都江東区新木場一丁目18番7号 NECソリューションイノベータ株式会社内
		(72)発明者	坂本 靖侑 東京都江東区新木場一丁目18番7号 最終頁に続く

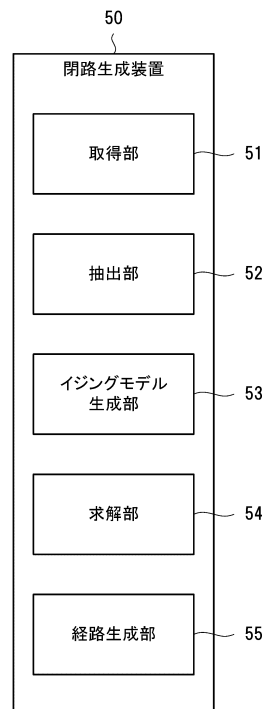
(54)【発明の名称】 閉路生成装置、閉路生成方法、及びプログラム

(57)【要約】

【課題】 閉路を生成する時間を短縮する、閉路生成装置、閉路生成方法、及びプログラムを提供する。

【解決手段】 閉路生成装置50は、複数の閉路の中から第一の閉路と第二の閉路とを選択し、第一の閉路に含まれるエッジが有する二つのノードを第二の閉路に接続させるかを表す第一のスピンと、第二の閉路に含まれるエッジが有する二つのノードを第一の閉路に接続させるかを表す第二のスピンとを設定した第一のイジングモデルに基づいて、量子アニーリングマシンに求解させる、求解部54を有する。

【選択図】 図3



10

【特許請求の範囲】**【請求項 1】**

複数の閉路の中から第一の閉路と前記第一の閉路に接続する第二の閉路とを選択し、前記第一の閉路に含まれるエッジが有する二つのノードを前記第二の閉路に接続させるかを表す第一のスピンと、前記第二の閉路に含まれるエッジが有する二つのノードを前記第一の閉路に接続させるかを表す第二のスピンとを設定した第一のイジングモデルに基づいて、量子アニーリングマシンに求解させる、求解手段を有する閉路生成装置。

【請求項 2】

請求項 1 に記載の閉路生成装置であって、

巡回セールスマン問題において与えられたグラフに含まれるノードを順次選択し、選択したノードごとに、選択したノードとそれ以外のノードで表されたエッジに関連付けられたコストを参照し、あらかじめ設定された順位以下のコストに対応するエッジを抽出する、抽出手段を有し、

前記求解手段は、抽出したエッジをスピンに設定した第二のイジングモデルに基づいて、前記量子アニーリングマシンに求解させる、閉路生成装置。

【請求項 3】

請求項 2 に記載の閉路生成装置であって、

前記抽出手段は、前記求解ができない場合、前記順位を変更し、変更した前記順位に基づいて新たにエッジを抽出する、

前記求解手段は、新たに前記抽出されたエッジをスピンとした前記第二のイジングモデルに基づいて、前記量子アニーリングマシンに求解させる閉路生成装置。

【請求項 4】

複数の閉路の中から第一の閉路と前記第一の閉路に接続する第二の閉路とを選択し、前記第一の閉路に含まれるエッジが有する二つのノードを前記第二の閉路に接続させるかを表す第一のスピンと、前記第二の閉路に含まれるエッジが有する二つのノードを前記第一の閉路に接続させるかを表す第二のスピンとを設定した第一のイジングモデルに基づいて、量子アニーリングマシンに求解させる、閉路生成方法。

【請求項 5】

請求項 4 に記載の閉路生成方法であって、

巡回セールスマン問題において与えられたグラフに含まれるノードを順次選択し、選択したノードごとに、選択したノードとそれ以外のノードで表されたエッジに関連付けられたコストを参照し、あらかじめ設定された順位以下のコストに対応するエッジを抽出し、

抽出したエッジをスピンに設定した第二のイジングモデルに基づいて、前記量子アニーリングマシンに求解させる、閉路生成方法。

【請求項 6】

請求項 5 に記載の閉路生成方法であって、

前記抽出において、前記求解ができない場合、前記順位を変更し、変更した前記順位に基づいて新たにエッジを抽出し、

前記求解において、新たに前記抽出されたエッジをスピンとしたイジングモデルに基づいて、前記量子アニーリングマシンに求解させる閉路生成方法。

【請求項 7】

コンピュータに、

複数の閉路の中から第一の閉路と前記第一の閉路に接続する第二の閉路とを選択し、前記第一の閉路に含まれるエッジが有する二つのノードを前記第二の閉路に接続させるかを

10

20

30

40

50

表す第一のスピント、前記第二の閉路に含まれるエッジが有する二つのノードを前記第一の閉路に接続させるかを表す第二のスピントを設定した第一のイジングモデルに基づいて、量子アニーリングマシンに求解させる、
命令を含むプログラム。

【請求項 8】

請求項 7 に記載のプログラムであって、
前記プログラムが、前記コンピュータに、
巡回セールスマン問題において与えられたグラフに含まれるノードを順次選択し、選択したノードごとに、選択したノードとそれ以外のノードで表されたエッジに関連付けられたコストを参照し、あらかじめ設定された順位以下のコストに対応するエッジを抽出させ

抽出したエッジをスピントに設定した第二のイジングモデルに基づいて、前記量子アニーリングマシンに求解させる、
命令を含むプログラム。

【請求項 9】

請求項 8 に記載のプログラムであって、
前記抽出において、前記求解ができない場合、前記順位を変更し、変更した前記順位に基づいて新たにエッジを抽出させ、
前記求解において、新たに前記抽出されたエッジをスピントとしたイジングモデルに基づいて、前記量子アニーリングマシンに求解させる

命令を含むプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、閉路を生成する閉路生成装置、閉路生成方法、及びプログラムに関する。

【背景技術】

【0002】

組み合わせ最適化問題の一つである巡回セールスマン問題（以降、TSPと記載することがある）を、量子アニーリングを用いて解く場合、良く知られているような、都市数と到達順を変数（スピント）と定義する方法では、都市数 n （ $= 1$ 以上の整数）に対して n^2 個の変数（スピント）が必要になるため求解に時間がかかる。

【0003】

関連する技術として特許文献 1 に開示の技術が提案されている。特許文献 1 に開示の技術では、まず、ハミルトン閉路問題において与えられたグラフの地点（ノード）ごとに、ノードに連結されたエッジ（二地点間の経路）のグループを生成する。次に、エッジのグループごとに、エッジのグループに含まれるエッジが経路として選択されたか否かを示す二値変数を生成する。次に、二値変数をスピントとする、イジングモデルを生成する。次に、イジングマシンが計算したイジングモデルの解に基づき、ハミルトン閉路問題の解を求めている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】国際公開第 2020 / 170410 号

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献 1 の技術を用いた場合でも、一つの閉路が求まるまで繰り返し求解をするため、巡回セールスマン問題において与えられたグラフによっては求解に時間がかかる。

【0006】

10

20

30

40

50

一つの側面として、閉路を生成する時間を短縮する、閉路生成装置、閉路生成方法、及びプログラムを提供することを目的とする。

【課題を解決するための手段】

【0007】

上記目的を達成するため、一つの側面における閉路生成装置は、

複数の閉路の中から第一の閉路と前記第一の閉路に接続する第二の閉路とを選択し、前記第一の閉路に含まれるエッジが有する二つのノードを前記第二の閉路に接続させるかを表す第一のスピント、前記第二の閉路に含まれるエッジが有する二つのノードを前記第一の閉路に接続させるかを表す第二のスピントを設定した第一のイジングモデルに基づいて、量子アニーリングマシンに求解させる、求解部

10

を有することを特徴とする。

【0008】

また、上記目的を達成するため、一側面における閉路生成方法は、

複数の閉路の中から第一の閉路と前記第一の閉路に接続する第二の閉路とを選択し、前記第一の閉路に含まれるエッジが有する二つのノードを前記第二の閉路に接続させるかを表す第一のスピント、前記第二の閉路に含まれるエッジが有する二つのノードを前記第一の閉路に接続させるかを表す第二のスピントを設定した第一のイジングモデルに基づいて、量子アニーリングマシンに求解させる、求解ステップ、

を有することを特徴とする。

【0009】

さらに、上記目的を達成するため、一側面におけるプログラムは、コンピュータに、

複数の閉路の中から第一の閉路と前記第一の閉路に接続する第二の閉路とを選択し、前記第一の閉路に含まれるエッジが有する二つのノードを前記第二の閉路に接続させるかを表す第一のスピント、前記第二の閉路に含まれるエッジが有する二つのノードを前記第一の閉路に接続させるかを表す第二のスピントを設定した第一のイジングモデルに基づいて、量子アニーリングマシンに求解させる、求解ステップ、

を実行させることを特徴とする。

20

【発明の効果】

【0010】

一つの側面として、閉路を生成する時間を短縮できる。

30

【図面の簡単な説明】

【0011】

【図1】図1は、量子アニーリングマシンを有するシステムの一例を示す図である。

【図2】図2は、巡回セールスマン問題を説明するための図である。

【図3】図3は、閉路生成装置の一例を説明するための図である。

【図4】図4は、不要経路の除外を説明するための図である。

【図5】図5は、閉路を説明するための図である。

【図6】図6は、複数の閉路を説明するための図である。

【図7】図7は、複数の閉路を一つの閉路にする方法を説明するための図である。

40

【図8】図8は、補助処理を説明するための図である。

【図9】図9は、複数の閉路を一つにする量子アニーリングを説明するための図である。

【図10】図10は、複数の閉路を一つにする量子アニーリングを説明するための図である。

【図11】図11は、閉路生成装置(A)(B)の動作の一例を説明するための図である。

【図12】図12は、閉路生成装置(A)(C)の動作の一例を説明するための図である。

【図13】図13は、閉路生成装置を実現するコンピュータの一例を示す図である。

【発明を実施するための形態】

50

【 0 0 1 2 】

はじめに、実施形態の理解を容易にするために、量子アニーリングマシンについて概要を説明する。

【 0 0 1 3 】

量子アニーリングとは、組み合わせ最適化問題を解くための近似解法である。具体的には、量子アニーリングは、量子効果を制御して、目的関数の最小値を探す問題を解く手法である。

【 0 0 1 4 】

量子アニーリングマシンは、例えば、組み合わせ最適化問題などを解くために特化されたハードウェアである。図 1 は、量子アニーリングマシンを有するシステムの一例を示す図である。

10

【 0 0 1 5 】

システム 1 は、例えば、量子アニーリングマシン 1 0、情報処理装置 2 0、端末装置 3 0、ネットワーク 4 0 などを用いて構成される。

【 0 0 1 6 】

量子アニーリングマシン 1 0 は、量子処理部 1 1 (Q P U : Quantum processing Unit)、制御部 1 2、読取部 1 3 などを有するハードウェアである。

【 0 0 1 7 】

量子処理部 1 1 は、複数の量子ビットが相互接続された回路である。量子処理部 1 1 の回路 (又は機器) は、例えば、所定数の量子ビットを接続して構成された複数のユニット・セルと、異なるユニット・セル間の量子ビットを接続するためのカプラとを用いて構築された超電導量子回路などが考えられる。

20

【 0 0 1 8 】

制御部 1 2 は、量子処理部 1 1 を制御する回路 (又は機器) である。量子処理部 1 1 が超電導量子回路である場合、制御部 1 2 は、情報処理装置 2 0 から送信された制御信号に基づいて、量子処理部 1 1 に印加する局所磁場の制御をする。局所磁場は、例えば、マイクロ波を用いて制御する。

【 0 0 1 9 】

読取部 1 3 は、量子処理部 1 1 の量子ビットの状態 (スピン) を読み取る回路 (又は機器) である。読取部 1 3 は、量子アニーリングが終了するたびに量子ビットの状態を読み取り、量子ビットの状態を表す状態情報を情報処理装置 2 0 に送信する。

30

【 0 0 2 0 】

情報処理装置 2 0 は、ネットワーク 4 0 を介して端末装置 3 0 と接続されている。また、情報処理装置 2 0 は、量子アニーリングマシン 1 0 と接続されている。

【 0 0 2 1 】

具体的には、情報処理装置 2 0 は、局所磁場を制御するための制御信号を、制御部 1 2 へ送信する。情報処理装置 2 0 は、量子ビットの状態を表す状態情報を、読取部 1 3 から受信する。

【 0 0 2 2 】

なお、図 1 では、利用者が端末装置 3 0 を用いて、ネットワーク 4 0 を介し、情報処理装置 2 0 を操作する構成が示されているが、利用者が情報処理装置 2 0 を直接操作してもよい。

40

【 0 0 2 3 】

情報処理装置 2 0 は、例えば、CPU (Central Processing Unit)、又は F P G A (Field-Programmable Gate Array) などのプログラマブルなデバイス、又は G P U (Graphics Processing Unit)、又はそれらのうちのいずれか一つ以上を搭載した回路、又はサーバコンピュータなどである。

【 0 0 2 4 】

端末装置 3 0 は、ネットワーク 4 0 を介して情報処理装置 2 0 と接続されている。端末装置 3 0 は、例えば、CPU、又は F P G A などのプログラマブルなデバイス、又は G P

50

U、又はそれらのうちのいずれか一つ以上を搭載した回路、又はパーソナルコンピュータ、又はモバイル端末などの情報処理装置である。

【0025】

ネットワーク40は、例えば、インターネット、LAN (Local Area Network)、専用回線、電話回線、企業内ネットワーク、移動体通信網、ブルートゥース (登録商標)、WiFi (Wireless Fidelity) などの通信回線を用いて構築された一般的なネットワークである。

【0026】

次に、量子アニーリングマシンにより組み合わせ最適化問題を解く方法について説明する。量子アニーリングマシンにより組み合わせ最適化問題を解くには、まず、対象とする組み合わせ最適化問題をイジングモデル、又はQUBO (Quadratic Unconstrained Binary Optimization) などで表現する。

【0027】

イジングモデルは、例えば、数1に示したハミルトニアンH () などで表すことができる。ハミルトニアンH () とは系全体のエネルギーを表す。

【0028】

【数1】

$$H(\sigma) = \sum_{i < j = 1}^N J_{ij} \sigma_i \sigma_j + \sum_{i=1}^N h_i \sigma_i$$

σ : 変数の組 ({ $\sigma_1, \sigma_2, \dots, \sigma_N$ } をとる変数)

N : スピンの数 (整数)

σ_i, σ_j : スピン ({1, -1} をとる変数)

J_{ij} : スピン間の相互作用 (結合強度) を表す係数

h_i : スピンにかかるバイアスを表す係数

【0029】

J_{ij} は、隣接する量子ビット間の結合強度を表す。結合強度は、例えば、隣接する量子ビットを結合している結合器に外部から磁束を印可することにより制御される。

【0030】

h_i は、量子ビットに外部から印可される局所磁場を表す。局所磁場の印可は、例えば、外部からマイクロ波を注入することにより実現する。

【0031】

次に、組み合わせ最適化問題を量子アニーリングマシンに投入する。具体的には、イジングモデル、又はQUBOを、量子処理部11に構成されている量子ビットポロジーマイナー埋め込みをする。マイナー埋め込みは、イジングスピン (変数) を量子ビットへマッピングする処理である。

【0032】

次に、量子アニーリングマシンは量子アニーリングを開始する。具体的には、量子アニーリングマシンの制御部12が、量子処理部11に局所磁場を印加した後、局所磁場を時間をかけて弱めていく。その結果、最終的に、ハミルトニアンが最小の状態に収束する。

【0033】

次に、量子アニーリングマシンの読取部13は、量子処理部11の量子ビットの状態を

10

20

30

40

50

読み取る。

【0034】

ただし、ハミルトニアンが最小の状態に収束しないこともあるので、上述したアニーリングを複数回繰り返して解を取得することが好適である。なお、ハミルトニアンが最小の状態に収束しない理由は、量子処理部11の回路がノイズの影響を受け易く安定しないためである。

【0035】

次に、TSP（巡回セールスマン問題）を量子アニーリングマシンで解く方法について説明する。TSPは、セールスマンがすべての都市を一回だけ訪れ、出発点（出発した都市）に戻る場合に、移動距離が最小になる経路を求める問題である。

10

【0036】

図2を用いて(1)(2)に示すようにスピン（変数：イジングスピン）を定義した場合について説明する。図2は、巡回セールスマン問題を説明するための図である。図2の例では、五つの都市（都市1から都市5：五つのノード）を巡回する場合に、二つの都市間の経路（エッジ）に移動コストを与えて、五つの都市をすべて巡回した移動距離が最小になる経路を求める。

【0037】

(1)ある都市をどの順番に訪れるかという問題において、スピン（変数）を都市それぞれと定義する。その場合、ある都市にある順番で訪れたときを1、それ以外を0とするので、都市数が n 個である場合、スピン数は n^2 個となる。したがって、図2の例では、都市数が5個であるので、スピン数は25個となる。

20

【0038】

このように(1)の例では、スピン数は都市数の二乗個必要になるので、訪れる都市数が多くなるとスピン数が指数関数的に増加する。そのため、近似解を求解する時間がかかる。そこで、(2)に示すようなスピンの定義をする方法が提案されている。

【0039】

(2)すべての都市を一回だけ訪れるようにするには、どのような経路を選択すれば最適かという組み合わせ問題として、スピン（変数）を二つの都市間の経路それぞれと定義する。その場合、都市数が n 個である場合にはスピン数は nC_2 個となる。したがって、図2の例では、都市数が5個であるので、スピン数は10個となる。

30

【0040】

このように(2)の例では、経路をスピンとして定義してスピン数を削減しているため、(1)の求解時間より、(2)の求解時間を短縮することができる。

【0041】

（実施形態）

次に、(2)の求解時間より、更に、求解時間を短縮する実施形態について説明をする。具体的には、求解時間を短縮するために、あらかじめ不要な経路を除外してから、量子アニーリングマシン10に量子アニーリングを実行させる。

【0042】

実施形態について図面を参照して説明する。なお、以下で説明する図面において、同一の機能又は対応する機能を有する要素には同一の符号を付し、その繰り返しの説明は省略することもある。

40

【0043】

[装置構成]

求解時間を短縮するための閉路生成装置について説明する。閉路生成装置50は、情報処理装置20又は端末装置30に構築する。又は、閉路生成装置50の機能を、情報処理装置20と端末装置30に分散させてもよい。

【0044】

閉路生成装置50は、図3に示すように、取得部51と、抽出部52と、イジングモデル生成部53と、求解部54と、経路生成部55とを有する。図3は、閉路生成装置の一

50

例を説明するための図である。

【 0 0 4 5 】

取得部 5 1 は、T S P により与えられたグラフを表すグラフ情報を取得する。グラフ情報（グラフ）は、都市（地点）を表すノード情報（ノード）と、二つのノード間の経路を表すエッジ情報（エッジ）と、経路それぞれに付与されたコスト情報（コスト）とが関連付けられた情報である。

【 0 0 4 6 】

コスト情報は、二つのノード間の移動コストを表す情報である。移動コストは、例えば、距離などである。ただし、移動コストは距離に限定されない。

【 0 0 4 7 】

抽出部 5 2 は、T S P において与えられたグラフに含まれるノードを順次選択し、選択したノードごとに、選択したノードとそれ以外のノードで表されたエッジに関連付けられたコストを参照し、あらかじめ設定された順位以下のコストに対応するエッジを抽出する。

10

【 0 0 4 8 】

具体的には、まず、抽出部 5 2 は、取得部 5 1 からグラフを取得する。次に、抽出部 5 2 は、取得したグラフに含まれるノードを選択する。次に、抽出部 5 2 は、選択したノードと、選択したノード以外のノードで表されたエッジを抽出する。

【 0 0 4 9 】

次に、抽出部 5 2 は、抽出したエッジのうち、エッジに関連付けられたコストがあらかじめ設定された順位以下のエッジを抽出する。すなわち、抽出部 5 2 は、コストの値が小さいエッジを、所定数抽出する。

20

【 0 0 5 0 】

抽出部 5 2 は、上述した処理を、グラフに含まれるすべてのノードについて実行して、ノードごとに、所定数のエッジを抽出する。

【 0 0 5 1 】

なお、順位は、実験、シミュレーションにより決定する。順位は、例えば、下位 2 5 [%] のコスト値を取得することなどが考えられる。

【 0 0 5 2 】

ただし、順位は 2 5 [%] に限定されるものではない。また、順位は、適時変更してもよい。順位の変更については後述する。

30

【 0 0 5 3 】

具体的に、図 4 を用いて、抽出処理（不要経路を除外する処理）について説明する。図 4 は、不要経路の除外を説明するための図である。

【 0 0 5 4 】

図 4 の例は、都市 1 から都市 n それぞれについて、a 個の都市（ノード）が抽出されたことを示している。すなわち、都市 1 から都市 n それぞれについて、a 個の経路（エッジ）が抽出されている。例えば、都市 1 の場合、都市 1 と都市 2、都市 1 と都市 4、・・・都市 1 と都市 1 0 で表される経路（エッジ）が、コストが小さい順に a 個抽出されたことを示している。

40

【 0 0 5 5 】

イジングモデル生成部 5 3 は、抽出したエッジをスピン（変数）としたイジングモデル（第二のイジングモデル）又は Q U B O を生成する。具体的には、イジングモデル生成部 5 3 は、数 2 に示すようなイジングモデルを生成する。なお、イジングモデルは手動で生成してもよい。

【 0 0 5 6 】

【 数 2 】

50

$$H = A * H_a + B * H_b$$

$$H_a = \sum_i \sum_{j \in N(i,m)} \text{cost}_{i,j} * x_{i,j}$$

$$H_b = \sum_i (2 - \sum_{j \in N(i,m)} x_{i,j})^2$$

10

H : ハミルトニアン

H_a : 目的関数 (コストを最小化)

H_b : 閉路となるようにノードを必ず二回通る制約

A, B : H_a 、 H_b の重み係数

$\text{cost}_{i,j}$: ノード i とノード j にかかるコスト

20

$x_{i,j}$: ノード i とノード j で表されるエッジを選択するか否かを表す変数 (スピン)

$N(i, m)$: ノード i を含むエッジのうちコストが下位 m [%] 以下のノード群

【 0 0 5 7 】

求解部 5 4 は、生成したイジングモデルに基づいて、量子アニーリングマシン 1 0 に求解させる。

【 0 0 5 8 】

具体的には、まず、求解部 5 4 は、イジングモデル生成部 5 3 から数 2 に示したイジングモデルを取得する。次に、求解部 5 4 は、取得したイジングモデルに基づいて、量子アニーリングマシン 1 0 の量子処理部 1 1 を制御するための制御情報を生成する。その後、求解部 5 4 は、制御情報を含む制御信号を、制御部 1 2 に送信する。

30

【 0 0 5 9 】

量子処理部 1 1 が超電導量子回路である場合、制御部 1 2 は、受信した制御信号に基づいて、量子処理部 1 1 に印加する局所磁場を制御する。

【 0 0 6 0 】

詳細には、求解部 5 4 は、まず、数 2 に示したイジングモデルに基づいて、量子アニーリングマシン 1 0 の量子処理部 1 1 に構成されている量子ビットポロジータに対してマイナー埋め込みをするための指示を、量子アニーリングマシン 1 0 の制御部 1 2 にする。

40

【 0 0 6 1 】

求解部 5 4 は、量子アニーリングマシン 1 0 に指示するため、数 2 のハミルトニアンの式を展開し、展開後得られた各項のうち、一次項又は同じスピンから成る二次項の係数をスピンの係るバイアス、別々のスピンから成る二次項の係数をスピン間の相互作用とする。このとき、ハミルトニアンが QUBO であればイジングモデルへの変換を行い、量子アニーリングマシンに対してパラメータを設定する。なお、QUBO からイジングモデルへの変換が可能であることは証明されている。

【 0 0 6 2 】

次に、求解部 5 4 は、制御部 1 2 に対して、量子処理部 1 1 に局所磁場を印加させる指

50

示をし、その後、局所磁場を時間かけて弱めていくように指示をする。その結果、最終的に、数 2 のハミルトニアン H は最小の状態に収束する。

【 0 0 6 3 】

経路生成部 5 5 は、量子ビットの状態を表す状態情報を用いて閉路を生成する。具体的には、まず、経路生成部 5 5 は、量子アニーリングマシンの読取部 1 3 から状態情報を取得する。次に、経路生成部 5 5 は、状態情報に基づいて、閉路を表す閉路情報を生成する。

【 0 0 6 4 】

例えば、経路生成部 5 5 は、図 5 に示すような閉路を生成する。図 5 は、閉路を説明するための図である。図 5 の例は、17 個の都市（ノード）を最短距離で巡回する閉路を表している。

10

【 0 0 6 5 】

閉路情報は、閉路に含まれる都市間の接続状態を表す情報である。図 5 の例では、閉路情報は、都市 1 と都市 2 の経路、都市 2 と都市 3 の経路、・・・、都市 17 と都市 1 の経路が接続されていることを表す情報である。

【 0 0 6 6 】

上述したように、実施形態においては、あらかじめコストの小さいエッジを抽出し、抽出したエッジをスピンとして定義し、量子アニーリングマシン 1 0 を用いて量子アニーリングを実行させるので、求解時間を短縮することができる。

【 0 0 6 7 】

言い換えれば、不要と推定されたエッジを除外して、スピンの数を削減するので、求解時間を短縮することができる。

20

【 0 0 6 8 】

ところが、上述した実施形態においては、次の (A) (B) (C) に示すような事象が発生する。

【 0 0 6 9 】

(A) あらかじめ設定された順位により抽出したエッジをスピンとした場合に、量子アニーリングマシン 1 0 で求解できないことがある。

【 0 0 7 0 】

そこで、抽出部 5 2 は、求解できない場合、あらかじめ設定された順位を変更する。具体的には、まず、抽出部 5 2 は、求解部 5 4 から求解できなかったことを表すエラー情報を取得する。次に、抽出部 5 2 は、抽出するエッジの数が増えるように、順位を変更する。例えば、ノードが n 個である場合、最低でも、 $1/n * 100$ [%] は増加させる。

30

【 0 0 7 1 】

次に、抽出部 5 2 は、順位を変更した後、ノードごとに、再度エッジを抽出する。次に、イジングモデル生成部 5 3 は、新たに抽出したエッジをスピンとして、新たにイジングモデルを生成する。その後、求解部 5 4 は、生成した新たなイジングモデルに基づいて、量子アニーリングマシン 1 0 に求解させる。

【 0 0 7 2 】

(B) 数 2 に示したハミルトニアン H には、閉路が一つになるようなエッジの組み合わせを求める制約式が含まれていないため、複数の閉路が求解されることがある。例えば、図 6 に示すように複数の閉路が生成されることがある。図 6 は、複数の閉路を説明するための図である。

40

【 0 0 7 3 】

そこで、経路生成部 5 5 は、複数の閉路が求められた場合、複数の閉路を用いて、コストの合計が最小となる一つの閉路を生成する。具体的には、経路生成部 5 5 は、複数の閉路のうち最も多くノードを含む閉路（大閉路）に、大閉路以外の小閉路を順次接続させる。例えば、経路生成部 5 5 は、図 6 に示した複数の閉路を、図 5 に示した一つの閉路にする。

【 0 0 7 4 】

50

まず、経路生成部 55 は、小閉路を選択し、選択した小閉路のノードごとに、大閉路のノードそれぞれとの距離を求める。次に、経路生成部 55 は、求めた距離に基づいてノード同士を接続する。

【0075】

図 7 は、複数の閉路を一つの閉路にする方法を説明するための図である。図 7 A の例では、まず、経路生成部 55 は、都市 10、11、12 を有する小閉路を選択する。次に、経路生成部 55 は、選択した小閉路と、都市 5 から都市 9 及び都市 13 から都市 17 を有する大閉路とを一つの閉路にする。

【0076】

例えば、経路生成部 55 は、小閉路の都市 10、11、12 それぞれについて、大閉路の都市 5 から都市 9 及び都市 13 から都市 17 との距離を求める。その結果、経路生成部 55 は、都市 10 と都市 9 の距離、及び、都市 12 と都市 13 の距離が、他に求めた距離より短いので、図 7 B に示すように、都市 10 と都市 9、都市 12 と都市 13 を接続して、新たに大閉路を生成する。

10

【0077】

次に、経路生成部 55 は、都市 1、2、3、4 を有する小閉路を選択し、選択した小閉路と、都市 5 から都市 17 を有する大閉路とを一つの閉路にする。

【0078】

例えば、経路生成部 55 は、小閉路の都市 1、2、3、4 それぞれについて、大閉路の都市 5 から都市 17 との距離を求める。その結果、経路生成部 55 は、都市 1 と都市 17 の距離、及び、都市 4 と都市 5 の距離が、他に求めた距離より短いので、図 7 C に示すように、都市 1 と都市 17、都市 4 と都市 5 を接続して、新たに大閉路を生成する。

20

【0079】

ただし、都市 3 と都市 5 の距離は、都市 1 と都市 17 の距離より短い、都市 5 は既に選ばれているので、都市 3 と都市 5 は選択されない。

【0080】

なお、すでに数 2 に示したハミルトニアン H の制約により、経路生成部 55 でコストが最小となるような閉路を求めており、各閉路内では順序を入れ替える必要はない。よって、小閉路を大閉路に接続させる際に追加となるコストが最小となる組み合わせを求める問題に帰着させることで、上述した複数の閉路を一つの閉路にする処理にかかる計算量は少なく、短時間で求めることができる。

30

【0081】

ところが、上述した方法により大閉路を生成した場合、最短経路でないことがある。そこで、さらに精度を上げるために、経路生成部 55 は 2 o p t 法を用いた補助処理を実行する。補助処理は、二つの経路を順次選択し、選択した二つの経路（エッジ）の接続をつなぎ直し、大閉路が短くなるなら、つなぎ直した閉路を採用する。

【0082】

また、補助処理の終了は、つなぎ直しても、大閉路が短くならない場合に補助処理を終了する。

【0083】

図 8 は、補助処理を説明するための図である。例えば、図 8 A に示すように、都市 16 と都市 14 の経路（矢印）と、都市 13 と都市 15 の経路（矢印）が選択された場合、図 8 B に示すように、都市 16 と都市 14 の経路を都市 16 と都市 15 の経路に入れ替える。また、都市 13 と都市 15 の経路を都市 13 と都市 14 の経路に入れ替える。

40

【0084】

この入れ替えの結果、大閉路が短くなるなら、入れ替えた大閉路を採用する。このように上述した入れ替え処理を繰り返し、大閉路が短くならない場合（改善がなくなった場合）に補助処理を停止する。その結果、図 8 C に示すような大閉路が得られる。

【0085】

このように、補助処理を実行することにより、上述した複数の閉路を一つの閉路（大閉

50

路)にした場合でも、大閉路をより良い近似解となる経路を求めることができる。

【0086】

(C) 上述した(B)の方法(全探索を用いた処理)はノード数が少ない場合に有効である。しかしながら、ノード数が多くなると(B)の方法のように全探索をした場合には、閉路を生成する時間が増大する。

【0087】

そこで、複数の閉路を一つにする問題において、扱うノード数が多い場合には、閉路を接続する組み合わせの中から最適な接続点(ノード)を量子アニーリングにより求解し、求解した結果に基づいて複数の閉路を一つの閉路にする。その後、(B)の方法と同様、補助処理(2 opt法)を用いて、閉路をより短くなるような経路に改善する。

10

【0088】

(C)の方法において、まず、イジングモデル生成部53は、複数の閉路の中から最も多くノードを含む大閉路(第一の閉路)と、大閉路に接続する大閉路以外の小閉路(第二の閉路)とを選択する。

【0089】

次に、イジングモデル生成部53は、大閉路に含まれるエッジが有する二つのノードを小閉路に接続させるか否かを表すスピン(変数:第一のスピン)と、小閉路に含まれるエッジが有する二つのノードを大閉路に接続させるか否かを表すスピン(変数:第二のスピン)とを設定したイジングモデル(第一のイジングモデル)又はQUBOを生成する。

【0090】

20

具体的には、イジングモデル生成部53は、数3に示すようなイジングモデルを生成する。なお、イジングモデルは手動で生成してもよい。

【0091】

【数3】

$$H = C * H_c + D * H_d$$

$$H_c = \sum_i \sum_{j,k} \text{cost}_{j,k} * m_{i,j} * n_{i,k}$$

30

$$H_d = \sum_i \sum_j (m_{i,j} - 1)^2 + \sum_i \sum_k (n_{i,k} - 1)^2$$

H : ハミルトニアン

H_c : 目的関数

H_d : それぞれの接続点はどれか一つだけが選択される

C, D : H_c 、 H_d の重み係数

40

$\text{cost}_{j,k}$: $m_{i,j}$ 、 $m_{i,j+1}$ 、 $n_{i,k}$ 、 $n_{i,k+1}$ の接続時のコスト

$m_{i,j}$: 大閉路のノードjとノードj+1を小閉路iに接続させるか否を表す変数(スピン)

$n_{i,k}$: 小閉路iに含まれるノードkとノードk+1を大閉路と接続させるか否を表す変数(スピン)

50

【 0 0 9 2 】

求解部 5 4 は、生成したイジングモデルに基づいて、量子アニーリングマシン 1 0 に求解させる。

【 0 0 9 3 】

具体的には、まず、求解部 5 4 は、イジングモデル生成部 5 3 から数 3 に示したイジングモデルを取得する。次に、求解部 5 4 は、取得したイジングモデルに基づいて、量子アニーリングマシン 1 0 の量子処理部 1 1 を制御するための制御情報を生成する。その後、求解部 5 4 は、制御情報を含む制御信号を、制御部 1 2 に送信する。

【 0 0 9 4 】

量子処理部 1 1 が超電導量子回路である場合、制御部 1 2 は、受信した制御信号に基づいて、量子処理部 1 1 に印加する局所磁場を制御する。 10

【 0 0 9 5 】

詳細には、求解部 5 4 は、まず、数 3 に示したイジングモデルに基づいて、量子アニーリングマシン 1 0 の量子処理部 1 1 に構成されている量子ビットポロジエーに対してマイナー埋め込みをするための指示を、量子アニーリングマシン 1 0 の制御部 1 2 にする。

【 0 0 9 6 】

求解部 5 4 は、量子アニーリングマシン 1 0 に指示するため、数 3 のハミルトニアンを式を展開し、展開後得られた各項のうち、一次項又は同じスピンから成る二次項の係数をスピンの係るバイアス、別々のスピンから成る二次項の係数をスピン間の相互作用とする。このとき、ハミルトニアンが Q U B O であればイジングモデルへの変換を行い、量子ア 20
ニーリングマシンに対してパラメータを設定する。

【 0 0 9 7 】

次に、求解部 5 4 は、制御部 1 2 に対して、量子処理部 1 1 に局所磁場を印加させる指示をし、その後、局所磁場を時間かけて弱めていくように指示をする。その結果、最終的に、数 2 のハミルトニアン H は最小の状態に収束する。

【 0 0 9 8 】

次に、経路生成部 5 5 は、量子ビットの状態を表す状態情報を用いて閉路を生成する。具体的には、まず、経路生成部 5 5 は、量子アニーリングマシンの読取部 1 3 から状態情報を取得する。次に、経路生成部 5 5 は、状態情報に基づいて、閉路を表す閉路情報を生成する。 30

【 0 0 9 9 】

図 9、図 1 0 を用いて閉路の生成について説明する。図 9、図 1 0 は、複数の閉路を一つにする量子アニーリングを説明するための図である。

【 0 1 0 0 】

まず、図 9 に示した三つの閉路が生成されたものとする。図 9 の例では、三つの閉路の中から最も多くノードを含む大閉路と、大閉路以外の二つの小閉路が生成されたものとする。

【 0 1 0 1 】

大閉路は、1 0 個のノード（ノード 1 からノード 1 0）を有し、1 0 個のエッジを有する。小閉路 1（ $i = 1$ ）は、3 個のノード（ノード 1 からノード 3）を有し、3 個のエ 40
ッジを有する。小閉路 2（ $i = 2$ ）は、4 個のノード（ノード 1 からノード 4）を有し、4 個のエッジを有する。また、大閉路と小閉路のノードとエッジは、図 9 のテーブル 9 1 に示すように表される。

【 0 1 0 2 】

次に、求解部 5 4 は、図 9 に示した大閉路と小閉路 1、2 を一つの閉路にするために、数 3 に示したイジングモデルに基づいて、量子アニーリングマシン 1 0 に求解させる。すると、図 1 0 に示すような結果が得られる。

【 0 1 0 3 】

すなわち、図 1 0 のテーブル 1 0 1 に示すように、大閉路のエッジ 6 - 7 と小閉路 1 を接続させ、大閉路のエッジ 1 - 2 と小閉路 2 を接続させる結果が得られる。また、図 1 0 50

のテーブル 102 に示すように、小閉路 1 のエッジ 1 - 2 と大閉路を接続させる結果が得られる。また、図 10 のテーブル 103 に示すように、小閉路 2 のエッジ 4 - 1 と大閉路を接続させる結果が得られる。

【0104】

次に、経路生成部 55 は、上述した結果に基づいて、大閉路と二つの小閉路 1、2 を接続する。その結果、図 7C に示すような閉回路が生成される。

【0105】

ところが、上述した量子アニーリングにより閉路を生成した場合、生成した閉路が最短経路でないことがある。そこで、さらに精度を上げるために、経路生成部 55 は 2-opt 法を用いた補助処理を実行して、閉路をより近似解となる経路にする。

10

【0106】

このように、量子アニーリングを行うためには、オーバーヘッド（付加的な処理）が必要であるため、全探索の方が短時間に最適な接続ノードを探索できる可能性があるが、ノード数が多い場合には、(B)の方法より短時間で大閉路を生成することができる。

【0107】

[装置動作]

次に、実施形態における閉路生成装置の動作について図 11、図 12 を用いて説明する。図 11、図 12 は、閉路生成装置の動作の一例を説明するための図である。以下の説明においては、適宜図面を参照する。また、実施形態では、閉路生成装置を動作させることによって、閉路生成方法が実施される。よって、実施形態における閉路生成方法の説明は、以下の閉路生成装置の動作説明に代える。

20

【0108】

まず、図 11 を用いて (B) で説明した方法を採用した閉路生成装置の動作について説明する。取得部 51 は、まず、TSP により与えられたグラフを表すグラフ情報を取得する (ステップ A1)。

【0109】

次に、抽出部 52 は、TSP において与えられたグラフに含まれるノードを順次選択し、選択したノードごとに、選択したノードとそれ以外のノードで表されたエッジに関連付けられたコストを参照し、あらかじめ設定された順位以下のコストに対応するエッジを抽出する (ステップ A2)。

30

【0110】

次に、イジングモデル生成部 53 は、抽出したエッジをスピン（変数）としたイジングモデル又は QUBO を生成する (ステップ A3)。具体的には、イジングモデル生成部 53 は、数 2 に示すようなイジングモデル（第二のイジングモデル）を生成する。なお、イジングモデルは手動で生成してもよい。

【0111】

次に、求解部 54 は、生成したイジングモデルに基づいて、量子アニーリングマシン 10 に求解させる (ステップ A4)。量子アニーリングマシン 10 が求解できた場合 (ステップ A5: Yes)、経路生成部 55 は、量子ビットの状態を表す状態情報を用いて閉路を生成する (ステップ A6)。

40

【0112】

また、量子アニーリングマシン 10 が求解できない場合 (ステップ A5: No)、抽出部 52 は、順位が最大であるかを判定する (ステップ A7)。順位が最大である場合 (ステップ A7: Yes)、抽出部 52 は、量子アニーリングマシン 10 が求解できないものとして処理を終了する。順位が最大とは、例えば、ノードが n 個である場合に、 $1/n * 100$ [%] の増加ができない状態などである。

【0113】

順位が最大でない場合 (ステップ A7: No)、抽出部 52 は、あらかじめ設定された順位を変更する (ステップ A8)。具体的には、ステップ A8 において、抽出部 52 は、求解部 54 から求解できなかったことを表すエラー情報を取得する。次に、ステップ A8

50

において、抽出部 5 2 は、抽出するエッジの数が多くなるように、順位を変更する。例えば、ノードが n 個である場合、最低でも、 $1/n * 100$ [%] は増加させる。

【0114】

次に、ステップ A 8 において、抽出部 5 2 が順位を変更した後、ステップ A 2 の処理に移行して、再度エッジを抽出する。そして、ステップ A 3 において、イジングモデル生成部 5 3 は、新たに抽出したエッジをスピンとして、新たにイジングモデルを生成する。その後、ステップ A 4 において、求解部 5 4 は、生成した新たなイジングモデルに基づいて、量子アニーリングマシン 1 0 に求解させる。

【0115】

経路生成部 5 5 は、複数の閉路が生成された場合（ステップ A 9：Yes）、複数の閉路のうち最も多くノードを含む閉路（大閉路）に、大閉路以外の小閉路を順次接続させる（ステップ A 1 0）。閉路が一つの場合（ステップ A 9：No）には処理を終了する。なお、閉路が一つの場合でも補助処理をしてもよい。

10

【0116】

具体的には、ステップ A 1 0 において、経路生成部 5 5 は、小閉路を選択し、選択した小閉路のノードごとに、大閉路のノードそれぞれとの距離を求める。次に、ステップ A 1 0 において、経路生成部 5 5 は、求めた距離に基づいてノード同士を接続する。

【0117】

経路生成部 5 5 は、補助処理を実行する（ステップ A 1 1）。補助処理は、例えば、2 o p t 法などの処理である。二つの経路を順次選択し、選択した二つの経路（エッジ）の接続をつなぎ直し、大閉路が短くなるなら、つなぎ直した閉路を採用する。

20

【0118】

また、補助処理の終了は、つなぎ直しても、大閉路が短くならない場合に補助処理を終了する。

【0119】

次に、図 1 2 を用いて（C）で説明した方法を採用した閉路生成装置の動作について説明する。ステップ A 1 から A 1 1 の処理については既に説明をしたので、ステップ A 1 から A 1 1 の処理について説明を省略する。

【0120】

ステップ B 1 において、イジングモデル生成部 5 3 は、複数の閉路の中から最も多くノードを含む大閉路（第一の閉路）と、大閉路に接続する大閉路以外の小閉路（第二の閉路）とを選択する。

30

【0121】

次に、ステップ B 1 において、イジングモデル生成部 5 3 は、大閉路に含まれるエッジが有する二つのノードを小閉路に接続させるか否かを表すスピン（変数：第一のスピン）と、小閉路に含まれるエッジが有する二つのノードを大閉路に接続させるか否かを表すスピン（変数：第二のスピン）とを設定したイジングモデル（第一のイジングモデル）又は Q U B O を生成する。

【0122】

具体的には、イジングモデル生成部 5 3 は、数 3 に示すようなイジングモデルを生成する。なお、イジングモデルは手動で生成してもよい。

40

【0123】

ステップ B 2 において、求解部 5 4 は、生成したイジングモデルに基づいて、量子アニーリングマシン 1 0 に求解させる。

【0124】

具体的には、ステップ B 2 において、まず、求解部 5 4 は、イジングモデル生成部 5 3 から数 3 に示したイジングモデルを取得する。次に、ステップ B 2 において、求解部 5 4 は、取得したイジングモデルに基づいて、量子アニーリングマシン 1 0 の量子処理部 1 1 を制御するための制御情報を生成する。その後、求解部 5 4 は、制御情報を含む制御信号を、制御部 1 2 に送信する。

50

【 0 1 2 5 】

次に、ステップ B 2 において、求解部 5 4 は、制御部 1 2 に対して、量子処理部 1 1 に局所磁場を印加させる指示をし、その後、局所磁場を時間かけて弱めていくように指示をする。その結果、最終的に、数 2 のハミルトニアン H は最小の状態に収束する。

【 0 1 2 6 】

ステップ B 3 において、経路生成部 5 5 は、量子ビットの状態を表す状態情報を用いて閉路を生成する。具体的には、ステップ B 3 において、まず、経路生成部 5 5 は、量子アニーリングマシンの読取部 1 3 から状態情報を取得する。次に、ステップ B 3 において、経路生成部 5 5 は、状態情報に基づいて、閉路を表す閉路情報を生成する。

【 0 1 2 7 】

ところが、量子アニーリングにより大閉路を生成した場合、最短経路でないことがある。そこで、さらに精度を上げるために、ステップ B 3 において、経路生成部 5 5 は 2 o p t 法を用いた補助処理を実行する。

【 0 1 2 8 】

[本実施形態の効果]

以上のように実施形態によれば、巡回セールスマン問題において、あらかじめ不要な経路を除外してから、量子アニーリングマシン 1 0 に量子アニーリングを実行させるので、閉路を生成する求解時間を短縮できる。

【 0 1 2 9 】

また、複数の閉路が生成された場合でも、複数の閉路を一つの閉路にして、更に、補助処理を実行するので、より近似解となる閉路を生成することができる。

【 0 1 3 0 】

さらに、ノード数が多い場合には、量子アニーリングを用いて最適な接続点（ノード）を求解することで、（ B ）の方法より短時間で大閉路を生成することができる。

【 0 1 3 1 】

なお、実施形態では、量子アニーリングの結果に基づいて生成された閉路が複数ある場合に、（ C ）の方法を適用した。しかし、量子アニーリング以外の方法に基づいて生成された複数の閉路に対して、（ C ）の方法を適用してもよい。

【 0 1 3 2 】

[プログラム]

実施形態におけるプログラムは、コンピュータに、図 1 1、図 1 2 に示すステップ A 1 から A 1 1、B 1 から B 3 を実行させるプログラムであればよい。このプログラムをコンピュータにインストールし、実行することによって、実施形態における閉路生成装置と閉路生成方法とを実現することができる。この場合、コンピュータのプロセッサは、取得部 5 1、抽出部 5 2、イジングモデル生成部 5 3、求解部 5 4、経路生成部 5 5 として機能し、処理を行なう。

【 0 1 3 3 】

また、実施形態におけるプログラムは、複数のコンピュータによって構築されたコンピュータシステムによって実行されてもよい。この場合は、例えば、各コンピュータが、それぞれ、取得部 5 1、抽出部 5 2、イジングモデル生成部 5 3、求解部 5 4、経路生成部 5 5 のいずれかとして機能してもよい。

【 0 1 3 4 】

[物理構成]

ここで、実施形態におけるプログラムを実行することによって、閉路生成装置を実現するコンピュータについて図 1 3 を用いて説明する。図 1 3 は、実施形態における閉路生成装置を実現するコンピュータ（例えば、情報処理装置 2 0、端末装置 3 0 など）の一例を示すブロック図である。

【 0 1 3 5 】

図 1 3 に示すように、コンピュータ 1 1 0 は、CPU（Central Processing Unit）1 1 1 と、メインメモリ 1 1 2 と、記憶装置 1 1 3 と、入力インターフェイス 1 1 4 と

10

20

30

40

50

、表示コントローラ 115 と、データリーダー/ライター 116 と、通信インターフェイス 117 とを備える。これらの各部は、バス 121 を介して、互いにデータ通信可能に接続される。なお、コンピュータ 110 は、CPU 111 に加えて、又は CPU 111 に代えて、GPU、又は FPGA を備えていてもよい。

【0136】

CPU 111 は、記憶装置 113 に格納された、本実施形態におけるプログラム（コード）をメインメモリ 112 に展開し、これらを所定順序で実行することにより、各種の演算を実施する。メインメモリ 112 は、典型的には、DRAM（Dynamic Random Access Memory）等の揮発性の記憶装置である。また、本実施形態におけるプログラムは、コンピュータ読み取り可能な記録媒体 120 に格納された状態で提供される。なお、本実施形態におけるプログラムは、通信インターフェイス 117 を介して接続されたインターネット上で流通するものであってもよい。なお、記録媒体 120 は、不揮発性記録媒体である。

10

【0137】

また、記憶装置 113 の具体例としては、ハードディスクドライブの他、フラッシュメモリ等の半導体記憶装置があげられる。入力インターフェイス 114 は、CPU 111 と、キーボード及びマウスといった入力機器 118 との間のデータ伝送を仲介する。表示コントローラ 115 は、ディスプレイ装置 119 と接続され、ディスプレイ装置 119 での表示を制御する。

【0138】

データリーダー/ライター 116 は、CPU 111 と記録媒体 120 との間のデータ伝送を仲介し、記録媒体 120 からのプログラムの読み出し、及びコンピュータ 110 における処理結果の記録媒体 120 への書き込みを実行する。通信インターフェイス 117 は、CPU 111 と、他のコンピュータとの間のデータ伝送を仲介する。

20

【0139】

また、記録媒体 120 の具体例としては、CF（Compact Flash（登録商標））及びSD（Secure Digital）等の汎用的な半導体記憶デバイス、フレキシブルディスク（Flexible Disk）等の磁気記録媒体、又はCD-ROM（Compact Disk Read Only Memory）などの光学記録媒体があげられる。

【0140】

なお、実施形態における閉路生成装置は、プログラムがインストールされたコンピュータではなく、各部に対応したハードウェアを用いることによっても実現可能である。更に、閉路生成装置は、一部がプログラムで実現され、残りの部分がハードウェアで実現されていてもよい。

30

【0141】

[付記]

以上の実施形態に関し、更に以下の付記を開示する。上述した実施形態の一部又は全部は、以下に記載する（付記 1）から（付記 9）により表現することができるが、以下の記載に限定されるものではない。

【0142】

（付記 1）

複数の閉路の中から第一の閉路と前記第一の閉路に接続する第二の閉路とを選択し、前記第一の閉路に含まれるエッジが有する二つのノードを前記第二の閉路に接続させるかを表す第一のスピンと、前記第二の閉路に含まれるエッジが有する二つのノードを前記第一の閉路に接続させるかを表す第二のスピンとを設定した第一のイジングモデルに基づいて、量子アニーリングマシンに求解させる、求解部を有する閉路生成装置。

40

【0143】

（付記 2）

付記 1 に記載の閉路生成装置であって、

50

巡回セールスマン問題において与えられたグラフに含まれるノードを順次選択し、選択したノードごとに、選択したノードとそれ以外のノードで表されたエッジに関連付けられたコストを参照し、あらかじめ設定された順位以下のコストに対応するエッジを抽出する、抽出部を有し、

前記求解部は、抽出したエッジをスピンに設定した第二のイジングモデルに基づいて、前記量子アニーリングマシンに求解させる、

閉路生成装置。

【0144】

(付記3)

付記2に記載の閉路生成装置であって、

前記抽出部は、前記求解ができない場合、前記順位を変更し、変更した前記順位に基づいて新たにエッジを抽出する、

前記求解部は、新たに前記抽出されたエッジをスピンとした前記第二のイジングモデルに基づいて、前記量子アニーリングマシンに求解させる

を有する閉路生成装置。

【0145】

(付記4)

複数の閉路の中から第一の閉路と前記第一の閉路に接続する第二の閉路とを選択し、前記第一の閉路に含まれるエッジが有する二つのノードを前記第二の閉路に接続させるかを表す第一のスピンと、前記第二の閉路に含まれるエッジが有する二つのノードを前記第一の閉路に接続させるかを表す第二のスピンとを設定した第一のイジングモデルに基づいて、量子アニーリングマシンに求解させる、求解ステップ、

を有する閉路生成方法。

【0146】

(付記5)

付記4に記載の閉路生成方法であって、

巡回セールスマン問題において与えられたグラフに含まれるノードを順次選択し、選択したノードごとに、選択したノードとそれ以外のノードで表されたエッジに関連付けられたコストを参照し、あらかじめ設定された順位以下のコストに対応するエッジを抽出する、抽出ステップを有し、

前記求解ステップにおいて、抽出したエッジをスピンに設定した第二のイジングモデルに基づいて、前記量子アニーリングマシンに求解させる、

閉路生成方法。

【0147】

(付記6)

付記5に記載の閉路生成方法であって、

前記抽出ステップにおいて、前記求解ができない場合、前記順位を変更し、変更した前記順位に基づいて新たにエッジを抽出し、

前記求解ステップにおいて、新たに前記抽出されたエッジをスピンとしたイジングモデルに基づいて、前記量子アニーリングマシンに求解させる

閉路生成方法。

【0148】

(付記7)

コンピュータに、

複数の閉路の中から第一の閉路と前記第一の閉路に接続する第二の閉路とを選択し、前記第一の閉路に含まれるエッジが有する二つのノードを前記第二の閉路に接続させるかを表す第一のスピンと、前記第二の閉路に含まれるエッジが有する二つのノードを前記第一の閉路に接続させるかを表す第二のスピンとを設定した第一のイジングモデルに基づいて、量子アニーリングマシンに求解させる、求解ステップ、

を実行させる命令を含むプログラム。

10

20

30

40

50

【 0 1 4 9 】

(付 記 8)

付記 7 に記載のプログラムであって、
 前記プログラムが、前記コンピュータに、
 巡回セールスマン問題において与えられたグラフに含まれるノードを順次選択し、選択したノードごとに、選択したノードとそれ以外のノードで表されたエッジに関連付けられたコストを参照し、あらかじめ設定された順位以下のコストに対応するエッジを抽出する、抽出ステップを実行させる命令を含み、
 前記求解ステップにおいて、抽出したエッジをスピンに設定した第二のイジングモデルに基づいて、前記量子アニーリングマシンに求解させる、
 命令を含むプログラム。

10

【 0 1 5 0 】

(付 記 9)

付記 8 に記載のプログラムであって、
 前記抽出ステップにおいて、前記求解ができない場合、前記順位を変更し、変更した前記順位に基づいて新たにエッジを抽出し、
 前記求解ステップにおいて、新たに前記抽出されたエッジをスピンとしたイジングモデルに基づいて、前記量子アニーリングマシンに求解させる
 命令を含むプログラム。

20

【 0 1 5 1 】

以上、実施形態を参照して本願発明を説明したが、本願発明は上記実施形態に限定されるものではない。本願発明の構成や詳細には、本願発明のスコープ内で当業者が理解し得る様々な変更をすることができる。

【 産 業 上 の 利 用 可 能 性 】

【 0 1 5 2 】

以上のように本発明によれば、閉路を生成する時間を短縮できる。本発明は、巡回セールスマン問題を量子アニーリングにより閉路を生成する分野において有用である。

【 符 号 の 説 明 】

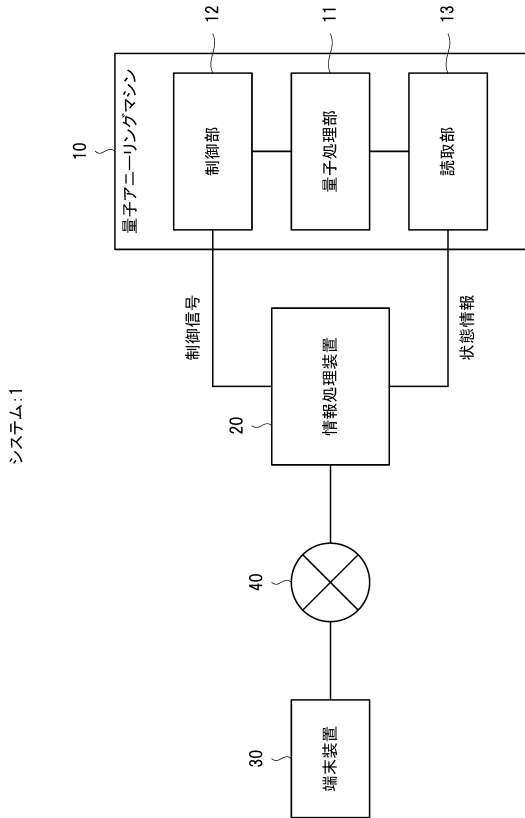
【 0 1 5 3 】

1	システム	30
1 0	量子アニーリングマシン	
1 1	量子処理部	
1 2	制御部	
1 3	読取部	
2 0	情報処理装置	
3 0	端末装置	
4 0	ネットワーク	
5 0	閉路生成装置	
5 1	取得部	
5 2	抽出部	40
5 3	イジングモデル生成部	
5 4	求解部	
5 5	経路生成部	
1 1 0	コンピュータ	
1 1 1	C P U	
1 1 2	メインメモリ	
1 1 3	記憶装置	
1 1 4	入力インターフェイス	
1 1 5	表示コントローラ	
1 1 6	データリーダー/ライター	50

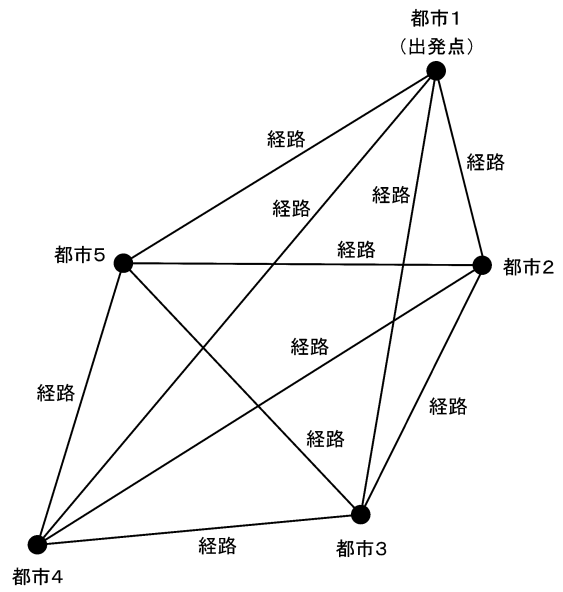
- 1 1 7 通信インターフェイス
- 1 1 8 入力機器
- 1 1 9 ディスプレイ装置
- 1 2 0 記録媒体
- 1 2 1 バス

【 図 面 】

【 図 1 】



【 図 2 】



10

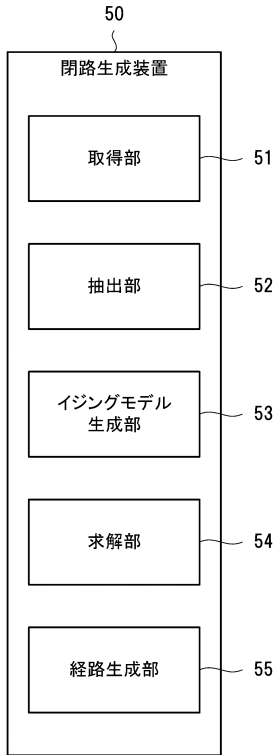
20

30

40

50

【 図 3 】



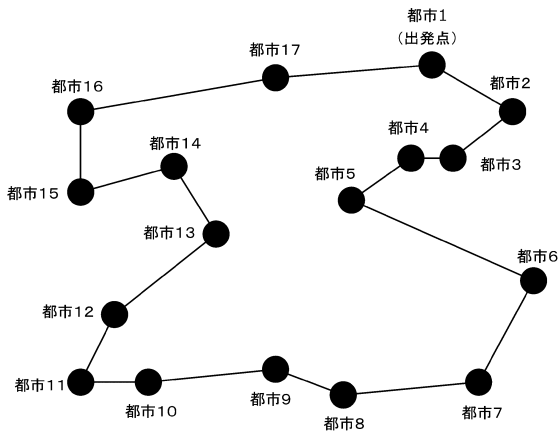
【 図 4 】

近地 (コスト小)	都市1	都市2	...	都市n	n-1個
	都市2	都市3	...	都市8	
a個	都市4	都市1	...	都市4	n-1個
	⋮	⋮	⋮	⋮	
	都市10	都市8	...	都市9	
遠地 (コスト大)	⋮	⋮	⋮	⋮	n-1個
	都市7	都市5	...	都市2	

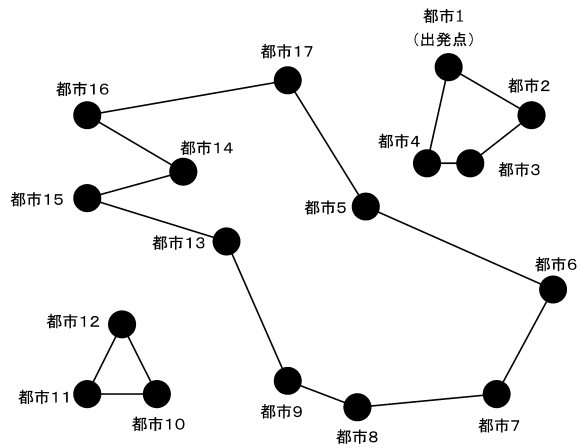
10

20

【 図 5 】



【 図 6 】

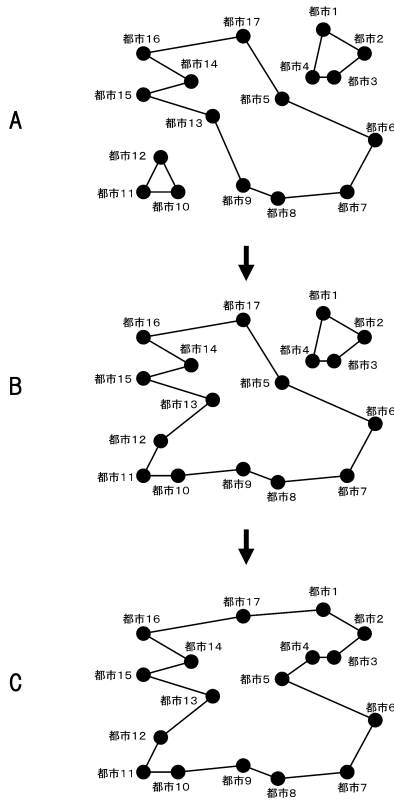


30

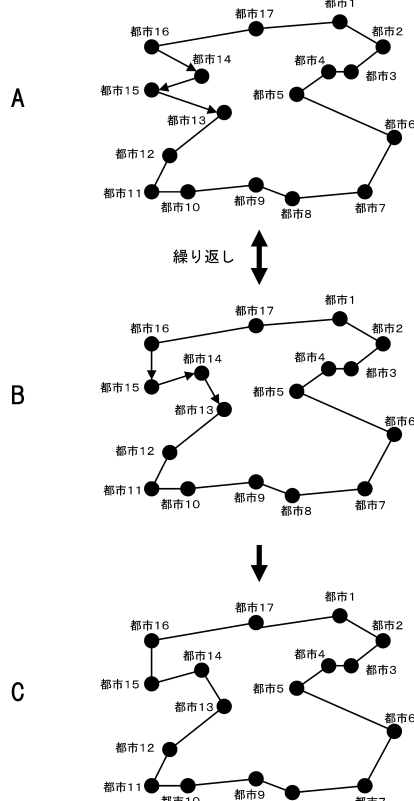
40

50

【 図 7 】



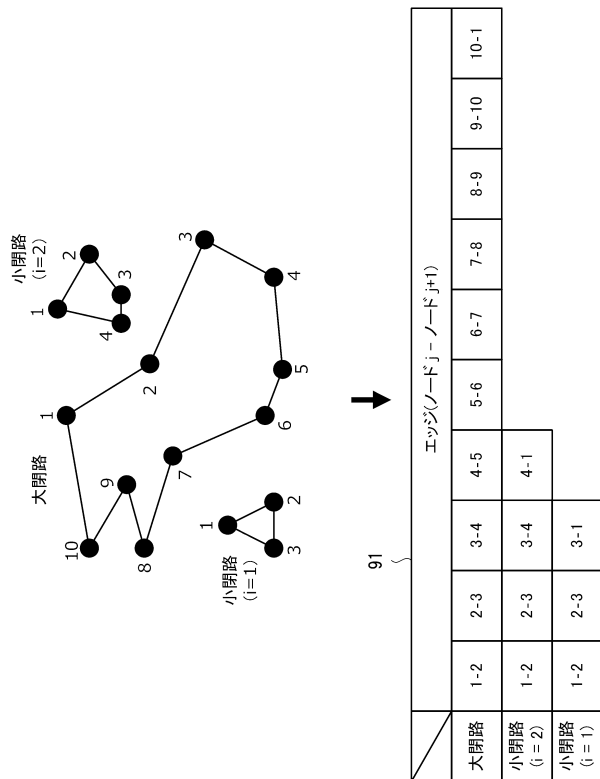
【 図 8 】



10

20

【 図 9 】



【 図 10 】

	1-2	2-3	3-4	4-5	5-6	6-7	7-8	8-9	9-10	10-1
大閉路 m_{ij}	0	0	0	0	0	0	0	0	0	0
小閉路 (i=1) $m_{ik}(i=1)$	1	0	0	0	0	0	0	0	0	0
小閉路 (i=2) m_{ij}	0	0	0	0	0	0	0	0	0	0

	1-2	2-3	3-1
小閉路 (i=1) $m_{ik}(i=1)$	1	0	0
大閉路 m_{ij}	0	0	0

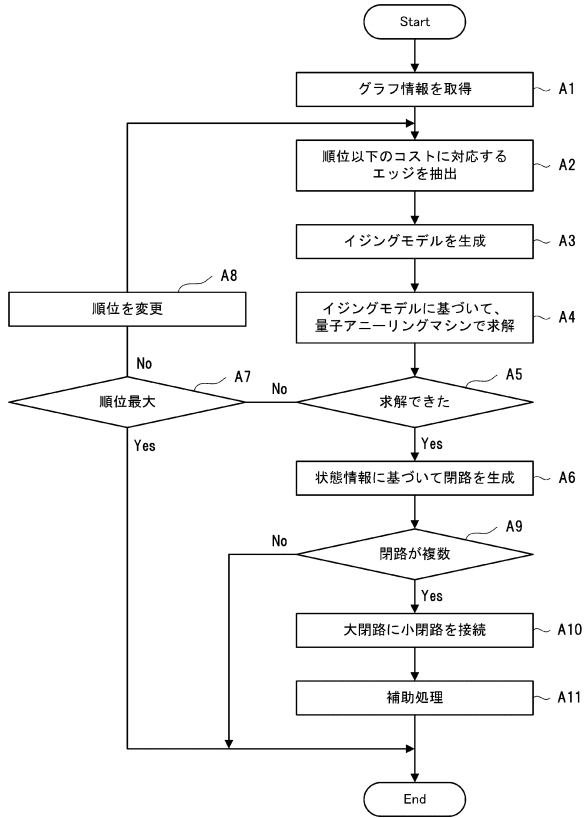
	1-2	2-3	3-4	4-1
小閉路 (i=2) $m_{ik}(i=2)$	0	0	0	1
大閉路 m_{ij}	0	0	0	0

30

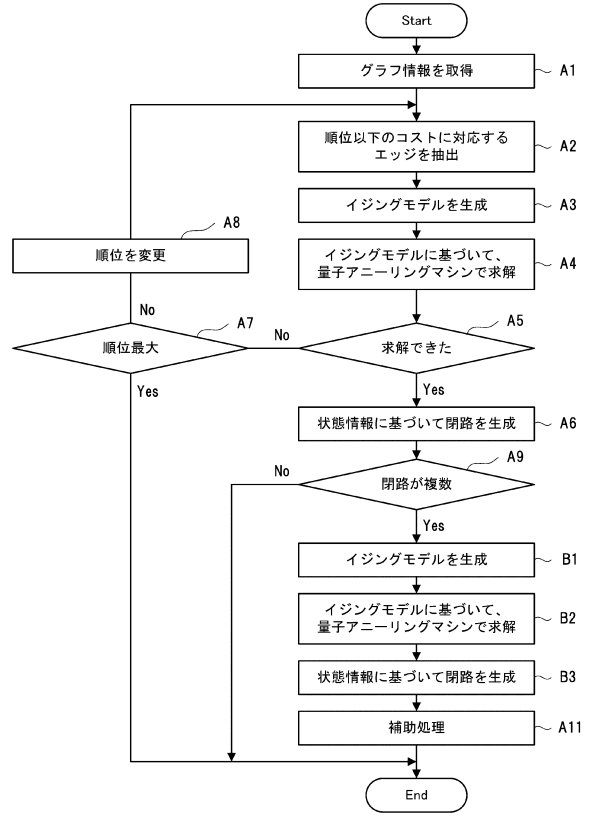
40

50

【図 1 1】



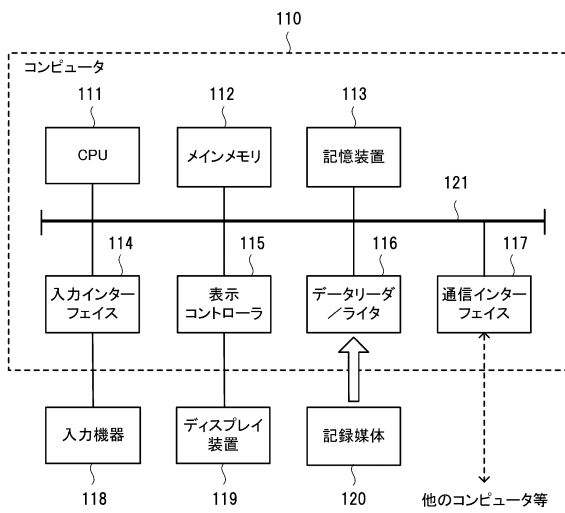
【図 1 2】



10

20

【図 1 3】



30

40

50

フロントページの続き

NECソリューションイノベータ株式会社内