

(12)

PATENTSCHRIFT

(21) Anmeldenummer: 1540/91

(51) Int.Cl.⁶ : **H03K 17/22**

(22) Anmeldetag: 1. 8.1991

(42) Beginn der Patentdauer: 15. 5.1996

(45) Ausgabetag: 27. 1.1997

(56) Entgegenhaltungen:

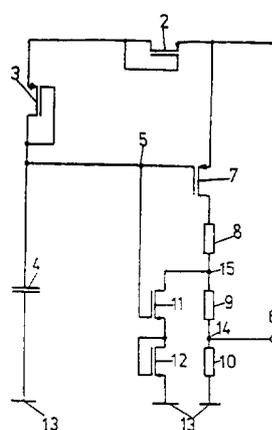
EP 343872A2

(73) Patentinhaber:

AUSTRIA MIKRO SYSTEME INTERNATIONAL
AKTIENGESELLSCHAFT
A-8141 UNTERPREMSTÄTTEN, STEIERMARK (AT).

(54) DYNAMISCHE EINSCHALT-RÜCKSETZSCHALTUNG

(57) Eine dynamische Einschalt-Rücksetzschaltung weist eine Reihenschaltung von zwei p-Kanaltransistoren (2) und (3) auf, die auf eine Kapazität (4) geführt ist. Der Gateanschluß eines dritten p-Kanaltransistors (7) und der Gateanschluß eines ersten n-Kanaltransistors (11) sind ebenfalls auf die Kapazität (4) geführt. Der Drainanschluß des dritten p-Kanaltransistors (7) ist mit einem Spannungsteiler verbunden, der die Knotenpunkte (15) und (14) aufweist. Zwischen dem Knotenpunkt (15) und Masse (13) ist wenigstens ein n-Kanaltransistor (11) angeordnet. Der Knotenpunkt (14) ist mit dem Ausgang (6) zusammengeschaltet.



Die Erfindung betrifft eine dynamische Einschalt-Rücksetzschaltung, mit in Reihe geschalteten p-Kanaltransistoren zur Aufladung einer Kapazität, wobei der Drainanschluß mit dem Gateanschluß jeweils zusammengeschaltet sind.

Bei digitalen und analogen Schaltungskomplexen ist es erforderlich, nach dem Einschalten der Betriebsspannung bei allen Flip-Flops, Verknüpfungsschaltungen und analogen Schaltungskomponenten einen definierten Ausgangszustand zu erzeugen. Das ist erforderlich, um den Einschwingvorgang des Systems in möglichst kurzer Zeit zu erreichen. Der Anstieg der Versorgungsspannung liegt nun je nach Einschaltetelement im μ s- bis ms-Bereich. Es muß also gewährleistet sein, daß auch bei sehr schnellen Spannungsanstiegen ein genügend breiter Rücksetzimpuls erzeugt wird, um den Rücksetzvorgang aller Schaltungskomponenten abzuschließen. Weiterhin ist es erforderlich, daß beim Absinken der Betriebsspannung oder bei einem Störimpuls bis zu einer bestimmten unteren Spannungsgrenze und nach einem Wiederanstieg kein Rücksetzimpuls erzeugt wird, weil alle Flip-Flops z.B. ihren richtigen Zustand noch eingehalten haben, daß aber beim Unterschreiten eines bestimmten Grenzwertes, bei dem in der Gesamtschaltung schon labile Zustände auftreten können, unbedingt ein erneuter Rücksetzimpuls erzeugt werden muß. Außerdem sollen solche Rücksetzschaltungen im stationären Zustand keinen Arbeitsstrom benötigen, was bei CMOS-Schaltungen zwingend notwendig ist.

Bekanntete Schaltungen, wie z. B. aus der EP 0303257 ("Reset signal generating circuit"), erzeugen zwar beim Anstieg der Betriebsspannung einen Rücksetzimpuls, wobei allerdings eine einstellbare Ansprechschwelle nicht vorhanden ist. Über einen p-Kanaltransistor wird hier eine Kapazität aufgeladen, die die Steuerspannung für einen n-Kanaltransistor erzeugt. Der n-Kanaltransistor entlädt nun eine zweite Kapazität und sperrt damit ein nachfolgendes Gatter.

Nachteilig ist bei dieser Schaltungsanordnung, daß zwei Kapazitäten vorhanden sein müssen, die mehr Chipfläche bedeuten und die Gesamtschaltung störanfälliger machen.

Die Schaltung gemäß der EP 0343872 ("CMOS power on-reset circuit") verwendet ebenfalls zwei Kapazitäten und drei p-Kanaltransistoren und generiert auch nur einen einmaligen Rücksetzimpuls.

Zwischen dem Gate des Feldeffekttransistors P3 und VSS sind die beiden Feldeffekttransistoren P1 und P2 angeordnet. Beide sind als Diode geschaltet, wirken als hochohmige Widerstände und sollen die Gatekapazität des Feldeffekttransistors P3 entladen.

Diese Schaltungsanordnung ist jedoch störanfällig. Bei Störimpulsen auf der Betriebsspannung VCC werden diese über C1 auf den Gateanschluß des Feldeffekttransistors P3 übertragen und verhindern so die Aufladung von C2. Das führt zur Verzögerung des gesamten Rücksetzvorganges und zur Einschränkung der Einsetzbarkeit dieser Schaltung. Eine zu hohe Spannung am Gateoxid kann außerdem zur Zerstörung des Transistors führen. Deshalb werden in MOS-Schaltungen sogenannte Gateschutzschaltungen vorgesehen.

Nach der EP 0421124 ("Power-up pulse generator circuit") wird auch wieder eine Kapazität über p-Kanaltransistoren aufgeladen, die einen Negator ansteuert, der wiederum eine zweite Kapazität entlädt. Es werden drei p-Kanal-MOS-Transistoren in Reihe geschaltet, wobei zwei davon programmiert werden können, d.h. diese Bauelemente können überbrückt werden. Auch hier kann nur ein einmaliger Rücksetzimpuls erzeugt werden.

In der EP 0155113 wird eine Schaltungsanordnung angegeben, die mit MOS-Depletion- und Enhancement-Transistoren aufgebaut ist und ebenfalls nur einen einmaligen Rücksetzimpuls erzeugt. Am Ausgang SZ wird beim Spannungsanstieg von VCC erst nach einer gewissen Zeit der VCC-Pegel erreicht. Diese Zeit, die bis dahin verstreicht, kann zum Rücksetzen verwendet werden. Für CMOS-Schaltungsanordnungen ist diese Schaltung allerdings nur bedingt geeignet.

In der EP 0169573 wird eine Rücksetzschaltung mit Bipolar-Transistoren angegeben. Hier wird über eine Stromquelle eine Kapazität aufgeladen. Beim Erreichen eines bestimmten Spannungspegels wird ein Komparator eingeschaltet.

In der EP 0171264 wird ebenfalls eine Rücksetzschaltung mit Bipolar-Transistoren vorgeschlagen, die allerdings einen relativ hohen Strombedarf aufweist.

Die Schaltungsanordnung gemäß WO 86/05933 (EP 217806) verwendet eine sperrgepolte Diode, ein Flip-Flop, einen Spannungsteiler und einen n-Kanaltransistor, um beim VDD-Anstieg einen Rücksetzimpuls am Ausgang Z zu generieren. Die sperrgepolte Diode wirkt als Kapazität und zieht beim VDD-Anstieg den Knotenpunkt A sofort auf H und damit den Knotenpunkt B auf L. Nach einer gewissen Zeit steigt das Potential am Knotenpunkt C an und setzt über den Transistor 48 den Knotenpunkt A auf L. Damit bleibt der Zustand des Flip-Flops erhalten. Erst ein Absinken von VDD auf Null und ein erneuter Anstieg generiert somit wieder einen Rücksetzimpuls. Eine bestimmte Ansprechschwelle ist nicht einstellbar.

Die Schaltung gemäß der EP 0296930 verwendet eine Kapazitätsaufladung über Dioden und erzeugt am Ausgang S ebenfalls einen gegenüber VCC verzögerten Anstieg. Während dieser Verzögerungszeit

werden alle Schaltungen zurückgesetzt.

Die Schaltung nach der EP 0285033 erzeugt eine Abschaltung der Stromversorgung mit Hilfe eines externen Signals, wobei auch wieder in Reihe geschaltete p-Kanaltransistoren verwendet werden.

In der EP 0298215 wird über einen Spannungsteiler eine Kapazität langsam aufgeladen. Beim Erreichen
5 eines bestimmten Schwellwertes innerhalb der Transistorkette wird dann diese Kapazität sprunghaft auf VCC aufgeladen. Das wird ausgenutzt, um einen Schmitt-Trigger anzusteuern, der den Rücksetzimpuls generiert.

Diese Schaltungsanordnung hat den Nachteil, daß laufend ein stationärer Strom fließt.

Die Schaltung nach der EP 0333405 verwendet einen Floating-Gate-Transistor zur Erzeugung des
10 Rücksetzimpulses und ist daher nur in Schaltkreisen einsetzbar, die solche Transistoren verwenden.

Nachteilig ist bei allen diesen bekannten Schaltungen, daß sie nur geeignet sind, um einen einmaligen Rücksetzimpuls beim VDD-Anstieg zu generieren und oft zwei Kapazitäten benötigen, die viel Platz auf dem Chip beanspruchen. Beim Absinken der Betriebsspannung auf einen bestimmten Wert und Wiederanstieg von VDD wird auch kein erneuter Rücksetzimpuls erzeugt.

In vielen Fällen fließt auch nach dem Erzeugen des Rücksetzimpulses weiter ein stationärer Strom, der
15 den Speicherkondensator oder die Batterie unnötigerweise belastet.

Ziel und Zweck der Erfindung ist es, eine dynamische Einschalt-Rücksetzschaltung anzugeben, die beim Anstieg von VDD von 0 auf einen Spannungsendwert generell einen Rücksetzimpuls erzeugt, die beim Absinken von VDD auf einen bestimmten Grenzwert und Wiederanstieg keinen Rücksetzimpuls erzeugt, die
20 aber bei Unterschreitung dieses Grenzwertes und Wiederanstieg immer einen Rücksetzimpuls generiert, wobei diese Ansprechschwelle noch einstellbar sein soll, die nur eine Kapazität benötigt und die in den stationären Zuständen keinen Stromverbrauch aufweist.

Zur Lösung dieser Aufgabe besteht bei einer dynamischen Einschalt-Rücksetzschaltung der eingangs genannten Art die Erfindung im wesentlichen darin, daß die Betriebsspannung mit dem Sourceanschluß
25 eines p-Kanaltransistors und dem Sourceanschluß eines weiteren p-Kanaltransistors verbunden ist, daß der Gateanschluß und der Drainanschluß des p-Kanaltransistors zusammengeschaltet und mit dem Sourceanschluß eines weiteren p-Kanaltransistors verbunden sind, daß der Gateanschluß und der Drainanschluß des p-Kanaltransistors ebenfalls miteinander verbunden und auf einen Knotenpunkt geführt sind, daß zwischen dem Knotenpunkt und Masse eine Kapazität angeordnet ist, daß der Gateanschluß des p-Kanaltransistors
30 ebenfalls mit dem Knotenpunkt verbunden ist, daß der Drainanschluß des p-Kanaltransistors auf eine Reihenschaltung von Widerständen geführt ist, deren letzter Widerstand mit Masse verbunden ist, wobei zwischen jeweils benachbarten Widerständen der Reihenschaltung weitere Knotenpunkte vorgesehen sind, daß der Knotenpunkt zwischen den ersten beiden Widerständen der Reihenschaltung mit dem Drainanschluß eines ersten n-Kanaltransistors zusammengeschaltet ist, daß der Gateanschluß des ersten n-Kanaltransistors auf den Knotenpunkt geführt ist, daß der Sourceanschluß des ersten n-Kanaltransistors auf
35 Masse geführt ist und daß der Knotenpunkt mit dem Ausgang zusammengeschaltet ist. Durch diese Anordnung ergibt sich insgesamt eine dynamische Einschalt-Rücksetzschaltung, die beim Einschalten der Betriebsspannung mit nahezu beliebigen Anstiegsflanken einen Rücksetzimpuls erzeugt, die eine einstellbare Ansprechschwelle aufweist und die in den stationären Zuständen keinen Strom benötigt.

Zur Einstellung der Anspruchschwelle der erfindungsgemäßen Schaltung ist die Ausbildung bevorzugt
40 so getroffen, daß der Sourceanschluß des ersten n-Kanaltransistors mit dem Gateanschluß und dem Drainanschluß wenigstens eines zweiten n-Kanaltransistors verbunden ist, dessen Sourceanschluß auf Masse geführt ist. An Stelle des zweiten n-Kanaltransistors kann auch ein Widerstand angeordnet werden, wenn eine Ansprechschwelle zwischen $1 \cdot U_{TH}$ und $2 \cdot U_{TH}$ eingestellt werden soll (U_{TH} ist die Schwellspannung der n-Kanaltransistoren). Mehrere n-Kanaltransistoren in Reihe zum zweiten n-Kanaltransistor sind
45 erforderlich, wenn gemäß einer bevorzugten Ausbildung die Ansprechschwelle $> 2 \cdot U_{TH}$ eingestellt werden soll.

Weitere p-Kanaltransistoren in Reihe zu den p-Kanaltransistoren, wobei der Gate- und Drainanschluß jeweils miteinander verbunden sind, sind erforderlich, wenn auch bei langsamen Spannungsanstiegen ein
50 Rücksetzimpuls generiert werden soll, wie dies einer bevorzugten Ausführungsform entspricht.

Desweiteren ist es vorteilhaft, den Gateanschluß eines weiteren p-Kanaltransistors mit weiteren Knotenpunkten in der Spannungsteilerkette zu verbinden, um beim Rücksetzimpulsende die Schaltung früher stromlos zu schalten.

Die Erfindung wird nachstehend an einem Ausführungsbeispiel näher erläutert, wobei die Zeichnungsfigur das elektrische Schaltbild zeigt.
55

In der Schaltung ist die Betriebsspannung 1 mit dem Sourceanschluß eines p-Kanaltransistors 2 und dem Sourceanschluß eines p-Kanaltransistors 7 verbunden. Gate- und Drainanschluß des p-Kanaltransistors 2 sind zusammengeschaltet und mit dem Sourceanschluß eines weiteren p-Kanaltransistors 3 verbunden.

Gate- und Drainanschluß des p-Kanaltransistors 3 sind ebenfalls miteinander verbunden und auf den Knotenpunkt 5 geführt. Zwischen dem Knotenpunkt 5 und Masse 13 ist die Kapazität 4 angeordnet. Der Gateanschluß des p-Kanaltransistors 7 ist ebenfalls auf den Knotenpunkt 5 geführt. Der Drainanschluß des p-Kanaltransistors 7 ist mit einer Reihenschaltung von Widerständen 8,9,10 verbunden, wobei zwischen den Widerständen 8 und 9 der Knotenpunkt 15 und zwischen den Widerständen 9 und 10 der Knotenpunkt 14 vorgesehen und der zweite Pol des Widerstandes 10 auf Masse 13 geführt ist. Der Knotenpunkt 14 ist mit dem Ausgang 6 verbunden. Der Knotenpunkt 15 ist außerdem mit dem Drainanschluß eines n-Kanaltransistors 11 zusammengeschaltet. Der Gateanschluß dieses n-Kanaltransistors 11 ist mit dem Knotenpunkt 5 verbunden. Der Sourceanschluß des n-Kanaltransistors 11 ist mit dem Drain- und Gateanschluß eines weiteren n-Kanaltransistors 12 zusammengeschaltet. Der Sourceanschluß des n-Kanaltransistors 12 ist auf Masse 13 geführt.

Dynamisch wirkt die Schaltung folgendermaßen: Beim Anstieg der Betriebsspannung 1 in einer gewissen Zeiteinheit wird die Kapazität 4 über die p-Kanaltransistoren 2 und 3 verzögert aufgeladen. Diese p-Kanaltransistoren sind als Diode geschaltet. Unterhalb der Schwellspannung fließt nur ein sehr kleiner Strom durch diese Dioden, d. h. bis zu einem Betriebsspannungsanstieg von etwa 1,4 ... 1,5 Volt wird die Kapazität 4 nur mit einigen Nanoampere geladen. Die Spannung an der Kapazität 4 ist daher bei einer Betriebsspannung von 1,4 ... 1,5 Volt nur einige Millivolt groß, und diese Spannung am Knotenpunkt 5 steigt gegenüber der Betriebsspannung 1 verzögert weiter an. Damit wird eine Gate-Source-Spannung für den p-Kanaltransistor 7 erzeugt, die größer als die Schwellspannung dieses Transistors ist, d. h. hat die Betriebsspannung 1 einen Wert von etwa 2 Volt erreicht und ist die Spannung am Knotenpunkt 5 etwa 0,1 Volt groß, so ist diese Spannungsdifferenz größer als die Schwellspannung des p-Kanaltransistors 7. Es kann ein Strom durch den p-Kanaltransistor 7 und durch die Widerstände 8, 9 und 10 fließen. Damit entsteht an diesen Widerständen ein Spannungsabfall. Diese Spannung steigt bei gleichgroßen Widerständen von 0 auf etwa max. 1,5 Volt bei einer Betriebsspannung von 5 Volt an. Damit steht am Knotenpunkt 14 bzw. am Ausgang 6 eine Spannung zur Verfügung, die einen nachfolgenden n-Kanaltransistor sicher ansteuern kann.

Nach einer endlichen Zeit hat die Spannung am Knotenpunkt 5 auch den Wert der Betriebsspannung 1 erreicht. Die Kapazität 4 ist somit aufgeladen und UGS (Spannung zwischen Gate- und Sourceanschluß) des p-Kanaltransistors 7 ist ≈ 0 . Es fließt kein Strom mehr durch diesen Transistor. Der Transistor ist vollständig gesperrt. Der Stromfluß durch die Widerstände 8, 9 und 10 hört dann auf, wenn $UGS \approx U_{TH}$ (U_{TH} = Schwellspannung) ist. Bei diesem Wert wird kein Spannungsabfall an den Widerständen erzeugt.

Am Knotenpunkt 14 und damit am Ausgang 6 liegt keine Spannung an. Der nachfolgende n-Kanaltransistor ist damit sicher gesperrt. Diese Anordnung generiert also einen kurzzeitigen Spannungsimpuls am Knotenpunkt 14 und damit am Ausgang 6. Der Spannungsimpuls kann zur Triggerung eines Flip-Flops benutzt werden, um z. B. einen definierten Rücksetzimpuls zu erzeugen.

Um einen definierten Rücksetzimpuls erst unterhalb eines bestimmten Wertes der Betriebsspannung 1 zu erzeugen, ist die Anordnung der Transistoren 11 und 12 vorgesehen. Der Transistor 12 ist wieder als Diode geschaltet, d.h. am Drain- und Gateanschluß muß erst eine Spannung anliegen, die etwas größer als die Schwellspannung ist, damit durch diesen Transistor ein nennenswerter Strom fließt. Der Transistor 11 ist zwischen dem Knotenpunkt 15 und dem Transistor 12 angeordnet, wobei der Gateanschluß mit dem Knotenpunkt 5 verbunden ist. Ist die Spannung am Knotenpunkt 5 kleiner als $2 \cdot U_{TH}$, so sind in jedem Fall die Transistoren 11 und 12 gesperrt, denn $1 \cdot U_{TH}$ ist mindestens notwendig, um den Transistor 12 zu öffnen und $1 \cdot U_{TH}$ ist zusätzlich erforderlich, um den Transistor 11 einschalten zu können.

Der Strom durch den Spannungsteiler wird in diesem Fall nicht beeinflusst. Es wird der oben beschriebene Spannungsabfall am Widerstand 10 erzeugt. Ist dagegen die Spannung am Knotenpunkt 5 auf größer gleich $2 \cdot U_{TH}$ angestiegen, so werden die beiden n-Kanaltransistoren 11 und 12 leitend. Der n-Kanaltransistor 11 wird vollständig durchgesteuert. Zwischen seinem Drain- und Sourceanschluß liegt eine Spannung von etwa 100 mV im vorliegenden Fall. Am n-Kanaltransistor 12 fällt eine Spannung von etwa 0,8 ... 0,9 Volt ab. Damit nimmt die Spannung am Knotenpunkt 15 ungefähr den Wert von U_{TH} an. Unter der Annahme, daß alle Widerstände gleich groß sind, wird sich der Spannungswert am Knotenpunkt 14 halbieren, so daß am Knotenpunkt 14 bzw. am Ausgang 6 ein Spannungswert von $U_{TH}/2 \approx 0,35 \dots 0,4$ Volt auftritt.

Mit diesem Spannungswert am Ausgang 6 kann aber kein Flip-Flop mehr getriggert und auch kein n-Kanaltransistor angesteuert werden.

Diese Triggerschwelle kann nun beliebig durch Einschalten eines Widerstandes an Stelle des n-Kanaltransistors 12 oder durch zusätzliche n-Kanaltransistoren, die in Reihe mit dem n-Kanaltransistor 12 und als Diode geschaltet sind, geändert werden. Der n-Kanaltransistor 12 kann auch entfallen. Dann liegt die Triggerschwelle aber schon bei $\approx U_{TH}$.

Mit den beiden angegebenen Transistoren 11 und 12 liegt die Triggerschwelle bei etwa 1,4 ... 1,5 Volt, wenn $U_{TH} \approx 0,7 \dots 0,75$ Volt ist. Damit werden auch alle Störimpulse am Ausgang 6 unwirksam, wenn der Grenzwert der Betriebsspannung von $2 \cdot U_{TH}$ nicht unterschritten wird. Das bedeutet z.B., daß bei einer Betriebsspannung von 5 Volt diese erst bis auf 1,5 Volt absinken muß, damit dieser Spannungseinbruch
 5 auch am Ausgang 6 in Erscheinung tritt. Im angegebenen Beispiel wird also beim Anstieg der Betriebsspannung 1 von 0 auf z.B. 5 Volt in jedem Fall ein Rücksetzimpuls erzeugt. Sinkt die Betriebsspannung 1 im Betriebsablauf bis auf etwa 1,5 Volt ab, so wird bei einem erneuten Spannungsanstieg auf 5 Volt kein Rücksetzimpuls erzeugt. Sinkt dagegen die Betriebsspannung 1 in Betriebsablauf bis auf $< 2 \cdot U_{TH}$ (z.B. 1 Volt) ab, so wird bei einem erneuten Spannungsanstieg auf 5 Volt in jedem Fall auch wieder ein
 10 Rücksetzimpuls erzeugt.

Um auch bei Spannungsanstiegen im Sekundenbereich noch einen Rücksetzimpuls zu generieren, können weitere p-Kanaltransistoren in Reihe zu den p-Kanaltransistoren 2 und 3 vorgesehen werden. Die Gate- und Drainanschlüsse dieser p-Kanaltransistoren sind wieder zusammengeschaltet und wirken als Diode. Durch diese zusätzlichen p-Kanaltransistoren wird erreicht, daß der Spannungsanstieg am Knotenpunkt 5 weiter verzögert wird, so daß eine genügend große Spannungsdifferenz zwischen Source- und Gateanschluß des p-Kanaltransistors 7 auch bei den Langsamem Spannungsanstiegen der Betriebsspannung 1 aufgebaut werden kann.
 15

Patentansprüche

- 20
1. Dynamische Einschalt-Rücksetzschaltung mit in Reihe geschalteten p-Kanaltransistoren (2,3) zur Aufladung einer Kapazität (4), wobei der Drainanschluß mit dem Gateanschluß jeweils zusammengeschaltet ist, **dadurch gekennzeichnet**, daß die Betriebsspannung (1) mit dem Sourceanschluß eines p-Kanaltransistors (2) und dem Sourceanschluß eines p-Kanaltransistors (7) verbunden ist, daß der Gate- und der Drainanschluß des p-Kanaltransistors (2) zusammengeschaltet und mit dem Sourceanschluß eines weiteren p-Kanaltransistors (3) verbunden sind, daß der Gate- und Drainanschluß des p-Kanaltransistors (3) ebenfalls miteinander verbunden und auf einen Knotenpunkt (5) geführt sind, daß zwischen dem Knotenpunkt (5) und Masse (13) eine Kapazität (4) angeordnet ist, daß der Gateanschluß des p-Kanaltransistors (7) ebenfalls mit dem Knotenpunkt (5) verbunden ist, daß der Drainanschluß des p-Kanaltransistors (7) auf eine Reihenschaltung von Widerständen (8,9,10) geführt ist, deren letzter Widerstand (10) mit Masse (13) verbunden ist, wobei zwischen jeweils benachbarten Widerständen (8,9;9,10) der Reihenschaltung weitere Knotenpunkte (14,15) vorgesehen sind, daß der Knotenpunkt (15) zwischen den ersten beiden Widerständen (8,9) der Reihenschaltung mit dem Drainanschluß eines ersten n-Kanaltransistors (11) zusammengeschaltet ist, daß der Gateanschluß des ersten n-Kanaltransistors (11) auf den Knotenpunkt (5) geführt ist, daß der Sourceanschluß des ersten n-Kanaltransistors (11) auf Masse (13) geführt ist und daß der Knotenpunkt (14) mit dem Ausgang (6) zusammengeschaltet ist.
 25
 2. Dynamische Einschalt-Rücksetzschaltung nach Anspruch 1, **dadurch gekennzeichnet**, daß der Sourceanschluß des ersten n-Kanaltransistors (11) mit dem Gate- und Drainanschluß wenigstens eines zweiten n-Kanaltransistors (12) verbunden ist, dessen Sourceanschluß auf Masse (13) geführt ist.
 30
 3. Dynamische Einschalt-Rücksetzschaltung nach Anspruch 2, **dadurch gekennzeichnet**, daß weitere n-Kanaltransistoren in Reihe zum zweiten n-Kanaltransistor (12) geschaltet werden.
 35
 4. Dynamische Einschalt-Rücksetzschaltung nach Anspruch 1, **dadurch gekennzeichnet**, daß der Sourceanschluß des ersten n-Kanaltransistors (11) über wenigstens einen Widerstand an Masse (13) geführt ist.
 40
 5. Dynamische Einschalt-Rücksetzschaltung nach einem der Ansprüche 1 bis 4, **dadurch gekennzeichnet**, daß weitere p-Kanaltransistoren in Reihe zu den p-Kanaltransistoren (2,3) geschaltet sind, wobei die Gate- und Drainanschlüsse jeweils miteinander verbunden sind.
 45
 50

Hiezu 1 Blatt Zeichnungen

