



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201101488 A1

(43)公開日：中華民國 100 (2011) 年 01 月 01 日

(21)申請案號：099103977

(22)申請日：中華民國 99 (2010) 年 02 月 09 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L21/336 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2009/02/13 日本

2009-030968

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72)發明人：坂田淳一郎 SAKATA, JUNICHIRO (JP)；鄉戶宏充 GODO, HIROMICHI (JP)；島津貴志 SHIMAZU, TAKASHI (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：15 項 圖式數：20 共 77 頁

(54)名稱

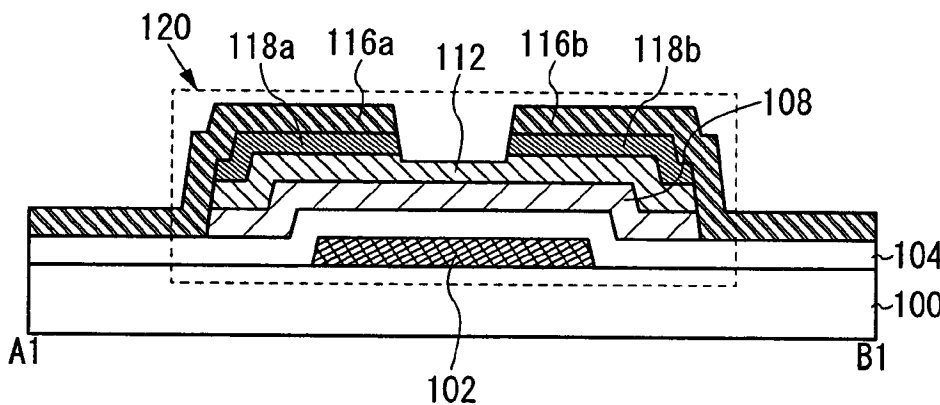
電晶體、包含該電晶體之半導體裝置及該電晶體與該半導體裝置之製造方法

TRANSISTOR, SEMICONDUCTOR DEVICE INCLUDING THE TRANSISTOR, AND

MANUFACTURING METHOD OF THE TRANSISTOR AND THE SEMICONDUCTOR DEVICE

(57)摘要

本發明之目的在於在包含氧化物半導體層之電晶體或包含該電晶體之半導體裝置中抑制電特性的退化。在使用氧化物半導體形成通道層的電晶體中，設置與氧化物半導體層的表面接觸的矽層，而且在該矽層之上形成雜質半導體層，並且設置電連接於該雜質半導體層的源極電極層及汲極電極層。



100：基板

102：閘極電極

104：閘極絕緣層

108：氧化物半導體層

112：矽層

116a：源極電極層

116b：汲極電極層

118a：第一雜質半導體層

118b：第二雜質半導體層

120：電晶體



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201101488 A1

(43)公開日：中華民國 100 (2011) 年 01 月 01 日

(21)申請案號：099103977

(22)申請日：中華民國 99 (2010) 年 02 月 09 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L21/336 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2009/02/13 日本

2009-030968

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72)發明人：坂田淳一郎 SAKATA, JUNICHIRO (JP)；鄉戶宏充 GODO, HIROMICHI (JP)；島津貴志 SHIMAZU, TAKASHI (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：15 項 圖式數：20 共 77 頁

(54)名稱

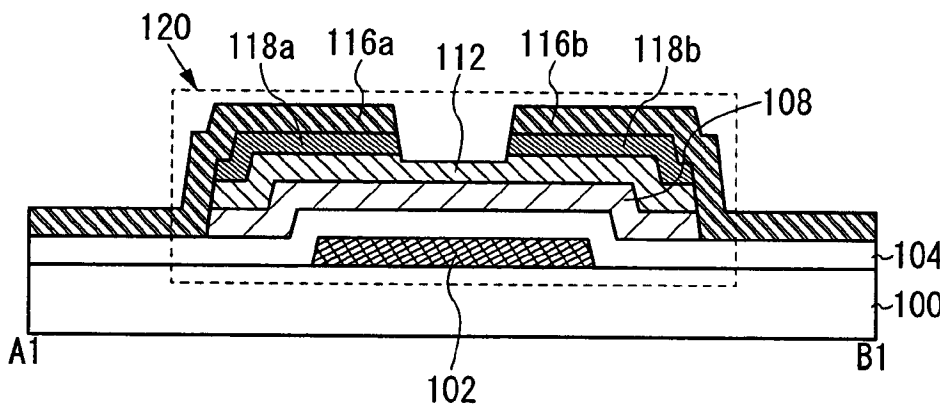
電晶體、包含該電晶體之半導體裝置及該電晶體與該半導體裝置之製造方法

TRANSISTOR, SEMICONDUCTOR DEVICE INCLUDING THE TRANSISTOR, AND

MANUFACTURING METHOD OF THE TRANSISTOR AND THE SEMICONDUCTOR DEVICE

(57)摘要

本發明之目的在於在包含氧化物半導體層之電晶體或包含該電晶體之半導體裝置中抑制電特性的退化。在使用氧化物半導體形成通道層的電晶體中，設置與氧化物半導體層的表面接觸的矽層，而且在該矽層之上形成雜質半導體層，並且設置電連接於該雜質半導體層的源極電極層及汲極電極層。



100：基板

102：閘極電極

104：閘極絕緣層

108：氧化物半導體層

112：矽層

116a：源極電極層

116b：汲極電極層

118a：第一雜質半導體層

118b：第二雜質半導體層

120：電晶體

六、發明說明：

【發明所屬之技術領域】

本發明關於一種使用氧化物半導體層之電晶體、包含該薄膜電晶體之半導體裝置及該半導體裝置之製造方法。

【先前技術】

世界上存在著各種各樣的金屬氧化物，並且它們用於各種各樣的用途。氧化銦是為眾人所知的材料，它用作液晶顯示器等所需的透明電極材料。

有的金屬氧化物呈現半導體特性。一般來說，金屬氧化物成爲絕緣體，但是有時會依構成金屬氧化物的元素的組合而成爲半導體。

例如，作爲呈現半導體特性的金屬氧化物，可以舉出氧化鎢、氧化錫、氧化銦、氧化鋅等，將該呈現半導體特性的金屬氧化物用於通道形成區域的薄膜電晶體是已知的（參照專利文獻 1 至 4、非專利文獻 1）。

但是，作爲金屬氧化物的種類，不僅有一元系氧化物，而且還有多元系氧化物。例如，已知具有同系相（homologous series）的 $\text{InGaO}_3(\text{ZnO})_m$ （ m 爲自然數）作爲具有 In、Ga、Zn 的多元系氧化物半導體（參照非專利文獻 2 至 4）。

另外，還已知：可以將上述由 In-Ga-Zn 系氧化物構成的氧化物半導體應用於薄膜電晶體（也稱爲 TFT）的通道層（參照專利文獻 5、非專利文獻 5 及 6）。

但是，氧化物半導體的半導體特性因受到元件製程中的蝕刻劑及電漿的負面影響或混入有氫等元素而容易變動，因此發生元件的電特性不均勻或退化的問題。

專利文獻 1 日本專利申請公開第 1985-198861 號公報

專利文獻 2 日本專利申請公開第 1996-264794 號公報

專利文獻 3 日本 PCT 國際申請翻譯第 1999-505377 號公報

專利文獻 4 日本專利申請公開第 2000-150900 號公報

專利文獻 5 日本專利申請公開第 2004-103957 號公報

非專利文獻 1 M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor"(透明鐵電薄膜電晶體), Appl. Phys. Lett., 17 June 1996, Vol.68 p.3650-3652

非專利文獻 2 M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the $\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$ System at 1350°C "($\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$ 類在 1350°C 時的相位關係), J. Solid State Chem., 1991, Vol.93, p.298-315

非專利文獻 3 N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of

Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3,4,$ and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7,8,9,$ and 16) in the $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$ System”(同系物的合成和單晶資料, $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$ 類的 $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4,$ and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9,$ and 16)), J. Solid State Chem., 1995, Vol.116, p.170-178

非專利文獻 4 中村真佐樹，君塚昇，毛利尙彦，磯部光正，“ホモロガス相、 $\text{InFeO}_3(\text{ZnO})_m$ (m : 自然数) とその同型化合物の合成および結晶構造”(同系物、銦鐵鋅氧化物 ($\text{InFeO}_3(\text{ZnO})_m$) (m 爲自然數) 及其同型化合物的合成以及結晶結構)，固体物理 (SOLID STATE PHYSICS)，1993 年，Vol.28, No.5, p.317-327

非專利文獻 5 K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, “Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor”(由單晶透明氧化物半導體製造的薄膜電晶體)，SCIENCE, 2003, Vol.300, p.1269-1272

非專利文獻 6 K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, “Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors”(室溫下的使用非晶氧化物半導體的透明柔性薄膜電晶體的製造)，NATURE, 2004, Vol.432, p.488-492

【發明內容】

鑒於上述問題，本發明的一個目的在於在包含氧化物半導體層之電晶體或包含該電晶體之半導體裝置中抑制電特性的退化。

為了解決上述問題，本發明的一個實施例採用如下結構：在將氧化物半導體用作通道層的電晶體中，接觸於氧化物半導體層的表面地設置矽層，而且在矽層上設置雜質半導體層，並且設置電連接於該雜質半導體層的源極電極層及汲極電極層。

另外，本發明的一個實施例提供一種電晶體，包括：閘極電極；設置在閘極電極上的閘極絕緣層；設置在閘極絕緣層上且重疊於閘極電極的氧化物半導體層；接觸於氧化物半導體層的表面而設置的矽層；設置在矽層上的第一雜質半導體層及第二雜質半導體層；電連接於第一雜質半導體層的源極電極層；以及電連接於第二雜質半導體層的汲極電極層。

另外，本發明的一個實施例提供一種電晶體，包括：閘極電極；設置在閘極電極上的閘極絕緣層；設置在閘極絕緣層上且重疊於閘極電極的氧化物半導體層；接觸於氧化物半導體層的表面而設置且具有本質區域和隔著本質區域相離而設置的第一雜質區域及第二雜質區域的矽層；電連接於第一雜質區域的源極電極層；以及電連接於第二雜質區域的汲極電極層。

另外，本發明的一個實施例提供一種電晶體的製造方

法，包括：在基板上形成閘極電極；在閘極電極上形成閘極絕緣層；在閘極絕緣層上形成氧化物半導體層；在氧化物半導體層上形成矽層；在矽層上形成雜質半導體層；蝕刻氧化物半導體層、矽層和雜質半導體層，以在重疊於閘極電極的區域中形成島形氧化物半導體層、島形矽層和島形雜質半導體層；覆蓋島形雜質半導體層地形成導電膜；以及蝕刻導電膜和島形雜質半導體層，以形成第一雜質半導體層、第二雜質半導體層、電連接於第一雜質半導體層的源極電極層和電連接於第二雜質半導體層的汲極電極層。

另外，本發明的一個實施例提供一種電晶體的製造方法，包括：在基板上形成閘極電極；在閘極電極上形成閘極絕緣層；在閘極絕緣層上形成氧化物半導體層；在氧化物半導體層上形成矽層；在矽層上形成抗蝕劑掩罩；藉由抗蝕劑掩罩將雜質元素添加到矽層，以在矽層中形成第一雜質區域及第二雜質區域；在矽層上形成導電膜；以及蝕刻導電膜，以形成電連接於第一雜質區域的源極電極層和電連接於第二雜質區域的汲極電極層。

在本發明說明中，氧氮化矽是作為其成分氧的含量多於氮的含量的，並且較佳是當利用盧瑟福背散射光譜學法（RBS:Rutherford Backscattering Spectrometry）以及氫前方散射法（HFS:Hydrogen Forward Scattering）進行測量時作為濃度範圍以 50 至 70 原子%包含氧，以 0.5 至 15 原子%包含氮，以 25 至 35 原子%包含矽，以 0.1 至 10 原子

%包含氫。另外，氮氧化矽是作為其成分氮的含量多於氧的含量的，並且較佳是當利用 RBS 及 HFS 進行測量時作為濃度範圍以 5 至 30 原子%包含氧，以 20 至 55 原子%包含氮，以 25 至 35 原子%包含矽，以 10 至 30 原子%包含氫。然而，當將構成氧氮化矽或氮氧化矽的原子的總計設定為 100 原子%時，氮、氧、矽及氫的含有比率包含在上述範圍內。

在本發明說明中，半導體裝置指的是能夠藉由利用半導體特性而工作的所有裝置，因此顯示裝置、半導體電路以及電子設備都是半導體裝置。此外，在本發明說明中顯示裝置包括發光裝置、液晶顯示裝置。發光裝置包括發光元件，並且液晶顯示裝置包括液晶元件。發光元件在其範疇內包括由電流或電壓控制亮度的元件，具體地說，包括無機 EL (Electro Luminescence，即電致發光) 元件、有機 EL 元件、LED 元件等。

在本發明說明中，當明確地描述 B 形成在 A 的上面或 B 形成在 A 上時，其並不一定意味著 B 與 A 直接接觸。該描述也包括 A 和 B 不彼此直接接觸的情況，即，另一物體插在 A 和 B 之間的情況。

根據本發明的一個實施例，在通道層由氧化物半導體構成的電晶體中，矽層接觸於氧化物半導體層的表面，從而能夠抑制電晶體的特性變動。

【實施方式】

以下參考附圖詳細描述本發明的實施例。但是，本發明不侷限於以下所示的實施例中記載的內容，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其實施例及詳細內容在不脫離本發明的宗旨的條件下可以被變換為各種各樣的形式。因此，本發明不被解釋為侷限於以下所示的實施例的記載內容中。此外，根據不同的實施例的結構可以適當地組合而實施。另外，在以下所說明的發明的結構中，使用相同的附圖標記來表示相同的部分或具有相同功能的部分，而省略其重複說明。

實施例 1

在本實施例中，參照附圖說明構成半導體裝置的電晶體的結構的一個例子。

圖 1A 和 1B 所示的電晶體 120 包括：設置在基板 100 上的閘極（包括閘極佈線及閘極電極（以下稱為閘極電極 102））；設置在閘極電極 102 上的閘極絕緣層 104；設置在閘極絕緣層 104 上的氧化物半導體層 108；接觸於氧化物半導體層 108 的表面而設置的矽層 112；設置在矽層 112 上的第一雜質半導體層 118a 及第二雜質半導體層 118b；電連接於第一雜質半導體層 118a 的源極（包括源極佈線及源極電極（以下稱為源極電極層 116a））；以及電連接於第二雜質半導體層 118b 的汲極（包括汲極佈線及汲極電極（以下稱為汲極電極層 116b））（參照圖 1A 和 1B）。

在圖 1A 和 1B 中，圖 1A 是俯視圖，圖 1B 是沿圖 1A 中的虛線 A1-B1 的截面圖。

氧化物半導體層 108 設置為其至少一部分中間夾著閘極絕緣層 104 重疊於閘極電極 102，並用作形成電晶體 120 的通道區域的層（通道層）。

作為氧化物半導體層 108，可以使用具有半導體特性的氧化物材料。例如，可以使用具有由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的結構的氧化物半導體，特別較佳的是，使用 In-Ga-Zn-O 類氧化物半導體。另外，M 表示選自鎵 (Ga)、鐵 (Fe)、鎳 (Ni)、錳 (Mn) 和鈷 (Co) 中的一種金屬元素或多種金屬元素。例如，除了有作為 M 而包含 Ga 的情況之外，還有作為 M 而包含 Ga 與 Ni 或 Ga 與 Fe 等 Ga 以外的上述金屬元素的情況。另外，在上述氧化物半導體中，有如下氧化物半導體：除了包含作為 M 的金屬元素之外，還包含作為雜質元素的 Fe、Ni 等過渡金屬元素或該過渡金屬的氧化物。在本發明說明中，在具有由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的結構的氧化物半導體中，將具有作為 M 至少包含 Ga 的結構的氧化物半導體稱為 In-Ga-Zn-O 類氧化物半導體，並且將該薄膜還稱為 In-Ga-Zn-O 類非單晶膜。

另外，作為應用於氧化物半導體層 108 的氧化物半導體，除了上述以外，還可以應用 In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類、In-Zn-O 類、Sn-Zn-O 類、Al-Zn-O 類、In-O 類、Sn-O

類、Zn-O 類的氧化物半導體。

另外，較佳的是，矽層 112 由 i 型（本質）矽構成。另外，這裏描述的“i 型矽”是指如下矽：矽中含有的賦予 p 型或 n 型的雜質的濃度分別低於 $1 \times 10^{17} \text{atoms/cm}^3$ ，並且氧及氮的濃度分別為 $1 \times 10^{20} \text{atoms/cm}^3$ 以下。因此，上述矽還可以添加有其濃度在上述範圍內的磷（P）或硼（B）等雜質元素。另外，能夠藉由二次離子質譜分析技術（SIMS）測量矽層 112 中含有的上述雜質的濃度。

另外，矽層 112 的結晶狀態可以採用非晶矽、微晶矽或多晶矽。另外，矽層 112 還可以包含上述結晶結構中的兩種以上的結晶結構（例如，非晶結構和微晶結構（或多晶結構））。

另外，作為矽層 112 的形成方法，可以使用 CVD 法、濺射法、蒸鍍法、塗敷法等。另外，矽層 112 的厚度可以為 1nm 以上且 500nm 以下，較佳為 10nm 以上且 100nm 以下。

例如，藉由在氬氣氛等不含有氫的氣氛或氫含量少的氣氛中使用濺射法形成矽層 112，可以降低矽層 112 中含有的氫濃度，並還可以減少起因於該矽層 112 中含有的氫的氧化物半導體層 108 的半導體特性的變動。

另外，在藉由濺射法形成矽層 112 的情況下，較佳使用直流（DC）濺射設備（也包括以脈衝方式施加偏壓的脈衝 DC 濺射設備）。與使用 RF 濺射設備的情況相比，DC 濺射設備也能夠處理大型基板。這優越於使用氧化矽層或

氮化矽層等的絕緣層作為保護層的情況。這是因為如下緣故：在使用濺射法形成氧化矽層或氮化矽層等的絕緣層的情況下（在使用絕緣體作為靶材的情況下）需要採用難以實現大型化的 RF 濺射技術。

在使用 DC 濺射設備形成矽層 112 的情況下，可以使用矽靶材或添加有硼等雜質的矽靶材。

第一雜質半導體層 118a 及第二雜質半導體層 118b 具有在矽層 112 與源極電極層 116a 及汲極電極層 116b 之間實現歐姆接觸的功能。第一雜質半導體層 118a 及第二雜質半導體層 118b 能夠藉由將賦予一導電類型的雜質元素混合到成膜氣體而形成。在形成其導電類型為 n 型的薄膜電晶體的情況下，典型地添加磷作為雜質元素即可，即可以對氫化矽添加磷化氫（化學式為 PH_3 ）等包含賦予 n 型導電類型的雜質元素的氣體來形成。

另外，只要使第一雜質半導體層 118a 及第二雜質半導體層 118b 含有大致在 $1 \times 10^{17} \text{atoms/cm}^3$ 以上且 $1 \times 10^{22} \text{atoms/cm}^3$ 以下的範圍內的賦予一導電類型的雜質元素（如磷（P）），即可。另外，第一雜質半導體層 118a 及第二雜質半導體層 118b 中的雜質元素濃度可以藉由二次離子質譜法而測量。

另外，對第一雜質半導體層 118a 及第二雜質半導體層 118b 的結晶性沒有特別的限制，既可是結晶半導體（微晶半導體、多晶半導體），又可是非晶半導體。例如，作為第一雜質半導體層 118a 及第二雜質半導體層 118b，

可以設置添加有磷的非晶矽層、添加有磷的微晶矽層、添加有磷的非晶矽鍺層、添加有磷的微晶矽鍺層、添加有磷的非晶鍺層、添加有磷的微晶鍺層等。

如圖 1A 和 1B 所示，接觸於氧化物半導體層 108 的背通道一側（與閘極電極 102 相反一側的表面）地設置矽層 112，以將矽層 112 用作保護膜，而能夠抑制氫等元素混入到氧化物半導體層 108。其結果，能夠抑制起因於氫等元素的混入的氧化物半導體層 108 的半導體特性的變動，於是，能夠抑制以氧化物半導體層 108 為通道層的電晶體的電特性的不均勻或退化。

另外，圖 1A 和 1B 示出氧化物半導體層 108 和矽層 112 的端面大致一致的情況，但是不侷限於此，還可以覆蓋氧化物半導體層 108 的端部（端面）地設置矽層 112。

另外，在氧化物半導體層 108 上設置源極電極層 116a 及汲極電極層 116b 的情況下，將矽層 112 用作通道保護層（通道停止層）。因此，與不接觸於氧化物半導體層 108 地設置矽層 112 的情況（通道蝕刻型）相比，能夠抑制由於暴露氧化物半導體層 108 而導致的特性變化。

矽層 112 設置為至少接觸於在氧化物半導體層 108 中形成通道的區域的表面。

另外，在圖 1A 和 1B 中，源極電極層 116a 用作電晶體 120 的源極，而汲極電極層 116b 用作電晶體 120 的汲極。另外，根據電晶體 120 的驅動方法，有時會有將源極電極層 116a 用作汲極並將汲極電極層 116b 用作源極的情

況。

另外，在圖 1A 和 1B 所示的結構中，作為接觸於氧化物半導體層 108 的表面而設置的材料，除了矽以外，還可以使用銻、對矽添加了銻的矽銻或碳化矽（SiC）。

以下，根據電腦模擬實驗說明接觸於氧化物半導體層地設置矽層的情況下的效果。注意，這裏對非晶矽（a-Si）和非晶氧化矽（a-SiO₂）的氫阻擋效果進行驗證。

〔計算方法〕

首先，藉由古典分子動力學模擬（classical molecular dynamics simulation）實驗，其中溫度 T 設在 27°C，並且壓力 P 設在 1 atm，以數值方式解各原子的運動方程式，來追蹤原子的運動。並且，以根據計算結果而獲得的 H 的均方位移（mean-square displacement），按照愛因斯坦的公式（公式（1））求得 H 的擴散係數 D。該擴散係數 D 越大，擴散越容易。

$$\lim_{t \rightarrow \infty} \left\langle \frac{1}{N} \sum_{i=1}^N |r_i(t) - r_i(0)|^2 \right\rangle_t = 6Dt \quad \dots (1)$$

$$\left[\begin{array}{l} \left\langle \frac{1}{N} \sum_{i=1}^N |r_i(t) - r_i(0)|^2 \right\rangle_t : H \text{ 的均方位移} \\ N : H \text{ 的原子數} \\ r_i(t) : \text{在時間 } t \text{ 的第 } i \text{ 個 } H \text{ 的位置} \\ \langle \rangle_t : \text{時間平均} \end{array} \right]$$

<計算模型與計算條件>

準備將 60 個 H 原子 (10atom%) 加進 540 個 a-Si 原子中的 a-Si:H 模型 (參照圖 19A) 和將 60 個 H 原子 (10atom%) 加進 540 個 a-SiO₂ 原子中的 a-SiO₂:H 模型 (參照圖 19B)。這裏，採用在三維週期邊界條件下計算塊體。

在本計算中使用的古典分子動力學法中，對作為原子間相互作用的特徵的經驗勢 (empirical potential) 進行定義，以評價施加到各原子的力量。在 a-Si:H 模型中，採用 Tersoff 勢。在 a-SiO₂:H 模型中的 a-SiO₂ 中，採用 Born-Mayer-Huggins 勢和 Morse 勢，並且在 a-SiO₂ 與氫原子間 (矽原子與氫原子間、氧原子與氫原子間) 採用 Lennard-Jones 勢。作為計算程式，採用由富士通株式會社製造的模擬軟體“Materials Explorer 5.0”。

在各計算模型中，在溫度 $T=27^{\circ}\text{C}$ ，並且壓力 $P=1\text{atm}$ 的條件下進行 1 nsec 之間 (時步：0.2 fsec \times 5 百萬步) 的經典分子動力學模擬實驗。

<計算結果與考量>

圖 20A 分別示出藉由計算而求得的 a-Si 中的 H 原子的均方位移和 a-SiO₂ 中的 H 原子的均方位移。圖 20B 示出根據圖 20A 中的過程線的斜率大致一定的區域 (70 psec 至 100 psec) 而求得的各計算模型的 H 原子的擴散係數 D 。由圖 20B 可知，a-Si 中的 H 原子的擴散係數比 a-

SiO₂ 中的 H 原子小，從而與 a-SiO₂ 中的 H 原子相比，a-Si 中的 H 原子不容易擴散。就是說，a-Si 膜的防止氫的混入的效果高於 a-SiO₂ 膜。

以下，參照圖 2A 至 2D 說明圖 1A 和 1B 所示的電晶體的製造方法的一個例子。

首先，在基板 100 上形成閘極電極 102，然後在該閘極電極 102 上依次層疊形成閘極絕緣層 104、氧化物半導體層 106、矽層 110 和雜質半導體層 117（參照圖 2A）。較佳地是，閘極絕緣層 104 至雜質半導體層 117 連續形成。

作為基板 100，只要是具有絕緣表面的基板，即可，例如可以使用玻璃基板。除了上述以外，作為基板 100，還可以採用：陶瓷基板、石英基板、藍寶石基板等由絕緣體構成的絕緣基板；利用絕緣材料覆蓋由矽等半導體材料構成的半導體基板的表面而成的基板；利用絕緣材料覆蓋由金屬或不鏽鋼等導電體構成的導電基板的表面而成的基板。此外，只要能夠承受製程的熱處理，就也可以採用塑膠基板。

閘極電極 102 可以藉由在基板 100 的整個表面上形成導電膜之後利用光刻法對導電膜進行蝕刻來形成。

閘極電極 102 可以由鋁（Al）、銅（Cu）、鉬（Mo）、鎢（W）、鈦（Ti）等導電材料形成。注意，在將鋁用於佈線及電極的情況下，因為鋁單質有耐熱性低並且容易腐蝕等的問題點，所以較佳組合鋁和耐熱導電材料而使

用。

耐熱導電材料可以由選自鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉬 (Mo)、鉻 (Cr)、釹 (Nd)、釷 (Sc) 中的元素；以上述元素為成分的合金；組合上述元素而成的合金；以上述元素為成分的氮化物形成。層疊由這些耐熱導電材料構成的膜和鋁 (或銅) 來形成佈線和電極，即可。

另外，閘極電極 102 還可以由具有對可見光的透光性及高導電性的材料形成。作為這種材料，例如可以使用銦錫氧化物 (Indium Tin Oxide, 即 ITO)、包含氧化矽的銦錫氧化物 (ITSO)、有機銦、有機錫、氧化鋅 (ZnO) 等。

閘極絕緣層 104 可以藉由利用氧化矽膜、氮化矽膜、氮氧化矽膜、氧化鋁膜或者氧化鉭膜等來形成。此外，也可以層疊這些膜。這些膜例如可以藉由利用濺射法等以 10 nm 以上且 500 nm 以下的厚度來形成。

氧化物半導體層 106 可以由 In-Ga-Zn-O 類氧化物半導體形成。在此情況下，可以藉由使用包含 In、Ga 和 Zn 的氧化物半導體靶材 (例如， $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1:1:1$) 的濺射法形成具有非晶結構的氧化物半導體層 106。

作為濺射法的條件，例如，將基板 100 與靶材的距離設定為 30mm 以上且 500mm 以下，將壓力設定為 0.01 Pa 以上且 2.0 Pa 以下，將直流 (DC) 電源設定為 0.25 kW 以上且 5.0 kW 以下，將溫度設定為 20°C 以上且 200°C 以下，並且將氣氛設定為氬氣氛、氧氣氛或氬與氧的混合氣氛

此外，藉由在濺射法中使用脈衝直流（DC）電源，可以減少灰塵，並且厚度的分佈也均勻，因此是較佳的。另外，氧化物半導體層 106 的厚度可以為 5 nm 以上且 200 nm 以下左右。

在形成 In-Ga-Zn-O 類非單晶膜作為氧化物半導體層 106 的情況下，還可以在包含 In、Ga 和 Zn 的氧化物半導體靶材中添加有絕緣雜質。作為該雜質，應用以氧化矽、氧化銻、氧化鋁等為代表的絕緣氧化物、以氮化矽、氮化鋁等為代表的絕緣氮化物或氧氮化矽、氧氮化鋁等絕緣氮化物。對氧化物半導體靶材添加其濃度為不損害氧化物半導體的電導性的程度的上述絕緣氧化物或絕緣氮化物。

藉由使氧化物半導體層 106 包含絕緣雜質，能夠抑制該氧化物半導體層 106 的結晶化。藉由抑制氧化物半導體層 106 的結晶化，能夠實現薄膜電晶體的特性的穩定化。另外，藉由使 In-Ga-Zn-O 類氧化物半導體包含氧化矽等雜質，即使進行 200°C 以上且 600°C 以下的熱處理，也能夠防止該氧化物半導體的結晶化或微晶粒的產生。

作為應用於氧化物半導體層 106 的氧化物半導體，除了上述以外，還可以應用 In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類、In-Zn-O 類、Sn-Zn-O 類、Al-Zn-O 類、In-O 類、Sn-O 類、Zn-O 類的氧化物半導體。另外，藉由對這些氧化物半導體添加抑制結晶化而保持非晶狀態的雜質，能夠使薄膜電

晶體的特性穩定化。該雜質為以氧化矽、氧化銻、氧化鋁等為代表的絕緣氧化物、以氮化矽、氮化鋁等為代表的絕緣氮化物或氧氮化矽、氧氮化鋁等絕緣氧氮化物等。

矽層 110 能夠藉由濺射法而形成。在此情況下，在氫氣氛中藉由使用矽靶材或添加有硼的矽靶材的 DC 濺射法形成矽層 110。但是，不侷限於此，還可以使用 CVD 法等形式形成矽層 110。另外，根據成膜條件，有時會有氧化物半導體層 108 與矽層 110 的很薄混合層（如矽的氧化物等）形成在氧化物半導體層 108 與矽層 110 的介面的情況。

例如，藉由在電漿 CVD 裝置的處理室內混合包含矽或銻的澱積氣體、氫和磷化氫（氫稀釋或矽烷稀釋）並利用輝光放電電漿，能夠形成雜質半導體層 117。作為一個例子，藉由使用氫稀釋包含矽或銻的澱積氣體，來以添加有磷的非晶矽、添加有磷的微晶矽、添加有磷的非晶矽銻、添加有磷的微晶矽銻、添加有磷的非晶銻、添加有磷的微晶銻等形成雜質半導體層 117。

接著，藉由蝕刻氧化物半導體層 106、矽層 110 和雜質半導體層 117，形成島形氧化物半導體層 108、島形矽層 112 和島形雜質半導體層 118（參照圖 2B）。這裏，示出使用抗蝕劑掩罩 171 蝕刻氧化物半導體層 106、矽層 110 和雜質半導體層 117 的情況。因此，島形氧化物半導體層 108、矽層 112 和雜質半導體層 118 的端面大致一致。

接著，覆蓋雜質半導體層 118 地形成導電膜 114（參

照圖 2C)。

導電膜 114 可以藉由利用濺射法或真空蒸鍍法等並且使用如下材料來形成。該材料由包含選自鋁 (Al)、銅 (Cu)、鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉬 (Mo)、鉻 (Cr)、釹 (Nd)、釷 (Sc) 中的元素的金屬；以上述元素為成分的合金；或者以上述元素為成分的氮化物等形成。

例如，導電膜 114 可以由鉬膜或鈦膜的單層結構形成。此外，導電膜 114 也可以由疊層結構形成，而例如可以採用鉬膜和鈦膜的疊層結構。此外，也可以採用依次層疊有鈦膜、鉬膜和鈦膜的三層結構。此外，也可以採用依次層疊有鉬膜、鉬膜和鉬膜的三層結構。此外，作為用於這些疊層結構的鉬膜，也可以採用包含釹的鉬 (Al-Nd) 膜。再者，導電膜 114 也可以具有包含矽的鉬膜的單層結構。

另外，導電膜 114 還可以由具有對可見光的透光性及高導電性的材料形成。作為這種材料，例如可以使用銦錫氧化物 (Indium Tin Oxide, 即 ITO)、包含氧化矽的銦錫氧化物 (ITSO)、有機銦、有機錫、氧化鋅 (ZnO) 等。

接著，藉由蝕刻導電膜 114 和雜質半導體層 118，形成第一雜質半導體層 118a、第二雜質半導體層 118b、電連接於第一雜質半導體層 118a 的源極電極層 116a 和電連接於第二雜質半導體層 118b 的汲極電極層 116b (參照圖 2D)。此時，取決於蝕刻條件，有時在蝕刻導電膜 114 和

雜質半導體層 118 的同時，矽層 112 也被蝕刻而減少厚度。這裏，示出在蝕刻導電膜 114 和雜質半導體層 118 的同時，矽層 112 也被蝕刻而減少厚度的情況。

在上述步驟中，矽層 112 用作在蝕刻導電膜 114 和雜質半導體層 118 時抑制氧化物半導體層 108 被蝕刻的通道保護層（通道停止層）。

如上所述，藉由接觸於氧化物半導體層 108 地設置矽層 112，能夠抑制氫等元素無意地從外部混入到氧化物半導體層 108。

藉由上述步驟，能夠製造電晶體 120。

然後，還可以覆蓋電晶體 120 地形成保護絕緣層。例如，使用 CVD 法或濺射法等並利用氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜或氮氧化鋁膜的單層或疊層而形成保護絕緣層，即可。

另外，在圖 2A 至 2D 的步驟中，較佳的是，在形成氧化物半導體層 108 之後，在氮氣氛中或大氣氣氛中進行 100°C 以上且 600°C 以下，典型為 200°C 以上且 400°C 以下的熱處理。例如，可以在氮氣氛中進行 350°C 的熱處理 1 小時。藉由進行該熱處理，發生島狀氧化物半導體層 108 的原子級的重新排列，而能夠釋放阻擋氧化物半導體層 108 中的載子的遷移的應變，因此是重要的。

另外，只要是在形成氧化物半導體層 106 之後進行熱處理，就對進行熱處理的時序沒有特別的限制，而可以在

形成矽層 110 之後、在形成島狀矽層 112 之後、在形成導電膜 114 之後、在形成源極電極層 116a 及汲極電極層 116b 之後或在形成保護絕緣層之後進行熱處理。另外，根據熱處理的條件等，有時會有氧化物半導體層 108 與矽層 112 的很薄混合層（如矽的氧化物等）形成在氧化物半導體層 108 與矽層 112 的介面的情況。

然後，藉由形成各種電極和佈線，完成具備電晶體 120 的半導體裝置。

注意，在本實施例中，參照圖 1A 和 1B 進行了說明，但是本實施例所示的電晶體的結構不侷限於圖 1A 和 1B。

在圖 1A 和 1B 中，雖然示出氧化物半導體層 108 藉由增大其長度（ L_c ）而在通道長度方向上跨越閘極電極 102 的端部的情況，但是如圖 3A 和 3B 所示的電晶體 121 那樣，還可以採用藉由減小氧化物半導體層 108 的長度（ L_c ）而將整個氧化物半導體層 108 配置在閘極電極 102 上的結構。另外，在圖 3A 和 3B 中，圖 3A 是俯視圖，而圖 3B 是沿圖 3A 的 A1-B1 線的截面圖。

另外，在圖 1A 和 1B 及圖 3A 和 3B 的結構中，還可以在重疊於氧化物半導體層 108 的區域中將源極電極層 116a 及汲極電極層 116b 的寬度（ W_d ）設定為大於氧化物半導體層 108 的寬度（ W_c ）（參照圖 4A 和 4B）。藉由採用這種結構，在圖 4A 和 4B 中分別示出的電晶體 122 及電晶體 123 有如下優點：因為能夠由源極電極層 116a 及汲極電極層 116b 覆蓋不接觸於矽層 112 的氧化物半導體層

108 的區域，所以能夠保護氧化物半導體層 108 來提高可靠性。另外，能夠增大氧化物半導體層 108 與源極電極層 116a 及汲極電極層 116b 的接觸面積，以降低氧化物半導體層 108 與源極電極層 116a 及汲極電極層 116b 的接觸電阻。

另外，氧化物半導體層 108 的長度 (L_c) 是指通道長度方向上的氧化物半導體層 108 的長度。另外，氧化物半導體層 108 的寬度 (W_c)、源極電極層 116a 及汲極電極層 116b 的寬度 (W_d) 分別是指通道寬度方向上的氧化物半導體層 108 的長度和通道寬度方向上的源極電極層 116a 及汲極電極層 116b 的長度。另外，通道長度方向是指與在電晶體 120 中載子遷移的方向大致平行的方向（連接源極電極層 116a 和汲極電極層 116b 的方向），而通道寬度方向是指與通道長度方向大致垂直的方向。

另外，圖 1A 和 1B 示出氧化物半導體層 108 和矽層 112 的端面大致一致的情況，但是不侷限於此。例如，如圖 5A 和 5B 所示的電晶體 124 那樣，還可以覆蓋氧化物半導體層 108 的端部（端面）地設置矽層 112。在此情況下，可以使用如下方法：在圖 2A 中，在閘極絕緣層 104 上形成氧化物半導體層 106，然後進行蝕刻以形成島形氧化物半導體層 108，並且在該島形氧化物半導體層 108 上層疊形成矽層 110 和雜質半導體層 117。另外，在圖 5A 和 5B 中，圖 5A 是俯視圖，而圖 5B 是沿圖 5A 的 A1-B1 線的截面圖。

本實施例可以與另一實施例所記載的結構適當地組合而實施。

實施例 2

在本實施例中，參照附圖說明與上述實施例 1 不同的電晶體的製造方法及結構。

首先，參照圖 6A 至 6E 說明電晶體的製造方法。另外，本實施例所示的製程（能夠應用的材料等）的大多部分與上述實施例 1 相同。因此，以下，省略重複部分的說明，而詳細說明不同的部分。

首先，在基板 100 上形成閘極電極 102，接著在該閘極電極 102 上依次層疊形成閘極絕緣層 104、氧化物半導體層 106 和矽層 110（參照圖 6A）。

接著，藉由蝕刻氧化物半導體層 106 和矽層 110，形成島形氧化物半導體層 108 和島形矽層 112（參照圖 6B）。這裏，示出使用抗蝕劑掩罩 171 蝕刻氧化物半導體層 106 和矽層 110 的情況。因此，島形氧化物半導體層 108 和矽層 112 的端面大致一致。

接著，在矽層 112 上形成抗蝕劑掩罩 172 之後，藉由以該抗蝕劑掩罩 172 作為掩罩將雜質元素添加到矽層 112，來在矽層 112 中形成低電阻率的雜質區域 119a 及 119b（參照圖 6C）。

例如，藉由使用離子摻雜法或離子注入法將磷、砷等添加到矽層 112，形成呈現 n 型的雜質區域 119a 及 119b

，其中間夾著本質區域。作為一個例子，使雜質區域 119a 及 119b 含有在 1×10^{17} atoms/cm³ 以上且 1×10^{22} atoms/cm³ 以下的範圍內的磷。

接著，覆蓋矽層 112 地形成導電膜 114（參照圖 6D）。

接著，藉由蝕刻導電膜 114，形成源極電極層 116a 及汲極電極層 116b（參照圖 6E）。此時，取決於蝕刻條件，有時在蝕刻導電膜 114 的同時，矽層 112 也被蝕刻而減少厚度。這裏，示出在蝕刻導電膜 114 的同時，矽層 112 也被蝕刻而減少厚度的情況。

在上述步驟中，矽層 112 用作在蝕刻導電膜 114 時抑制氧化物半導體層 108 被蝕刻的通道保護層（通道停止層）。

藉由上述步驟，能夠製造圖 7A 和 7B 所示的電晶體 130。另外，如上述圖 7C 所示的電晶體 131 那樣，還可以只對矽層 112 的上一側選擇性地添加雜質元素，以在矽層 112 的表面一側設置呈現 n 型的雜質區域 119a 及 119b。另外，在圖 7A 至 7C 中，圖 7A 是俯視圖，而圖 7B 和 7C 是沿圖 7A 的 A1-B1 線的截面圖。

在形成電晶體 130 或電晶體 131 之後，還可以覆蓋該電晶體 130 或電晶體 131 地形成保護絕緣層。另外，在圖 6A 至 6E 的步驟中，還可以在形成氧化物半導體層 108 之後在氮氣氛中或大氣氣氛中進行熱處理。另外，較佳的是，在將雜質元素添加到矽層 112 之後，進行用來引起啓動

的熱處理。

本實施例可以與另一實施例所記載的結構適當地組合而實施。

實施例 3

在本實施例中，參照附圖說明作為具有上述實施例 1 和 2 所示的電晶體的半導體裝置的使用模式的一例的顯示裝置的製程。另外，本實施例所示的製程（能夠應用的材料等）的大多部分與上述實施例 1 相同。因此，以下，省略重複部分的說明，而詳細說明不同的部分。另外，在以下說明中，圖 8A 至 8C、圖 9 至 9C 是截面圖，而圖 10 至圖 13 是俯視圖。

首先，在具有絕緣表面的基板 100 上形成佈線及電極（包括閘極電極 102 的閘極佈線、電容佈線 308、第一端子 321），然後，依次層疊形成閘極絕緣層 104、氧化物半導體層 106、矽層 110 和雜質半導體層 117（參照圖 8A 和圖 10）。

電容佈線 308、第一端子 321 可以使用與閘極電極 102 相同的材料同時形成。

接著，藉由蝕刻氧化物半導體層 106、矽層 110 和雜質半導體層 117，形成島形氧化物半導體層 108、島形矽層 112 和島形雜質半導體層 118（參照圖 8B、圖 11）。這裏，示出使用抗蝕劑掩罩蝕刻氧化物半導體層 106、矽層 110 和雜質半導體層 117 的情況。因此，島形氧化物半

導體層 108、矽層 112 和雜質半導體層 118 的端面大致一致。

接下來，在閘極絕緣層 104 中形成接觸孔 313 使得第一端子 321 被暴露。此後，形成導電膜 114，以覆蓋閘極絕緣層 104、氧化物半導體層 108 和矽層 112（參照圖 8C）。由此，藉由接觸孔 313 電連接導電膜 114 和第一端子 321。

接著，藉由蝕刻導電膜 114 和雜質半導體層 118，來形成第一雜質半導體層 118a、第二雜質半導體層 118b、電連接於第一雜質半導體層 118a 的源極電極層 116a 和電連接於第二雜質半導體層 118b 的汲極電極層 116b（參照圖 9A 和圖 12）。此時，矽層 112 用作氧化物半導體層 108 的通道保護層。

第二端子 322 可以與源極佈線（包括源極電極層 116a 的源極佈線）電連接。另外，連接電極 320 可以與第一端子 321 直接連接。

藉由上述步驟，能夠製造電晶體 160。

此後，較佳在 200°C 以上且 600°C 以下、典型在 300°C 以上且 500°C 以下執行熱處理。例如，在 350°C 下在氮氣氛中進行 1 小時熱處理。藉由該熱處理，引起構成氧化物半導體層 108 的 In-Ga-Zn-O 類非單晶膜的原子級的重新排列。該熱處理（也包括光退火）是有效的，因為該熱處理能夠解除形變，這種形變會打斷載子的遷移。另外，上述熱處理在時序上沒有特定限制，只要在形成氧化物半導體

層 106 之後執行熱處理即可。例如，熱處理也可以在形成像素電極之後進行。

接著，形成覆蓋電晶體 160 的保護絕緣層 340，並且對該保護絕緣層 340 選擇性地進行蝕刻，以形成到達汲極電極層 116b 的接觸孔 325、到達連接電極 320 的接觸孔 326 以及到達第二端子 322 的接觸孔 327（參照圖 9B）。

接著，形成電連接到汲極電極層 116b 的透明導電層 310、電連接到連接電極 320 的透明導電層 328 以及電連接到第二端子 322 的透明導電層 329（參照圖 9C、圖 13）。

透明導電層 310 用作像素電極，並且透明導電層 328 和透明導電層 329 用作用於與 FPC 的連接的電極或者佈線。更具體地，可以將形成在連接電極 320 上的透明導電層 328 用於用作閘極佈線的輸入端子的連接用端子電極，並且將形成在第二端子 322 上的透明導電層 329 用於用作源極佈線的輸入端子的連接用端子電極。

此外，可以藉由利用電容佈線 308、閘極絕緣層 104、保護絕緣層 340 以及透明導電層 310，來形成儲存電容器。在此情況下，電容佈線 308 和透明導電層 310 用作電極，並且閘極絕緣層 104 和保護絕緣層 340 用作電介質。

透明導電層 310、328、329 可以藉由利用濺射法或真空蒸鍍法等並且使用氧化銦（ In_2O_3 ）、氧化銦氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，簡稱為 ITO）、氧化銦氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）等來形成。例如，可以在形成透明導電膜之

後，在該透明導電膜上形成抗蝕劑掩罩，利用蝕刻來去除不需要的部分，以形成透明導電層 310、328、329。

藉由上述步驟，能夠完成底柵型的 n 通道型薄膜電晶體、儲存電容器等元件。另外，這些元件被配置成矩陣狀，以對應於各個像素，由此能夠製造主動矩陣型顯示裝置。

本實施例可以與另一實施例所示的結構適當地組合而實施。

實施例 4

在本實施例中，示出液晶顯示裝置的例子作為具有薄膜電晶體的半導體裝置。首先，參照圖 14A1、14A2、14B 說明相當於半導體裝置的一個方式的液晶顯示面板的外觀及截面。圖 14A1 和 14A2 是一種面板的俯視圖，其中利用密封材料 4005 將形成在第一基板 4001 上的包含氧化物半導體層的薄膜電晶體 4010、4011 及液晶元件 4013 密封在第一基板 4001 與第二基板 4006 之間。圖 14B 相當於沿圖 14A1 和 14A2 的 M-N 線的截面圖。

以圍繞在第一基板 4001 上設置的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。另外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002 和掃描線驅動電路 4004 與液晶層 4008 一起由第一基板 4001、密封材料 4005 和第二基板 4006 密封。此外，在與第一基板 4001 上的由密封材料

4005 圍繞的區域不同的區域中安裝有信號線驅動電路 4003，該信號線驅動電路 4003 使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上。

注意，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG 方法、線結合方法或 TAB 方法等。圖 14A1 是藉由 COG 方法安裝信號線驅動電路 4003 的例子，而圖 14A2 是藉由 TAB 方法安裝信號線驅動電路 4003 的例子。

此外，設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 包括多個薄膜電晶體。在圖 14B 中例示像素部 4002 所包括的薄膜電晶體 4010 和掃描線驅動電路 4004 所包括的薄膜電晶體 4011。在薄膜電晶體 4010、4011 上設置有絕緣層 4020、4021。

薄膜電晶體 4010、4011 可以應用上述實施例所示的結構。在本實施例中，薄膜電晶體 4010、4011 是 n 通道型薄膜電晶體。

此外，液晶元件 4013 所具有的像素電極層 4030 與薄膜電晶體 4010 電連接。而且，液晶元件 4013 的對置電極層 4031 形成在第二基板 4006 上。像素電極層 4030、對置電極層 4031 和液晶層 4008 重疊的部分相當於液晶元件 4013。另外，像素電極層 4030、對置電極層 4031 分別設置有用作對準膜的絕緣層 4032、4033，且隔著絕緣層 4032、4033 夾有液晶層 4008。

作為第一基板 4001、第二基板 4006，可以使用玻璃

、金屬（一般為不鏽鋼）、陶瓷、塑膠。作為塑膠，可以使用 FRP（Fiberglass-Reinforced Plastics，即纖維增強塑膠）板、PVF（聚氟乙烯）薄膜、聚酯薄膜或丙烯酸樹脂薄膜。另外，也可以採用具有由 PVF 薄膜或聚酯薄膜夾有鋁箔的結構的薄片。

此外，柱狀間隔物 4035 藉由對絕緣膜選擇性地進行蝕刻而獲得，並且它是為控制像素電極層 4030 和對置電極層 4031 之間的距離（單元間隙）而設置的。另外，還可以使用球狀間隔物。另外，對置電極層 4031 電連接到設置在與薄膜電晶體 4010 同一基板上的共同電位線。對置電極層 4031 和共同電位線由共同連接部分相互電連接，其間夾著配置在一對基板之間的導電粒子。另外，在密封材料 4005 中含有導電粒子。

另外，還可以使用不使用對準膜的顯示藍相的液晶。藍相是液晶相的一種，是指當對膽固醇液晶進行升溫時即將從膽固醇轉變到均質相之前出現的相。由於藍相只出現在較窄的溫度範圍內，所以為了改善溫度範圍而將混合有 5 重量%以上的手性試劑的液晶組成物用於液晶層 4008。包含顯示藍相的液晶和手性試劑的液晶組成物的回應速度短，即為 $10\mu\text{s}$ 至 $100\mu\text{s}$ ，並且由於其具有光學各向同性而不需要對準處理，從而視角依賴小。

另外，本實施例的液晶顯示裝置為透射型液晶顯示裝置的例子，然而，本實施例所述的液晶顯示裝置可以被應用於反射型液晶顯示裝置和半透射型液晶顯示裝置。

另外，在本實施例中，說明了這樣的液晶顯示裝置的例子，其中將偏光片配置在比基板更靠外側的位置（可見一側），且色彩層和用於顯示元件的電極層配置在比基板更靠內側的位置，然而，偏光片也可以被配置在比基板更靠內側的位置。另外，偏光片和色彩層的疊層結構不侷限於本實施例的結構，而根據偏光片及色彩層的材料或製程條件適當地設定，即可。此外，還可以設置用作黑矩陣的遮光膜。

另外，在本實施例中，使用用作保護膜或平坦化絕緣膜的絕緣層（絕緣層 4020、絕緣層 4021）覆蓋薄膜電晶體，以降低薄膜電晶體的表面凹凸並提高薄膜電晶體的可靠性。另外，因為保護膜用於防止懸浮在大氣中的有機物、金屬物、水蒸氣等的污染雜質的侵入，所以較佳採用緻密的膜。藉由利用濺射法並且使用氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜或氮氧化鋁膜的單層或疊層來形成保護膜，即可。在本實施例中，示出藉由濺射法形成保護膜的例子，但是沒有特別的限制，而可以使用各種方法形成保護膜。

這裏，形成疊層結構的絕緣層 4020 作為保護膜。這裏，使用濺射法形成氧化矽膜作為絕緣層 4020 的第一層。當使用氧化矽膜作為保護膜，有防止在用作源極電極層及汲極電極層的鋁膜中產生小丘的效果。

此外，形成絕緣層作為保護膜的第二層。這裏，使用濺射法形成氮化矽膜作為絕緣層 4020 的第二層。藉由作

為保護膜使用氮化矽膜，能夠抑制鈉等的可動離子侵入到半導體區中而改變 TFT 的電特性。

另外，也可以在形成保護膜之後進行對半導體層的退火（ 200°C 以上且 400°C 以下）。

另外，形成絕緣層 4021 作為平坦化絕緣膜。作為絕緣層 4021，可以使用具有耐熱性的有機材料如聚醯亞胺、丙烯酸樹脂、苯並環丁烯、聚醯胺、環氧等。另外，除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等。另外，也可以藉由層疊多個由這些材料形成的絕緣膜，來形成絕緣層 4021。

另外，矽氧烷類樹脂相當於以矽氧烷類材料作為起始材料而形成的包含 Si-O-Si 鍵的樹脂。矽氧烷類樹脂也可以使用有機基（例如烷基或芳基）或氟基作為取代基。另外，有機基還可以具有氟基。

對絕緣層 4021 的形成方法沒有特別的限制，而可以根據其材料利用濺射法、SOG 法、旋塗、浸漬、噴塗、液滴噴射法（噴墨法、絲網印刷、膠版印刷等）、刮刀、輥塗機、簾塗機、刮刀塗佈機等。在使用材料液形成絕緣層 4021 的情況下，也可以在進行焙燒的步驟中同時進行對半導體層的退火（ 200°C 以上且 400°C 以下）。藉由兼作絕緣層 4021 的焙燒步驟和對半導體層的退火，能夠高效地製造半導體裝置。

作為像素電極層 4030、對置電極層 4031，可以使用

具有透光性的導電材料諸如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（下面表示為 ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫等。

此外，可以使用包含導電高分子（也稱為導電聚合物）的導電組成物來形成像素電極層 4030、對置電極層 4031。使用導電組成物來形成的像素電極的當其波長為 550nm 時的透光率較佳為 70%以上。另外，導電組成物所包含的導電高分子的電阻率較佳為 $0.1\Omega\cdot\text{cm}$ 以下。

作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者上述材料中的兩種以上的共聚物等。

另外，供給給另外形成的信號線驅動電路 4003、掃描線驅動電路 4004 或像素部 4002 的各種信號及電位是從 FPC4018 供給的。

在本實施例中，連接端子電極 4015 由與液晶元件 4013 所具有的像素電極層 4030 相同的導電膜形成，並且端子電極 4016 由與薄膜電晶體 4010、4011 的源極電極層及汲極電極層相同的導電膜形成。

連接端子電極 4015 藉由各向異性導電膜 4019 與 FPC4018 所具有的端子電連接。

此外，雖然在圖 14A1、14A2 和 14B 中示出另行形成信號線驅動電路 4003 並將它安裝到第一基板 4001 的實例

，但是本實施例不侷限於該結構。既可以另行形成掃描線驅動電路而安裝，又可以僅另行形成信號線驅動電路的一部分或掃描線驅動電路的一部分而安裝。

本實施例可以與另一實施例所示的結構適當地組合而實施。

實施例 5

在本實施例中，示出電子紙作為具有電晶體的半導體裝置的一個例子。

圖 18 示出主動矩陣型電子紙作為半導體裝置的一個例子。可以與上述實施例 1 至 3 所示的薄膜電晶體同樣地製造用於半導體裝置的薄膜電晶體 581。

圖 18 的電子紙是採用旋轉球顯示方式的顯示裝置的例子。旋轉球顯示方式是指一種方法，其中將一個半球表面為黑色而另一個半球表面為白色的球形粒子配置在用於顯示元件的電極層的第一電極層及第二電極層之間，並且在第一電極層及第二電極層之間產生電位差來控制球形粒子的方向，以進行顯示。

設置在基板 580 上的薄膜電晶體 581 是底柵結構的薄膜電晶體，並且源極電極層或汲極電極層藉由形成在絕緣層 583、584、585 中的接觸孔與第一電極層 587 電連接。在第一電極層 587 和第二電極層 588 之間設置有球形粒子 589，該球形粒子 589 具有黑色區 590a 和白色區 590b，其周圍包括充滿了液體的空洞 594，並且球形粒子 589 的周

圍設置有樹脂等的填充材料 595 (參照圖 18) 。在圖 18 中，第一電極層 587 相當於像素電極，而第二電極層 588 相當於共同電極。第二電極層 588 電連接到設置在與薄膜電晶體 581 同一基板上的共同電位線。藉由利用上述實施例所示的共同連接部，可以使設置在基板 596 上的第二電極層 588 藉由配置在一對基板之間的導電粒子與共同電位線電連接。

此外，還可以使用電泳元件，而不是旋轉球。在此情況下，使用直徑為 $10\mu\text{m}$ 至 $200\mu\text{m}$ 左右的微膠囊，該微膠囊封入有透明液體、帶正電的白色微粒和帶負電的黑色微粒。在提供在第一電極層與第二電極層之間的微膠囊中，當由第一電極層和第二電極層施加電場時，白色微粒和黑色微粒各自移動至相反端，從而可以顯示白色或黑色。應用這種原理的顯示元件就是電泳顯示元件，通常被稱為電子紙。電泳顯示元件具有比液晶顯示元件更高的反射率，從而不需要輔助燈，功耗低，並且在昏暗的地方也能辨別顯示部分。另外，即使不給顯示部供應電源，也能夠保持顯示過一次的影像，因此，即使使具有顯示功能的半導體裝置 (也簡單地稱為顯示裝置或具備顯示裝置的半導體裝置) 遠離電子波源，也能夠保存顯示過的影像。

如上所述，能夠製造可靠性高的電子紙作為半導體裝置。

本實施例可以與另一實施例所示的結構適當地組合而實施。

實施例 6

在本實施例中，示出發光顯示裝置作為具有電晶體的半導體裝置的例子。在此使用利用電致發光的發光元件而示出顯示裝置所具有的顯示元件。利用電致發光的發光元件是根據發光材料是有機化合物還是無機化合物而區分的。一般，前者稱為有機 EL 元件而後者稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，來自一對電極的電子及電洞分別注入到包含發光有機化合物的層中，由此電流通過。然後，這些載子（電子和電洞）複合引起該發光有機化合物形成激發態，並且從該激發態回到基態時發光。由於這種機制，這種發光元件被稱為電流激發型發光元件。

無機 EL 元件按照元件結構而分類為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件包括將發光材料顆粒分散在黏合劑中的發光層，並且其發光機制是利用施主能級和受主能級的施主-受主複合型發光。薄膜型無機 EL 元件是將發光層夾在電介質層之間，並將其夾在電極之間的結構，其發光機制是利用金屬離子內殼層電子躍遷的定域型發光。

以下，參照圖 15A 和 15B 說明相當於半導體裝置的一個方式的發光顯示面板（也稱為發光面板）的外觀及截面。圖 15A 是一種面板的俯視圖，其中使用密封材料 4505 將形成在第一基板 4501 上的薄膜電晶體 4509、4510 及發

光元件 4511 密封在第一基板 4501 與第二基板 4506 之間，而圖 15B 是沿圖 15A 的 H-I 線的截面圖。這裏，以有機 EL 元件作為發光元件進行說明。

以圍繞設置在第一基板 4501 上的像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 的方式設置有密封材料 4505。此外，在像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 上設置有第二基板 4506。因此，像素部 4502、信號線驅動電路 4503a、4503b、以及掃描線驅動電路 4504a、4504b 與填充材料 4507 一起由第一基板 4501、密封材料 4505 和第二基板 4506 密封。像這樣，較佳使用氣密性高且漏氣少的保護薄膜（貼合薄膜、紫外線固化樹脂薄膜等）或覆蓋材料進行封裝（封入）。

此外，設置在第一基板 4501 上的像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 包括多個薄膜電晶體。在圖 15B 中，例示包括在像素部 4502 中的薄膜電晶體 4510 和包括在信號線驅動電路 4503a 中的薄膜電晶體 4509。

薄膜電晶體 4509、4510 可以應用上述實施例所示的結構。在本實施例中，薄膜電晶體 4509、4510 是 n 通道型薄膜電晶體。

此外，附圖標記 4511 相當於發光元件，發光元件 4511 所具有的作為像素電極的第一電極層 4517 與薄膜電晶體 4510 的源極電極層或汲極電極層電連接。另外，發

光元件 4511 的結構是由第一電極層 4517、電致發光層 4512、第二電極層 4513 構成的疊層結構，但是不侷限於本實施例所示的結構。可以根據從發光元件 4511 發光的方向等而適當地改變發光元件 4511 的結構。

使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷形成隔離牆 4520。特別較佳的是，使用感光材料，在第一電極層 4517 上形成開口部，並將該開口部的側壁形成為具有連續的曲率的傾斜面。

電致發光層 4512 既可以由單層構成，又可以由多個層的疊層構成。

也可以在第二電極層 4513 及隔離牆 4520 上形成保護膜，以防止氧、氫、水分、二氧化碳等侵入到發光元件 4511 中。作為保護膜，可以形成氮化矽膜、氮氧化矽膜、DLC 膜等。

另外，供給到信號線驅動電路 4503a、4503b、掃描線驅動電路 4504a、4504b、或像素部 4502 的各種信號及電位是從 FPC4518a、4518b 供給的。

在本實施例中，連接端子電極 4515 由與發光元件 4511 所具有的第一電極層 4517 相同的導電膜形成，並且端子電極 4516 由與薄膜電晶體 4509、4510 所具有的源極電極層及汲極電極層相同的導電膜形成。

連接端子電極 4515 藉由各向異性導電膜 4519 電連接到 FPC4518a 所具有的端子。

位於從發光元件 4511 的光的取出方向的第二基板

4506 需要具有透光性。在這種情況下，使用透光材料，如玻璃板、塑膠板、聚酯膜或丙烯酸樹脂膜。

另外，作為填充材料 4507 除了氮或氬等惰性的氣體之外，還可以使用紫外線固化樹脂或熱固化樹脂，即可以使用 PVC（聚氯乙烯）、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）、或 EVA（乙烯-醋酸乙烯酯）。

另外，如果需要，也可以在發光元件的射出表面上適當地設置諸如偏光片、圓偏光片（包括橢圓偏光片）、相位差板（ $\lambda/4$ 板， $\lambda/2$ 板）、濾色片等的光學膜。另外，也可以在偏光片或圓偏光片上設置抗反射膜。例如，可以進行防眩處理，以由表面的凹凸使反射光漫射而降低眩光。

信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 也可以作為在另行準備的基板上由單晶半導體膜或多晶半導體膜形成的驅動電路而安裝。此外，也可以另外僅形成信號線驅動電路或其一部分、或者掃描線驅動電路或其一部分而安裝，本實施例不侷限於圖 15A 和 15B 所示的結構。

藉由上述步驟，能夠製造可靠性高的發光顯示裝置（顯示面板）作為半導體裝置。

本實施例可以與另一實施例所示的結構適當地組合而實施。

實施例 7

上述實施例所示的具備電晶體的半導體裝置可以應用於各種電子設備（也包括遊戲機）。作為電子設備，例如可以舉出：電視機（也稱為電視或電視接收器）；用於電腦等的監視器；數位相機；數位攝像機；數位相框；行動電話機（也稱為行動電話、行動電話裝置）；可攜式遊戲機；可攜式資訊終端；聲音再生裝置；鋼珠機等的大型遊戲機等。

圖 16A 示出電視裝置 9600 的一個例子。在電視裝置 9600 中，外殼 9601 嵌入有顯示部 9603。能夠由顯示部 9603 顯示影像。此外，在此示出利用支架 9605 支撐外殼 9601 的結構。

可以藉由利用外殼 9601 所具備的操作開關、另外提供的遙控器 9610 進行電視裝置 9600 的操作。藉由利用遙控器 9610 所具備的操作鍵 9609，可以進行頻道和音量的操作，並可以對在顯示部 9603 上顯示的影像進行操作。

此外，也可以採用在遙控器 9610 中設置顯示從該遙控器 9610 輸出的資訊的顯示部 9607 的結構。

注意，電視裝置 9600 採用具備接收器及數據機等的結構。可以利用接收器來接收通常的電視廣播。另外，當藉由數據器將電視機 9600 有線或無線地連接到通信網路時，可以進行單向（從發射者到接收者）或者雙向（發送者和接收者之間或接收者之間）的資訊通信。

圖 16B 示出數位相框 9700 的一個例子。例如，在數位相框 9700 中，外殼 9701 嵌入有顯示部 9703。顯示部

9703 可以顯示各種影像，例如藉由顯示使用數位相機等拍攝的影像資料，可以發揮與一般的相框同樣的功能。

注意，數位相框 9700 採用具備操作部、外部連接用端子（USB 端子、可以與 USB 電纜等的各種電纜連接的端子等）、記錄媒體插入部等的結構。這些結構也可以嵌入到與顯示部同一個面，但是藉由將它們設置在側面或背面上來提高設計性，所以是較佳的。例如，可以對數位相框的記錄媒體插入部插入儲存有由數位相機拍攝的影像資料的記憶體並提取影像資料，然後可以將所提取的影像資料顯示於顯示部 9703。

另外，數位相框 9700 可以採用能夠無線地發送並接收資訊的結構。也可以採用以無線的方式提取所希望的影像資料並進行顯示的結構。

圖 17A 示出一種可攜式遊戲機，其由外殼 9881 和外殼 9891 的兩個外殼構成，並且藉由連接部 9893 連接為能夠開閉。外殼 9881 安裝有顯示部 9882，並且外殼 9891 安裝有顯示部 9883。另外，圖 17A 所示的可攜式遊戲機還具備揚聲器部 9884、記錄媒體插入部 9886、LED 燈 9890、輸入單元（操作鍵 9885、連接端子 9887、感測器 9888（包括測定如下因素的功能：力量、位移、位置、速度、加速度、角速度、轉動數、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線）以及麥克風 9889）等。不用說，可攜式遊戲機的結構不限於

以上所述結構。可攜式遊戲機可以具有適當地配置了額外的附屬設備的結構，而只要至少配置了半導體裝置即可。圖 17A 所示的可攜式遊戲機具有如下功能：讀出儲存在記錄媒體中的程式或資料並將它們顯示於顯示部；藉由與其他可攜式遊戲機進行無線通信來實現資訊共用。另外，圖 17A 所示的可攜式遊戲機的功能不侷限於此，而可以具有各種功能。

圖 17B 示出大型遊戲機的一種的投幣機 9900 的一例。在投幣機 9900 的外殼 9901 中安裝有顯示部 9903。另外，投幣機 9900 還具備如起動杆或停止開關等的操作單元、投幣孔、揚聲器等。當然，投幣機 9900 的結構不侷限於此，而還可以具有適當地配置了額外的附屬設備的結構，只要至少配置了半導體裝置即可。

本實施例可以與另一實施例所示的結構適當地組合而實施。

本發明說明根據 2009 年 2 月 13 日在日本專利局提出申請的日本專利申請第 2009-030968 號而製作，所述申請內容整體在此併入參考。

【圖式簡單說明】

在附圖中：

圖 1A 和 1B 是說明根據實施例 1 的電晶體的結構的圖；

圖 2A 至 2D 是說明根據實施例 1 的電晶體的製造方

法的一個例子的圖；

圖 3A 和 3B 是說明根據實施例 1 的電晶體的結構的圖

；

圖 4A 和 4B 是說明根據實施例 1 的電晶體的結構的圖

；

圖 5A 和 5B 是說明根據實施例 1 的電晶體的結構的圖

；

圖 6A 至 6E 是說明根據實施例 2 的電晶體的製造方法
的一個例子的圖；

圖 7A 至 7C 是說明根據實施例 2 的電晶體的結構的圖

；

圖 8A 至 8C 是說明根據實施例 3 的半導體裝置的製造
方法的一個例子的圖；

圖 9A 至 9C 是說明根據實施例 3 的半導體裝置的製造
方法的一個例子的圖；

圖 10 是說明根據實施例 3 的半導體裝置的製造方法
的一個例子的圖；

圖 11 是說明根據實施例 3 的半導體裝置的製造方法
的一個例子的圖；

圖 12 是說明根據實施例 3 的半導體裝置的製造方法
的一個例子的圖；

圖 13 是說明根據實施例 3 的半導體裝置的製造方法
的一個例子的圖；

圖 14A1 至 14A2 和圖 14B 是說明根據實施例 4 的半

導體裝置的一個例子的圖；

圖 15A 和 15B 是說明根據實施例 6 的半導體裝置的一個例子的圖；

圖 16A 和 16B 是示出電視機及數位相框的例子的外觀圖；

圖 17A 和 17B 是示出遊戲機的例子的外觀圖；

圖 18 是說明根據實施例 5 的半導體裝置的一個例子的圖；

圖 19A 和 19B 是說明用於模擬實驗的模型的圖；以及

圖 20A 和 20B 是說明藉由模擬實驗而獲得的氫的擴散係數的圖。

【主要元件符號說明】

100：基板

102：閘極電極

104：閘極絕緣層

106：氧化物半導體層

108：氧化物半導體層

110：矽層

112：矽層

114：導電膜

116a：源極電極層

116b：汲極電極層

117：雜質半導體層

118a：第一雜質半導體層

118b：第二雜質半導體層

119a：雜質區域

119b：雜質區域

120：電晶體

121：電晶體

122：電晶體

123：電晶體

124：電晶體

130：電晶體

131：電晶體

160：電晶體

171：抗蝕劑掩罩

172：抗蝕劑掩罩

308：電容佈線

310：透明導電層

313：接觸孔

320：連接電極

321：第一端子

322：第二端子

325：接觸孔

326：接觸孔

327：接觸孔

328：透明導電層

- 329 : 透明導電層
- 340 : 保護絕緣層
- 580 : 基板
- 581 : 薄膜電晶體
- 583 : 絕緣層
- 587 : 第一電極層
- 588 : 第二電極層
- 589 : 球形粒子
- 594 : 空洞
- 595 : 填充材料
- 596 : 基板
- 4001 : 第一基板
- 4002 : 像素部
- 4003 : 信號線驅動電路
- 4004 : 掃描線驅動電路
- 4005 : 密封材料
- 4006 : 第二基板
- 4008 : 液晶層
- 4010 : 薄膜電晶體
- 4011 : 薄膜電晶體
- 4013 : 液晶元件
- 4015 : 連接端子電極
- 4016 : 端子電極
- 4018 : FPC

- 4019：各向異性導電膜
- 4020：絕緣層
- 4021：絕緣層
- 4030：像素電極層
- 4031：對置電極層
- 4032：絕緣層
- 4501：第一基板
- 4502：像素部
- 4503a：信號線驅動電路
- 4503b：信號線驅動電路
- 4504a：掃描線驅動電路
- 4504b：掃描線驅動電路
- 4505：密封材料
- 4506：第二基板
- 4507：填充材料
- 4509：薄膜電晶體
- 4510：薄膜電晶體
- 4511：發光元件
- 4512：電致發光層
- 4513：第二電極層
- 4515：連接端子電極
- 4516：端子電極
- 4517：第一電極層
- 4518a：FPC

- 4518b : FPC
- 4519 : 各向異性導電膜
- 4520 : 隔離牆
- 590a : 黑色區
- 590b : 白色區
- 9600 : 電視機
- 9601 : 外殼
- 9603 : 顯示部
- 9605 : 支架
- 9607 : 顯示部
- 9609 : 操作鍵
- 9610 : 遙控器
- 9700 : 數位相框
- 9701 : 外殼
- 9703 : 顯示部
- 9881 : 外殼
- 9882 : 顯示部
- 9883 : 顯示部
- 9884 : 揚聲器部
- 9885 : 操作鍵
- 9886 : 記錄媒體插入部
- 9887 : 連接端子
- 9888 : 感測器
- 9889 : 麥克風

9890 : LED 燈

9891 : 外殼

9893 : 連接部

9900 : 投幣機

9901 : 外殼

9903 : 顯示部

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99103977

H01L 29/78 (2006.01)

※申請日：99年02月09日

※IPC分類：

H01L 21/336 (2006.01)

H01L 21/28 (2006.01)

一、發明名稱：(中文/英文)

電晶體、包含該電晶體之半導體裝置及該電晶體與該半導體裝置之製造方法

Transistor, semiconductor device including the transistor, and manufacturing method
of the transistor and the semiconductor device

二、中文發明摘要：

本發明之目的在於在包含氧化物半導體層之電晶體或包含該電晶體之半導體裝置中抑制電特性的退化。在使用氧化物半導體形成通道層的電晶體中，設置與氧化物半導體層的表面接觸的矽層，而且在該矽層之上形成雜質半導體層，並且設置電連接於該雜質半導體層的源極電極層及汲極電極層。

三、英文發明摘要：

An object is to suppress deterioration in electric characteristics in a transistor including an oxide semiconductor layer or a semiconductor device including the transistor. In a transistor in which a channel layer is formed using an oxide semiconductor, a silicon layer is provided in contact with a surface of the oxide semiconductor, an impurity semiconductor layer is provided over the silicon layer, and a source electrode layer and a drain electrode layer are provided to be electrically connected to the impurity semiconductor layer.

七、申請專利範圍：

1. 一種電晶體，包括：

閘極電極；

在該閘極電極之上的閘極絕緣層；

在該閘極絕緣層之上的氧化物半導體層，該氧化物半導體層與該閘極電極重疊；

在該氧化物半導體層之上且與該氧化物半導體層接觸的矽層；

在該矽層之上的第一雜質半導體層；

在該矽層之上的第二雜質半導體層；

與該第一雜質半導體層電連接的源極電極層；以及

與該第二雜質半導體層電連接的汲極電極層。

2. 根據申請專利範圍第 1 項之電晶體，其中該第一雜質半導體層及該第二雜質半導體層為添加有雜質元素的矽層。

3. 根據申請專利範圍第 1 項之電晶體，其中該氧化物半導體層包含銮、鋅和鎵中的其中之一者。

4. 根據申請專利範圍第 1 項之電晶體，其中該氧化物半導體層的端面被該矽層覆蓋。

5. 一種半導體裝置，該半導體裝置包括根據申請專利範圍第 1 項之電晶體。

6. 一種電晶體，包括：

閘極電極；

在該閘極電極之上的閘極絕緣層；

在該閘極絕緣層之上的氧化物半導體層，該氧化物半導體層與該閘極電極重疊；

在該氧化物半導體層之上且與該氧化物半導體層接觸的矽層，該矽層包含本質區域、第一雜質區域及第二雜質區域，其中該第一雜質區域與第二雜質區域以插設於該第一雜質區域與第二雜質區域之間的該本質區域而彼此相離設置；

與該第一雜質區域電連接的源極電極層；以及

與該第二雜質區域電連接的汲極電極層。

7. 根據申請專利範圍第 6 項之電晶體，其中該氧化物半導體層包含銮、鋅和鎳中的其中之至少一者。

8. 根據申請專利範圍第 6 項之電晶體，其中該氧化物半導體層的端面被該矽層覆蓋。

9. 一種半導體裝置，該半導體裝置包括根據申請專利範圍第 6 項之電晶體。

10. 一種電晶體之製造方法，包括如下步驟：

在基板之上形成閘極電極；

在該閘極電極之上形成閘極絕緣層；

在該閘極絕緣層之上形成氧化物半導體層；

在該氧化物半導體層之上形成矽層；

在該矽層之上形成雜質半導體層；

蝕刻該氧化物半導體層、該矽層和該雜質半導體層，以在與該閘極電極重疊的區域中形成島形氧化物半導體層、島形矽層和島形雜質半導體層；

形成導電膜以便覆蓋該島形雜質半導體層；以及

蝕刻該導電膜和該島形雜質半導體層，以形成第一雜質半導體層、第二雜質半導體層、電連接於該第一雜質半導體層的源極電極層和電連接於該第二雜質半導體層的汲極電極層。

11. 根據申請專利範圍第 10 項之電晶體之製造方法，其中該矽層係藉由使用 DC 濺射設備而形成。

12. 根據申請專利範圍第 10 項之電晶體之製造方法，其中在氬氣氛中形成該矽層。

13. 一種電晶體之製造方法，包括如下步驟：

在基板之上形成閘極電極；

在該閘極電極之上形成閘極絕緣層；

在該閘極絕緣層之上形成氧化物半導體層；

在該氧化物半導體層之上形成矽層；

在該矽層之上形成抗蝕劑掩罩；

使用該抗蝕劑掩罩將雜質元素添加到該矽層，以便在該矽層中形成第一雜質區域及第二雜質區域；

在該矽層之上形成導電膜；以及

蝕刻該導電膜，以形成電連接於該第一雜質區域的源極電極層和電連接於該第二雜質區域的汲極電極層。

14. 根據申請專利範圍第 13 項之電晶體之製造方法，其中該矽層係藉由使用 DC 濺射設備而形成。

15. 根據申請專利範圍第 13 項之電晶體之製造方法，其中在氬氣氛中形成該矽層。

圖 1A

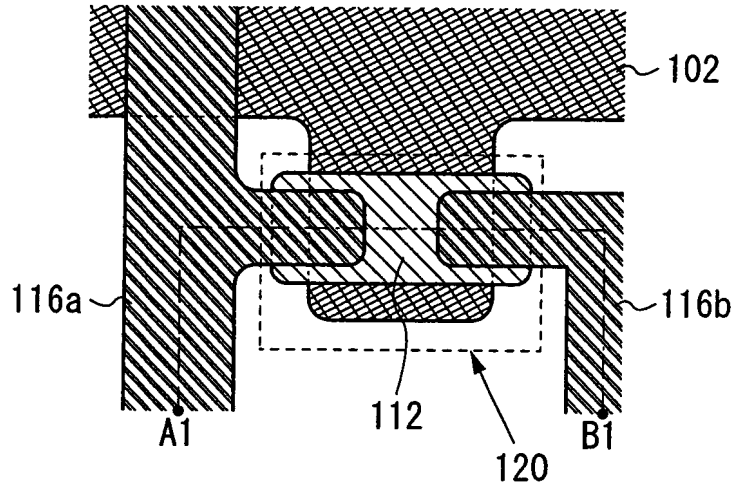


圖 1B

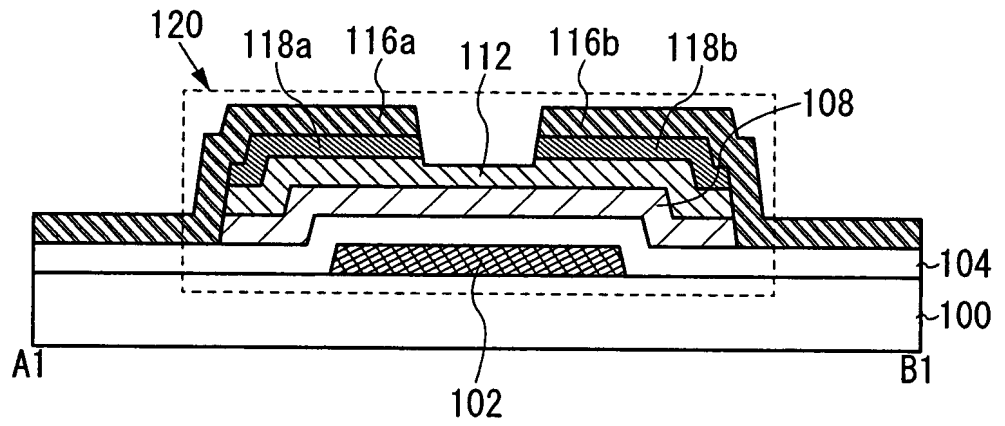


圖 2A

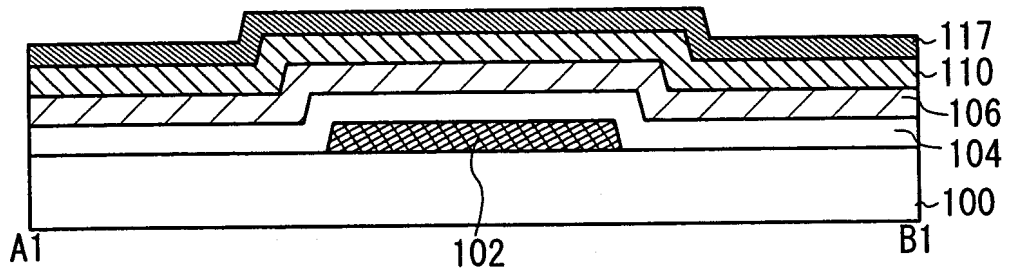


圖 2B

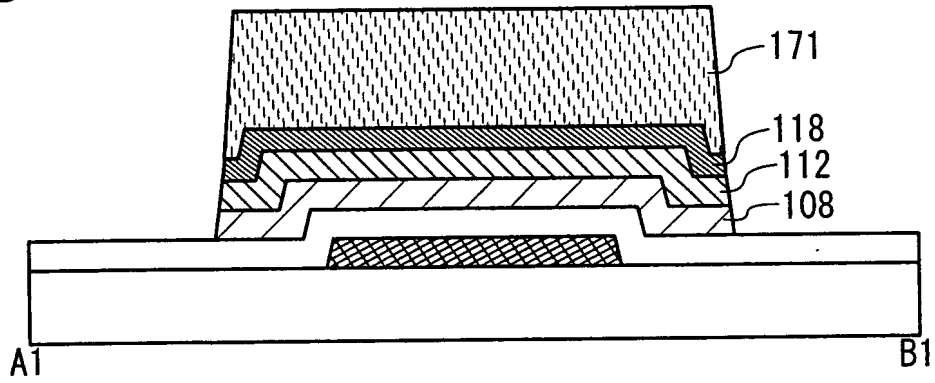


圖 2C

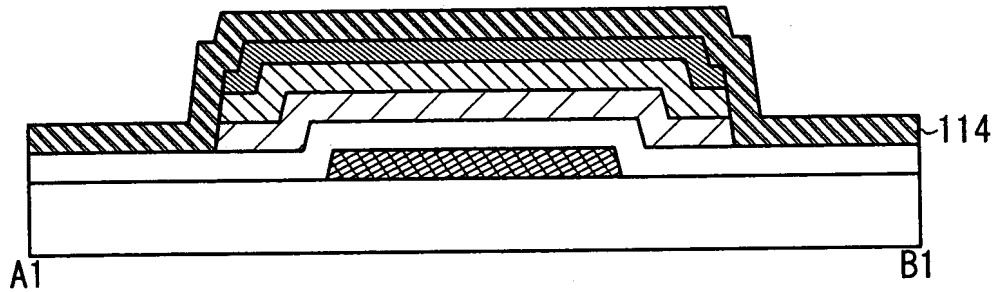


圖 2D

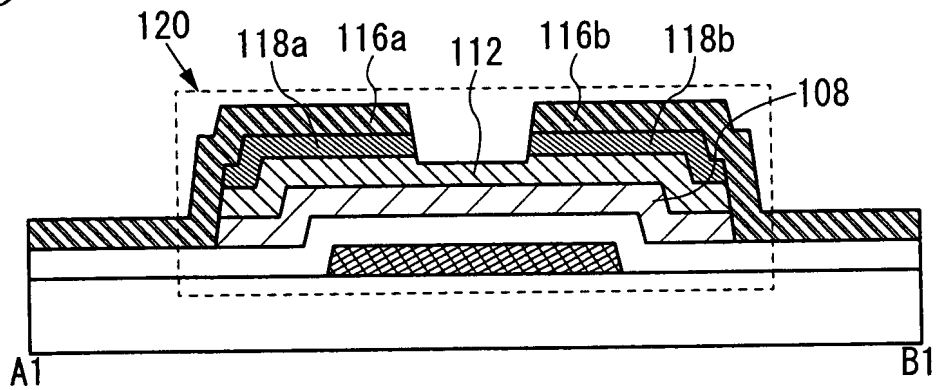


圖 3A

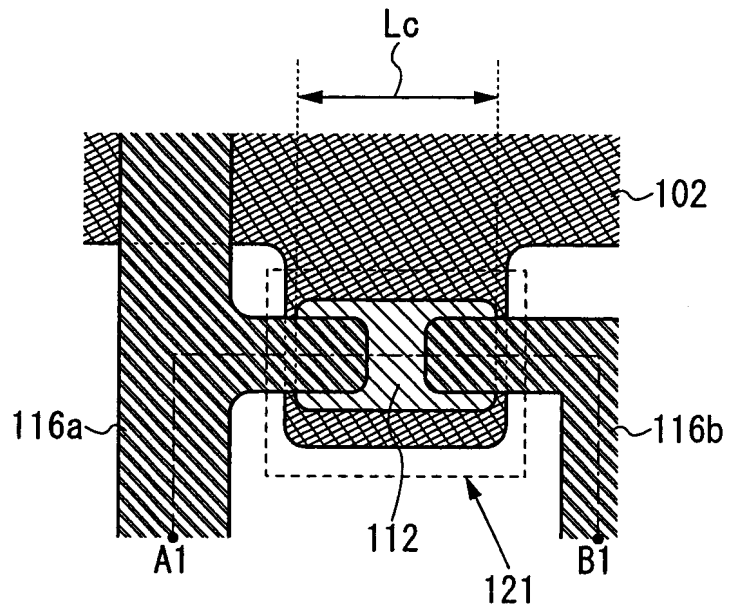


圖 3B

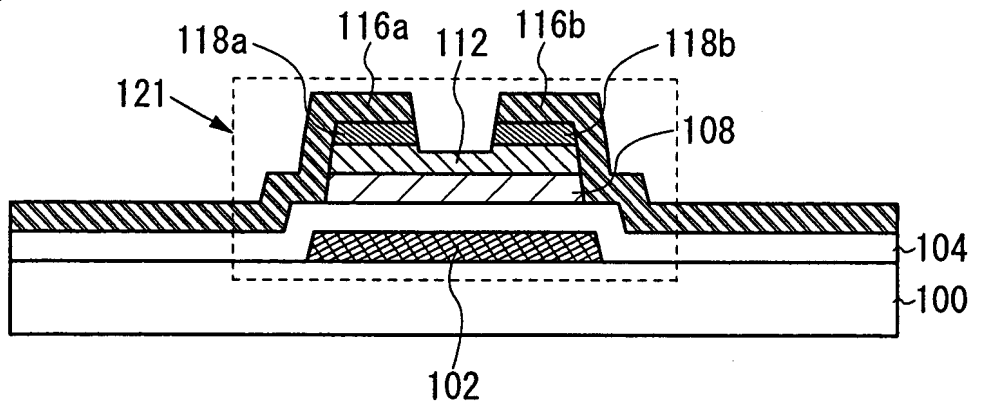


圖 4A

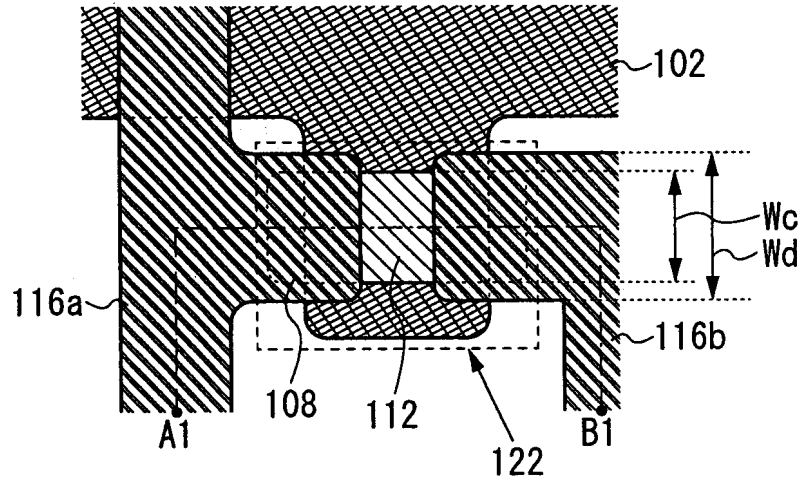


圖 4B

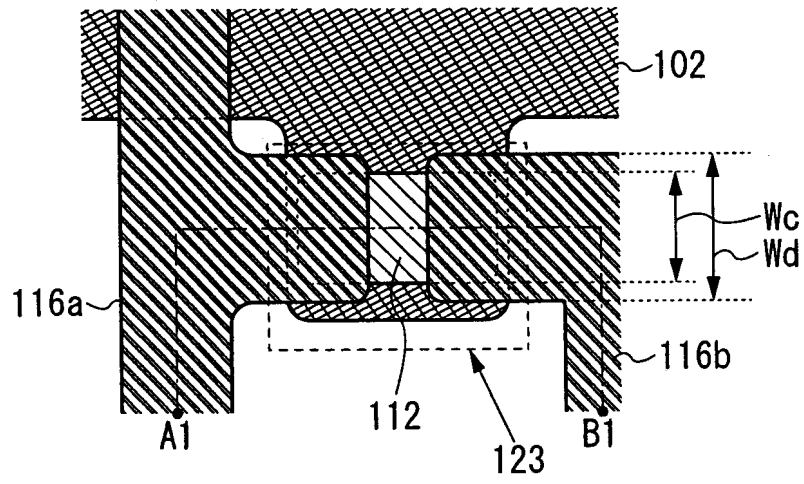


圖5A

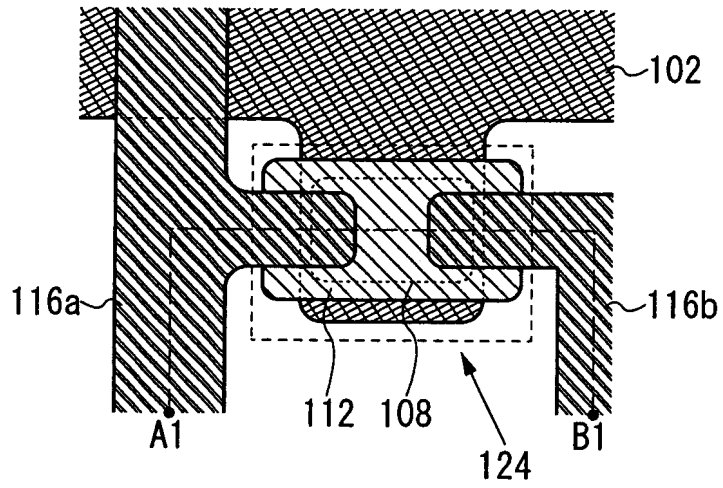


圖5B

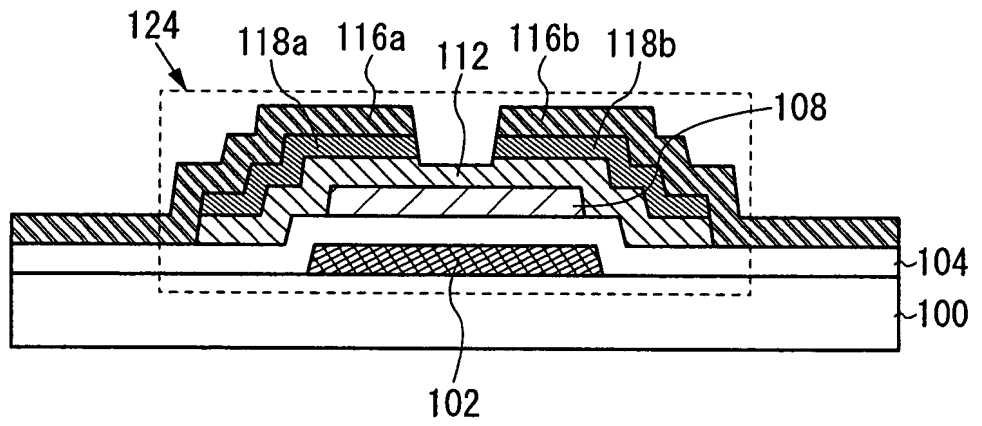


圖 6A

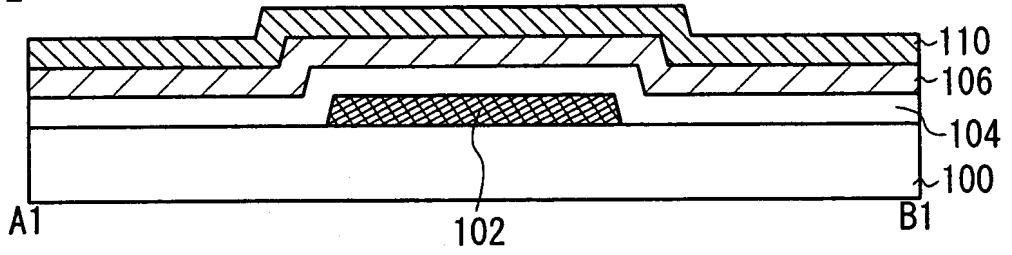


圖 6B

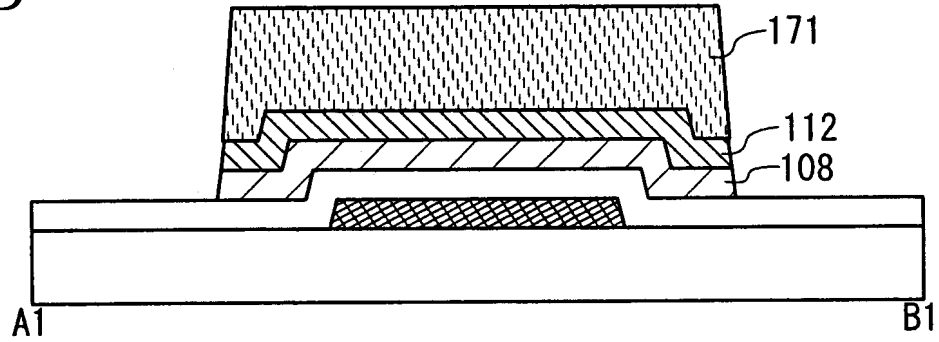


圖 6C

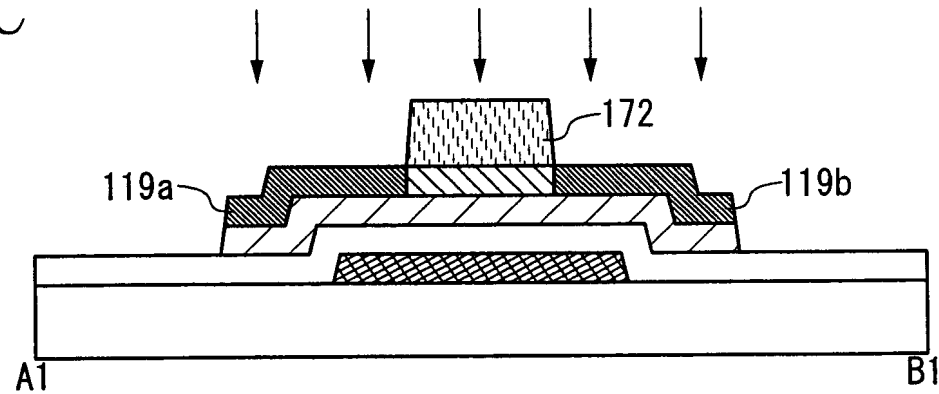


圖 6D

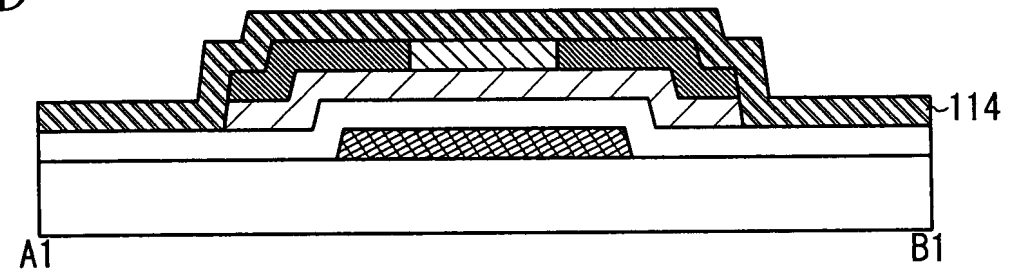


圖 6E

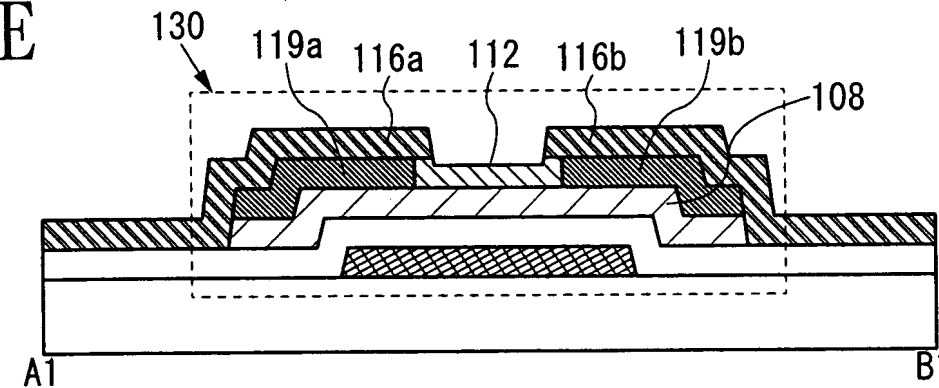


圖7A

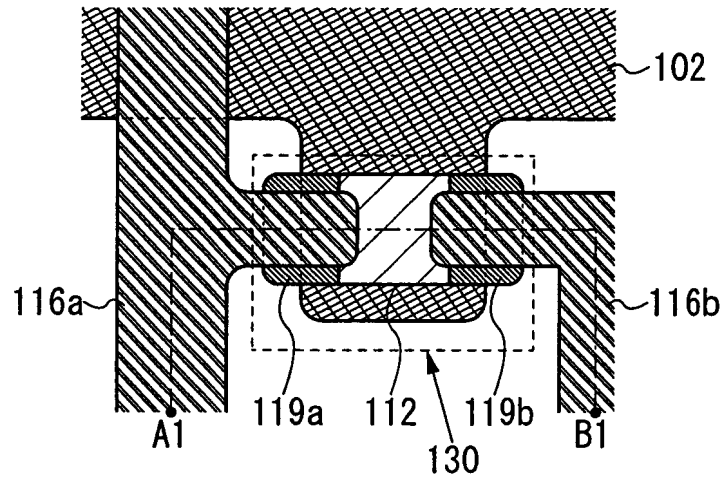


圖7B

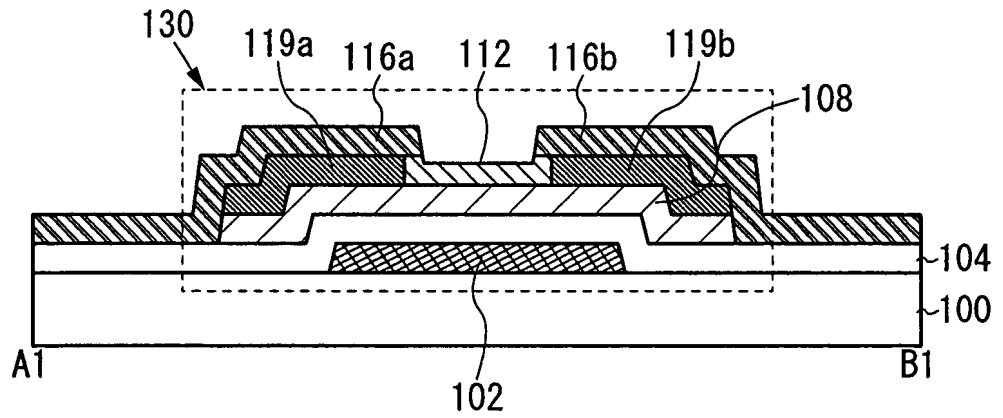


圖7C

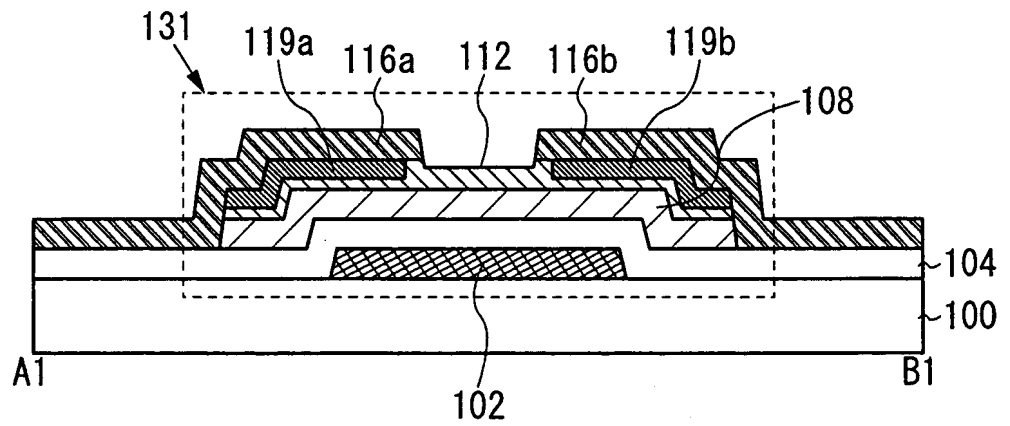


圖8A

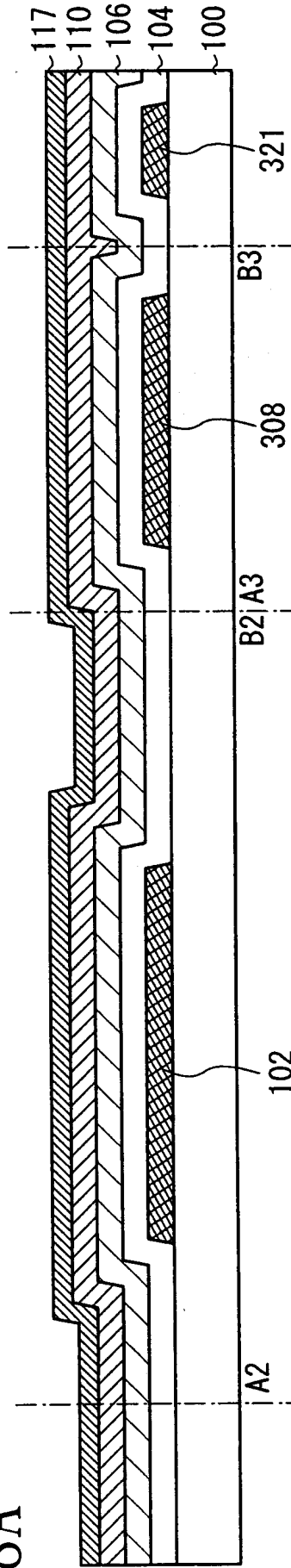


圖8B

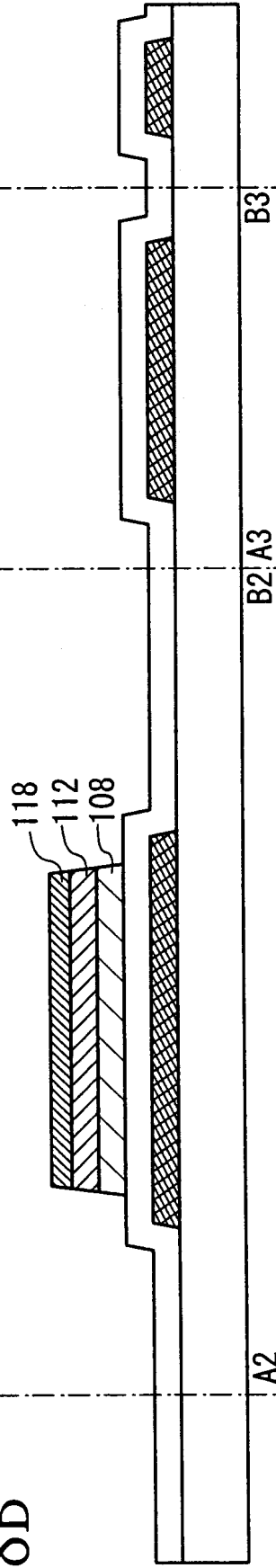


圖8C

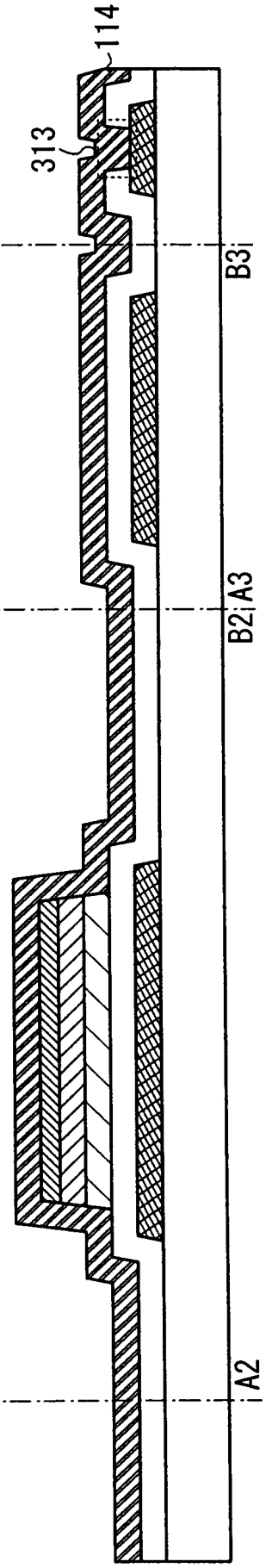


圖9A

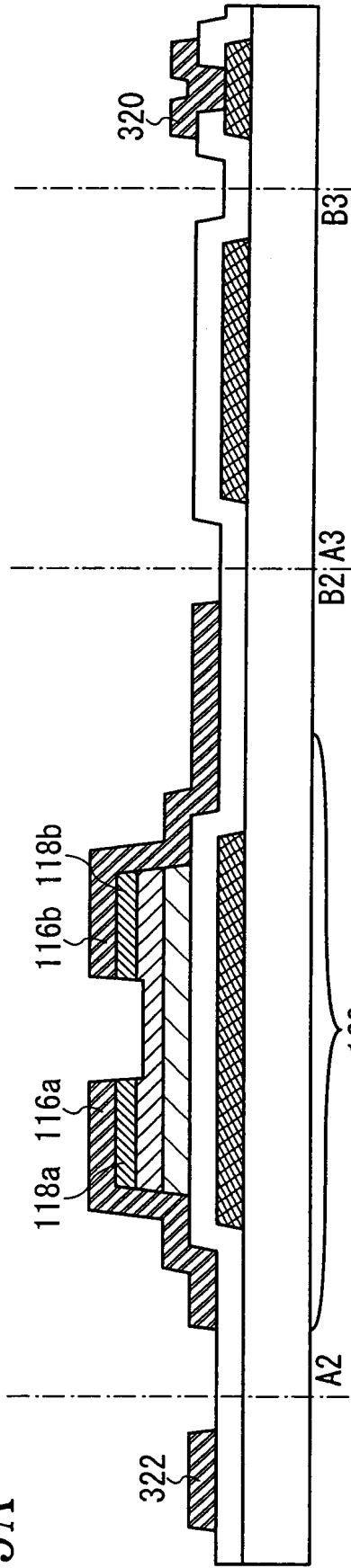


圖9B

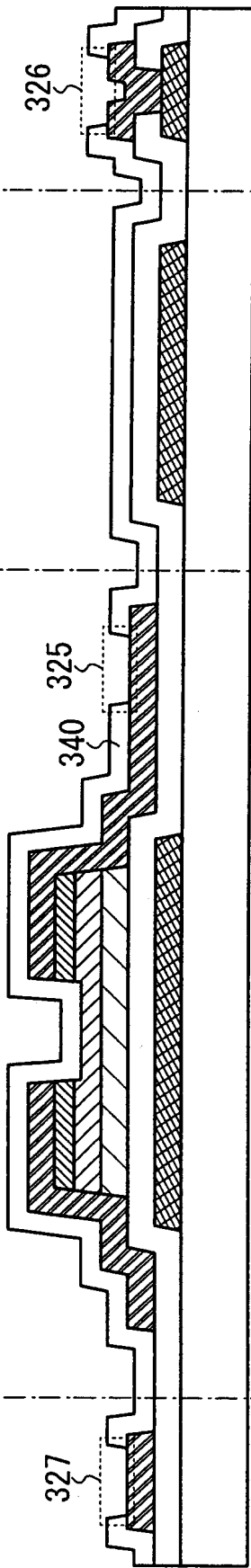


圖9C

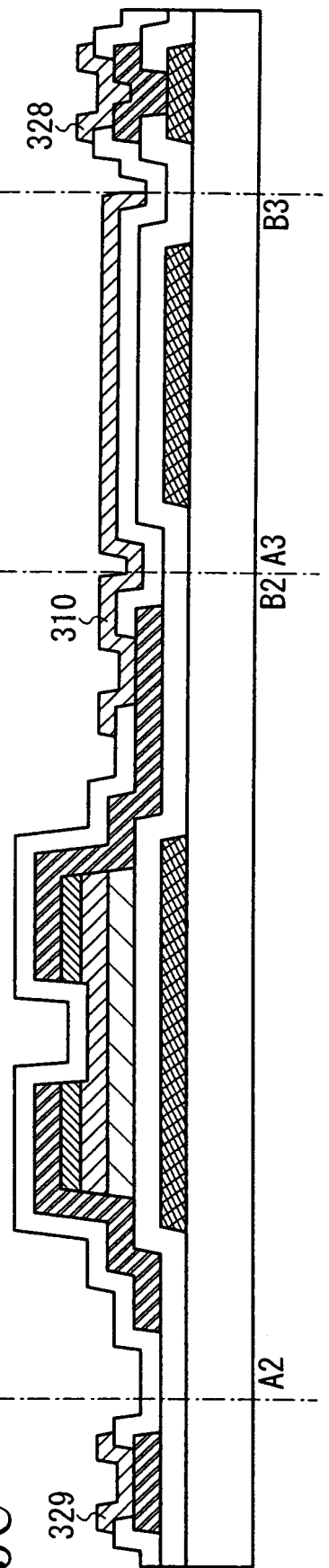


圖 10

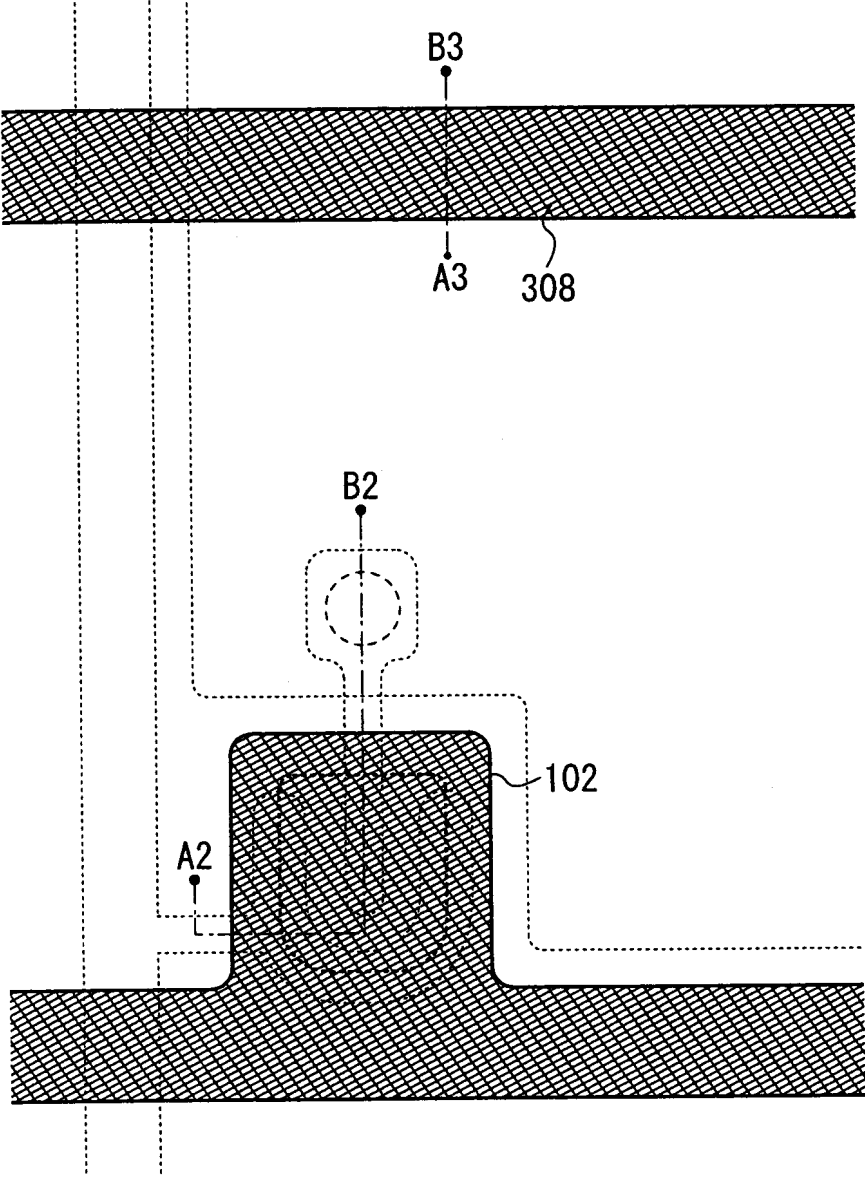


圖 11

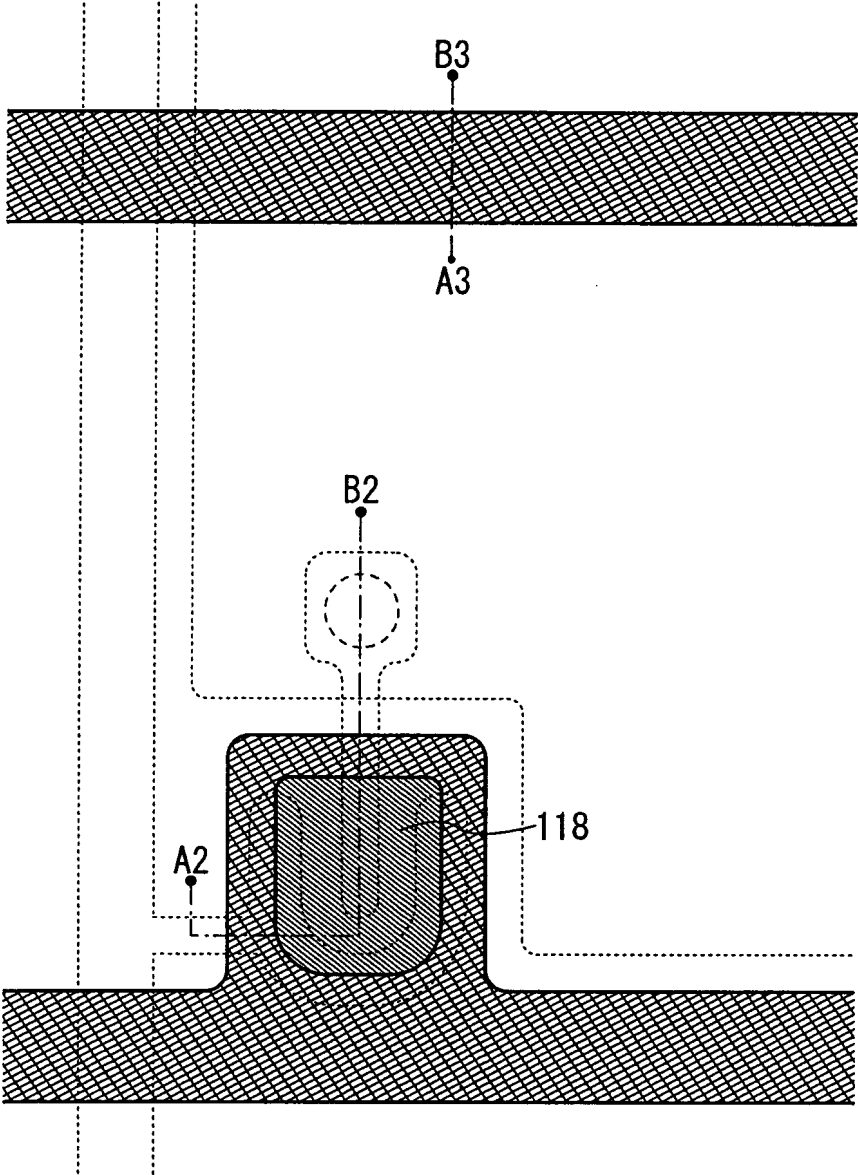


圖12

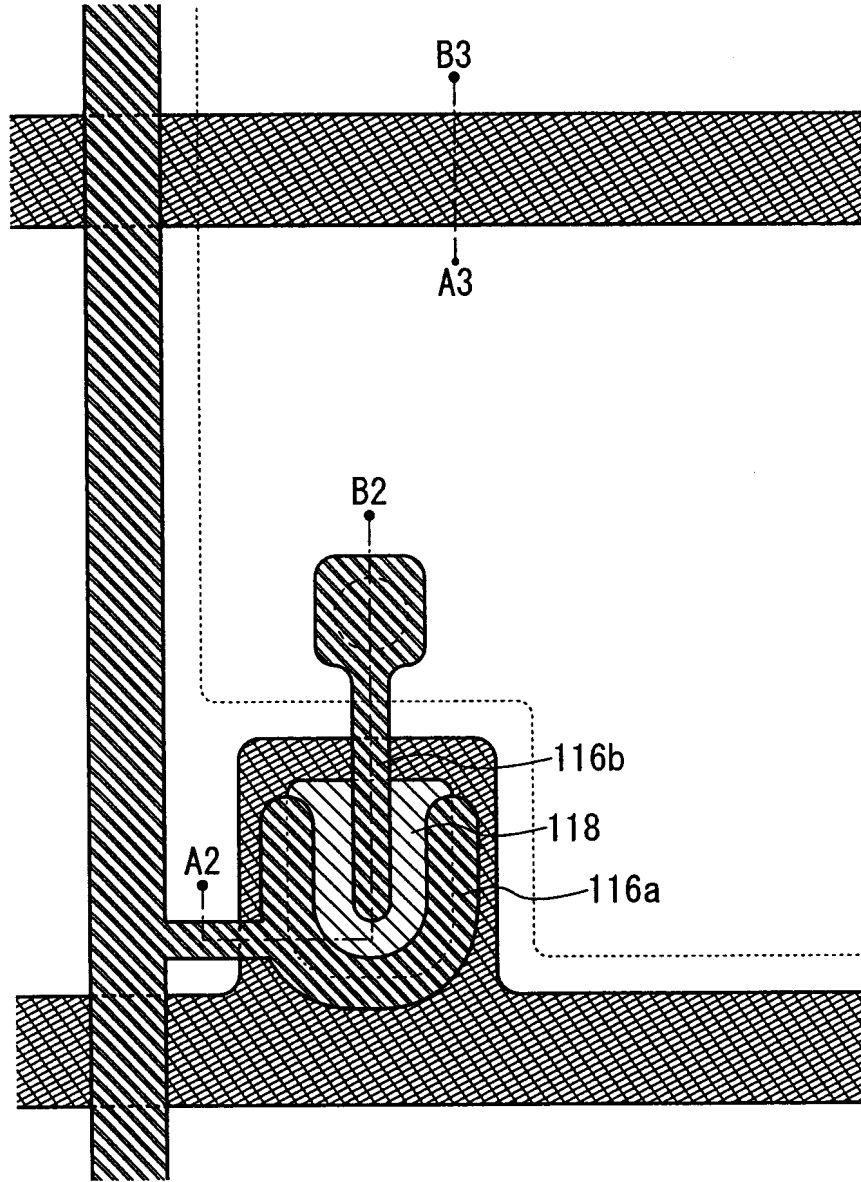


圖13

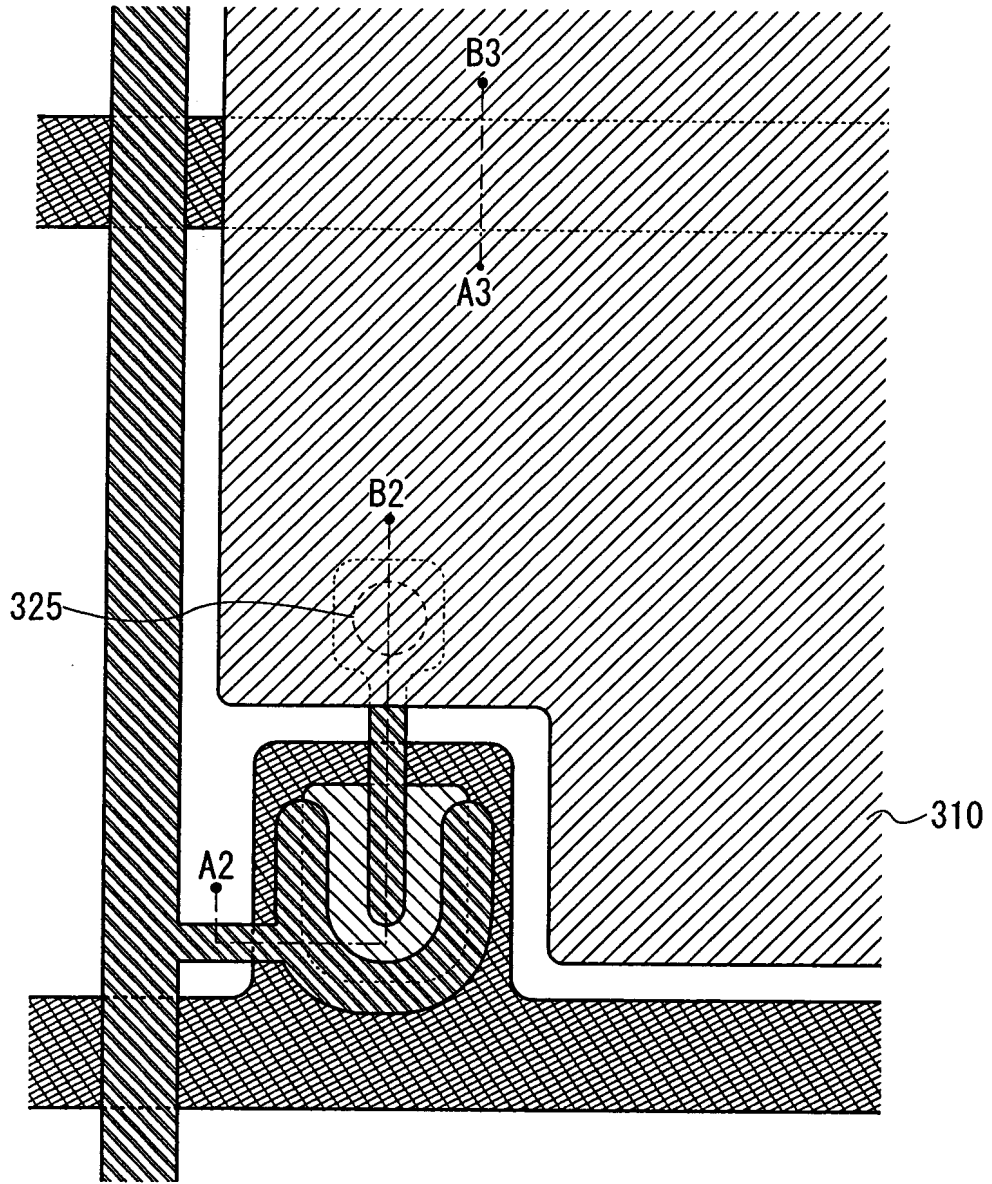


圖14A2

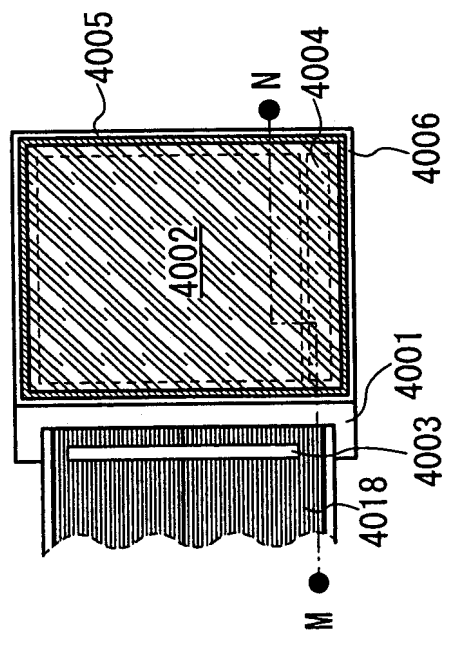


圖14A1

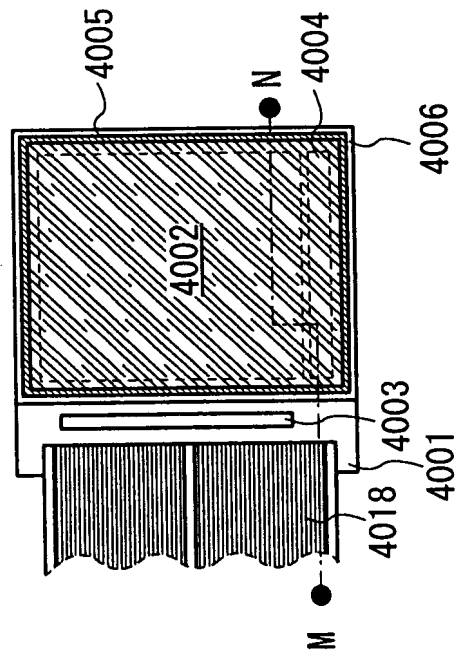


圖14B

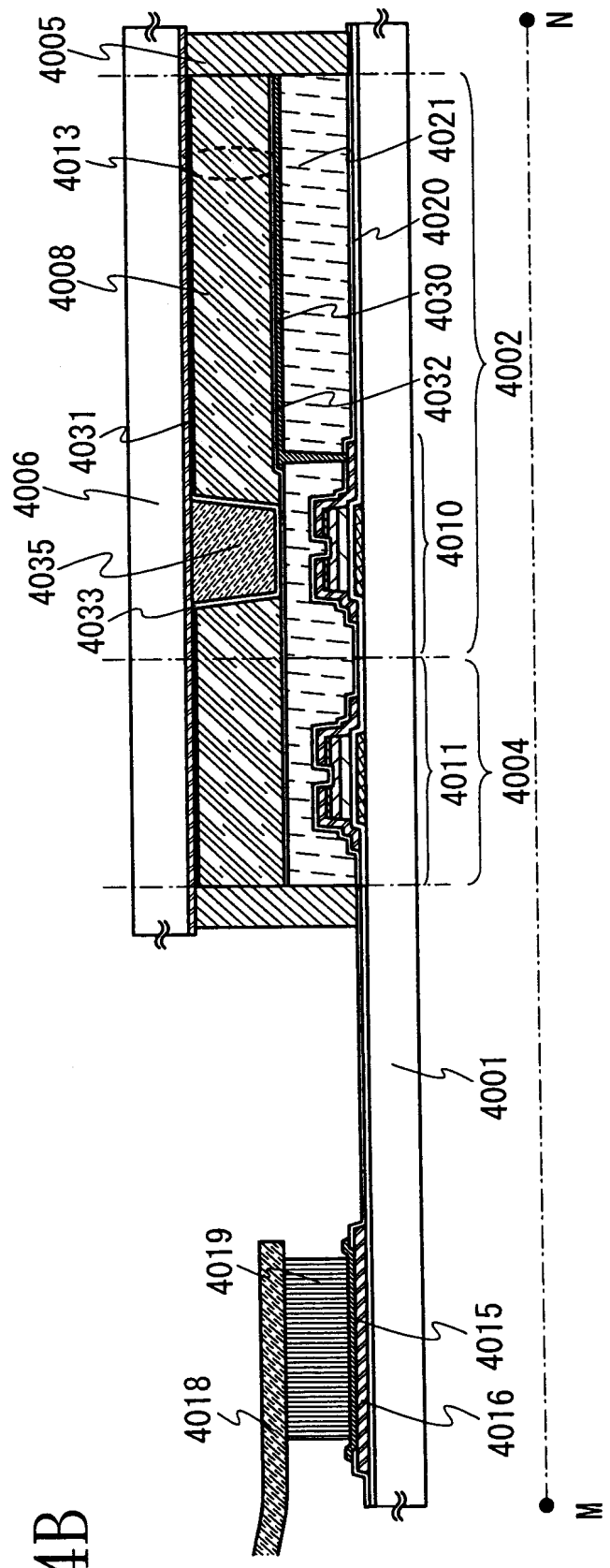


圖 15A

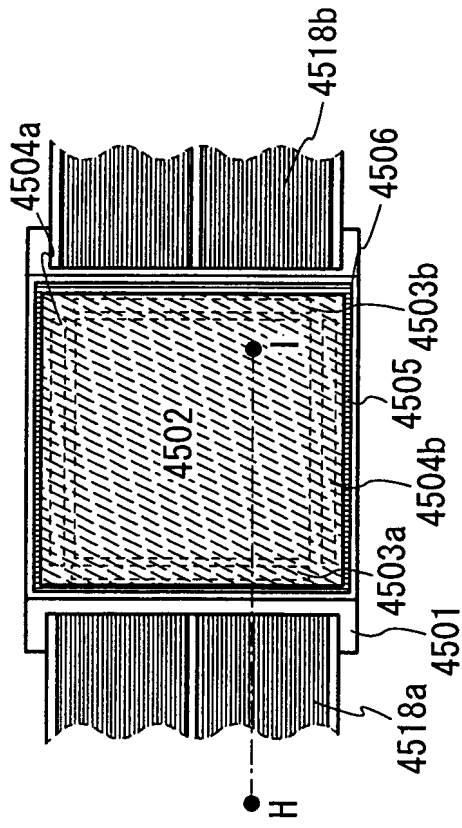


圖 15B

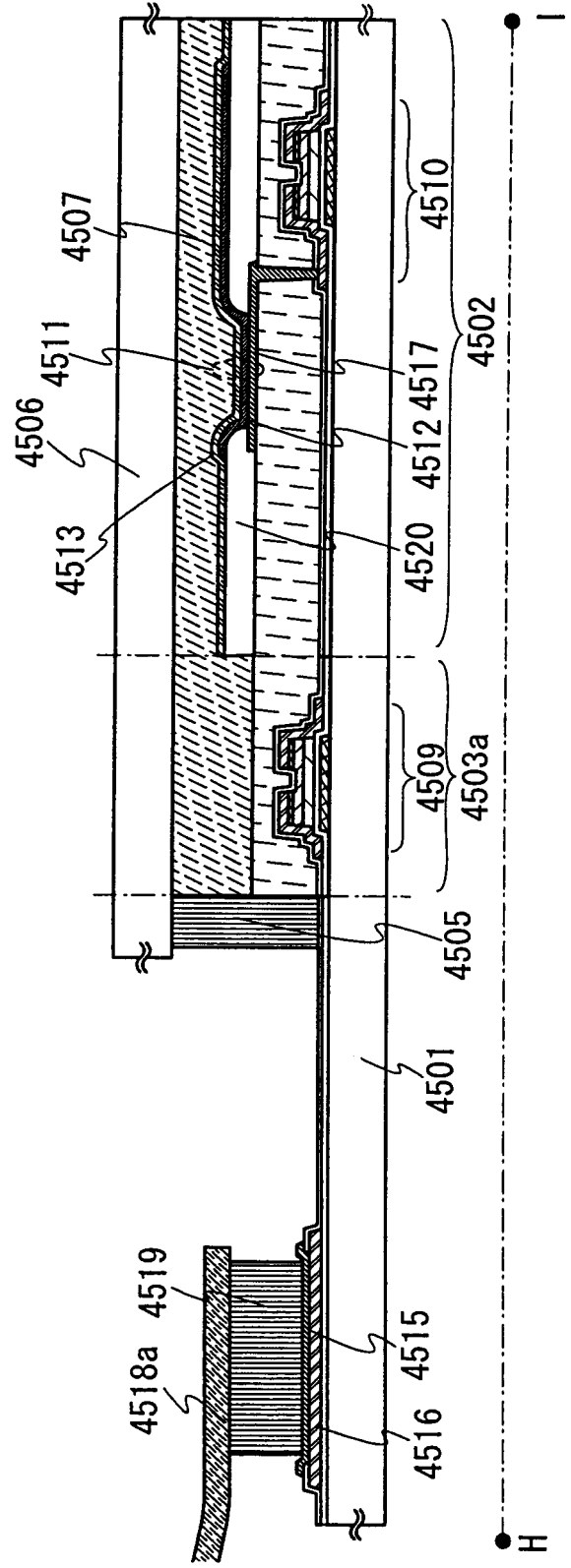


圖 16A

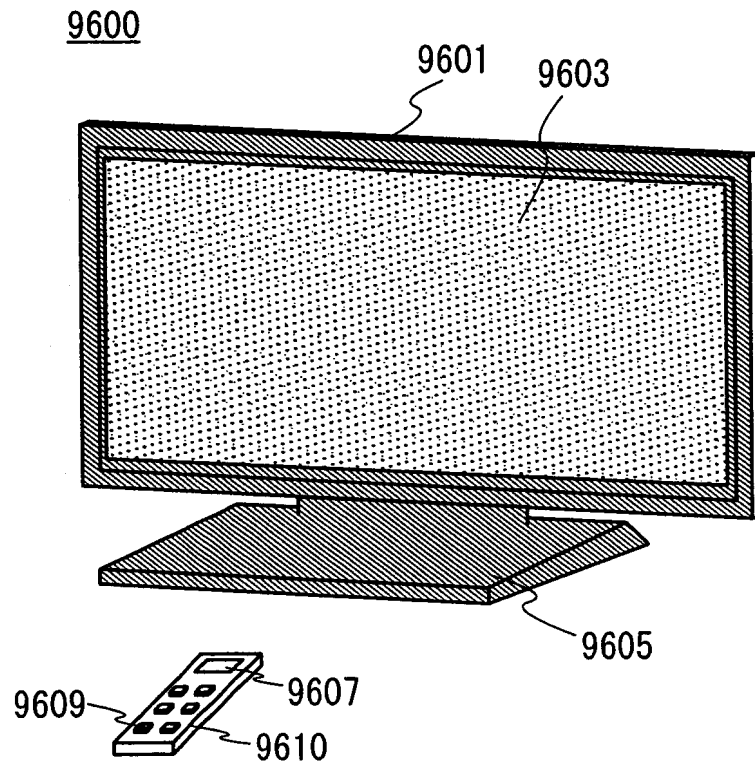


圖 16B

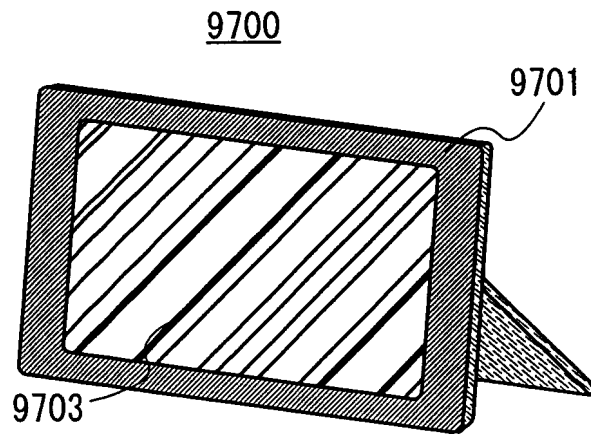


圖 17A

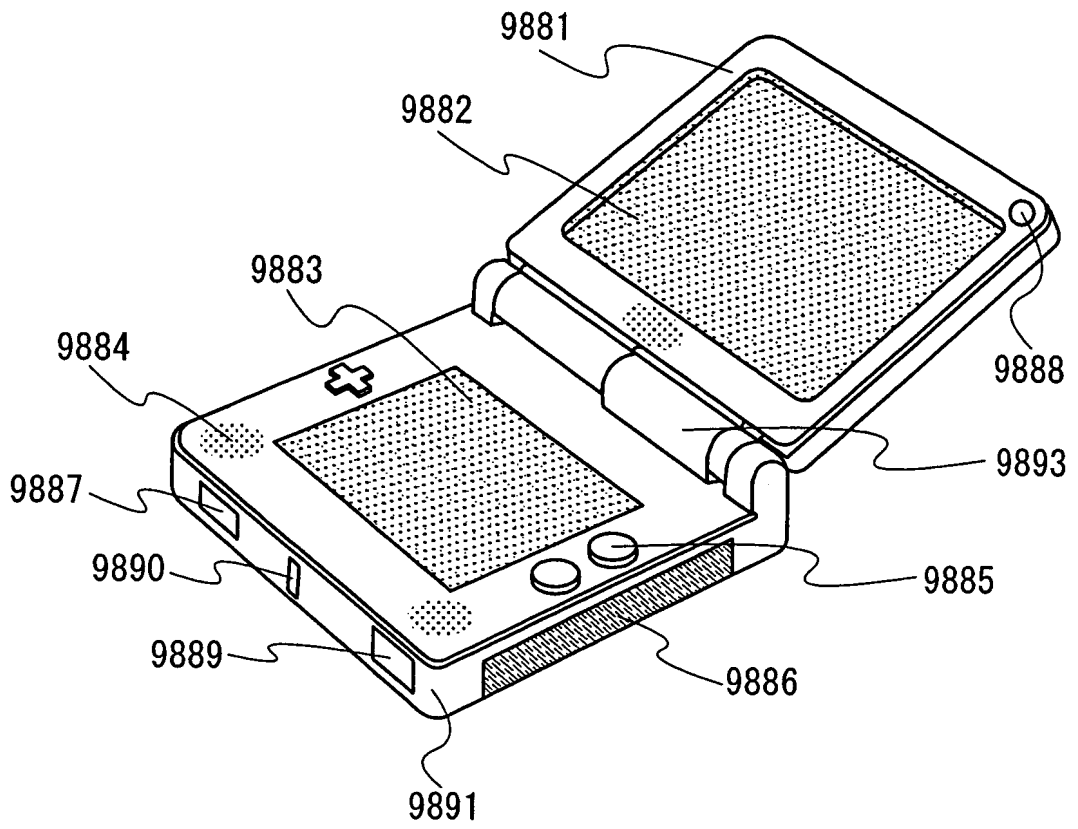


圖 17B

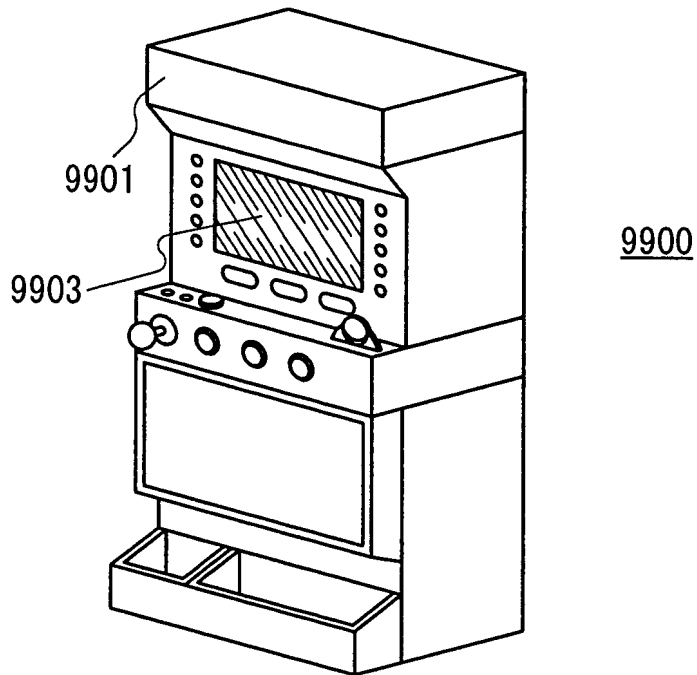


圖18

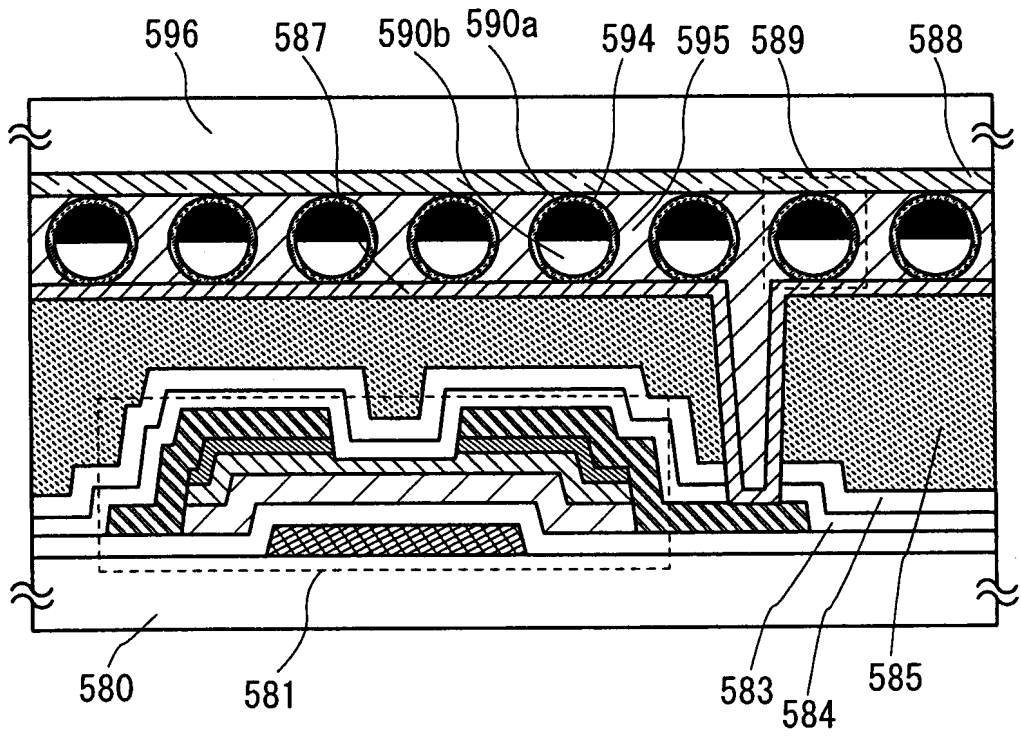
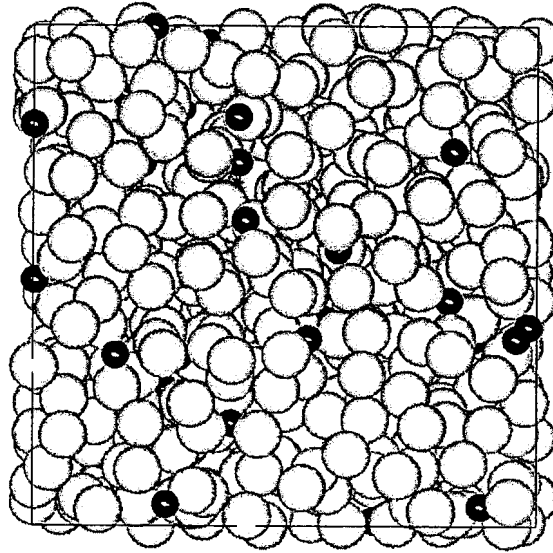


圖 19A

a-Si:H model



Si : ○

H : ●

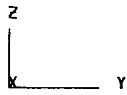
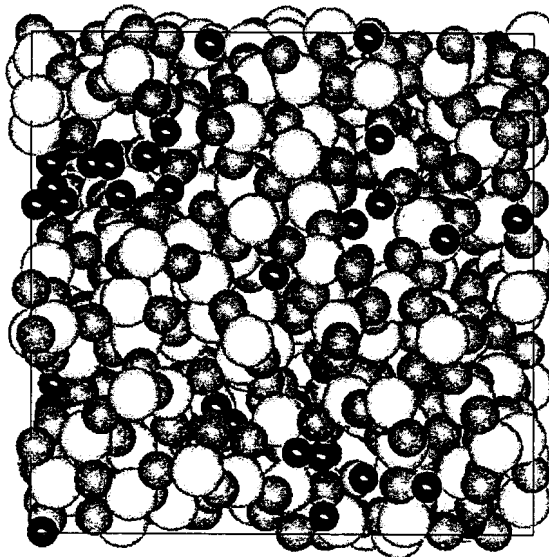


圖 19B

a-SiO₂:H model



Si : ○

O : ●

H : ●



圖 20A

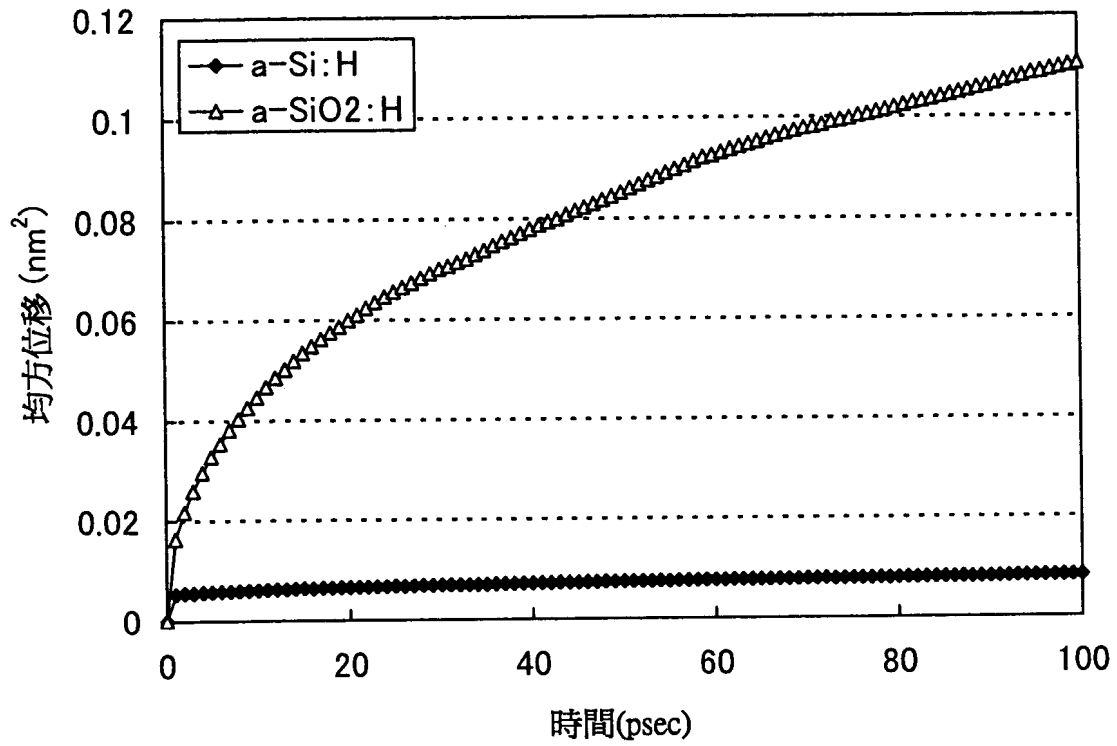


圖 20B

H的擴散係數

計算模型	D (cm ² /sec)
a-Si:H	2.7×10^{-8}
a-SiO ₂ :H	7.2×10^{-7}

四、指定代表圖：

(一) 本案指定代表圖為：第(1B)圖。

(二) 本代表圖之元件符號簡單說明：

100：基板

102：閘極電極

104：閘極絕緣層

108：氧化物半導體層

112：矽層

116a：源極電極層

116b：汲極電極層

118a：第一雜質半導體層

118b：第二雜質半導體層

120：電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無