

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5142703号
(P5142703)

(45) 発行日 平成25年2月13日(2013.2.13)

(24) 登録日 平成24年11月30日(2012.11.30)

(51) Int. Cl.	F I		
HO4N 5/365 (2011.01)	HO4N	5/335	650
HO4N 5/374 (2011.01)	HO4N	5/335	740
HO4N 5/376 (2011.01)	HO4N	5/335	760
HO4N 5/378 (2011.01)	HO4N	5/335	780
HO1L 27/146 (2006.01)	HO1L	27/14	A
請求項の数 9 (全 23 頁) 最終頁に続く			

(21) 出願番号	特願2007-337461 (P2007-337461)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成19年12月27日(2007.12.27)	(74) 代理人	100090273 弁理士 園分 孝悦
(65) 公開番号	特開2009-5329 (P2009-5329A)	(72) 発明者	園田 一博 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(43) 公開日	平成21年1月8日(2009.1.8)	(72) 発明者	竹中 真太郎 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
審査請求日	平成22年12月20日(2010.12.20)	審査官	鈴木 肇
(31) 優先権主張番号	特願2007-134495 (P2007-134495)		
(32) 優先日	平成19年5月21日(2007.5.21)		
(33) 優先権主張国	日本国(JP)		
最終頁に続く			

(54) 【発明の名称】 撮像装置及びその処理方法

(57) 【特許請求の範囲】

【請求項1】

入射光に応じて発生した電荷を蓄積して信号を出力する複数画素の有効画素領域及び入射光に依存しない信号を出力する複数画素の非有効画素領域を含む画素部と、

前記画素部の画素の列毎に設けられる複数の垂直信号線と、

前記画素部の画素を行単位に走査して選択することにより前記選択された同一行の画素の信号を前記複数の垂直信号線に出力させる垂直走査回路と、

前記複数の垂直信号線の信号を走査して選択することにより前記選択された垂直信号線の信号を出力させる水平走査回路とを有し、

前記垂直走査回路は、1フレームの間に前記有効画素領域の同一行の画素を行単位で1回選択し、1フレームの間に前記非有効画素領域の同一行の画素を行単位で複数回選択し、

さらに、前記複数回選択されかつ前記水平走査回路により出力された画素の信号を用いて前記有効画素領域の画素の信号を補正する補正回路を有し、

前記非有効画素領域は、相互に異なる行の第1の非有効画素領域及び第2の非有効画素領域を有し、

前記垂直走査回路は、1フレームの間に前記第2の非有効画素領域の同一行の画素を行単位で複数回選択し、

前記補正回路は、前記第1及び第2の非有効画素領域の1回目を選択した画素の信号を平均化して前記有効画素領域の画素の信号を補正する第1の補正回路と、前記第2の非有

10

20

効画素領域の 2 回目以降に選択した画素の信号を平均化して前記有効画素領域の画素の信号を補正する第 2 の補正回路とを有し、

前記第 1 の補正回路は、前記第 1 及び第 2 の非有効画素領域の画素を水平方向に分割した複数の領域毎に平均化し、

前記第 2 の補正回路は、前記第 2 の非有効画素領域の画素の信号を前記第 1 の補正回路よりも多い分割数で水平方向に分割した複数の領域毎に平均化することを特徴とする撮像装置。

【請求項 2】

前記垂直走査回路は、前記非有効画素領域の最終行の選択後に再び前記非有効画素領域の第 1 行を選択して非有効画素領域の行を順次走査することによって、前記非有効画素領域を繰り返し走査することを特徴とする請求項 1 記載の撮像装置。

10

【請求項 3】

前記垂直走査回路は、N フレーム目の有効画素領域の走査完了から N + 1 フレーム目の有効画素領域の走査開始までの期間に前記非有効画素領域を繰り返し走査することを特徴とする請求項 2 記載の撮像装置。

【請求項 4】

さらに、前記垂直信号線毎に設けられ、前記垂直信号線を基準電圧に接続するためのスイッチを有することを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の撮像装置。

【請求項 5】

前記有効画素領域の画素には電荷を蓄積するための半導体不純物領域が形成され、前記非有効画素領域の画素には電荷を蓄積するための半導体不純物領域が形成されていないことを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の撮像装置。

20

【請求項 6】

前記補正回路は、前記複数回選択された画素の信号を平均化し、前記有効画素領域の画素の信号を補正することを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の撮像装置。

【請求項 7】

前記第 2 の補正回路は、列毎に前記画素の信号を平均化することを特徴とする請求項 1 ~ 6 のいずれか 1 項に記載の撮像装置。

【請求項 8】

さらに、前記補正回路により補正された画素の信号に対してオフセットを加算する加算回路を有することを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の撮像装置。

30

【請求項 9】

入射光に応じて発生した電荷を蓄積して信号を出力する複数画素の有効画素領域及び入射光に依存しない信号を出力する複数画素の非有効画素領域を含む画素部と、

前記画素部の画素の列毎に設けられる複数の垂直信号線と、

前記画素部の画素を行単位に走査して選択することにより前記選択された同一行の画素の信号を前記複数の垂直信号線に出力させる垂直走査回路と、

前記複数の垂直信号線の信号を走査して選択することにより前記選択された垂直信号線の信号を出力させる水平走査回路とを有する撮像装置の処理方法であって、

前記垂直走査回路が、1 フレームの間に前記有効画素領域の同一行の画素を行単位で 1 回選択し、1 フレームの間に前記非有効画素領域の同一行の画素を行単位で複数回選択するステップと、

40

補正回路が、前記複数回選択されかつ前記水平走査回路により出力された画素の信号を用いて前記有効画素領域の画素の信号を補正する補正ステップとを有し、

前記非有効画素領域は、相互に異なる行の第 1 の非有効画素領域及び第 2 の非有効画素領域を有し、

前記垂直走査回路が、1 フレームの間に前記第 2 の非有効画素領域の同一行の画素を行単位で複数回選択するステップを有し、

前記補正ステップは、前記第 1 及び第 2 の非有効画素領域の 1 回目を選択した画素の信号を平均化して前記有効画素領域の画素の信号を補正する第 1 の補正ステップと、前記第

50

2の非有効画素領域の2回目以降に選択した画素の信号を平均化して前記有効画素領域の画素の信号を補正する第2の補正ステップとを有し、

前記第1の補正ステップでは、前記第1及び第2の非有効画素領域の画素を水平方向に分割した複数の領域毎に平均化し、

前記第2の補正ステップでは、前記第2の非有効画素領域の画素の信号を前記第1の補正回路よりも多い分割数で水平方向に分割した複数の領域毎に平均化することを特徴とする撮像装置の処理方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、CMOSイメージセンサ等の撮像装置及びその処理方法に関する。

【背景技術】

【0002】

従来、静止画像や動画を撮像・記録・再生する撮像装置として、固体メモリ素子を有するメモリカードを記録媒体とし、CCD、CMOS等の固体撮像素子で撮像した静止画像や動画を記録・再生する電子カメラ等の撮像装置が既に知られている。CCDはCharge Coupled Devicesであり、CMOSはComplementary Metal Oxide Semiconductorである。

【0003】

また、撮像素子を用いて撮像する場合、撮像素子を露光しない状態で本撮影と同様に電荷蓄積を行った後に読み出した暗時画素信号と、撮像素子を露光した状態で電荷蓄積を行った後に読み出した本撮影画素信号とを用いて演算処理する。これにより、暗時ノイズ補正処理を行うことが可能である。これにより、撮像素子で発生する暗電流ノイズや読み出し回路に起因する固定パタンノイズや撮像素子固有の微小なキズによる画素欠陥等の画質劣化に対し、撮影した画素信号を補正して高品位な画像を得ることができる。

【0004】

一方、暗時画素信号を用いた補正方法は、暗時画素信号を格納するための1フレーム分の大容量メモリが必要となるため、撮像装置のコストを上昇させてしまう。また、本撮影をする前に予め1フレーム分の暗時画素信号を取得しておく必要があるために、シャッタレリーズタイムラグが増加して快適撮影の妨げになっていた。また、暗時画素信号にはランダムノイズと呼ばれるランダムな成分が含まれているため、暗時画素信号を本撮影画素信号に対して減算処理するだけでは、固定パタンノイズを完全に抑制することができない。

【0005】

この問題を解決する方法として、有効画素領域と、非有効画素領域に分割し、非有効画素領域の画素信号を平均化して有効画素領域の画素信号に対して減算処理する方法が提案されている。有効画素領域は、撮像素子の画素領域を入射光に応じて発生した電荷を蓄積した信号を出力する。非有効画素領域は、例えば有効画素領域と同じ回路構成の画素表面をアルミニウム等の遮光膜で覆った画素領域であり、入射光に依存しない信号を出力する。この方法では、非有効画素領域の画素信号を平均処理することによって平均化の母数を増やし、補正信号に含まれるランダムノイズを低減している。

【0006】

特許文献1では、複数行の非有効画素領域の画素信号に基づいて補正信号を生成し、補正信号の信頼性を高くして固定パタンノイズを抑制する固体撮像装置を提供することを目的としている。上記目的を達成するために、複数行分の遮光画素から1行分の補正信号を生成し、有効画素の画素信号を補正することを特徴とする固体撮像装置が提案されている。

【0007】

特許文献2では、非有効画素領域の画素信号から得られる画素信号を複数フレームにわたって合計し、その合計値から平均値を求めて補正信号を生成して固定パタンノイズを抑

10

20

30

40

50

制することを特徴とする固体撮像装置が提案されている。

【0008】

特許文献3では、1フィールド期間内に各光電変換素子の読み出しを複数回行い、1フィールド期間内に複数回行われる前記読み出しをする毎に、垂直黒基準検出用素子の電荷を読み出すことを特徴とする撮像装置が提案されている。

【0009】

【特許文献1】特開2002-16841号公報

【特許文献2】特開2004-15712号公報

【特許文献3】特開2000-138864号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、上述のような背景技術による固定パタンノイズ抑制の方法には以下のような課題がある。

【0011】

特許文献1で提案されている固体撮像装置では、補正信号の信頼性を高くするために非有効画素領域の行数を多く設けると、チップ面積が増大してしまう課題があった。つまり、平均化に使用する非有効画素領域の行数を多くすることで、補正信号に含まれるランダムノイズの影響を低減していた。

【0012】

特許文献2で提案されている固体撮像装置では、補正信号の生成には複数フレームにわたる非有効画素領域の画素信号が必要であるために、デジタルスチルカメラでの単写といった1フレームだけの撮影モードでは使用することができない課題があった。つまり、平均化に使用する非有効画素領域の画素信号のフレーム数を多くすることで、補正信号に含まれるランダムノイズの影響を低減していた。

【0013】

特許文献2で提案されている固体撮像装置では、平均化に使用する非有効画素領域の画素信号のフレーム数を多くすることで、補正信号に含まれるランダムノイズの影響を低減していた。つまり、補正信号の生成には複数フレームにわたる非有効画素領域の画素信号が必要であるために、デジタルスチルカメラでの単写といった1フレームだけの撮影モードでは使用することができない課題があった。また、動画撮影のように複数フレームにわたって非有効画素領域の画素信号が取得できる場合であっても、非有効画素領域が少ない場合は多くのフレーム数を必要とするため撮影開始に至るレスポンスが悪化してしまう課題がある。また、非有効画素領域を大きくすることで積算するフレーム数を少なくするとチップ面積が増大してしまう課題があった。

【0014】

上記課題を解決するために、本発明ではチップ面積を増大させることなく、1フレームのみの非有効画素領域の画素信号から補正信号に含まれるランダムノイズの影響を低減した撮像装置及びその処理方法を提供することを目的としている。

【課題を解決するための手段】

【0015】

本発明の撮像装置は、入射光に応じて発生した電荷を蓄積して信号を出力する複数画素の有効画素領域及び入射光に依存しない信号を出力する複数画素の非有効画素領域を含む画素部と、前記画素部の画素の列毎に設けられる複数の垂直信号線と、前記画素部の画素を行単位に走査して選択することにより前記選択された同一行の画素の信号を前記複数の垂直信号線に出力させる垂直走査回路と、前記複数の垂直信号線の信号を走査して選択することにより前記選択された垂直信号線の信号を出力させる水平走査回路とを有し、前記垂直走査回路は、1フレームの間に前記有効画素領域の同一行の画素を行単位で1回選択し、1フレームの間に前記非有効画素領域の同一行の画素を行単位で複数回選択し、さらに、前記複数回選択されかつ前記水平走査回路により出力された画素の信号を用いて前記

10

20

30

40

50

有効画素領域の画素の信号を補正する補正回路を有し、前記非有効画素領域は、相互に異なる行の第1の非有効画素領域及び第2の非有効画素領域を有し、前記垂直走査回路は、1フレームの間に前記第2の非有効画素領域の同一行の画素を行単位で複数回選択し、前記補正回路は、前記第1及び第2の非有効画素領域の1回目を選択した画素の信号を平均化して前記有効画素領域の画素の信号を補正する第1の補正回路と、前記第2の非有効画素領域の2回目以降に選択した画素の信号を平均化して前記有効画素領域の画素の信号を補正する第2の補正回路とを有し、前記第1の補正回路は、前記第1及び第2の非有効画素領域の画素を水平方向に分割した複数の領域毎に平均化し、前記第2の補正回路は、前記第2の非有効画素領域の画素の信号を前記第1の補正回路よりも多い分割数で水平方向に分割した複数の領域毎に平均化することを特徴とする。

10

【0017】

また、本発明の撮像装置の処理方法は、入射光に応じて発生した電荷を蓄積して信号を出力する複数画素の有効画素領域及び入射光に依存しない信号を出力する複数画素の非有効画素領域を含む画素部と、前記画素部の画素の列毎に設けられる複数の垂直信号線と、前記画素部の画素を行単位に走査して選択することにより前記選択された同一行の画素の信号を前記複数の垂直信号線に出力させる垂直走査回路と、前記複数の垂直信号線の信号を走査して選択することにより前記選択された垂直信号線の信号を出力させる水平走査回路とを有する撮像装置の処理方法であって、前記垂直走査回路が、1フレームの間に前記有効画素領域の同一行の画素を行単位で1回選択し、1フレームの間に前記非有効画素領域の同一行の画素を行単位で複数回選択するステップと、補正回路が、前記複数回選択されかつ前記水平走査回路により出力された画素の信号を用いて前記有効画素領域の画素の信号を補正する補正ステップとを有し、前記非有効画素領域は、相互に異なる行の第1の非有効画素領域及び第2の非有効画素領域を有し、前記垂直走査回路が、1フレームの間に前記第2の非有効画素領域の同一行の画素を行単位で複数回選択するステップを有し、前記補正ステップは、前記第1及び第2の非有効画素領域の1回目を選択した画素の信号を平均化して前記有効画素領域の画素の信号を補正する第1の補正ステップと、前記第2の非有効画素領域の2回目以降に選択した画素の信号を平均化して前記有効画素領域の画素の信号を補正する第2の補正ステップとを有し、前記第1の補正ステップでは、前記第1及び第2の非有効画素領域の画素を水平方向に分割した複数の領域毎に平均化し、前記第2の補正ステップでは、前記第2の非有効画素領域の画素の信号を前記第1の補正回路よりも多い分割数で水平方向に分割した複数の領域毎に平均化することを特徴とする。

20

30

【発明の効果】

【0019】

非有効画素領域が狭い場合でも複数回選択することにより、その画素の信号を複数行出力することができる。複数行出力された画素の信号を基に補正することにより、ランダムノイズの影響を低減することができる。非有効画素領域を狭くすることができるので、チップ面積を低減することができる。また、複数フレームにわたる非有効画素領域の画素の信号を基に補正する必要がないため、例えばデジタルスチルカメラでの単写といった1フレームだけの撮影モードでも高精度に固定パタンノイズの抑制をすることができる。

【発明を実施するための最良の形態】

40

【0020】

(第1の実施形態)

以下、本発明の第1の実施形態について図面を用いて詳細に説明する。

図1は、本発明の第1の実施形態に関わる固体撮像装置の画素部平面図である。本実施形態の固体撮像装置は、入射光に応じて発生した電荷を蓄積して信号を出力する複数画素の有効画素領域101と、入射光に依存しない信号を出力する複数画素の非有効画素領域102を含む画素部100を有している。非有効画素領域102は、画素部100の垂直方向先端に行単位に配置されている。例えば、有効画素領域101の画素には電荷を蓄積するための半導体不純物領域が形成されており、非有効画素領域102の画素には電荷を蓄積するための半導体不純物領域が形成されていない。

50

【 0 0 2 1 】

図2は、CMOS型固体撮像装置の画素・読み出し回路・共通出力回路の回路図である。画素200は、以下に示すように構成されている。フォトダイオード201は、受光した光を電荷に変換する。光信号電荷を発生するフォトダイオード201は、この例ではアノード側が接地されている。フォトダイオード201のカソード側は、転送MOSトランジスタ202を介して増幅MOSトランジスタ203のゲートに接続されている。また、前記増幅MOSトランジスタ203のゲートには、これをリセットするためのリセットMOSトランジスタ204のソースが接続され、リセットMOSトランジスタ204のドレインは電源電圧Vccに接続されている。さらに、前記増幅MOSトランジスタ203のドレインは電源電圧Vccに接続され、ソースは選択MOSトランジスタ205のドレインに接続されている。

10

【 0 0 2 2 】

図3は、CMOS型固体撮像装置の構成例を示すブロック図である。画素部300は、単位画素301を行方向に3画素、列方向に3画素ずつ配置した3×3画素で構成されている。読み出し行を選択する垂直走査回路302、読み出し列を選択する水平走査回路303、画素信号を増幅・ノイズ除去を行う読み出し回路304によってCMOS型固体撮像装置は構成されている。単位画素301は、図2の画素200に対応する。以下に画素信号を読み出す動作を説明する。図2の垂直信号線206は、画素部100の画素301の列毎に複数設けられる。垂直走査回路302は、画素部100の画素301を行単位に走査して選択することにより前記選択された同一行の画素の信号を前記複数の垂直信号線206に出力させる。水平走査回路303は、前記複数の垂直信号線206の信号を走査して選択することにより前記選択された垂直信号線206の信号を出力させる。

20

【 0 0 2 3 】

画素11の転送MOSトランジスタ202のゲートは、横方向に延長して配置される第1の行選択線(垂直走査線)Pt x 1に接続される。同じ行に配置された画素12、画素13の同様な転送MOSトランジスタ202のゲートも上記第1の行選択線Pt x 1に共通に接続される。画素11のリセットMOSトランジスタ204のゲートは、横方向に延長して配置される第2の行選択線(垂直走査線)Pres 1に接続される。同じ行に配置された画素12、画素13の同様なリセットMOSトランジスタ204のゲートも上記第2の行選択線Pres 1に共通に接続される。画素11の選択MOSトランジスタ205のゲートは、横方向に延長して配置される第3の行選択線(垂直走査線)Psel 1に接続される。同じ行に配置された画素12、画素13の同様な選択MOSトランジスタ205のゲートも上記第3の行選択線Psel 1に共通に接続される。これら第1～第3の行選択線Pt x 1、Pres 1、Psel 1は、垂直走査回路302に接続され、信号電圧が供給される。図3に示されている残りの行においても同様な構成の画素と、行選択線が設けられる。これらの行選択線には、前記垂直走査回路302により形成された行選択信号Pt x 1・Pres 1・Psel 1、Pt x 2・Pres 2・Psel 2、Pt x 3・Pres 3・Psel 3が供給される。これら前記選択MOSトランジスタ205のソースは、縦方向に延長して配置される垂直信号線206に接続される。同じ列に配置される画素の同様な選択MOSトランジスタ205のソースも前記垂直信号線206に接続される。図2の破線で囲った部分は、図3に示した読み出し回路304のブロック1列分の回路例である。各垂直信号線206には画素出力Voutが接続される。定電流源207は、垂直信号線206に接続される。帰還容量210は、増幅器211の入出力間に接続される。

30

40

【 0 0 2 4 】

図4(a)は、図1から図3に示したCMOS型固体撮像装置の処理方法を示すタイミングチャートである。フォトダイオード201からの光信号電荷の読み出しに先立って、リセットMOSトランジスタ204のゲートPres 1がハイレベルとなる。これによって、増幅MOSトランジスタ203のゲートがリセット電源電圧にリセットされる。リセットMOSトランジスタ204のゲートPres 1がローレベルに復帰すると同時にクラ

50

ンプスイッチ209のゲートPc0rがハイレベルになった後に、選択MOSトランジスタ205のゲートPsel1がハイレベルとなる。これによって、リセットノイズが重畳されたリセット信号(ノイズ信号)が垂直信号線206に読み出され各列のクランプ容量208(C0)にクランプされる。次に、クランプスイッチ209のゲートPc0rがローレベルに復帰した後、N側転送スイッチ213のゲートPctnがハイレベルとなり、各列に設けられたノイズ保持容量215(Ctn)にリセット信号が保持される。次に、S側転送スイッチ212のゲートPctSがハイレベルとなる。次に、転送MOSトランジスタ202のゲートPtx1がハイレベルとなり、フォトダイオード201の光信号電荷が、増幅MOSトランジスタ203のゲートに転送されると同時に光信号が垂直信号線206に読み出される。次に、転送MOSトランジスタ202のゲートPtx1がローレベルに復帰した後、S側転送スイッチ212のゲートPctSがローレベルとなる。これによって、リセット信号からの変化分(光信号)が各列に設けられた信号保持容量214(Cts)に読み出される。ここまでの動作で、第1行目に接続された画素信号が、それぞれの列に接続された信号保持容量214、215(Ctn、Cts)に保持される。信号保持容量214、215に画素信号が保持された後、リセットMOSトランジスタ204のゲートPres1と転送MOSトランジスタ202のゲートPtx1がハイレベルとなることで、フォトダイオード201をリセット電源電圧にリセットする。

【0025】

信号保持容量214、215に画素信号が保持された後、水平走査回路303から供給される信号Ph(PH1)によって、各列の水平転送スイッチ216、217のゲートが順次ハイレベルとなる。信号保持容量214、215(Cts、Ctn)に保持されていた電圧が、順次水平出力線容量218、219(Chs、Chn)に読み出され、出力アンプ222で差分処理されて出力端子OUTに順次出力される。すなわち、出力アンプ222は、水平出力線容量218の信号から水平出力線容量219の信号を減算し、ノイズ成分を除去する。各列の信号読み出しの間でリセットスイッチ220、221によって水平出力線容量218、219(Chs、Chn)がリセット電圧Vchrs、Vchnにリセットされる。以上で、第1行目に接続された画素の読み出しが完了する。

【0026】

図5は、図3に示した垂直走査回路302の一例を示す図である。垂直走査開始信号を図4(a)に示した垂直走査信号PVの立ち上がりエッジに同期して、後のフリップフロップ500へと順次信号転送するシフトレジスタ回路で構成されている。列毎に設けられ論理積ゲート501の入力には、行選択信号Ptx、Pres、Pselとフリップフロップ500の出力信号Pv1~Pv5等が接続されている。このように、垂直走査信号PVによって行毎に独立した行選択信号を生成している。

【0027】

図6は、本実施形態に関わる固体撮像装置の動作を示すタイミングチャートである。本実施形態では、図1で示した非有効画素領域102を画素部100の垂直方向先頭に1行分配置している。本実施形態では、画素部先頭に配置された1行分の非有効画素領域の画素信号を4水平走査期間出力するために、第1行目を選択する行選択信号Pv1を4水平走査期間出力したものである。この行選択信号Pv1を生成するために、図4(b)に示したように、垂直走査信号PVを2~4水平走査期間までをローレベルとし、図5に示したシフトレジスタ回路のシフト動作を停止している。このようにして、4水平走査期間にわたって第1行目の画素信号を繰り返し出力している。

【0028】

ここで、本明細書において、1水平走査期間は、光信号を電圧変換して内部容量に転送する期間(水平ブランク期間)と画素信号を走査して読み出す期間(水平転送期間)を加えた1行分の画素信号を読み出す長さを表す。図4において、水平選択信号ph1、ph2、・・・が入力されている期間が「水平転送期間」であり、それ以前の期間が「水平ブランク期間」である。1水平走査期間は、水平同期信号の間隔である。

【0029】

10

20

30

40

50

その後再び、図4(a)で示したタイミングチャートを繰り返し動作させることによって、垂直走査回路302からの信号によって第2行目以降に接続された画素信号が順次読み出され、全画素の読み出しが完了する。第2行目以降は、各行の有効画素領域101の画素信号を1水平走査期間(1回)ずつ出力する。

【0030】

このように画素部100を構成する第1行目の画素信号読み出し動作の開始から、最終行の画素信号の読み出し終了までの期間を1フレーム期間と定義している。

【0031】

図7は、本実施形態に関わる固体撮像装置の読み出した画素信号の信号レベルを記載した概念図である。本実施形態では、非有効画素領域の画素は、電荷を蓄積するための半導体不純物領域を形成しないNULL画素で構成している。非有効画素領域の行数は1行である。非有効画素領域700の画素信号702はNULL画素信号であるため、撮影画像の黒レベルの基準になる信号レベルになっている。この1行しかない非有効画素領域700の画素信号を図6に示したタイミングで読み出すことで、4行に数増しして読み出すことができる。4行分のNULL画素信号702を読み出した後は、再び行選択信号を出力開始し、入射光に応じて発生した電荷を蓄積した信号を出力する有効画素領域701の有効画素信号703を行毎に出力する。

【0032】

図8は、本実施形態に関わる固体撮像装置の画素信号補正回路を含めたブロック図である。800は画素部、801は非有効画素領域、802は有効画素領域、803は垂直走査回路、804は読み出し回路、805は水平走査回路である。上述した動作によって読み出し回路804から出力されたアナログの画素信号は、AD変換器806によってデジタル化される。4行に数増しした非有効画素領域801の画素信号は、列毎の平均値が平均化回路807によって算出される。算出した列毎の平均値はメモリ808に格納しておく。格納した列毎の平均値を、有効画素領域802の画素信号に対して減算器809で減算することによって、列毎に生じる固定パタンノイズを精度良く抑制することができる。

【0033】

垂直走査回路302は、1フレームの間に画素部100の同一行の画素を行単位で複数回選択する。具体的には、垂直走査回路302は、1フレームの間に有効画素領域101の同一行の画素を行単位で1回選択し、1フレームの間に非有効画素領域102の同一行の画素を行単位で複数回選択する。例えば、第1行目の画素を4回選択する。補正回路は、図8の平均化回路807、メモリ808及び減算器809を有し、前記複数回選択されかつ前記水平走査回路303により出力された画素の信号を用いて前記有効画素領域101の画素の信号を補正する。具体的には、補正回路は、前記複数回選択された画素の信号を平均化し、前記有効画素領域101の画素の信号を補正する。

【0034】

本実施形態では、非有効画素領域の画素は、電荷を蓄積するための半導体不純物領域を形成しないNULL画素で構成した。しかし、電荷を蓄積する期間が短く、又はフォトダイオードの暗電流自身が小さい場合は、非有効画素領域の画素を、有効画素領域と同じ回路構成の画素表面をアルミニウム等の遮光膜で覆った遮光画素で構成しても本実施形態の効果は変わらない。

【0035】

本実施形態では、列毎の平均値をメモリに格納するために水平画素数分のラインメモリを必要とするが、水平画素数を幾つかの領域に分割して格納するためのメモリ数を削減しても本実施形態の効果は変わらない。

【0036】

本実施形態では、平均化する非有効画素領域の画素数を1行としたが、チップ面積を圧迫しない程度の行数を増やしても本実施形態の効果は変わらない。複数行の非有効画素領域の行を、それぞれ複数回ずつ読み出し平均化の母数を増やすことで、更に高精度な平均値を算出することができる。

10

20

30

40

50

【 0 0 3 7 】

(第2の実施形態)

本発明の第2の実施形態は、第1の実施形態に類する実施形態であるが、固体撮像装置の動作を示すタイミングチャートと非有効画素領域の画素信号を使用した固定パタンノイズの抑制方法が異なる。以下、本実施形態について図面を用いて詳細に説明する。

【 0 0 3 8 】

図9は、本発明の第2の実施形態に関わる固体撮像装置の動作例を示すタイミングチャートである。本実施形態では、図1で示した非有効画素領域102を画素部100の垂直方向先頭に2行分配置している。画素部先頭に配置された2行ある非有効画素領域の第2行目の画素信号を5行分出力するために、第2行目を選択する行選択信号Pv2を5行分出力したものである。この行選択信号Pv2を生成するために、図4(b)に示したように、垂直走査信号PVを3~6水平走査期間までをローレベルとし、図5に示したシフトレジスタ回路のシフト動作を停止している。このようにして、5行にわたって第2行目の画素信号を繰り返し出力している。

10

【 0 0 3 9 】

その後再び、図4(a)で示したタイミングチャートを繰り返し動作させることによって、垂直走査回路からの信号によって第3行目以降に接続された画素信号が順次読み出され、全画素の読み出しが完了する。第2行目以外の行は、1水平走査期間(1回)ずつ出力される。

【 0 0 4 0 】

このように画素部を構成する第1行目の画素信号読み出し動作の開始から、最終行の画素信号の読み出し終了までの期間を1フレーム期間と定義している。

20

【 0 0 4 1 】

図10は、本実施形態に関わる固体撮像装置が読み出した画素信号の信号レベルを記載した概念図である。本実施形態では、非有効画素領域の画素は、有効画素領域と同じ回路構成の画素表面をアルミニウム等の遮光膜で覆った遮光画素で構成している。非有効画素領域の行数は2行であり、第1行目を第1の非有効画素領域1000、第2行目を第2の非有効画素領域1001としている。第1の非有効画素領域1000の画素信号1003は、遮光画素信号であるため温度や蓄積時間に依存した暗電流による影響を受けた画素信号レベルが出力されている。続いて読み出す第2の非有効画素領域1001の画素信号1004は、第1の非有効画素領域1000の画素信号1003同様に暗電流による影響を受けた画素信号レベルが出力されている。図9に示したタイミングで画素信号を読み出すことにより、1行しかない第2の非有効画素領域1001の画素信号を、5行に数増しして読み出すことができる。2回目以降に読み出す画素信号は、図4(b)に示したように直前の水平走査期間でフォトダイオード並びに信号保持容量をリセットしているため、蓄積時間が1水平走査期間分の暗電流の影響を受けた画素信号1005となる。一般的な1水平走査期間の長さは数10 μ s程度であり、この程度の蓄積期間では暗電流の影響をほとんど無視できる。これら非有効画素領域の画素信号を読み出した後は、再び行選択信号を出力開始し、入射光に応じて発生した電荷を蓄積した信号を出力する有効画素領域1002の有効画素信号1006を出力する。図9のタイミングにより2行しかない非有効画素領域1000及び1001で、暗電流による影響を受けた画素信号2行分のデータ1003及び1004と、暗電流の影響がほとんどない画素信号4行分のデータ1005を1フレームの間に取得することができる。

30

40

【 0 0 4 2 】

図11は、本実施形態に関わる固体撮像装置が読み出した画素信号の平均値と平均値算出領域との対応を示した概念図である。1100は第1の非有効画素領域、1101は第2の非有効画素領域、1102は有効画素領域である。

【 0 0 4 3 】

図12は、本実施形態に関わる固体撮像装置の画素信号補正回路を含めたブロック図である。1200は画素部、1201は第1の非有効画素領域、1202は第2の非有効画

50

素領域、1203は有効画素領域、1204は垂直走査回路、1205は読み出し回路、1206は水平走査回路である。上述した動作によって読み出し回路1205から出力されたアナログの画素信号は、AD変換器1207によってデジタル化される。

第1の非有効画素領域1201の画素信号(第1行目の画素信号=1行目の画素信号)と第2の非有効画素領域1202の画素信号(第2行目の1回目の画素信号=2行目の画素信号)は、第1の平均化回路1208によって平均値が算出される。第1の平均化回路1208では、図11に示したように、水平方向に3つに分割した領域毎の平均値が算出され、第1のメモリ1209に格納される。列毎に平均化する方法と違い、複数画素で構成されている領域毎に平均値を算出することで平均化の母数が多く取れるので、例えば2行分の画素信号からでも高精度な平均値を取得することができる。次に、第2の非有効画素領域1202の画素信号(第2行目の2回目の画素信号~5回目の画素信号=3行目~6行目の画素信号)は、第2の平均化回路1210によって平均値が算出される。第2の平均化回路1210では、図11に示したように、列毎の平均値が算出され、第2のメモリ1211に格納される。列毎に平均化しているため、平均化する母数を増やすために本実施形態では4行分の画素信号を使用している。このようにして算出した2つの平均値を、有効画素領域1203の画素信号に対して、それぞれの減算回路1212、1213で減算する。図12で示したように、2つの平均値を減算する影響をキャンセルする目的で、加算回路1215が減算回路1213の出力信号に黒レベル調整用のオフセット1214を加算しても良い。上記方法により、本実施形態を用いることで、固体撮像装置の暗電流による影響と、列毎に生じる固定パタンノイズを精度良く抑制することができる。

【0044】

非有効画素領域は、相互に異なる行の第1の非有効画素領域1201及び第2の非有効画素領域1202を有する。垂直走査回路1204は、1フレームの間に前記第2の非有効画素領域1202の同一行の画素を行単位で複数回選択する。補正回路は、第1の補正回路及び第2の補正回路を有し、具体的には、平均化回路1208、1210、メモリ1209、1211、減算器1212、1213及び加算器1215を有する。第1の補正回路は、平均化回路1208、メモリ1209及び減算器1212を有し、第1の非有効画素領域1201及び第2の非有効画素領域1202の1回目を選択した画素の信号を平均化して有効画素領域1203の画素の信号を補正する。第2の補正回路は、平均化回路1210、メモリ1211及び減算器1213を有し、第2の非有効画素領域1202の2回目以降に選択した画素の信号を平均化して有効画素領域1203の画素の信号を補正する。第1の補正回路は、第1の非有効画素領域1201及び第2の非有効画素領域1202の画素を水平方向に分割した複数の領域(例えば3つの領域)毎に平均化する。第2の補正回路は、第2の非有効画素領域1202の画素の信号を前記第1の補正回路よりも多い分割数で水平方向に分割した複数の領域毎に平均化する。

【0045】

本実施形態では、平均化する非有効画素領域の画素数を2行としたが、チップ面積を圧迫しない程度の行数を増やしても本実施形態の効果は変わらない。複数行の非有効画素領域の行を、それぞれ複数回ずつ読み出し平均化の母数を増やすことで、更に高精度な平均値を算出することができる。

【0046】

本実施形態では、非有効画素領域を有効画素領域と同じ回路構成の画素表面をアルミニウム等の遮光膜で覆った遮光画素で構成している。しかし、第2の非有効画素領域の画素は、電荷を蓄積するための半導体不純物領域を形成しないNULL画素として暗電流の影響を受けた画素信号を1行、暗電流の影響をほとんど受けない画素信号を5行として平均値を算出しても、本実施形態の効果は変わらない。

【0047】

(第3の実施形態)

本発明の第3の実施形態は、第1の実施形態に類する実施形態であるが、繰り返し読み出す非有効画素領域における固体撮像装置の動作を示すタイミングチャートが異なる。以

下、本実施形態について図面を用いて詳細に説明する。

【0048】

図9は、本発明の第3の実施形態に関わる固体撮像装置の動作を示すタイミングチャートである。本実施形態では、図1で示した非有効画素領域102を画素部100の垂直方向先頭に2行分配置している。画素部先頭に配置された2行ある非有効画素領域の第2行目の画素信号を5水平走査期間出力するために、第2行目を選択する行選択信号Pv2を5水平走査期間出力したものである。この行選択信号Pv2を生成するために、図13に示したように、垂直走査信号PVを3～6水平走査期間までをローレベルとし、図5に示したシフトレジスタ回路のシフト動作を停止している。このようにして、5水平走査期間にわたって第2行目の画素信号を繰り返し出力している。繰り返し読み出す第2行目の動作は、光信号電荷を、選択信号Pt x 1により増幅MOSトランジスタ203に転送させない点のみ異なる。図13に示したタイミングで読み出した画素信号はフォトダイオードで発生した暗電流に依存しない黒レベル出力となる。

10

【0049】

その後再び、図4(a)で示したタイミングチャートを繰り返し動作させることによって、垂直走査回路からの信号によって第3行目以降に接続された画素信号が順次読み出され、全画素の読み出しが完了する。

【0050】

このように画素部を構成する第1行目の画素信号読み出し動作の開始から、最終行の画素信号の読み出し終了までの期間を1フレーム期間と定義している。

20

【0051】

非有効画素領域の画素信号を用いて、有効画素領域の固定パタンノイズを抑制する方法については、第1の実施形態と同様なため説明を省略する。

【0052】

本実施形態では、非有効画素領域の画素は、電荷を蓄積するための半導体不純物領域を形成しないNULL画素でも、有効画素領域と同じ回路構成の画素表面をアルミニウム等の遮光膜で覆った遮光画素でも、有効画素領域と同じ回路構成の画素で構成してもよい。

【0053】

(第4の実施形態)

本発明の第4の実施形態は、第1の実施形態に類する実施形態であるが、繰り返し読み出す非有効画素領域における固体撮像装置の動作を示すタイミングチャートが異なる。以下、本実施形態について図面を用いて詳細に説明する。

30

【0054】

図14は、本発明の第4の実施形態における固体撮像装置の画素・読み出し回路・共通出力回路の回路図を示す。本実施形態と第1～第3の実施形態との違いは、垂直信号線1406の電圧レベルを基準電圧Vout rにリセットするためのMOSトランジスタスイッチ1423を配置している点である。MOSトランジスタスイッチ1423は、垂直信号線1406毎に設けられ、垂直信号線1406を基準電圧Vout rに接続するためのスイッチである。図15に繰り返し読み出す非有効画素領域の行の動作タイミングを示す。

40

【0055】

フォトダイオード1401で発生した電荷を読み出す必要がないため、リセットMOSトランジスタ1404のゲートPres 1はハイレベルのまま保持されている。これによって、増幅MOSトランジスタ1403のゲートはリセット電源電圧にリセットされ続ける。垂直信号線1406はMOSトランジスタスイッチ1423のゲートPvout r 1をハイレベルにすることによってリセット電圧Vout rにリセットされている。このとき、クランプスイッチ1409のゲートPc 0 rがハイレベルになった後に、選択MOSトランジスタ1405のゲートPsel 1がハイレベルとなることで、リセット信号Vout rが、各列のクランプ容量1408(C0)にクランプされる。次に、クランプスイッチ1409のゲートPc 0 rがローレベルに復帰した後、N側転送スイッチ1413の

50

ゲート P c t n がハイレベルとなり、各列に設けられたノイズ保持容量 1 4 1 5 (C t n) にリセット信号が保持される。次に、N 側転送スイッチ 1 4 1 3 のゲート P c t n がローレベルとなり、S 側転送スイッチ 1 4 1 2 のゲート P c t s がハイレベルとなる。次に、S 側転送スイッチ 1 4 1 2 のゲート P c t s がローレベルとなる。これによって、再びリセット信号が各列に設けられた信号保持容量 1 4 1 4 (C t s) に読み出される。ここまでの動作で、第 1 行目に接続されたリセット信号が、それぞれの列に接続された信号保持容量 1 4 1 4、1 4 1 5 (C t n、C t s) に保持される。定電流源 1 4 0 7 は、垂直信号線 1 4 0 6 に接続される。帰還容量 1 4 1 0 は、増幅器 1 4 1 1 の入出力間に接続される。

【 0 0 5 6 】

信号保持容量 1 4 1 4、1 4 1 5 に画素信号が保持された後、水平走査回路から供給される信号 P h 1 によって、各列の水平転送スイッチ 1 4 1 6、1 4 1 7 のゲートが順次ハイレベルとなる。信号保持容量 1 4 1 4、1 4 1 5 (C t s、C t n) に保持されていた電圧が、順次水平出力線容量 1 4 1 8、1 4 1 9 (C h s、C h n) に読み出され、出力アンプ 1 4 2 2 で差分処理されて出力端子 O U T に順次出力される。各列の信号読み出しの合間でリセットスイッチ 1 4 2 0、1 4 2 1 によって水平出力線 1 4 1 8、1 4 1 9 (C h s、C h n) がリセット電圧 V c h r s、V c h r n にリセットされる。以上で、第 1 行目に接続された画素の読み出しが完了する。

【 0 0 5 7 】

本実施形態では、2 つある信号保持容量 1 4 1 4、1 4 1 5 には垂直信号線 1 4 0 6 のリセット電圧 V o u t r に応じた同じ電荷が保持されているので、出力アンプ 1 4 2 2 で差分処理された出力端子 O U T には、黒レベル信号が出力される。

【 0 0 5 8 】

その後再び、図 4 (a) で示したタイミングチャートを繰り返し動作させることによって、垂直走査回路からの信号によって第 3 行目以降に接続された画素信号が順次読み出され、全画素の読み出しが完了する。

【 0 0 5 9 】

このように画素部を構成する第 1 行目の画素信号読み出し動作の開始から、最終行の画素信号の読み出し終了までの期間を 1 フレーム期間と定義している。

【 0 0 6 0 】

非有効画素領域の画素信号を用いて、有効画素領域の固定パタンノイズを抑制する方法については、第 1 の実施形態と同様なため説明を省略する。

【 0 0 6 1 】

(第 5 の実施形態)

本発明の第 5 の実施形態は、第 1 の実施形態に類する実施形態であるが、固体撮像装置の動作を示すタイミングチャートと非有効画素領域の画素信号を使用した固定パタンノイズの抑制方法が異なる。以下、本実施形態について図面を用いて詳細に説明する。

【 0 0 6 2 】

図 1 6 は、本発明の第 5 の実施形態に関わる固体撮像装置の動作を示すタイミングチャートである。本実施形態では、図 1 で示した非有効画素領域 1 0 2 を画素部 1 0 0 の垂直方向先頭に 2 行分配置している。画素部先頭に配置された 2 行ある非有効画素領域を 2 行ずつ出力するために、第 1 行目を選択する行選択信号 P v 1 と第 2 行目を選択する行選択信号 P v 2 を 2 行分出力したものである。本実施形態では、2 行目の行選択信号の出力後に図 5 に示した垂直走査回路のスタート信号である垂直捜査開始信号 P V S T を再び入力することによって行選択信号を 1 行目に戻している。

【 0 0 6 3 】

図 1 7 は、本実施形態に関わる固体撮像装置の読み出した画素信号の信号レベルを記載した概念図である。本実施形態では、非有効画素領域 1 7 0 0 の画素は、電荷を蓄積するための半導体不純物領域を形成しない N U L L 画素で構成している。非有効画素領域 1 7 0 0 の行数は 2 行である。非有効画素領域 1 7 0 0 の画素信号 1 7 0 2 は N U L L 画素信

10

20

30

40

50

号であるため、撮影画像の黒レベルの基準になる信号レベルになっている。本来2行しかない非有効画素領域の画素信号を図16に示したタイミングで読み出すことで、4行に数増しして読み出すことができる。4行分のNULL画素信号1702を読み出した後は、再び行選択信号を出力開始し、入射光に応じて発生した電荷を蓄積した信号を出力する有効画素領域1701の有効画素信号1703を出力する。

【0064】

その後再び、図4(a)で示したタイミングチャートを繰り返し動作させることによって、垂直走査回路からの信号によって第2行目以降に接続された画素信号が順次読み出され、全画素の読み出しが完了する。

【0065】

このように画素部を構成する第1行目の画素信号読み出し動作の開始から、最終行の画素信号の読み出し終了までの期間を1フレーム期間と定義している。

【0066】

非有効画素領域1700の画素信号を用いて、有効画素領域1701の固定パタンノイズを抑制する方法については、第1の実施形態と同様なため説明を省略する。

【0067】

(第6の実施形態)

以下、本発明の第6の実施形態について図面を用いて詳細に説明する。

図18は、本発明の第6の実施形態に関わる固体撮像装置の画素部平面図、及び読み出した画素信号の信号レベルを記載した概念図である。本実施形態の固体撮像装置は、入射光に応じて発生した電荷を蓄積して信号を出力する複数画素の有効画素領域1801と、入射光に依存しない信号を出力する複数画素の非有効画素領域1802からなる画素部1800を有している。本実施形態では、画素部1800の水平方向先頭に1列配置した非有効画素領域1802の画素信号を1水平走査期間に4回繰り返して読み出している。

【0068】

本実施形態に関する固体撮像装置の回路構成、及びブロック図は、第1の実施形態と同様であるため、詳しい説明は省略する。

【0069】

図19は、本実施形態に関わる固体撮像装置の1水平走査期間のタイミングチャートである。1列目を選択する水平選択信号Ph1を4回繰り返して選択し、2列目以降は水平選択信号Ph2~Ph5等を順次選択することによって、1列目の画素信号のみ4回読み出すことができる。このときに、1列目を選択している間は信号保持容量のリセット信号Pchresをローレベルに固定することによって、1列目の画素信号を信号保持容量に保持したまま複数回読み出すことができる。

【0070】

図8に、画素部800を除き本実施形態に関わる固体撮像装置の画素信号補正回路を含めたブロック図を示す。画素部800の代わりに、図18の画素部1800が設けられる。上述した動作によって読み出し回路804から出力されたアナログの画素信号は、AD変換器806によってデジタル化される。4列に数増しした非有効画素の画素信号の行平均値を平均化回路807によって算出する。算出した行平均値はメモリ808に格納しておく。格納した行平均値を、有効画素領域802の画素信号に対して減算器809で減算する。同様に順次行単位で上述した行平均値算出動作と減算処理を行うことで、行毎に生じる横縞状の固定パタンノイズを精度良く抑制することができる。

【0071】

以上のように、本実施形態によれば、水平走査回路805は、1水平走査期間の間に前記画素部1800の同一画素を複数回選択する。具体的には、水平走査回路805は、1水平走査期間の間に非有効画素領域1802の同一画素を複数回選択する。例えば、4回選択する。有効画素領域1801の画素には電荷を蓄積するための半導体不純物領域が形成され、非有効画素領域1802の画素には電荷を蓄積するための半導体不純物領域が形成されていない。補正回路は、平均化回路807、メモリ808及び減算器809を有し

10

20

30

40

50

、前記複数回選択されかつ前記水平走査回路 805 により出力された画素の信号を用いて前記有効画素領域 1801 の画素の信号を補正する。具体的には、補正回路は、前記複数回選択された画素の信号を平均化し、前記有効画素領域 1801 の画素の信号を補正する。

【0072】

本実施形態では、非有効画素領域の画素を、有効画素領域と同じ回路構成の画素表面をアルミニウム等の遮光膜で覆った遮光画素で構成しても、電荷を蓄積するための半導体不純物領域を形成しない N U L L 画素で構成してもよい。

【0073】

本実施形態では、平均化する非有効画素領域の画素数を 1 列としたが、チップ面積を圧迫しない程度の列数を増やしても本実施形態の効果は変わらない。複数列の非有効画素領域の列を、それぞれ複数回ずつ読み出し平均化の母数を増やすことで、更に高精度な平均値を算出することができる。

【0074】

(第7の実施形態)

図 20 は、本発明の第 7 の実施形態に関わる固体撮像装置の画素部平面図、及び読み出した画素信号の信号レベルを記載した概念図である。本実施形態の固体撮像装置は、入射光に応じて発生した電荷を蓄積した信号を出力する有効画素領域 2002 と、第 1 の非有効画素領域 2000 と、第 2 の非有効画素領域 2001 の 3 つの画素領域から成っている。第 1 の非有効画素領域 2000 は、有効画素領域 2002 と同じ回路構成の画素表面をアルミニウム等の遮光膜で覆った遮光画素で構成される。第 2 の非有効画素領域 2001 は、電荷を蓄積するための不純物領域を形成しない N U L L 画素で構成される。

【0075】

2 行ある第 1 の非有効画素領域 2000 の画素信号は、遮光画素信号であるため温度や蓄積時間に依存した暗電流による影響を受けた画素信号レベル 2003 が出力されている。2 行ある第 2 の非有効画素領域 2001 の画素信号は、N U L L 画素信号であるため撮影画像の黒レベルの基準になる信号レベル 2005 が出力されている。2004 は、有効画素領域 2002 の画素信号レベルを示す。

【0076】

図 21 は、本実施形態に関わる固体撮像装置の駆動方法を表した概念図で、いわゆるフォーカルプレーンシャッター動作を行っている。1 フレームの時間は、例えば 1 / 60 秒である。図 21 では、第 1 の非有効画素領域 2000 と有効画素領域 2002 の蓄積時間は 1 フレーム (1 / 60 秒) になっているが、読み出し走査とリセット走査を別々に行うことで 1 フレーム以下の蓄積時間を実現しても本実施形態の効果は変わらない。この実施形態では画素信号を、第 1 の非有効画素領域 2000 - 有効画素領域 2002 - 第 2 の非有効画素領域 2001 の順番で読み出している。動画撮影のように 1 フレームの期間が固定である場合は、有効画素領域 2002 を読み出した後の余剰時間に第 2 の非有効画素領域 2001 を複数回繰り返し読み出すことで数多くの N U L L 画素信号を取得することができる。図 21 では、例えば 2 行しかない第 2 の非有効画素領域 2001 を 1 フレームの間に 6 回繰り返し走査することで 12 行分の N U L L 画素信号を取得している。

【0077】

本実施形態では、有効画素領域 2002 を読み出した後の余剰時間に第 2 の非有効画素領域 2001 を複数回繰り返し読み出しているため、フレームレートを維持したまま平均化する N U L L 画素信号の母数を増やして高精度な補正データを取得することができる。

【0078】

さらに、取得した N U L L 画素信号を複数フレームにわたって加算平均することで、さらに平均化する N U L L 画素信号の母数を増やして高精度な補正データを取得しても本実施形態の効果は変わらない。

【0079】

10

20

30

40

50

図 2 2 は、本実施形態に関わる固体撮像装置が読み出した画素信号の平均値と平均値算出領域との対応を示した概念図である。説明の簡略化のため、第 1 の非有効画素領域 2 2 0 0 を 2 行、有効画素領域 2 2 0 2 を 9 8 行、第 2 の非有効画素領域 2 2 0 1 を 2 行としている。第 1 の非有効画素領域 2 2 0 0 は行を水平方向に 3 分割した領域ごとに平均値を算出する。第 2 の非有効画素領域 2 2 0 1 は列ごとに平均値を算出する。

【 0 0 8 0 】

図 2 3 は、本実施形態に関わる固体撮像装置の画素信号補正回路を含めたブロック図である。図 1 2 と同様に、2 3 0 0 は画素部、2 3 0 1 は第 1 の非有効画素領域、2 3 0 2 は第 2 の非有効画素領域、2 3 0 3 は有効画素領域、2 3 0 4 は垂直走査回路、2 3 0 5 は読み出し回路、2 3 0 6 は水平走査回路である。

10

【 0 0 8 1 】

上記のように、垂直走査回路 2 3 0 4 は、第 2 の非有効画素領域 2 3 0 2 の最終行の選択後に再び第 2 の非有効画素領域 2 3 0 2 の第 1 行を選択して第 2 の非有効画素領域 2 3 0 2 の行を順次走査する。これによって、第 2 の非有効画素領域 2 3 0 2 を繰り返し走査する。図 2 1 に示すように、垂直走査回路 2 3 0 4 は、N フレーム目の有効画素領域 2 3 0 3 の走査完了から N + 1 フレーム目の有効画素領域 2 3 0 3 の走査開始までの期間に第 2 の非有効画素領域 2 3 0 2 を繰り返し走査する。

【 0 0 8 2 】

上述した動作によって読み出し回路 2 3 0 5 から出力された画素信号は、A/D 変換器 2 3 0 7 によってデジタル化される。デジタル化した画素信号はフレームメモリ 2 3 1 6 に蓄えられ、適時、第 1 の平均化回路 2 3 0 8 と第 2 の平均化回路 2 3 1 0 と減算回路 2 3 1 2 に読み出される。

20

【 0 0 8 3 】

フレームメモリ 2 3 1 6 から読み出された、第 1 の非有効画素領域 2 3 0 1 の画素信号（第 1 行目～第 2 行目の画素信号 = フレームメモリの 1 行目～2 行目に書き込まれた画素信号）は、第 1 の平均化回路 2 3 0 8 によって平均値が算出される。第 1 の平均化回路 2 3 0 8 では、図 2 2 に示したように、水平方向に 3 つに分割した領域ごとの平均値が算出され、第 1 のメモリ 2 3 0 9 に格納される。列ごとに平均化する方法と違い、複数画素で構成されている領域ごとに平均値を算出することで平均化の母数が多く取れるので、たとえば 2 行と少ない画素領域からでも高精度な平均値を取得することができる。

30

【 0 0 8 4 】

フレームメモリ 2 3 1 6 から読み出された第 2 の非有効画素領域 2 3 0 2 の画素信号（第 1 0 0 行目～第 1 0 1 行目の画素信号 × 6 回 = フレームメモリの 1 0 0 行目～1 1 1 行目に書き込まれた画素信号）は、第 2 の平均化回路 2 3 1 0 によって平均値が算出される。第 2 の平均化回路 2 3 1 0 では、図 2 2 に示したように、列ごとの平均値を算出され、第 2 のメモリ 2 3 1 1 に格納される。列ごとに平均化しているため、平均化する母数を増やすために本実施形態では 1 2 行分の画素信号を使用している。

【 0 0 8 5 】

次に、フレームメモリ 2 3 1 6 から有効画素領域 2 3 0 3 の画素信号（第 3 行目～第 9 9 行目の画素信号 = フレームメモリの 3 行目～9 9 行目に書き込まれた画素信号）に対して、算出した 2 つの平均値をそれぞれの減算回路 2 3 1 2、2 3 1 3 で減算する。図 2 3 で示したように、2 つの平均値を減算する影響をキャンセルする目的で、加算回路 2 3 1 5 が減算回路 2 3 1 3 の出力信号に黒レベル調整用のオフセット 2 3 1 4 を加算しても良い。

40

【 0 0 8 6 】

非有効画素領域は、相互に異なる行の第 1 の非有効画素領域 2 3 0 1 及び第 2 の非有効画素領域 2 3 0 2 を有する。第 1 の非有効画素領域 2 3 0 1 の画素は、電荷を蓄積するための半導体不純物領域が形成された画素の表面を遮光膜で覆った遮光画素である。第 2 の非有効画素領域 2 3 0 2 の画素は、電荷を蓄積するための半導体不純物領域が形成されていない画素である。垂直走査回路 2 3 0 4 は、1 フレームの間に有効画素領域 2 3 0 3 の

50

同一行の画素を行単位で1回選択し、1フレームの間に第2の非有効画素領域2302の同一行の画素を行単位で複数回選択する。補正回路は、第1の補正回路及び第2の補正回路を有する。第1の補正回路は、第1の平均化回路2308及び減算回路2312を有し、第1の非有効画素領域2301の画素の信号を平均化して有効画素領域2303の画素の信号を補正する。第2の補正回路は、第2の平均化回路2310及び減算回路2313を有し、第2の非有効画素領域2302の画素の信号を平均化して有効画素領域2302の画素の信号を補正する。

【0087】

上記方法により、固体撮像装置の暗電流による影響と、列ごとに生じる固定パタンノイズを精度良く抑制することができる。

10

【0088】

本実施形態では、AD変換器2307によってデジタル化した第1の非有効画素領域2301の画素信号を使って有効画素領域2303の画素信号の減算処理を行うことで、固体撮像装置の暗電流による影響を抑制した。その代わりに、第1の非有効画素領域2301の画素信号をAD変換器2307の黒レベル調整に用いることでAD変換器2307によってAD変換後の画素信号に含まれる暗電流成分を抑制しても良い。

【0089】

本実施形態では、AD変換器2307によってデジタル化した画素信号を一旦フレームメモリ2316に蓄えたが、フレームメモリ2316を廃した構成でも構わない。例えば、図21のようなフォーカルプレーン読出しではNフレーム目の第2の非有効画素領域2302の画素信号を第2の平均化回路2310で平均化して第1のメモリ2309に格納する。そして、N+1フレーム目の第1の非有効画素領域2301の画素信号を第1の平均化回路2308で平均化して第2のメモリ2311に格納する。得られた2つの平均値をN+1フレーム目の有効画素領域2303の画素信号に対して減算すればフレームメモリ2316を省略することができる。

20

【0090】

以上のように、第1～第5の実施形態によれば、平均化するための非有効画素領域の行数が少ない場合でも、1フレームの間に垂直選択信号を複数行期間選択することによって、その画素信号を複数行出力することができる。複数行期間にわたって出力された画素信号を平均化して補正信号を算出することによって、補正信号に含まれるランダムノイズの影響を低減することができる。第6及び第7の実施形態も同様である。また、背景技術のように非有効画素領域の行数を多く持つ必要がないため、チップ面積を低減することができる。

30

【0091】

また、背景技術のように複数フレームにわたる非有効画素領域の画素信号を平均化する必要がないため、デジタルスチルカメラでの単写といった1フレームだけの撮影モードでも高精度に固定パタンノイズの抑制をすることができる。

【0092】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

40

【図面の簡単な説明】

【0093】

【図1】本発明の第1の実施形態に関わる固体撮像装置の画素部平面図である。

【図2】CMOS型固体撮像装置の画素・読み出し回路・共通出力回路の回路図である。

【図3】CMOS型固体撮像装置の構成例を示すブロック図である。

【図4】本発明の第1の実施形態に関わる固体撮像装置のタイミングチャートである。

【図5】CMOS型固体撮像装置の垂直走査回路の回路図である。

【図6】本発明の第1の実施形態に関わる固体撮像装置のタイミングチャートである。

50

【図 7】本発明の第 1 の実施形態に関わる固体撮像装置の画素信号の信号レベルを記載した概念図である。

【図 8】本発明の第 1 の実施形態に関わる固体撮像装置の画素信号補正回路を含めたブロック図である。

【図 9】本発明の第 2 の実施形態に関わる固体撮像装置のタイミングチャートである。

【図 10】本発明の第 2 の実施形態に関わる固体撮像装置の画素信号の信号レベルを記載した概念図である。

【図 11】本発明の第 2 の実施形態に関わる固体撮像装置の画素信号の平均値とヘインチ算出領域との対応を示した概念図である。

【図 12】本発明の第 2 の実施形態に関わる固体撮像装置の画素信号補正回路を含めたブロック図である。

10

【図 13】本発明の第 3 の実施形態に関わる固体撮像装置のタイミングチャートである。

【図 14】本発明の第 4 の実施形態に関わる固体撮像装置の画素・読み出し回路・共通出力回路の回路図である。

【図 15】本発明の第 4 の実施形態に関わる固体撮像装置のタイミングチャートである。

【図 16】本発明の第 5 の実施形態に関わる固体撮像装置のタイミングチャートである。

【図 17】本発明の第 5 の実施形態に関わる固体撮像装置の画素信号の信号レベルを記載した概念図である。

【図 18】本発明の第 6 の実施形態に関わる固体撮像装置の平面図と、読み出した画素信号の信号レベルを記載した概念図である。

20

【図 19】本発明の第 6 の実施形態に関わる固体撮像装置のタイミングチャートである。

【図 20】本発明の第 7 の実施形態に関わる固体撮像装置の固体撮像装置の画素信号の信号レベルを記載した概念図である。

【図 21】本発明の第 7 の実施形態に関わる固体撮像装置の画素信号の読み出し方法を表した概念図である。

【図 22】本発明の第 7 の実施形態に関わる固体撮像装置において読み出した信号の平均値と平均値算出領域の関係を示した概念図である。

【図 23】本発明の第 7 の実施形態に関わる固体撮像装置を用いた撮像システムの構成図を示した図である。

【符号の説明】

30

【0094】

100、300、800、1200、1800 画素部

101、700、801、1700、1802 非有効画素領域

102、701、802、1002、1101、1701、1801、2002、2202、2303 有効画素領域

200、301、1400 画素

201、1401 フォトダイオード

202、1402 転送MOSトランジスタ

203、1403 増幅MOSトランジスタ

204、1404 リセットMOSトランジスタ

40

205、1405 選択MOSトランジスタ

206、1406 垂直信号線

207、1407 定電流源

208、1408 クランプ容量

209、1409 クランプスイッチ

210、1410 帰還容量

211、222、1411、1422 増幅器

212、1412 S側転送スイッチ

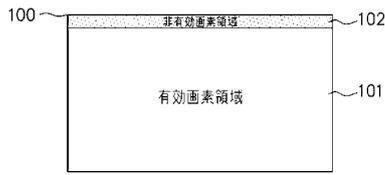
213、1413 N側転送スイッチ

214、1414 S側信号保持容量

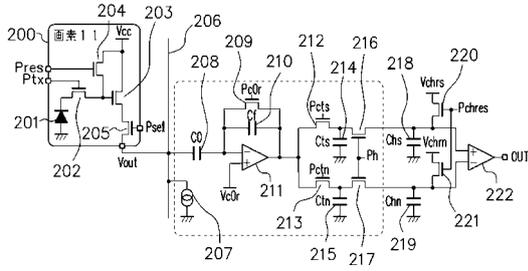
50

2 1 5、1 4 1 5	N側信号保持容量	
2 1 6、1 4 1 6	S側水平転送スイッチ	
2 1 7、1 4 1 7	N側水平転送スイッチ	
2 1 8、1 4 1 8	S側水平出力線	
2 1 9、1 4 1 9	N側水平出力線	
2 2 0、1 4 2 0	S側水平出力線リセットスイッチ	
2 2 1、1 4 2 1	N側水平出力線リセットスイッチ	
3 0 2、8 0 3、1 2 0 4、2 3 0 4	垂直走査回路	
3 0 3、8 0 5、1 2 0 6、2 3 0 6	水平走査回路	
3 0 4、8 0 4、1 2 0 5、2 3 0 5	読み出し回路	10
5 0 0	Dフリップフロップ	
5 0 1	ANDゲート	
7 0 2、1 7 0 2	非有効画素領域の画素信号レベル (N U L L 画素)	
7 0 3、1 0 0 6、1 7 0 3、2 0 0 4	有効画素領域の画素信号レベル	
8 0 6、1 2 0 7、2 3 0 7	AD変換器	
8 0 7、1 2 0 8、1 2 1 0、2 3 0 8、2 3 1 0	平均化回路	
8 0 8、1 2 0 9、1 2 1 1、2 3 0 9、2 3 1 1	メモリ	
8 0 9、1 2 1 2、1 2 1 3、2 3 1 2、2 3 1 3	減算器	
1 0 0 0、1 2 0 1、2 0 0 0、2 2 0 0、2 3 0 1	第1の非有効画素領域	
1 0 0 1、1 2 0 2、2 0 0 1、2 2 0 1、2 3 0 2	第2の非有効画素領域	20
1 0 0 3、2 0 0 3	第1の非有効画素領域の画素信号レベル (暗電流成分を含む)	
1 0 0 4	第2の非有効画素領域の画素信号レベル (暗電流成分を含む)	
1 0 0 5	第2の非有効画素領域の画素信号レベル (暗電流成分はほぼ無視できる)	
1 1 0 0	第1の非有効画素領域の平均値算出領域	
1 1 0 1	第2の非有効画素領域の平均値算出領域	
1 2 1 4、2 3 1 4	黒レベル調整用オフセット値	
1 2 1 5、2 3 1 5	加算器	
1 4 2 3	垂直信号線リセットスイッチ	
2 0 0 5	第2の非有効画素領域の画素信号レベル (N U L L 画素)	
2 3 1 6	フレームメモリ	30

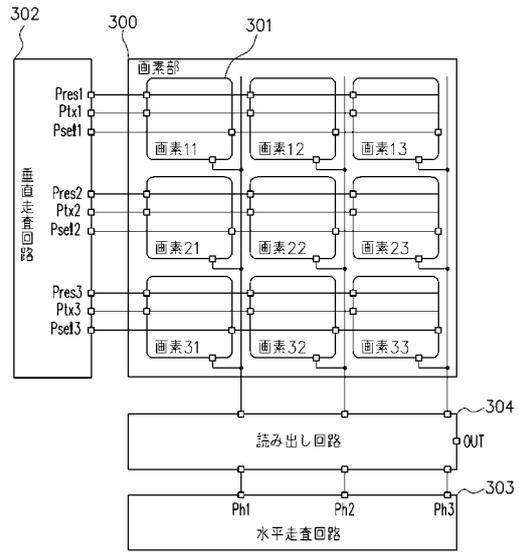
【図1】



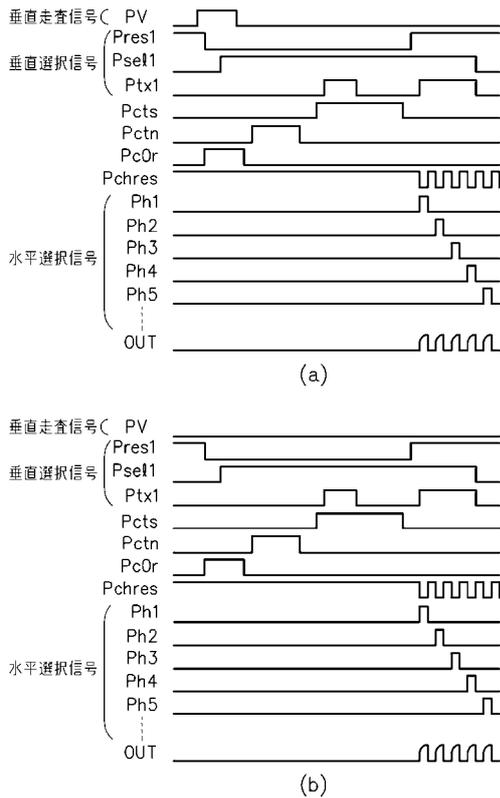
【図2】



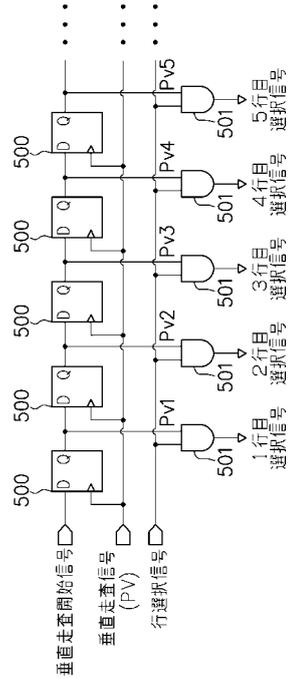
【図3】



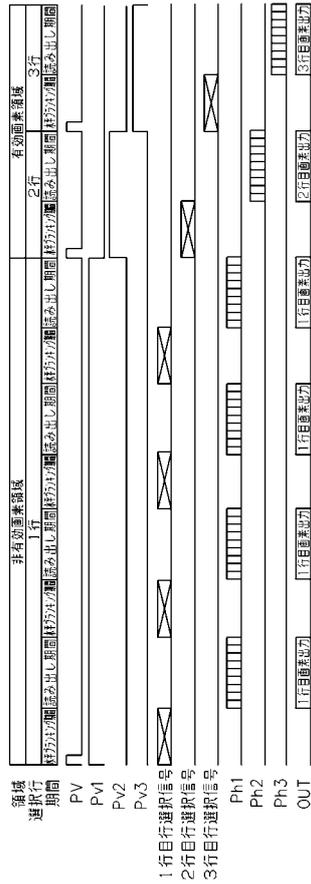
【図4】



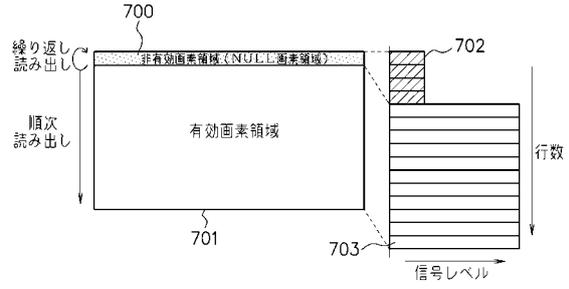
【図5】



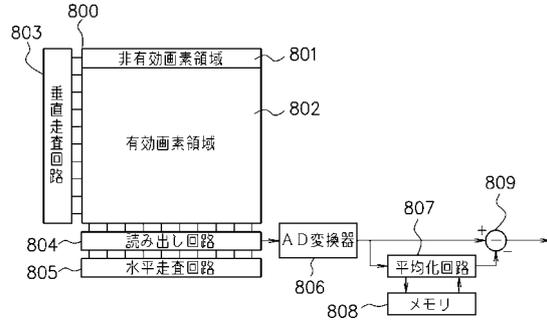
【図6】



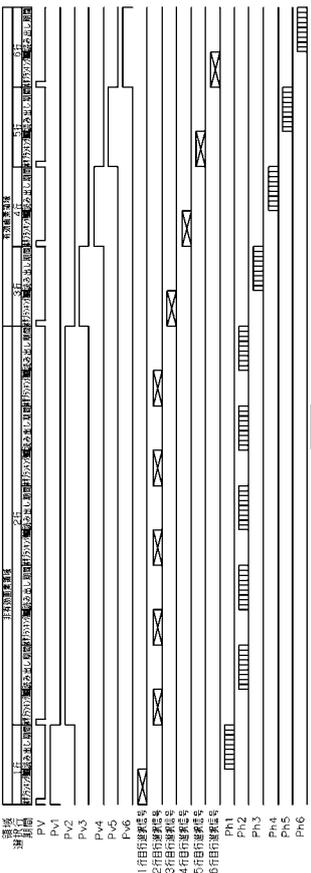
【図7】



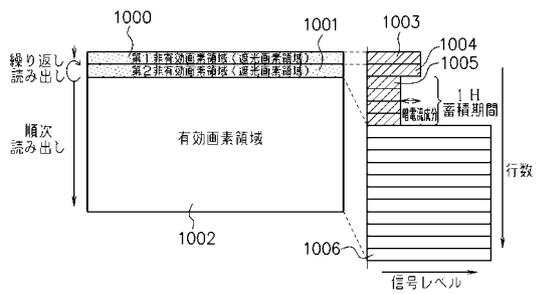
【図8】



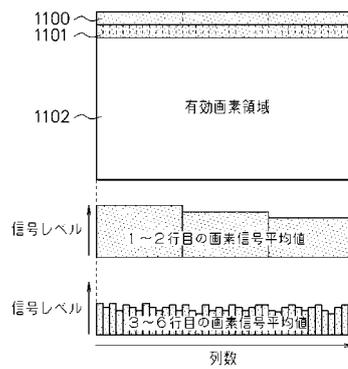
【図9】



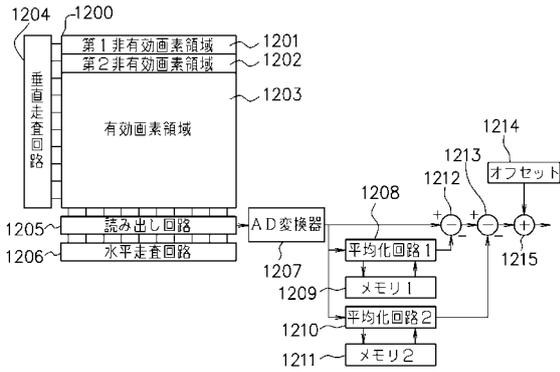
【図10】



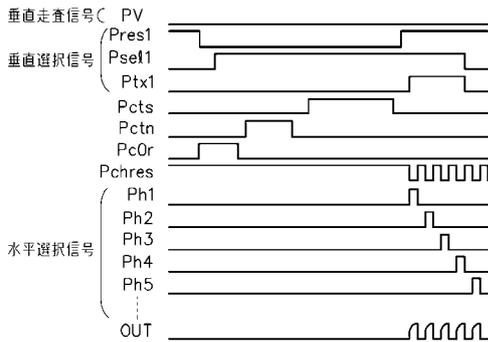
【図11】



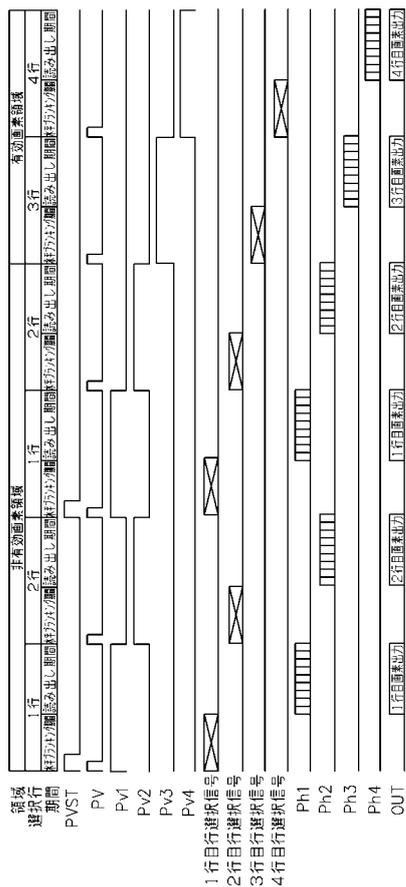
【図12】



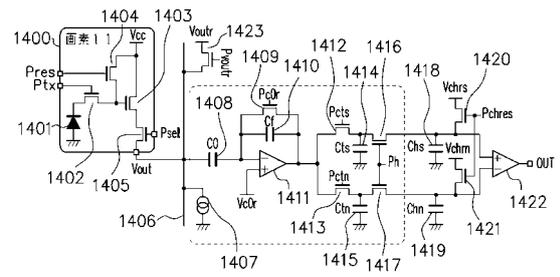
【図13】



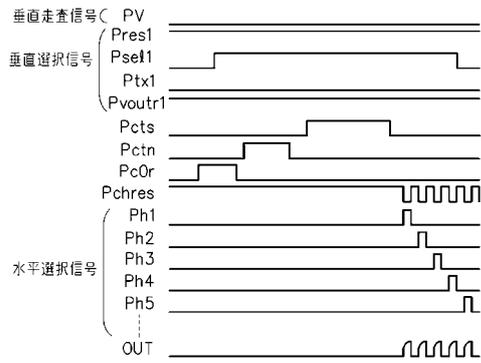
【図16】



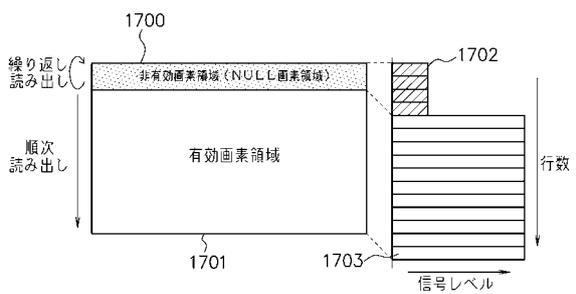
【図14】



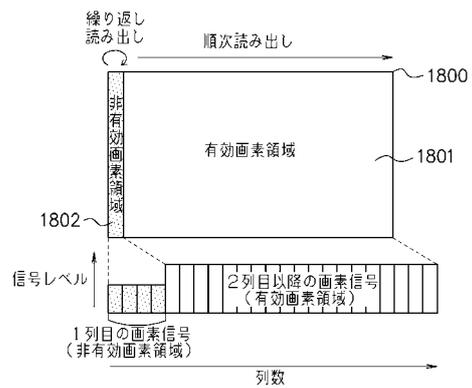
【図15】



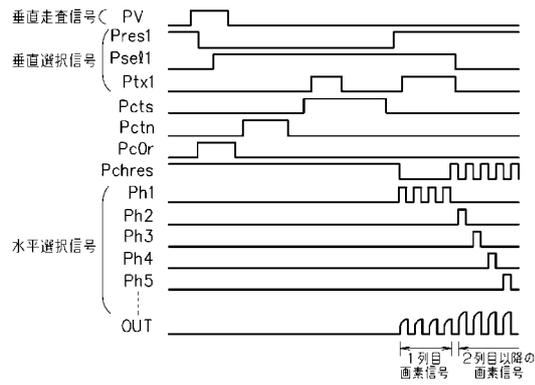
【図17】



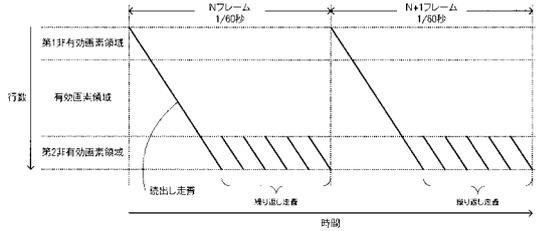
【図18】



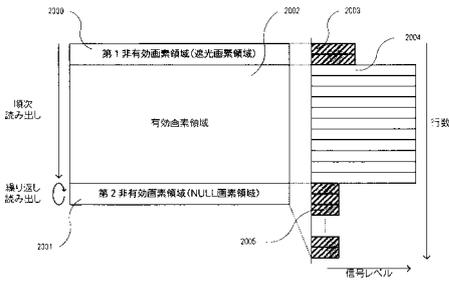
【図19】



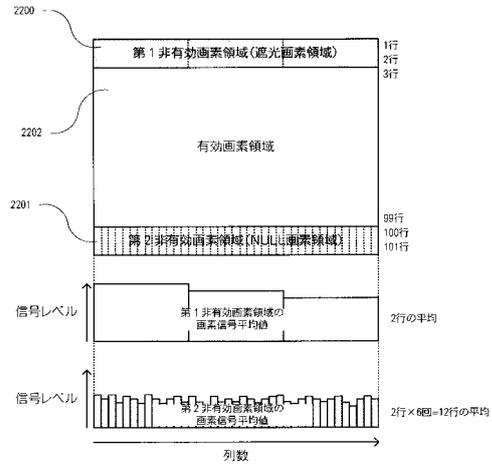
【図21】



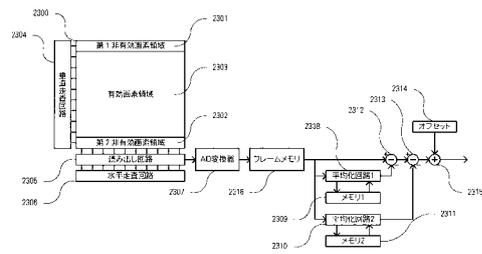
【図20】



【図22】



【図23】



フロントページの続き

(51)Int.Cl. F I
H 0 4 N 101/00 (2006.01) H 0 4 N 101:00

(56)参考文献 特開2006-148461(JP,A)
特開2005-223860(JP,A)
特開2005-157263(JP,A)
特開2003-134400(JP,A)
特開2003-169262(JP,A)
特開2002-064196(JP,A)
特開2007-336343(JP,A)
特開2004-015712(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 4 N 5 / 3 0 - 5 / 3 7 8
H 0 1 L 2 1 / 3 3 9
H 0 1 L 2 7 / 1 4 - 2 7 / 1 4 8
H 0 1 L 2 9 / 7 6 2