



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I749879 B

(45)公告日：中華民國 110 (2021) 年 12 月 11 日

(21)申請案號：109140482

(22)申請日：中華民國 109 (2020) 年 11 月 19 日

(51)Int. Cl. : **H03M1/38 (2006.01)**

(71)申請人：瑞昱半導體股份有限公司 (中華民國) REALTEK SEMICONDUCTOR CORPORATION (TW)

新竹市東區新竹科學工業園區創新二路 2 號

(72)發明人：張盼 ZHANG, PAN (CN)；劉凱尹 LIU, KAI-YIN (TW)；黃詩雄 HUANG, SHIH-HSIUNG (TW)；王維駿 WANG, WEI-JYUN (TW)

(74)代理人：林昱初

(56)參考文獻：

TW 589782

US 6756929

US 8508392B2

US 9294116B2

US 10062450B1

審查人員：范士隆

申請專利範圍項數：10 項 圖式數：11 共 31 頁

(54)名稱

導管式類比數位轉換器之控制電路

(57)摘要

一種導管式類比數位轉換器之控制電路。導管式類比數位轉換器包含乘法數位類比轉換器，且乘法數位類比轉換器包含電容。控制電路包含第一至第六開關，以及第一及第二緩衝電路。第一及第二開關分別耦接於電容之一端與第一及第二參考電壓之間。第一及第二緩衝電路之輸出端分別耦接第一及第二開關。第一緩衝電路之輸入端透過第三開關耦接第三參考電壓，或透過第五開關接收控制訊號。第二緩衝電路之輸入端透過第四開關耦接第四參考電壓，或透過第六開關接收控制訊號。第一參考電壓不等於第二參考電壓，且第一開關及第二開關不同時導通。

A control circuit of a pipeline analog-to-digital converter (ADC) is provided. The pipeline ADC includes a multiplying digital-to-analog converter (MDAC), which includes a capacitor. The control circuit includes six switches and two buffer circuits. The first and second switches are respectively coupled between one end of the capacitor and the first and second reference voltages. The output terminals of the first and second buffer circuits are respectively coupled to the first and second switches. The input terminal of the first buffer circuit is coupled to the third reference voltage through the third switch, or receives a control signal through the fifth switch. The input terminal of the second buffer circuit is coupled to the fourth reference voltage through the fourth switch, or receives the control signal through the sixth switch. The first and second reference voltages are different, and the first and second switches are not turned on at the same time.

指定代表圖：

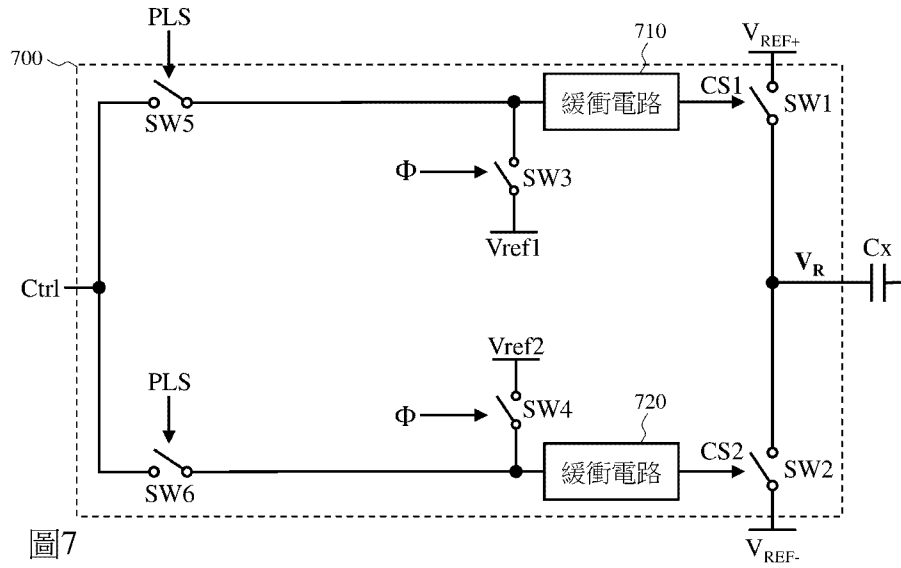


圖7

符號簡單說明：

700:控制電路

C_x :電容

SW1,SW2,SW3,SW4,
SW5,SW6:開關

Φ :時脈

PLS:脈衝

Ctrl:控制值(控制訊號)

V_{REF}

+, V_{REF-} , V_{ref1} , V_{ref2} , V_R :參考電壓

710,720:緩衝電路

CS1:第一開關控制訊號

CS2:第二開關控制訊號

I749879

【發明摘要】

【中文發明名稱】 導管式類比數位轉換器之控制電路

【英文發明名稱】 Control circuit of pipeline ADC

【中文】

一種導管式類比數位轉換器之控制電路。導管式類比數位轉換器包含乘法數位類比轉換器，且乘法數位類比轉換器包含電容。控制電路包含第一至第六開關，以及第一及第二緩衝電路。第一及第二開關分別耦接於電容之一端與第一及第二參考電壓之間。第一及第二緩衝電路之輸出端分別耦接第一及第二開關。第一緩衝電路之輸入端透過第三開關耦接第三參考電壓，或透過第五開關接收控制訊號。第二緩衝電路之輸入端透過第四開關耦接第四參考電壓，或透過第六開關接收控制訊號。第一參考電壓不等於第二參考電壓，且第一開關及第二開關不同時導通。

【英文】

A control circuit of a pipeline analog-to-digital converter (ADC) is provided. The pipeline ADC includes a multiplying digital-to-analog converter (MDAC), which includes a capacitor. The control circuit includes six switches and two buffer circuits. The first and second switches are respectively coupled between one end of the capacitor and the first and second reference voltages. The output terminals of the first and second buffer circuits are respectively coupled to the first and second switches. The input terminal of the first buffer circuit is coupled to the third reference voltage through the third switch, or receives a control signal through the fifth switch. The input

terminal of the second buffer circuit is coupled to the fourth reference voltage through the fourth switch, or receives the control signal through the sixth switch. The first and second reference voltages are different, and the first and second switches are not turned on at the same time.

【指定代表圖】 圖 7

【代表圖之符號簡單說明】

700:控制電路

C_x:電容

SW1,SW2,SW3,SW4,SW5,SW6:開關

Φ:時脈

PLS:脈衝

Ctrl:控制值 (控制訊號)

V_{REF+},V_{REF-},V_{ref1},V_{ref2},V_R:參考電壓

710,720:緩衝電路

CS1:第一開關控制訊號

CS2:第二開關控制訊號

【發明說明書】

【中文發明名稱】 導管式類比數位轉換器之控制電路

【英文發明名稱】 Control circuit of pipeline ADC

【技術領域】

【0001】 本案是關於類比數位轉換器（analog-to-digital converter, ADC），尤其是關於導管式類比數位轉換器（pipeline ADC或pipelined ADC）之控制電路。

【先前技術】

【0002】 圖1為習知的導管式類比數位轉換器100，包含複數個串接的運算級110、末端類比數位轉換器120以及數位校正電路130。差動輸入訊號 V_{in} 經過多級的比較、相減及放大等運算，最後由數位校正電路130對每一運算級110的輸出以及末端類比數位轉換器120的輸出進行校正後，產生數位碼D，數位碼D即差動輸入訊號 V_{in} 經類比數位轉換後的結果。導管式類比數位轉換器100的動作原理為本技術領域具有通常知識者所熟知，故不再贅述。

【0003】 圖2為圖1中任一個運算級110的功能方塊圖。運算級110包含子類比數位轉換器112、閃鎖電路114（亦可稱為存取電路（storage circuit））、編碼器116以及乘法數位類比轉換器（Multiplying Digital-to-Analog Converter, MDAC）118。子類比數位轉換器112包含複數個比較器（或量化器），該些比較器（或量化器）將差動輸入訊號 V_{in} 與複數個預設電壓（ V_{R1} 至 V_{Rn} ）比較。比

較器（或量化器）的個數及預設電壓的個數（即 n 值）與導管式類比數位轉換器100的位元數有關。

【0004】因為比較器（或量化器）的結果無法長時間維持，所以子類比數位轉換器112的輸出端耦接閃鎖電路114，閃鎖電路114用來暫存比較器（或量化器）的結果（即子類比數位轉換器112的輸出值）。

【0005】編碼器116用來編碼比較器（或量化器）的結果，並產生數位訊號 b 。乘法數位類比轉換器118於放大階段基於數位訊號 b 來選擇參考電壓 V_{REF+} 、參考電壓 V_{REF-} 及/或電壓 V_{CM_REF} ，電壓 V_{CM_REF} 為參考電壓 V_{REF+} 及參考電壓 V_{REF-} 的共模電壓。乘法數位類比轉換器118在取樣階段對差動輸入訊號 V_{in} 進行取樣，並且在放大階段對差動輸入訊號 V_{in} 進行減法及乘法運算以輸出差動輸出訊號 V_{out} 。差動輸出訊號 V_{out} 成為下一個運算級110或末端類比數位轉換器120的差動輸入訊號。在某些情況下，乘法數位類比轉換器118只需要參考電壓 V_{REF+} 及參考電壓 V_{REF-} ，而不需要電壓 V_{CM_REF} 。

【0006】然而，因為乘法數位類比轉換器118與子類比數位轉換器112之間至少存在閃鎖電路114（有時編碼器116可省略），所以子類比數位轉換器112的輸出值必須經過一些閘延遲（gate delay）才能到達乘法數位類比轉換器118。這些閘延遲使乘法數位類比轉換器118無法利用完整的放大階段，造成乘法數位類比轉換器118的運算放大器的耗電面積增加。

【發明內容】

【0007】鑑於先前技術之不足，本案之一目的在於提供一種導管式類比數位轉換器之控制電路，以改善先前技術的不足。

【0008】 本案揭露一種導管式類比數位轉換器之控制電路。導管式類比數位轉換器包含乘法數位類比轉換器，乘法數位類比轉換器包含電容。控制電路包含第一開關、第二開關、第三開關、第四開關、第五開關、第六開關、第一緩衝電路以及第二緩衝電路。第一開關耦接於電容之第一端與第一參考電壓之間。第二開關耦接於電容之第一端與第二參考電壓之間。第一緩衝電路具有第一輸入端及第一輸出端，其中第一輸出端耦接第一開關，而第一輸入端透過第三開關耦接第三參考電壓，或透過第五開關接收控制訊號。第二緩衝電路具有第二輸入端及第二輸出端，其中第二輸出端耦接第二開關，而第二輸入端透過第四開關耦接第四參考電壓，或透過第六開關接收控制訊號。第一參考電壓不等於第二參考電壓，且第一開關及第二開關不同時導通。

【0009】 有關本案的特徵、實作與功效，茲配合圖式作實施例詳細說明如下。

【圖式簡單說明】

【0010】

圖1為習知的導管式類比數位轉換器；

圖2為圖1中任一個運算級110的功能方塊圖；

圖3為本案導管式類比數位轉換器中任一運算級之一實施例的功能方塊圖；

圖4為本案導管式類比數位轉換器中任一運算級之另一實施例功能方塊圖；

圖5顯示圖3或圖4之乘法數位類比轉換器518的一實施例；

圖6顯示兩個不重疊的時脈 Φ_1 及 Φ_2 ；

圖7為本案導管式類比數位轉換器之控制電路的一實施例的電路圖；

圖8顯示時脈 Φ 及脈衝PLS的三個實施態樣；

圖9a及9b顯示圖7之控制電路的兩種實施例；

圖10為本案導管式類比數位轉換器之控制電路的另一實施例的電路圖；以及

圖11為本案導管式類比數位轉換器之控制電路的另一實施例的電路圖；

【實施方式】

【0011】 以下說明內容之技術用語係參照本技術領域之習慣用語，如本說明書對部分用語有加以說明或定義，該部分用語之解釋係以本說明書之說明或定義為準。

【0012】 本案之揭露內容包含導管式類比數位轉換器之控制電路。由於本案之導管式類比數位轉換器之控制電路所包含之部分元件單獨而言可能為已知元件，因此在不影響該裝置實施例之充分揭露及可實施性的前提下，以下說明對於已知元件的細節將予以節略。

【0013】 圖3為本案導管式類比數位轉換器中任一運算級的一實施例。運算級510包含子類比數位轉換器512、控制電路515以及乘法數位類比轉換器518。控制電路515耦接於子類比數位轉換器512與乘法數位類比轉換器518之間。子類比數位轉換器512的操作原理與圖2之子類比數位轉換器112相同，故不再贅述。乘法數位類比轉換器518的操作原理與乘法數位類比轉換器118相似，差別在於乘法數位類比轉換器518直接接收參考電壓 V_R （參考電壓 V_R 代表參考電壓 V_{REF+} 、參考電壓 V_{REF-} 及/或電壓 V_{CM_REF} ），而非基於任何訊號來選擇參考電壓 V_{REF+} 、參考電壓 V_{REF-} 及/或電壓 V_{CM_REF} 。

【0014】 圖4為本案導管式類比數位轉換器中任一運算級的另一實施

例。運算級 610 包含子類比數位轉換器 512、控制電路 515、編碼器 516 以及乘法數位類比轉換器 518。控制電路 515 耦接於編碼器 516 與乘法數位類比轉換器 518 之間。編碼器 516 的操作原理與圖 2 的編碼器 116 相同，故不再贅述。

【0015】圖 5 顯示圖 3 或圖 4 之乘法數位類比轉換器 518 的一實施例，可應用於 1.5 位元的導管式類比數位轉換器。乘法數位類比轉換器 518 依據兩個不重疊（non-overlapping）的時脈 Φ_1 及 Φ_2 （如圖 6 所示）操作在取樣階段或放大階段。假設電路在時脈的第一準位（可以是高準位或低準位）動作，則「不重疊」代表兩時脈不同時為第一準位。圖 6 的時間點 t1 與時間點 t2 之間及時間點 t1' 與時間點 t2' 之間為兩時脈的非重疊區間。「電路在時脈的第一準位動作」代表電路在該時脈為第一準位的期間是作用中的（active），例如，正操作於某個階段（例如下方所討論的取樣階段或放大階段）。

【0016】請參閱圖 5。乘法數位類比轉換器 518 主要包含用來放大訊號的運算放大器 650。運算放大器 650 的反相輸入端（負端）透過開關 S4a 耦接電容 C0a 及電容 C1a，運算放大器 650 的非反相輸入端（正端）透過開關 S4b 耦接電容 C0b 及電容 C1b。乘法數位類比轉換器 518 依據時脈 Φ_1 及 Φ_2 交替操作於取樣階段及放大階段。以下以運算放大器 650 的反相輸入端為例作說明。在取樣階段（時脈 Φ_1 為第一準位（例如高準位）且時脈 Φ_2 為第二準位（例如低準位）），開關 S0a、S1a、S2a 導通，並且開關 S3a、S4a、S5a 不導通，此階段電容 C0a 及 C1a 對訊號 V_{in}^+ 取樣。在放大階段（時脈 Φ_2 為第一準位，且時脈 Φ_1 為第二準位），開關 S0a、S1a、S2a 不導通，並且開關 S3a、S4a、S5a 導通，此階段電容 C0a 成為回授電容，且乘法數位類比轉換器 518 對輸入訊號 V_{in} 進行減法及乘法運算並輸出差動輸出訊號 V_{out} （包含訊號 V_{out}^+ 及訊號 V_{out}^- ）作為下一

個運算級的輸入。本技術領域具有通常知識者可以根據以上的說明了解運算放大器 650 的非反相輸入端的操作原理，故不再贅述。圖 5 中的電壓 V_{cm} 通常為運算放大器 650 輸入端的共模電壓，而電壓 V_{R+} 及 V_{R-} （兩者共同以圖 3 或圖 4 之參考電壓 V_R 表示）可以選自圖 3 或圖 4 的參考電壓 V_{REF+} 、參考電壓 V_{REF-} 或電壓 V_{CM_REF} 。

【0017】本技術領域具有通常知識者可以根據以上的說明知悉應用於多位元（2.5 位元以上）之導管式類比數位轉換器的乘法數位類比轉換器的操作原理，故不再贅述。

【0018】在圖 3 及圖 4 的實施例中，控制電路 515 根據時脈 Φ 及脈衝 PLS 操作，時脈 Φ 可以是圖 6 的時脈 Φ_1 或時脈 Φ_2 。控制電路 515 基於控制值（或控制訊號）Ctrl 來選擇參考電壓 V_{REF+} 、參考電壓 V_{REF-} 及/或電壓 V_{CM_REF} 作為參考電壓 V_R （即，圖 5 之電壓 V_{R+} 為參考電壓 V_{REF+} 、參考電壓 V_{REF-} 及電壓 V_{CM_REF} 的其中之一，且電壓 V_{R-} 為參考電壓 V_{REF+} 、參考電壓 V_{REF-} 及電壓 V_{CM_REF} 的其中之一）。換言之，控制電路 515 根據控制值 Ctrl 輸出參考電壓 V_{REF+} 、參考電壓 V_{REF-} 及/或電壓 V_{CM_REF} 給乘法數位類比轉換器 518。在一些實施例中，乘法數位類比轉換器 518 不需要電壓 V_{CM_REF} ，即，參考電壓 V_R 可以包含參考電壓 V_{REF+} 及/或參考電壓 V_{REF-} ，但不包含電壓 V_{CM_REF} 。

【0019】在圖 3 的實施例中，控制值 Ctrl 為子類比數位轉換器 512 的輸出值（即比較器（或量化器）的結果）。在圖 4 的實施例中，控制值 Ctrl 為編碼器 516 的輸出（即數位訊號 b ）。

【0020】圖 7 為本案導管式類比數位轉換器之控制電路的一實施例的電路圖。圖 3 及圖 4 之控制電路 515 可以由圖 7 之控制電路 700 實作。控制電路

700 耦接電容 C_x (即圖 5 之電容 C_{1a} 或電容 C_{1b})，並且包含開關 SW1、開關 SW2、開關 SW3、開關 SW4、開關 SW5、開關 SW6、緩衝電路 710 及緩衝電路 720。緩衝電路 710 的輸出端耦接開關 SW1，且緩衝電路 720 的輸出端耦接開關 SW2。

【0021】電容 C_x 的其中一端 (即，非耦接運算放大器 650 的一端) 透過開關 SW1 耦接參考電壓 V_{REF+} ，以及透過開關 SW2 耦接參考電壓 V_{REF-} 。開關 SW1 及開關 SW2 分別由第一開關控制訊號 CS1 及第二開關控制訊號 CS2 控制，而第一開關控制訊號 CS1 及第二開關控制訊號 CS2 分別為緩衝電路 710 及緩衝電路 720 的輸出。緩衝電路 710 及緩衝電路 720 分別用來提升第一開關控制訊號 CS1 及第二開關控制訊號 CS2 的驅動能力。在一些實施例中，緩衝電路 710 及緩衝電路 720 各包含至少一個反相器 (inverter)。

【0022】緩衝電路 710 的輸入端透過開關 SW3 耦接第一參考電壓，以及透過開關 SW5 耦接子類比數位轉換器 512 或編碼器 516 (即，透過開關 SW5 接收控制值 Ctrl)。緩衝電路 720 的輸入端透過開關 SW4 耦接第二參考電壓，以及透過開關 SW6 耦接子類比數位轉換器 512 或編碼器 516 (即，透過開關 SW6 接收控制值 Ctrl)。第一參考電壓等於或不等於第二參考電壓。開關 SW3 及開關 SW4 根據時脈 Φ 導通或不導通，且當時脈 Φ 為第一準位 (例如高準位) 時，乘法數位類比轉換器 518 操作於取樣階段。更明確地說，當時脈 Φ 為第一準位時 (即，當乘法數位類比轉換器 518 操作於取樣階段時)，開關 SW3 及開關 SW4 導通，使得緩衝電路 710 的輸入端的電壓等於第一參考電壓，且緩衝電路 720 的輸入端的電壓等於第二參考電壓。因為緩衝電路 710 及緩衝電路 720 是用來提升第一開關控制訊號 CS1 及第二開關控制訊號 CS2 的驅動能力，所以

當緩衝電路 710 及緩衝電路 720 的輸入端的電壓實質上為定值時（即，當開關 SW3 及開關 SW4 導通時），第一開關控制訊號 CS1 及第二開關控制訊號 CS2 維持在實質上固定的準位。在一些實施例中，當開關 SW3 導通時，開關 SW1 不導通，以及當開關 SW4 導通時，開關 SW2 不導通。

【0023】開關 SW5 及開關 SW6 受到脈衝 PLS 的控制同時導通或同時不導通。在一些實施例中，當脈衝 PLS 為第一準位（例如高準位）時，開關 SW5 及開關 SW6 導通，使得緩衝電路 710 的輸入端及緩衝電路 720 的輸入端接收控制值 Ctrl。當緩衝電路 710 及緩衝電路 720 接收控制值 Ctrl 且開關 SW3 及開關 SW4 不導通時，第一開關控制訊號 CS1 及第二開關控制訊號 CS2 的準位取決於控制值 Ctrl。在一些實施例中，當開關 SW3 及開關 SW4 不導通且開關 SW5 及開關 SW6 導通時，開關 SW1 及開關 SW2 不同時導通（即，電容 C_x 不同時耦接參考電壓 V_{REF+} 及參考電壓 V_{REF-} ）。

【0024】圖 8 顯示時脈 Φ 及脈衝 PLS 的三個實施態樣（即，PLS_1、PLS_2 與 PLS_3）。當時脈 Φ 為第一準位（例如高準位）時，開關 SW3 及開關 SW4 導通且開關 SW1 及開關 SW2 不導通；當時脈 Φ 為第二準位（例如低準位）時，開關 SW3 及開關 SW4 不導通。對脈衝 PLS_1、PLS_2 與 PLS_3 來說，當脈衝 PLS 為第一準位（例如高準位）時，開關 SW5 及開關 SW6 導通；當脈衝 PLS 為第二準位（例如低準位）時，開關 SW5 及開關 SW6 不導通。如圖 8 所示，開關 SW5 及開關 SW6 在時脈 Φ 的每個週期內導通 Δt_1 、 Δt_2 或 Δt_3 的時間。

【0025】脈衝 PLS_1、PLS_2 與 PLS_3 的下降緣位於時脈 Φ 的第二準位期間。脈衝 PLS_1、PLS_2 與 PLS_3 在子類比數位轉換器 512 的比較器（或量化

器)被重置之前(即,控制值 Ctrl 變為預設值之前),由第一準位轉換為第二準位(即,開關 SW5 及開關 SW6 在控制值 Ctrl 變為預設值之前被控制為不導通)。在一些實施例中,脈衝 PLS_1、PLS_2 與 PLS_3 的下降緣不晚於時脈 Φ 之第二準位的中間點(即,不晚於圖 8 之時間點 T1)。

【0026】脈衝 PLS_1 的上升緣實質上對齊時脈 Φ 的下降緣,脈衝 PLS_2 的上升緣略為領先時脈 Φ 的下降緣(即,開關 SW3、開關 SW4、開關 SW5 與開關 SW6 同時導通一段時間),而脈衝 PLS_3 的上升緣略為落後時脈 Φ 的下降緣(即,開關 SW3 與 SW4 不導通後開關 SW5 與 SW6 才導通)。

【0027】在一些實施例中,子類比數位轉換器 512 的比較器(或量化器)根據參考時脈(圖未示)啟動及重置,而脈衝 PLS 可以基於該參考時脈或時脈 Φ 來產生。舉例來說,可以將參考時脈或時脈 Φ 經過複數個閘延遲後來產生脈衝 PLS 的上升緣及/或下降緣。脈衝 PLS 的下降緣也可以是脈衝 PLS 的上升緣經過複數個閘延遲後得到。本技術領域具有通常知識者熟知利用閘延遲之技巧來達成上述之脈衝 PLS 的設計原則,故不再贅述。

【0028】在一些實施例中(如圖 9a 所示),開關 SW1 由 P 型金氧半場效電晶體(Metal-Oxide-Semiconductor Field-Effect Transistor, 以下簡稱 PMOS) (M1) 實作、開關 SW2 由 N 型金氧半場效電晶體(以下簡稱 NMOS) (M2) 實作、開關 SW3 由 NMOS (M3) 實作、開關 SW4 由 PMOS (M4) 實作、開關 SW5 由 NMOS (M5) 實作、開關 SW6 由 NMOS (M6) 實作、第一參考電壓為接地準位、第二參考電壓為電源電壓 VDD (電源電壓 VDD 大於接地準位)、緩衝電路 710 包含奇數個反相器,以及緩衝電路 720 包含奇數個反相器。

【0029】 在另一些實施例中（如圖 9b 所示），開關 SW1（M1）及開關 SW2（M7）為同類型之開關（例如，電晶體 M1 及 M7 同為 PMOS）、緩衝電路 710 所包含之反相器的個數與緩衝電路 720 所包含之反相器的個數同為偶數，且第一參考電壓與第二參考電壓皆為電源電壓 VDD。

【0030】 請注意，上述的實施例僅用於示例，非用以限定本案。本技術領域具有通常知識者可以根據上揭內容調整或修飾圖 7 之元件、訊號及/或參數，所述之元件、訊號及/或參數包含但不限於：開關 SW1~SW6 的種類（PMOS、NMOS 或其等效元件）、複數個電壓（第一參考電壓、第二參考電壓、參考電壓 V_{REF+} 、參考電壓 V_{REF-} ）的準位、時脈 Φ 及脈衝 PLS 的準位及/或工作週期（duty cycle），以及緩衝電路 710 及 720 所包含之反相器的個數。

【0031】 在圖 7 的實施例中，在開關 SW5（或 SW6）由導通變為不導通後，緩衝電路 710（或 720）的輸入端的電壓可以自然維持一段時間（視開關 SW3（或 SW4）的漏電流大小而定）。

【0032】 圖 10 為本案導管式類比數位轉換器之控制電路的另一實施例的電路圖。控制電路 800 與控制電路 700 相似，差別在於控制電路 800 更包含回授路徑 810。回授路徑 810 耦接於緩衝電路 710 的輸出端與緩衝電路 710 的輸入端之間，回授路徑 810 包含反相器 815 及開關 SW7。反相器 815 的輸入端耦接緩衝電路 710 的輸出端，而反相器 815 的輸出端透過開關 SW7 耦接緩衝電路 710 的輸入端。開關 SW7 受脈衝 PLS 的反相訊號#PLS 控制，更明確地說，當脈衝 PLS 為第一準位（即，開關 SW5 及開關 SW6 導通）時，開關 SW7 不導通（即，回授路徑 810 斷路），且當脈衝 PLS 為第二準位（即，開關 SW5 及開關 SW6 不導通）時，開關 SW7 導通。如此一來，在開關 SW5 由導通變為不

導通後，回授路徑 810 上的反相器 815 可以幫助緩衝電路 710 的輸入端的電壓保持在定值。

【0033】請注意，在圖 10 的實施例中，緩衝電路 710 的輸入端的電壓與緩衝電路 710 的輸出端的電壓為反相。更明確地說，當緩衝電路 710 中的反相器的個數為奇數時，回授路徑 810 上的反相器的個數為奇數。然而，在其他的實施例中，當緩衝電路 710 中的反相器的個數為偶數時，回授路徑 810 上的反相器的個數為偶數。

【0034】在其他的實施例中，亦可實作另一回授電路耦接於緩衝電路 720 的輸出端與緩衝電路 720 的輸入端之間。

【0035】圖 11 為本案導管式類比數位轉換器之控制電路的另一實施例的電路圖。在一些實施例中，圖 3 及圖 4 之控制電路 515 由控制電路 900 與控制電路 700 的組合實作，或是由控制電路 900 與控制電路 800 的組合實作。控制電路 900 用來提供電壓 V_{CM_REF} 給電容 C_X ，控制電路 900 包含緩衝電路 910、緩衝電路 920、傳輸閘 930、開關 SW8、開關 SW9、開關 SW10 及開關 SW11。

【0036】當時脈 Φ 為第一準位時，開關 SW8 及開關 SW9 導通，此時緩衝電路 910 的輸入端的電壓及緩衝電路 920 的輸入端的電壓分別為第一參考電壓及第二參考電壓（第一參考電壓等於或不等於第二參考電壓），使得傳輸閘 930 不導通（即，電容 C_X 不接收電壓 V_{CM_REF} ）。當時脈 Φ 為第二準位且脈衝 PLS 為第一準位時，開關 SW8 及開關 SW9 不導通，且開關 SW10 及開關 SW11 導通，此時緩衝電路 910 的輸入端及緩衝電路 920 的輸入端接收控制值 Ctrl。當時脈 Φ 為第二準位且脈衝 PLS 為第二準位時，開關 SW8、開關 SW9、開關 SW10 及開關 SW11 皆不導通，此時參考電壓 V_R 等於或不等於電壓

V_{CM_REF} 。

【0037】 在一些實施例中，緩衝電路 910 及緩衝電路 920 由反相器實作，緩衝電路 910 中的反相器的個數為偶數，且緩衝電路 920 中的反相器的個數為奇數。如此一來，當控制值 Ctrl 為 0（即，低準位）時，緩衝電路 910 的輸出端的電壓及緩衝電路 920 的輸出端的電壓分別為低準位及高準位，使得傳輸閘 930 導通（即，參考電壓 V_R 等於電壓 V_{CM_REF} ）。當控制值 Ctrl 為 1（即，高準位）時，緩衝電路 910 的輸出端的電壓及緩衝電路 920 的輸出端的電壓分別為高準位及低準位，使得傳輸閘 930 不導通。

【0038】 綜上所述，因為本案之控制電路減少訊號路徑上的閘延遲，所以可以快速地將控制值 Ctrl（即，子類比數位轉換器 512 的輸出或編碼器 516 的輸出）提供給乘法數位類比轉換器 518。因此，導管式類比數位轉換器的反應更為快速，且運算放大器的耗電面積得以減小。

【0039】 請注意，前揭圖示中，元件之形狀、尺寸及比例僅為示意，係供本技術領域具有通常知識者瞭解本案之用，非用以限制本案。

【0040】 雖然本案之實施例如上所述，然而該些實施例並非用來限定本案，本技術領域具有通常知識者可依據本案之明示或隱含之內容對本案之技術特徵施以變化，凡此種種變化均可能屬於本案所尋求之專利保護範疇，換言之，本案之專利保護範圍須視本說明書之申請專利範圍所界定者為準。

【符號說明】

【0041】

100: 導管式類比數位轉換器

110,510,610: 運算級

120: 末端類比數位轉換器

130: 數位校正電路

112,512: 子類比數位轉換器

114: 門鎖電路

116,516: 編碼器

118,518: 乘法數位類比轉換器

515,700,800,900: 控制電路

650: 運算放大器

S0a,S1a,S2a,S3a,S4a,S5a,S0b,S1b,S2b,S3b,S4b,S5b,SW1,SW2,SW3,SW4,SW5,SW6,SW7,SW8,SW9,SW10,SW11: 開關

C0a,C1a,C0b,C1b,Cx: 電容

Φ_1, Φ_2, Φ : 時脈

PLS,PLS_1,PLS_2,PLS_3: 脈衝

Ctrl: 控制值 (控制訊號)

$V_{REF+}, V_{REF-}, V_{ref1}, V_{ref2}, V_R$: 參考電壓

V_{CM_REF} : 電壓

710,720,910,920: 緩衝電路

CS1: 第一開關控制訊號

CS2: 第二開關控制訊號

M1,M2,M3,M4,M5,M6,M7: 電晶體

810: 回授路徑

815: 反相器

930:傳輸閘

【發明申請專利範圍】

【請求項1】一種導管式類比數位轉換器之控制電路，該導管式類比數位轉換器包含一乘法數位類比轉換器，該乘法數位類比轉換器包含一電容，該控制電路包含：

- 一第一開關，耦接於該電容之一第一端與一第一參考電壓之間；
 - 一第二開關，耦接於該電容之該第一端與一第二參考電壓之間；
 - 一第三開關；
 - 一第四開關；
 - 一第五開關；
 - 一第六開關；
 - 一第一緩衝電路，具有一第一輸入端及一第一輸出端，其中該第一輸出端耦接該第一開關，而該第一輸入端透過該第三開關耦接一第三參考電壓，或透過該第五開關接收一控制訊號；以及
 - 一第二緩衝電路，具有一第二輸入端及一第二輸出端，其中該第二輸出端耦接該第二開關，而該第二輸入端透過該第四開關耦接一第四參考電壓，或透過該第六開關接收該控制訊號；
- 其中該第一參考電壓不等於該第二參考電壓，且該第一開關及該第二開關不同時導通；
- 其中該導管式類比數位轉換器更包含一子類比數位轉換器或一編碼器，而該控制訊號係該子類比數位轉換器之一輸出值或該編碼器之一輸出。

【請求項2】如請求項1之控制電路，其中該乘法數位類比轉換器係於一時脈之一第一準位進行一取樣操作，該第三開關及該第四開關於該時脈之該第一準位導通，且該第一開關及該第二開關於該時脈之該第一準位不導通。

【請求項3】如請求項1之控制電路，其中該乘法數位類比轉換器係於一時脈之一第一準位進行一取樣操作，且該第五開關及該第六開關於該時脈由該第一準位轉換至一第二準位之前導通。

【請求項4】如請求項1之控制電路，其中該乘法數位類比轉換器係於一時脈之一第一準位進行一取樣操作，且該第五開關及該第六開關於該時脈由該第一準位轉換至一第二準位之後導通。

【請求項5】如請求項3或4之控制電路，其中該第五開關及該第六開關於該控制訊號轉換準位之前由導通狀態變為不導通狀態。

【請求項6】如請求項1之控制電路，更包含：

一傳輸閘，耦接該電容之該第一端，並接收一第五參考電壓；

一第七開關；

一第八開關；

一第九開關；

一第十開關；

一第三緩衝電路，具有一第三輸入端及一第三輸出端，其中該第三輸出端耦接該傳輸閘，而該第三輸入端透過該第七開關耦接該第三參考電壓，或透過該第九開關接收該控制訊號；以及

一第四緩衝電路，具有一第四輸入端及一第四輸出端，其中該第四輸出端耦接該傳輸閘，而該第四輸入端透過該第八開關耦接該第四參考電壓，或透過該第十開關接收該控制訊號。

【請求項7】如請求項1或6之控制電路，更包含：

一回授路徑，包含一反相器；

其中，該反相器具有一輸入端及一輸出端，該輸入端耦接該第一緩衝電路之該第一輸出端，且該輸出端耦接該第一緩衝電路之該第一輸入端。

【請求項8】如請求項7之控制電路，其中當該第五開關或該第六開關導通時，該回授路徑係斷路。

【請求項9】如請求項1或6之控制電路，其中該第一開關係一P型金氧半場效電晶體，該第二開關係一N型金氧半場效電晶體，該第一緩衝電路包含至少一反相器，該第二緩衝電路包含至少一反相器，且該第四參考電壓大於該第三參考電壓。

【請求項10】如請求項1或6之控制電路，其中該第一開關及該第二開關係同類型的金氧半場效電晶體，該第一緩衝電路包含至少一反相器，該第二緩衝電路包含至少一反相器，且該第四參考電壓等於該第三參考電壓。

【發明圖式】

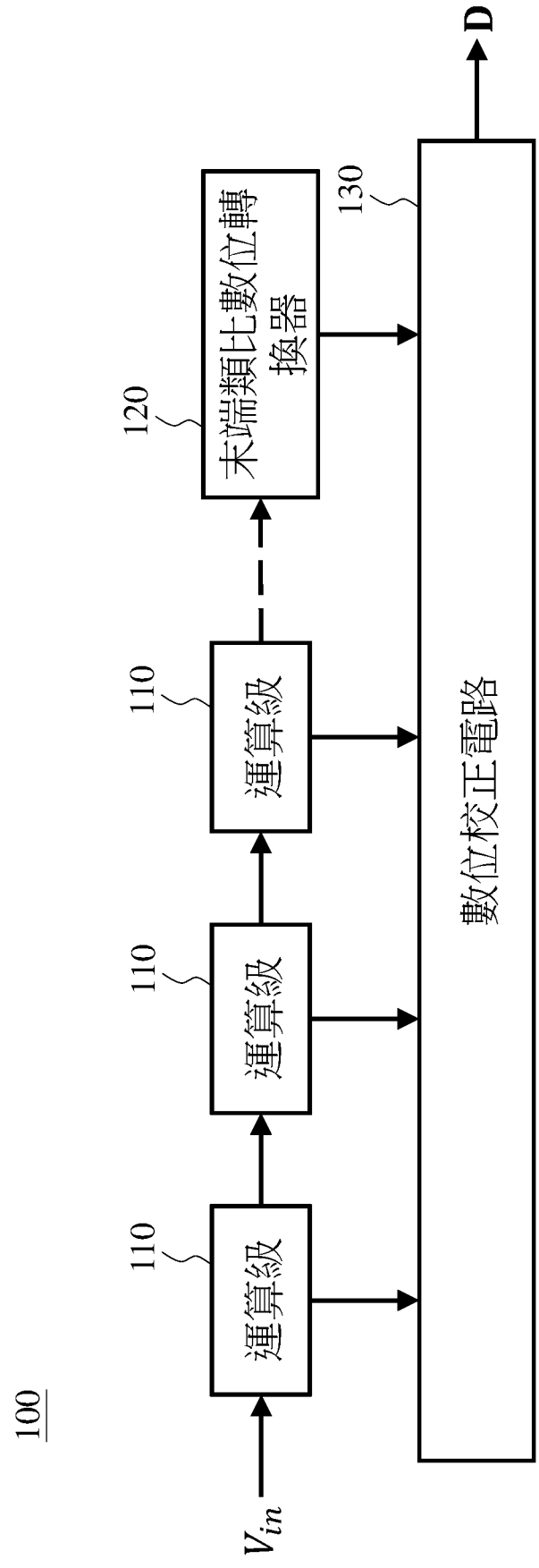


圖1

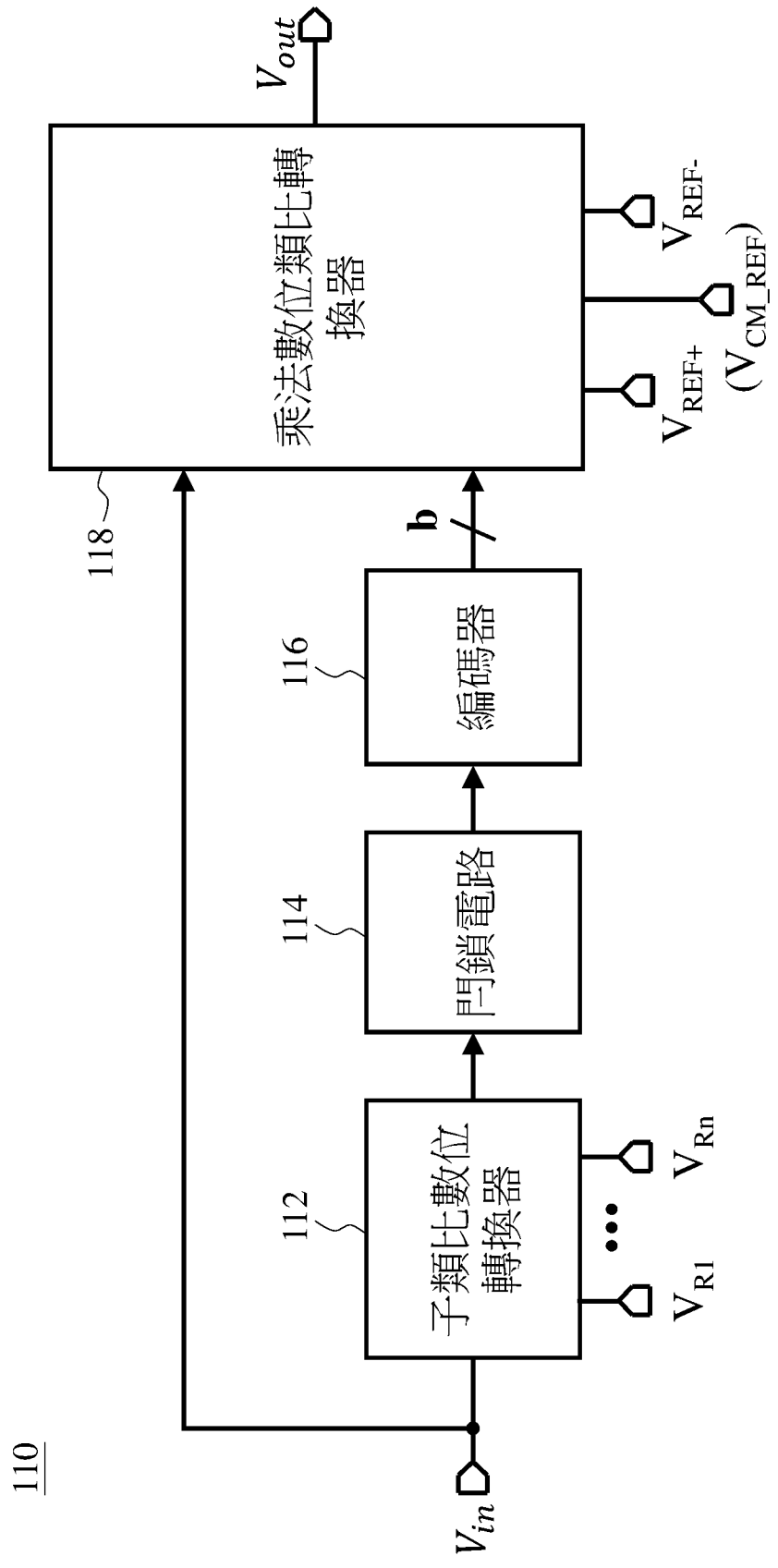


圖2

110

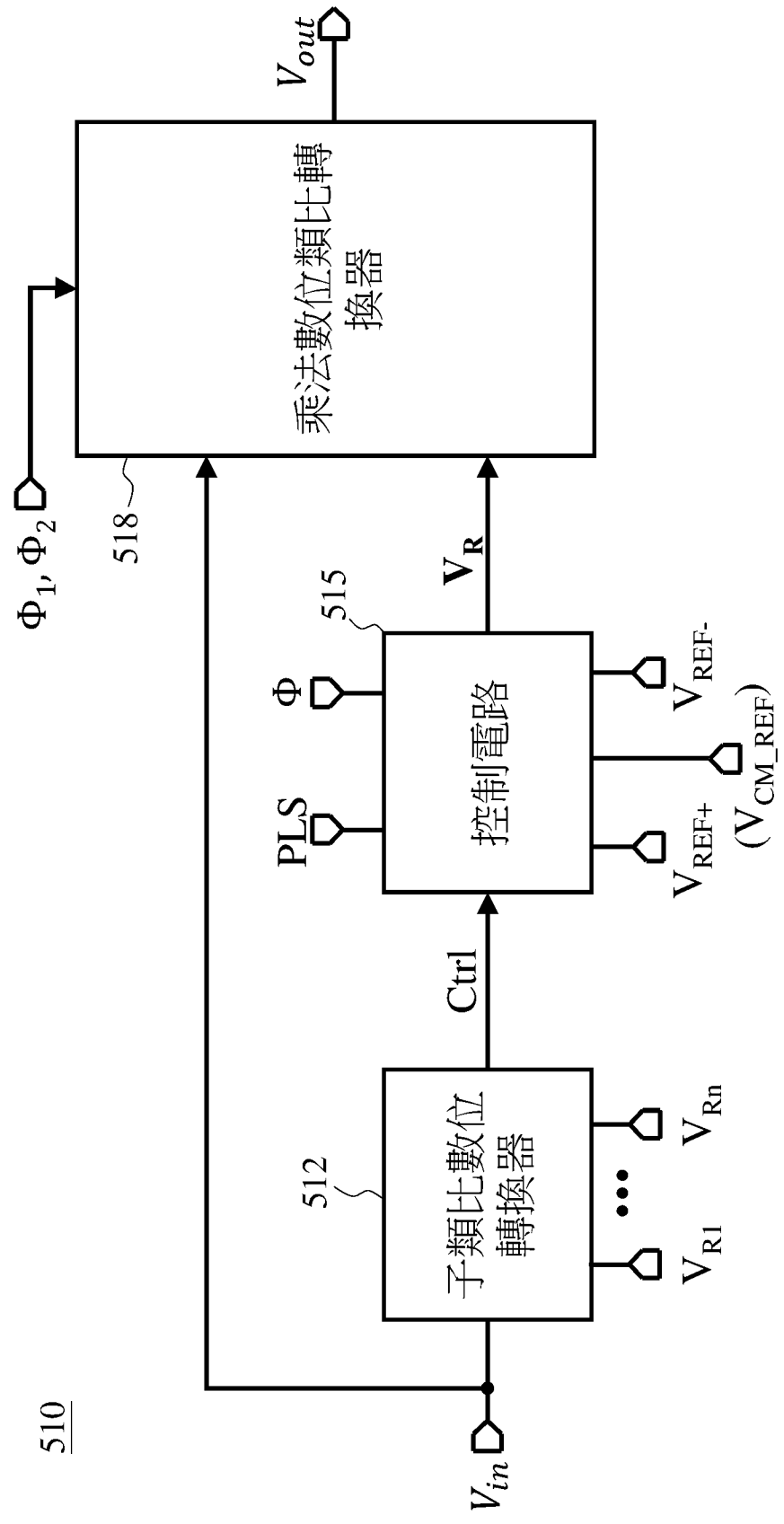


圖3

510

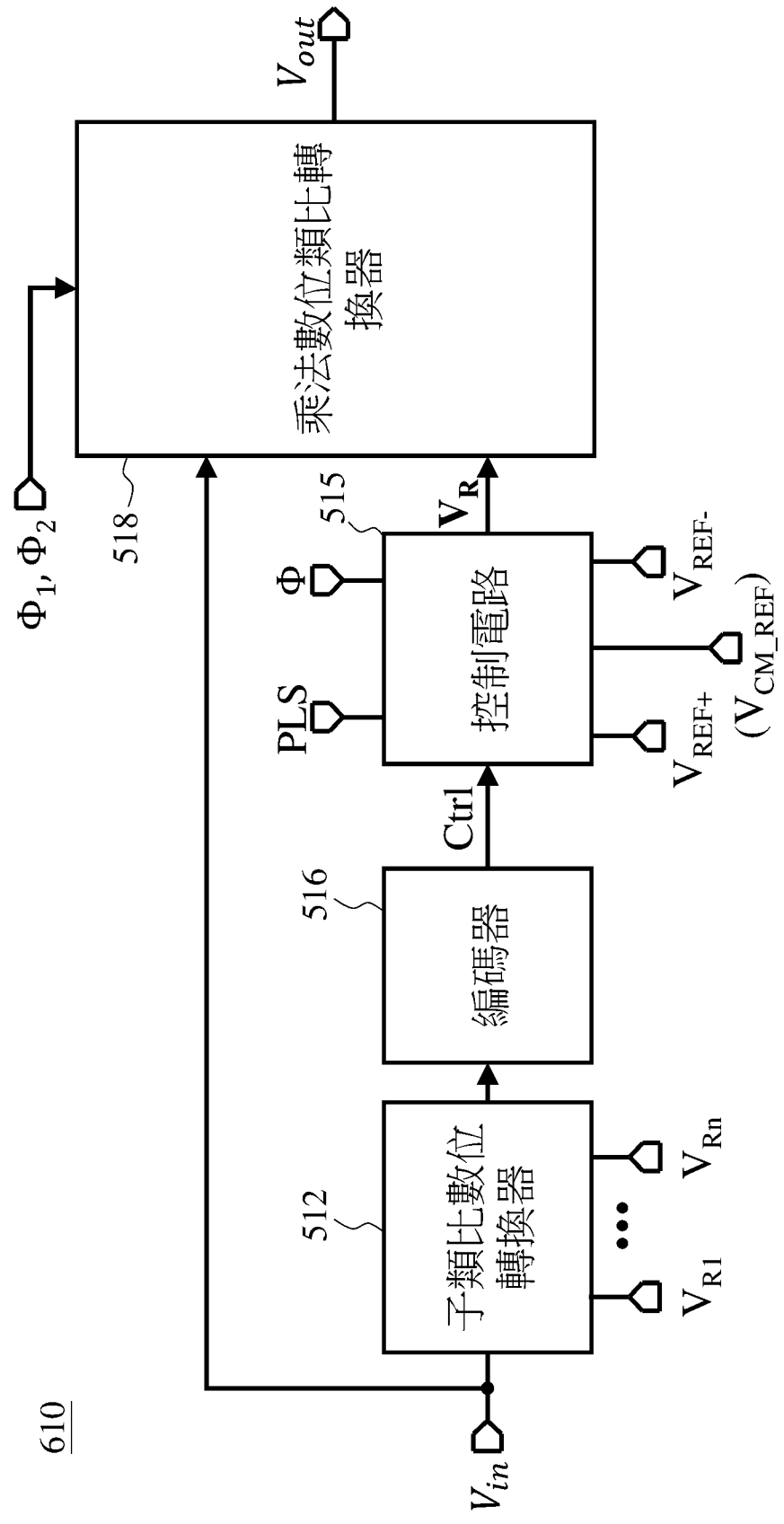
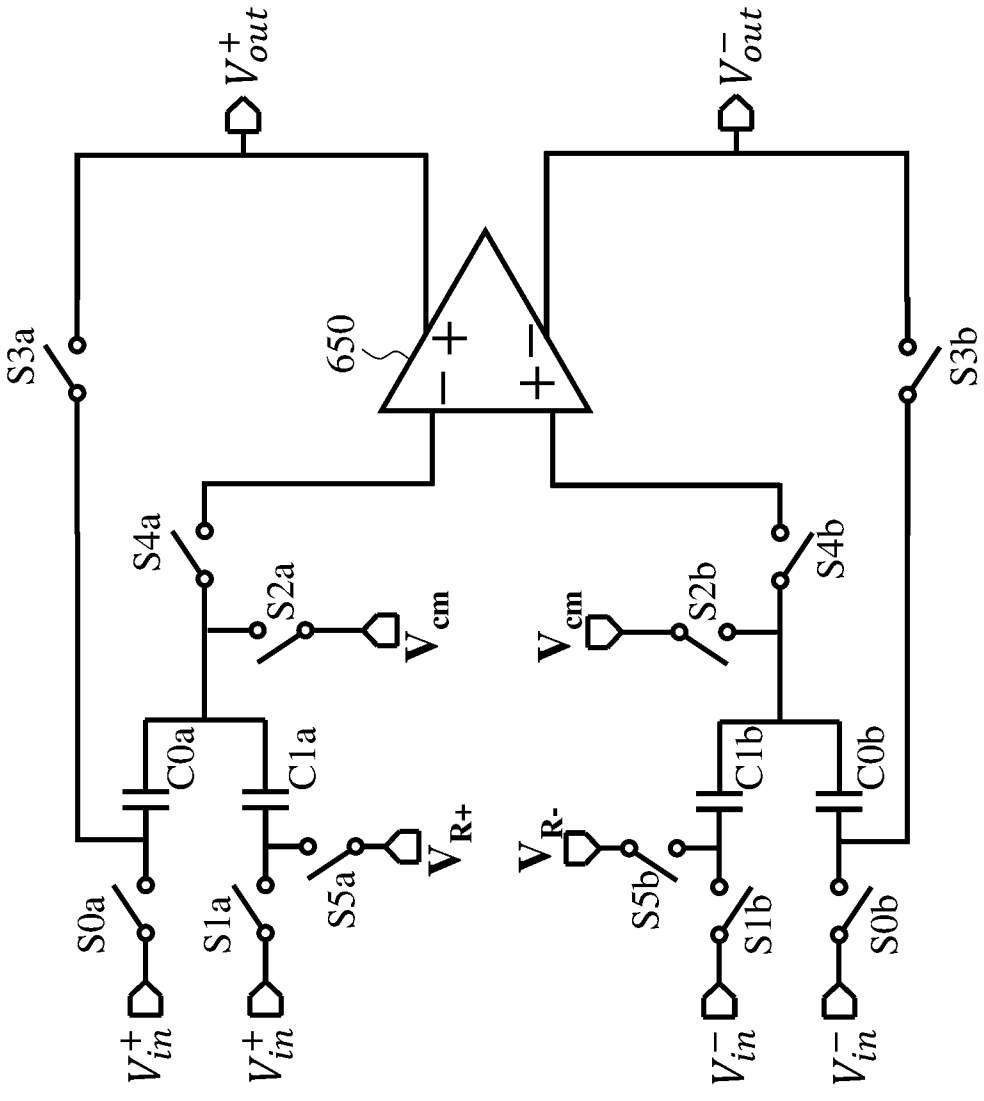


圖4

610



518

圖5

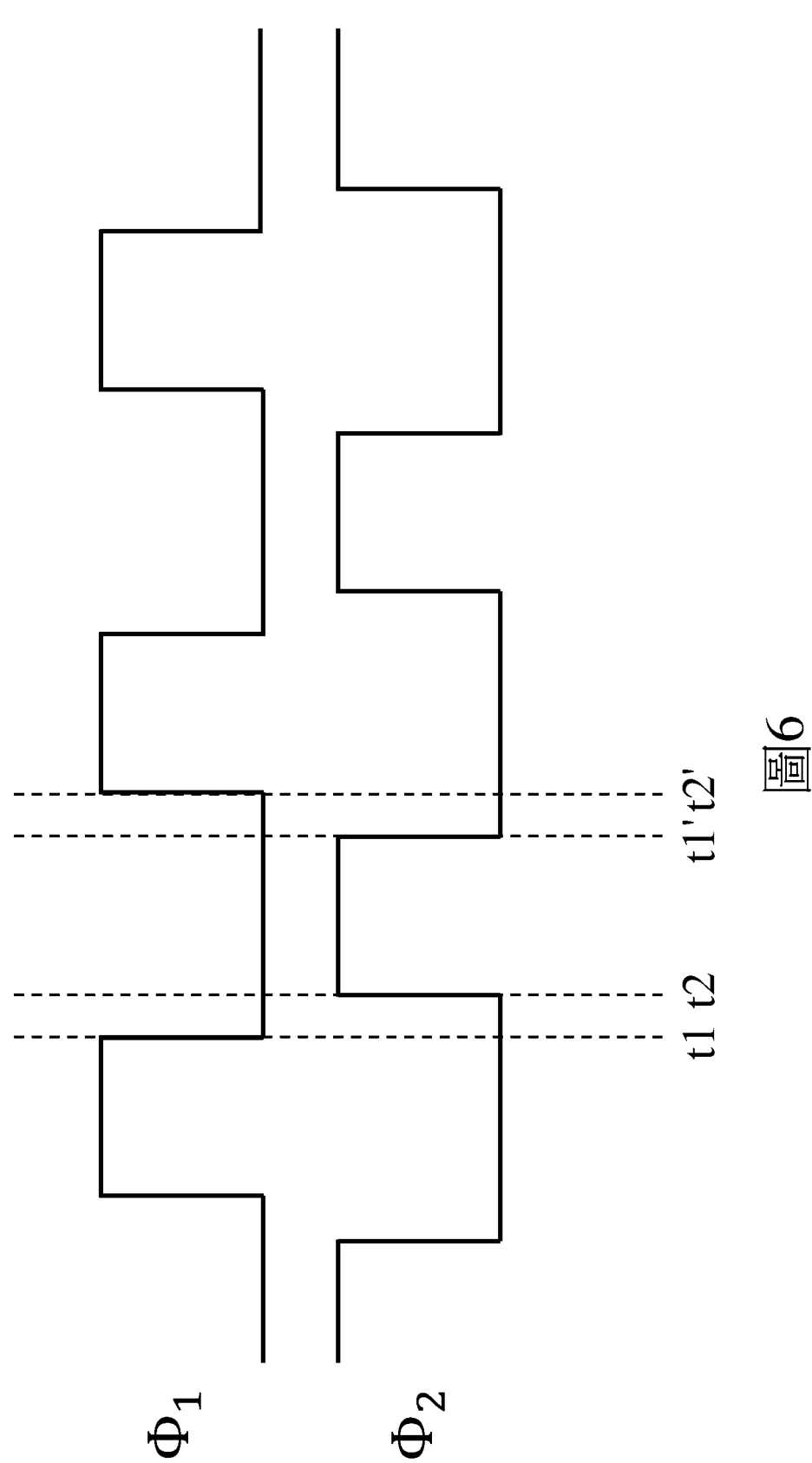


圖6

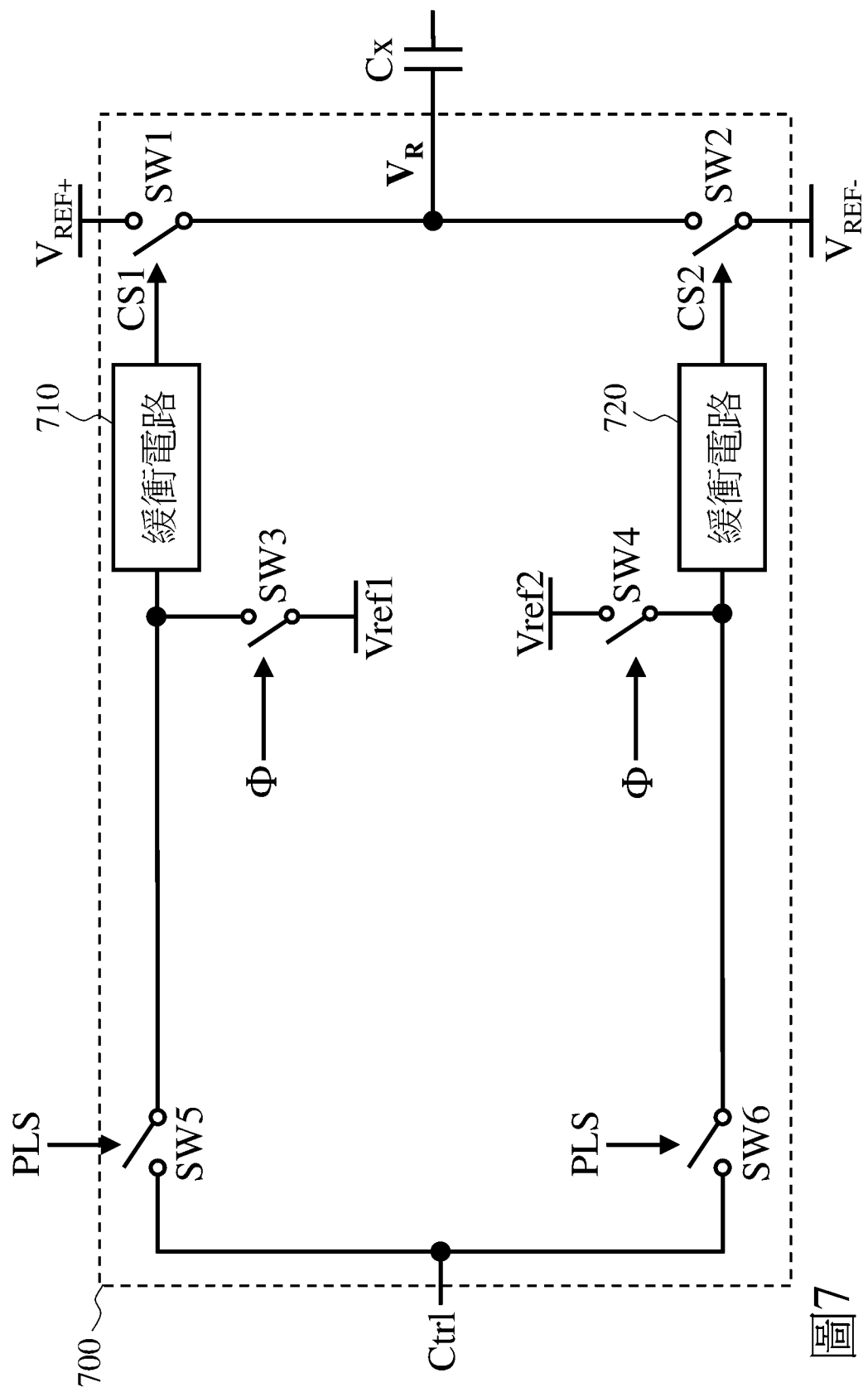


圖7

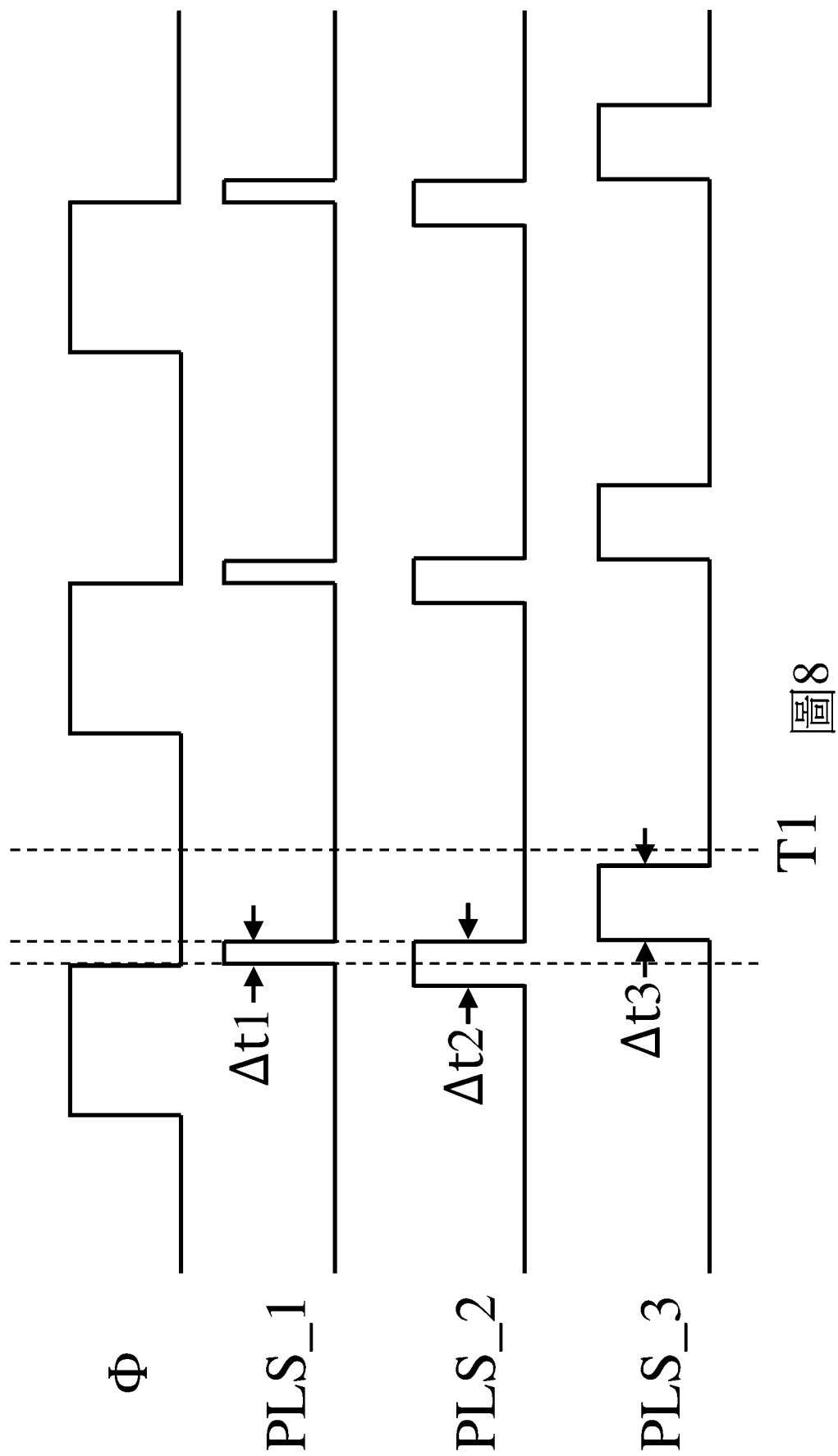


圖8

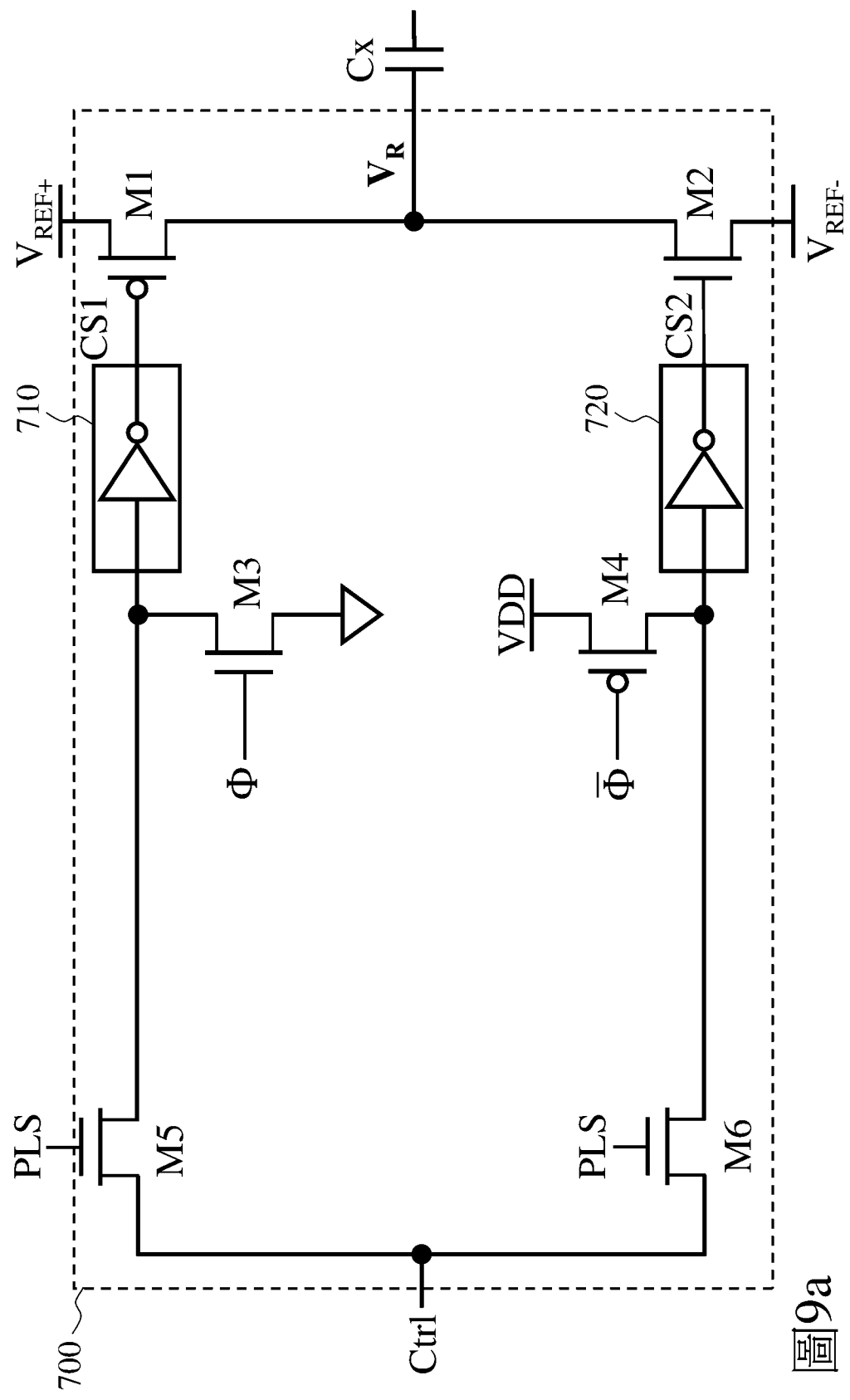


圖9a

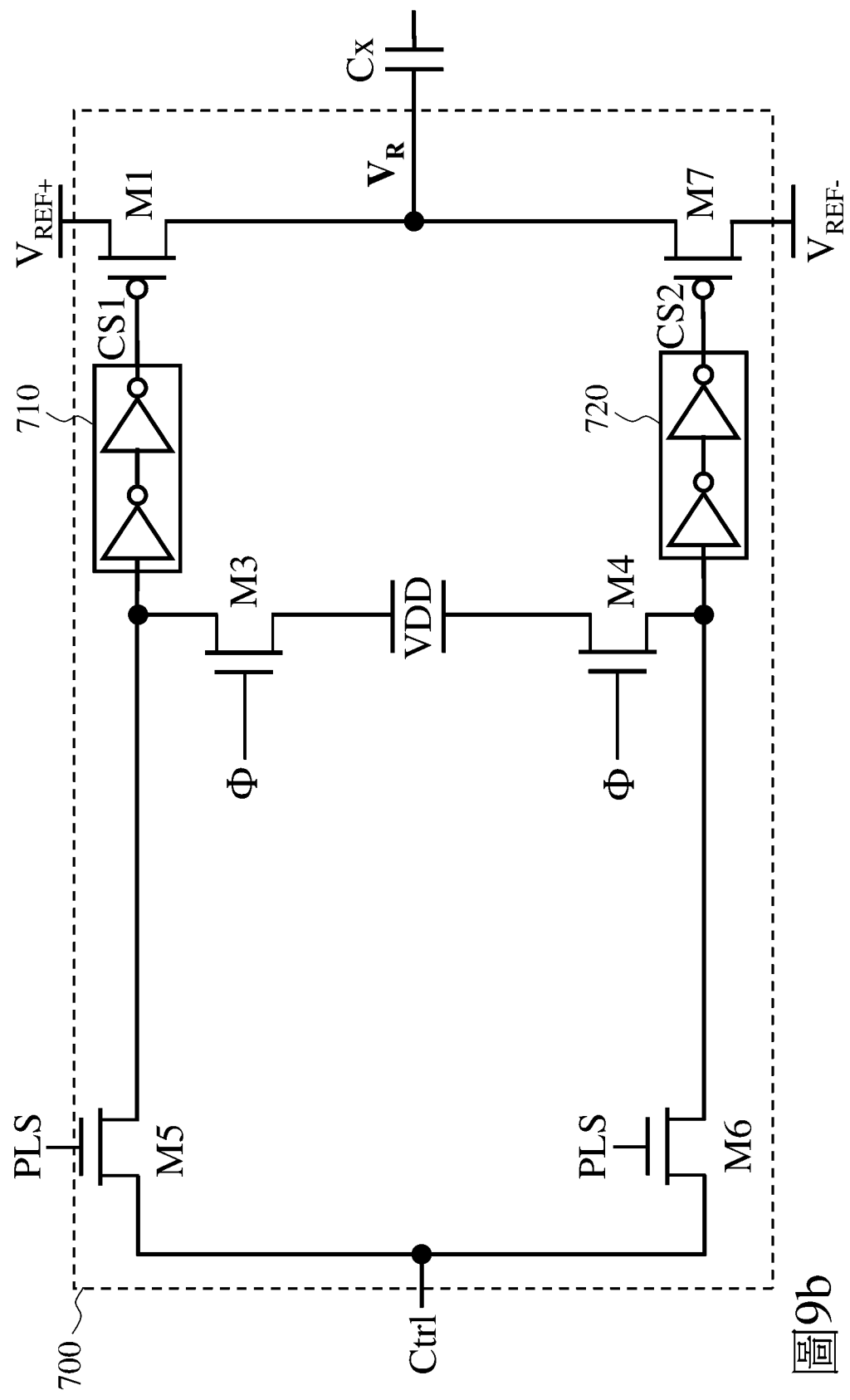


圖9b

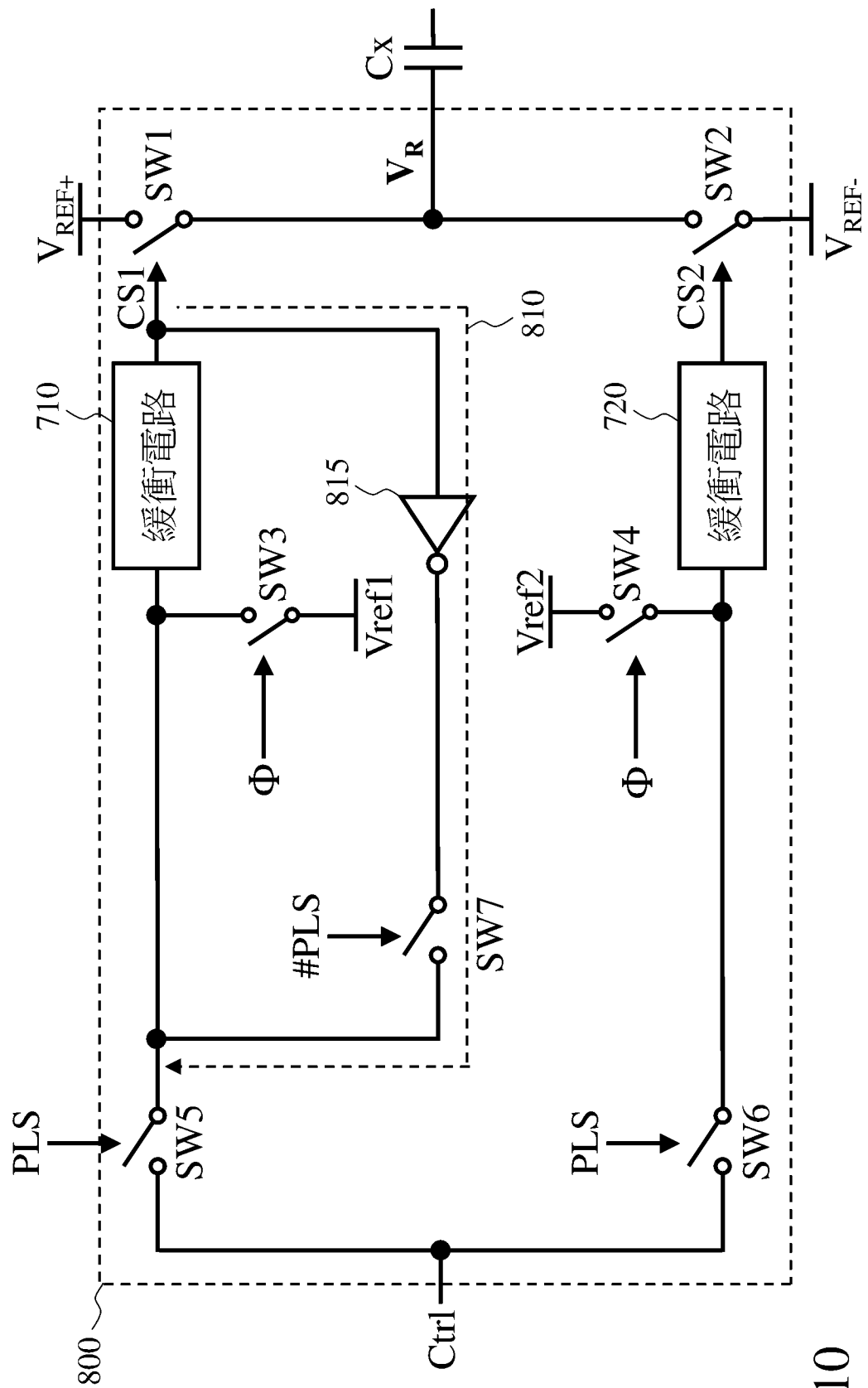


圖10

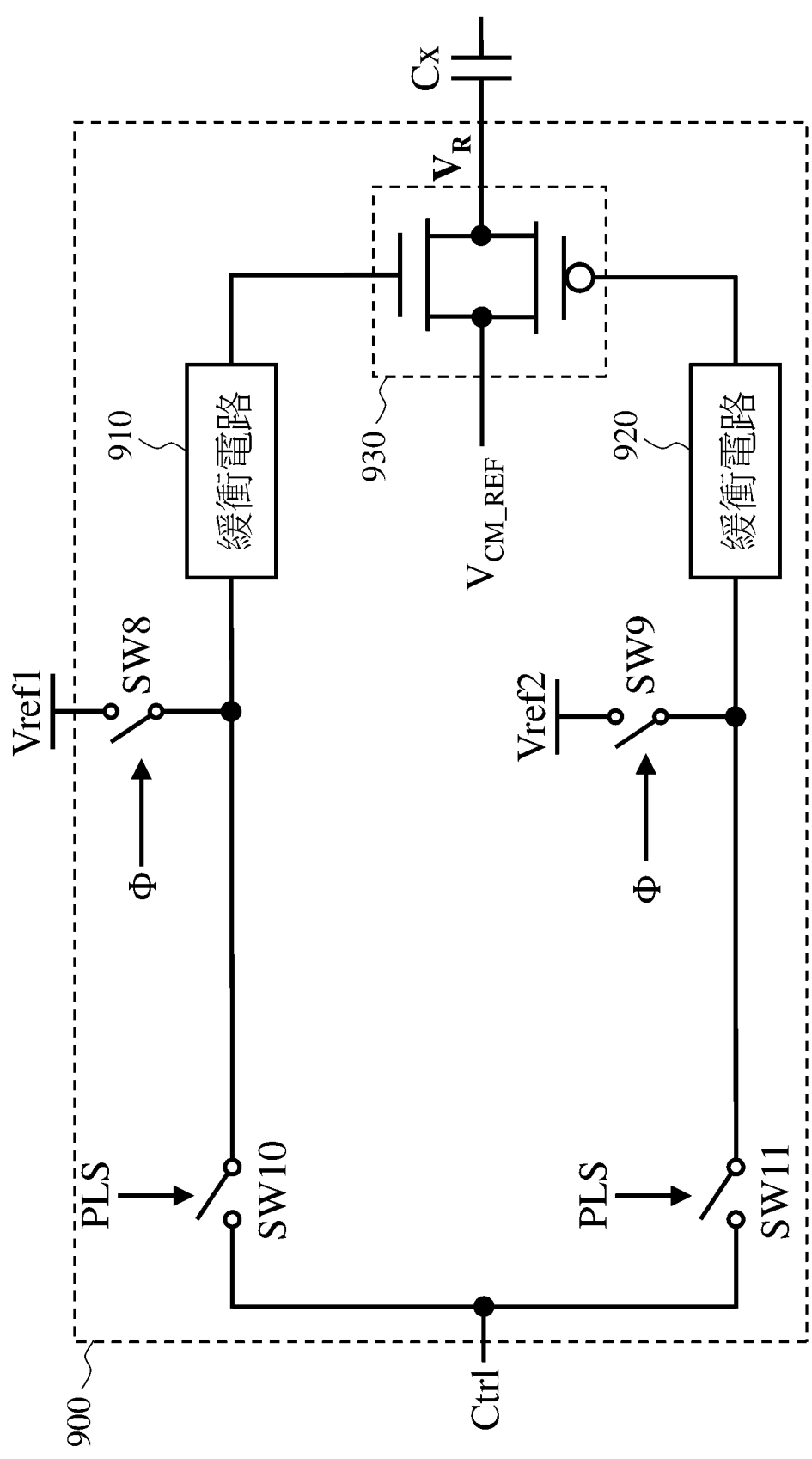


圖11