

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6494184号
(P6494184)

(45) 発行日 平成31年4月3日(2019.4.3)

(24) 登録日 平成31年3月15日(2019.3.15)

(51) Int.Cl.	F I				
HO 1 L 29/786 (2006.01)	HO 1 L	29/78	6 1 8 C		
HO 1 L 21/28 (2006.01)	HO 1 L	21/28	3 0 1 B		
HO 1 L 21/336 (2006.01)	HO 1 L	21/28	3 0 1 R		
	HO 1 L	29/78	6 2 7 C		
	HO 1 L	29/78	6 1 8 B		

請求項の数 14 (全 20 頁) 最終頁に続く

(21) 出願番号	特願2014-121162 (P2014-121162)	(73) 特許権者	000006013
(22) 出願日	平成26年6月12日 (2014.6.12)		三菱電機株式会社
(65) 公開番号	特開2016-1673 (P2016-1673A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成28年1月7日 (2016.1.7)	(74) 代理人	100088672
審査請求日	平成29年5月24日 (2017.5.24)		弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	津村 直樹
			熊本県合志市御代志997番地 メルコ・
			ディスプレイ・テクノロジー株式会社内
		(72) 発明者	長山 顕祐
			熊本県合志市御代志997番地 メルコ・
			ディスプレイ・テクノロジー株式会社内

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ、アクティブマトリックス基板、薄膜トランジスタの製造方法およびアクティブマトリックス基板の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上に順に積層されるゲート電極、ゲート絶縁膜および半導体層と、
前記半導体層上で互いに離間して対向するように設けられるソース電極およびドレイン電極とを備え、
前記半導体層は、
前記ゲート絶縁膜上に積層され、酸化物半導体で構成される酸化物半導体膜と、
前記酸化物半導体膜上に積層され、導電性酸化物で構成される酸化物導電膜との2層を含み、
前記酸化物半導体膜および前記酸化物導電膜の各々が酸化亜鉛を含み、
前記酸化物半導体膜および前記酸化物導電膜のうち前記酸化物半導体膜のみが酸化錫を含み、
前記ソース電極および前記ドレイン電極は、少なくとも、互いに対向する側の端部が、前記酸化物導電膜を介して前記酸化物半導体膜と電気的に接続され、
対向する前記ソース電極と前記ドレイン電極との間の前記半導体層には、前記酸化物半導体膜によってチャネル領域が形成されており、
前記チャネル領域上には前記酸化物導電膜が設けられておらず、前記ソース電極および前記ドレイン電極の間において前記酸化物導電膜は分離され、
前記酸化物半導体膜は、端面の断面形状が略テーパ形状であることを特徴とする薄膜トランジスタ。

【請求項 2】

前記酸化物半導体膜は、 1×10^{11} 個 / cm^3 以上、 1×10^{18} 個 / cm^3 以下のキャリア濃度を有することを特徴とする、請求項 1 に記載の薄膜トランジスタ。

【請求項 3】

前記酸化物半導体膜の導電率が $1 \times 10^{-7} \text{ S / cm}$ 以上 10 S / cm 以下であり、前記酸化物導電膜の導電率が $1 \times 10 \text{ S / cm}$ 以上であることを特徴とする請求項 1 に記載の薄膜トランジスタ。

【請求項 4】

前記酸化物導電膜は、燐酸、硝酸および酢酸を含む PAN 薬液によってエッチングされるときのエッチング速度が、前記酸化物半導体膜の前記エッチング速度よりも高い材料で構成されることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の薄膜トランジスタ。

10

【請求項 5】

前記ソース電極および前記ドレイン電極は、アルミニウム (Al)、モリブデン (Mo) および銅 (Cu)、ならびにこれらの合金から選ばれる少なくとも 1 つを含む金属材料で構成されることを特徴とする請求項 1 から 4 のいずれか 1 つに記載の薄膜トランジスタ。

【請求項 6】

前記酸化物半導体膜の膜厚は、前記酸化物導電膜の膜厚の 2 倍以上であることを特徴とする請求項 1 から 5 のいずれか 1 つに記載の薄膜トランジスタ。

【請求項 7】

画素電極と、前記画素電極に接続される複数のスイッチング素子とを備えるアクティブマトリクス基板であって、

20

前記スイッチング素子は、請求項 1 から 6 のいずれか 1 つに記載の薄膜トランジスタであることを特徴とするアクティブマトリクス基板。

【請求項 8】

基板上に順に積層されるゲート電極、ゲート絶縁膜および半導体層と、前記半導体層上で互いに離間して対向するように設けられるソース電極およびドレイン電極とを備える薄膜トランジスタの製造方法であって、

基板上に、ゲート電極およびゲート絶縁膜を順に形成する工程と、

前記ゲート絶縁膜上に、酸化物半導体で構成される酸化物半導体膜を形成する工程と、

30

前記酸化物半導体膜上に、導電性酸化物で構成される酸化物導電膜を形成して、前記酸化物半導体膜と前記酸化物導電膜とが積層された 2 層を含む半導体層を形成する工程と、を備え、前記酸化物半導体膜および前記酸化物導電膜のうち前記酸化物半導体膜のみが酸化錫を含み、さらに、

前記半導体層をウエットエッチングする工程と、

前記半導体層上に金属膜を形成する工程と、

ウエットエッチングによって、前記金属膜からソース電極およびドレイン電極を形成し、かつ前記ソース電極と前記ドレイン電極との間で前記酸化物導電膜を除去することにより、当該酸化物導電膜を前記ソース電極と前記ドレイン電極との間で分離する工程と、を備えることを特徴とする薄膜トランジスタの製造方法。

40

【請求項 9】

前記半導体層をウエットエッチングする工程では、

シュウ酸を含む薬液によって、前記半導体層をウエットエッチングすることを特徴とする請求項 8 に記載の薄膜トランジスタの製造方法。

【請求項 10】

前記半導体層をウエットエッチングする工程では、

燐酸、硝酸および酢酸を含む PAN 薬液によって、前記半導体層をウエットエッチングすることを特徴とする請求項 8 に記載の薄膜トランジスタの製造方法。

【請求項 11】

前記半導体層を形成する工程と、前記半導体層をウエットエッチングする工程との間に

50

、前記半導体層上に、ソース電極およびドレイン電極となる金属膜を形成する工程を備え、

前記ソース電極およびドレイン電極となる金属膜を形成する工程では、

前記PAN薬液によってエッチングすることが可能な金属材料によって、前記金属膜を形成することを特徴とする請求項10に記載の薄膜トランジスタの製造方法。

【請求項12】

前記酸化物半導体膜および前記酸化物導電膜の各々が酸化亜鉛を含むことを特徴とする請求項8から11のいずれか1つに記載の薄膜トランジスタの製造方法。

【請求項13】

前記酸化物半導体膜は、 1×10^{11} 個/cm³以上、 1×10^{18} 個/cm³以下のキャリア濃度を有することを特徴とする、請求項8から12のいずれか1つに記載の薄膜トランジスタの製造方法。

10

【請求項14】

画素電極と、前記画素電極に接続される複数のスイッチング素子とを備えるアクティブマトリクス基板の製造方法であって、

請求項8から13のいずれか1つに記載の薄膜トランジスタの製造方法によって、前記スイッチング素子として、薄膜トランジスタを形成する工程を備えることを特徴とするアクティブマトリクス基板の製造方法。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、液晶ディスプレイ装置もしくは有機EL (electroluminescence) ディスプレイ装置などの電気光学表示装置、または半導体部品などに用いられる薄膜トランジスタおよびそれを備えるアクティブマトリクス基板、ならびに薄膜トランジスタの製造方法およびアクティブマトリクス基板の製造方法に関する。

【背景技術】

【0002】

半導体装置の一例として、薄膜トランジスタ (Thin Film Transistor; 略称: TFT) をスイッチング素子として用いたTFTアクティブマトリクス基板を備えたディスプレイ装置用の電気光学表示装置がある。この電気光学表示装置は、低消費電力および薄型という特徴を活かして、CRT (Cathode Ray Tube) に代わるフラットパネルディスプレイの一つとして製品への応用が盛んになされている。

30

【0003】

このような半導体装置では、低コスト化が要求されている。従来、TFTには、製造工程の簡略化のために、アモルファスシリコン (Si) を半導体の活性層に用いた逆スタガ構造が主に採用されている。逆スタガ構造は、バックチャネルエッチング型またはバックチャネルエッチ型と呼ばれる。

【0004】

従来のアモルファスシリコンよりも高い移動度を有する酸化物半導体を活性層に用いたTFT (以下「酸化物TFT」という場合がある) の開発が盛んになされている (たとえば、特許文献1, 2および非特許文献1参照)。酸化物半導体としては、主に酸化亜鉛 (ZnO) 系、またはこれに酸化ガリウム (Ga₂O₃) および酸化インジウム (In₂O₃) を添加したInGaZnO系が主に用いられている。

40

【0005】

従来から透光性導電膜としては、酸化インジウムIn₂O₃と酸化錫SnO₂との化合物である酸化インジウム錫 (Indium Tin Oxide; 略称: ITO) で構成されるITO膜、および酸化インジウムIn₂O₃と酸化亜鉛ZnOとの化合物である酸化インジウム亜鉛 (Indium Zinc Oxide; 略称: IZO) で構成されるIZO膜などの酸化物導電膜が知られている。

【0006】

50

これらの酸化物導電膜と同様に、前述の酸化物半導体で構成される酸化物半導体膜は、フォトレジストのアルカリ系現像液に不溶であるとともに、シュウ酸およびカルボン酸などの弱酸系溶液でエッチングすることが可能である。したがって、薬液を用いた方法であるウエットエッチング法でパターン加工が容易であるという利点がある。

【0007】

しかし、前述の酸化物半導体膜は、TFTのソース電極およびドレイン電極となる金属膜、たとえばクロム(Cr)、チタン(Ti)、モリブデン(Mo)、タンタル(Ta)もしくはアルミニウム(Al)、またはこれらの合金から成る金属膜をエッチング加工するとき用いられる、公知の酸系溶液にも容易に溶けてしまう。

【0008】

したがって、酸化物半導体膜を活性層に用いた酸化物TFTを製造する場合には、ソース電極およびドレイン電極となる金属膜のみをエッチングし、酸化物半導体膜をエッチングせずに残すような選択エッチングが可能となるように、金属膜、金属膜のエッチング溶液、および酸化物半導体膜の種類が選択される(たとえば、特許文献3参照)。

【0009】

また、酸化物TFTを低コストで製造するための技術が、たとえば特許文献4に開示されている。特許文献4には、活性層となる半導体膜の加工プロセスと、ソース電極およびドレイン電極となる金属膜の加工プロセスと、ソース電極およびドレイン電極と酸化物半導体膜との接続界面に形成したオーミックコンタクト層を分離する加工プロセスとを、ハーフトーンマスクを用いて1回のマスク工程によって製造する方法が開示されている。

【0010】

特許文献4に開示される技術では、前述の加工プロセスを全てウエットエッチングによって行い、端面をテーパ形状に加工している。このときのウエットエッチングは、エッチング液として、燐酸と酢酸と硝酸との混合液、過酸化水素とアンモニアと水との混合液、および市販のシュウ酸系のエッチング液であるITO07N(関東化学株式会社製)を適宜使い分けて行われている。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2005-77822号公報

【特許文献2】特開2007-281409号公報

【特許文献3】特開2008-72011号公報

【特許文献4】特開2010-123937号公報

【非特許文献】

【0012】

【非特許文献1】Kenji Nomura等著、「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」、Nature 2004年,第432巻,第488頁~第492頁

【発明の概要】

【発明が解決しようとする課題】

【0013】

従来のアモルファスシリコン(Si)を半導体の活性層に用いる場合には、ドライエッチングによってパターン加工を行うので、半導体パターン端面の側壁の断面形状をなだらかな傾斜状に加工する、いわゆるテーパ加工が容易である。

【0014】

これに対し、酸化物半導体膜を半導体の活性層に用いる場合には、ウエットエッチングによってパターン加工が行われる。ウエットエッチングは、等方性エッチングであるので、パターンニングされた酸化物半導体の側壁は、ほぼ垂直となる。

【0015】

したがって、酸化物半導体膜の上に形成される膜のカバレッジ不良を引き起こす原因と

10

20

30

40

50

なっている。たとえば、TF T構造において、酸化物半導体膜のパターンの側壁を覆うように形成されたソース電極およびドレイン電極、ならびにこれらの配線の側壁でのステップカバレッジ特性が悪くなり、配線膜の断線などの問題が生じる。さらには、その上に形成される保護絶縁膜のステップカバレッジ特性も悪化させるという問題が生じる。

【0016】

さらに、TF Tのソース電極およびドレイン電極を、アルミニウム(Al)、チタン(Ti)、クロム(Cr)、銅(Cu)、モリブデン(Mo)、タンタル(Ta)、タングステン(W)などの金属膜またはこれらの合金などで形成する場合には、ソース電極およびドレイン電極と酸化物半導体膜との電氣的接合部において、界面の良好な電気特性を安定的に得るのが難しいという問題がある。また、界面での電気抵抗の増大によって、高い移動度を有する酸化物半導体の性能を十分に発揮することができないという問題がある。

10

【0017】

これらの問題を解決するための技術として、前述の特許文献4には、酸化物半導体膜とオーミックコンタクト層とソース電極およびドレイン電極のパターンとによって形成される端面である側壁を、ウエットエッチングによってテーパ加工する技術が開示されている。

【0018】

しかし、特許文献4には、テーパ加工するためのポイントとなる具体的なウエットエッチング方法、条件などが開示されていない。特に、多層膜のパターニング加工に関して、ドライエッチングを用いたテーパ加工と異なり、ウエットエッチングを用いたテーパ加工においては、庇構造(以下「ノッチ構造」という場合がある)などが形成される場合がある。したがって、現実的にソース電極およびドレイン電極、ならびにこれらの配線の側壁でのステップカバレッジ特性を良くするような、パターン端面である側壁の形状を得ることは容易ではない。

20

【0019】

本発明の目的は、酸化物半導体膜を含む半導体層上に形成されるソース電極およびドレイン電極の配線の断線不良が防止され、ソース電極およびドレイン電極と酸化物半導体膜との接続界面における電気特性に優れた薄膜トランジスタおよびそれを備えるアクティブマトリクス基板、ならびにそれらを容易に高歩留りで製造することができる薄膜トランジスタの製造方法およびアクティブマトリクス基板の製造方法を提供することである。

30

【課題を解決するための手段】

【0020】

本発明の薄膜トランジスタは、基板上に順に積層されるゲート電極、ゲート絶縁膜および半導体層と、前記半導体層上で互いに離間して対向するように設けられるソース電極およびドレイン電極とを備え、前記半導体層は、前記ゲート絶縁膜上に積層され、酸化物半導体で構成される酸化物半導体膜と、前記酸化物半導体膜上に積層され、導電性酸化物で構成される酸化物導電膜との2層を含み、前記酸化物半導体膜および前記酸化物導電膜の各々が酸化亜鉛を含み、前記酸化物半導体膜および前記酸化物導電膜のうち前記酸化物半導体膜のみが酸化錫を含み、前記ソース電極および前記ドレイン電極は、少なくとも、互いに対向する側の端部が、前記酸化物導電膜を介して前記酸化物半導体膜と電氣的に接続され、対向する前記ソース電極と前記ドレイン電極との間の前記半導体層には、前記酸化物半導体膜によってチャネル領域が形成されており、前記チャネル領域上には前記酸化物導電膜が設けられておらず、前記ソース電極および前記ドレイン電極の間において前記酸化物導電膜は分離されており、前記酸化物半導体膜は、端面の断面形状が略テーパ形状であることを特徴とする。

40

【0021】

本発明のアクティブマトリクス基板は、画素電極と、前記画素電極に接続される複数のスイッチング素子とを備えるアクティブマトリクス基板であって、前記スイッチング素子は、前記本発明の薄膜トランジスタであることを特徴とする。

【0022】

50

本発明の薄膜トランジスタの製造方法は、基板上に順に積層されるゲート電極、ゲート絶縁膜および半導体層と、前記半導体層上で互いに離間して対向するように設けられるソース電極およびドレイン電極とを備える薄膜トランジスタの製造方法であって、基板上に、ゲート電極およびゲート絶縁膜を順に形成する工程と、前記ゲート絶縁膜上に、酸化物半導体で構成される酸化物半導体膜を形成する工程と、前記酸化物半導体膜上に、導電性酸化物で構成される酸化物導電膜を形成して、前記酸化物半導体膜と前記酸化物導電膜とが積層された2層を含む前記半導体層を形成する工程と、を備え、前記酸化物半導体膜および前記酸化物導電膜のうち前記酸化物半導体膜のみが酸化錫を含み、さらに、前記半導体層をウェットエッチングする工程と、前記半導体層上に金属膜を形成する工程と、ウェットエッチングによって、前記金属膜からソース電極およびドレイン電極を形成し、かつ前記ソース電極と前記ドレイン電極との間で前記酸化物導電膜を除去することにより、当該酸化物導電膜を前記ソース電極と前記ドレイン電極との間で分離する工程とを備えることを特徴とする。

10

【0023】

本発明のアクティブマトリクス基板の製造方法は、画素電極と、前記画素電極に接続される複数のスイッチング素子とを備えるアクティブマトリクス基板の製造方法であって、前記本発明の薄膜トランジスタの製造方法によって、前記スイッチング素子として、薄膜トランジスタを形成する工程を備えることを特徴とする。

【発明の効果】

【0024】

本発明の薄膜トランジスタによれば、基板上に順に積層されるゲート電極、ゲート絶縁膜および半導体層と、半導体層上で互いに離間して対向するように設けられるソース電極およびドレイン電極とを備えて、薄膜トランジスタが構成される。半導体層は、ゲート絶縁膜上に積層され、酸化物半導体で構成される酸化物半導体膜と、酸化物半導体膜上に積層され、導電性酸化物で構成される酸化物導電膜との2層を含む。

20

【0025】

ソース電極およびドレイン電極は、少なくとも、互いに対向する側の端部が、酸化物導電膜を介して酸化物半導体膜と電気的に接続される。対向するソース電極とドレイン電極との間の半導体層には、酸化物半導体膜によってチャンネル領域が形成されている。これによって、ソース電極およびドレイン電極と酸化物半導体膜との接続界面における電気特性を向上させて、薄膜トランジスタの電気特性を向上させることができる。

30

【0026】

また酸化物半導体膜は、端面の断面形状が略テーパ形状である。これによって、酸化物半導体膜を含む半導体層上に形成されるソース電極およびドレイン電極の配線の断線不良を防止することができる。

【0027】

したがって、酸化物半導体膜を含む半導体層上に形成されるソース電極およびドレイン電極の配線の断線不良が防止され、ソース電極およびドレイン電極と酸化物半導体膜との接続界面における電気特性に優れた薄膜トランジスタを実現することができる。

【0028】

本発明のアクティブマトリクス基板によれば、画素電極と、画素電極に接続される複数のスイッチング素子とを備えて、アクティブマトリクス基板が構成される。スイッチング素子は、前記本発明の薄膜トランジスタであるので、酸化物半導体膜を含む半導体層上に形成されるソース電極およびドレイン電極の配線の断線不良が防止され、ソース電極およびドレイン電極と酸化物半導体膜との接続界面における電気特性に優れた薄膜トランジスタを備えるアクティブマトリクス基板を実現することができる。

40

【0029】

本発明の薄膜トランジスタの製造方法によれば、基板上に、ゲート電極およびゲート絶縁膜が順に形成され、ゲート絶縁膜上に、酸化錫を含む酸化物半導体で構成される酸化物半導体膜が形成される。この酸化物半導体膜上に、酸化亜鉛を含む導電性酸化物で構成さ

50

れる酸化物導電膜が形成されて、酸化物半導体膜と酸化物導電膜とが積層された2層を含む半導体層が形成される。この半導体層がウエットエッチングされる。

【0030】

これによって、酸化物半導体膜を含む半導体層の端面の断面形状を、容易に略テーパ形状にすることができる。したがって、半導体層上に形成されるソース電極およびドレイン電極の配線の断線の発生を抑制することができるので、薄膜トランジスタの製品としての歩留を向上させることができる。

【0031】

また、ソース電極およびドレイン電極の少なくとも互いに対向する側の端部を、酸化物導電膜を介して酸化物半導体膜と電気的に接続されるようにすることができる。これによって、ソース電極およびドレイン電極と酸化物半導体膜との接続界面における電気特性を向上させて、薄膜トランジスタの電気特性を向上させることができる。

【0032】

したがって、酸化物半導体膜を含む半導体層上に形成されるソース電極およびドレイン電極の配線の断線不良が防止され、ソース電極およびドレイン電極と酸化物半導体膜との接続界面における電気特性に優れた薄膜トランジスタを、容易に、高歩留りで製造することができる。

【0033】

本発明のアクティブマトリクス基板の製造方法によれば、画素電極に接続される複数のスイッチング素子として、薄膜トランジスタが、前記本発明の薄膜トランジスタの製造方法によって形成される。これによって、酸化物半導体膜を含む半導体層上に形成されるソース電極およびドレイン電極の配線の断線不良が防止され、ソース電極およびドレイン電極と酸化物半導体膜との接続界面における電気特性に優れた薄膜トランジスタを備えるアクティブマトリクス基板を、容易に、高歩留りで製造することができる。

【図面の簡単な説明】

【0034】

【図1】本発明の実施の一形態である薄膜トランジスタ1を備えるアクティブマトリクス基板10の構成を示す平面図である。

【図2】図1の切断面線II-IIにおける断面構成を示す断面図である。

【図3】ゲート電極12および補助容量電極13の形成が終了した段階の状態を示す断面図である。

【図4】ゲート絶縁膜14、酸化物半導体膜15および酸化物導電膜16の形成が終了した段階の状態を示す断面図である。

【図5】ソース電極17およびドレイン電極18の形成が終了した段階の状態を示す図である。

【図6】保護絶縁膜20の形成が終了した段階の状態を示す断面図である。

【図7】透明画素電極22の形成が終了した段階の状態を示す断面図である。

【図8】フォトレジストパターン23の形成が終了した段階の状態を示す断面図である。

【図9】酸化物半導体膜15および酸化物導電膜16のエッチングが終了した段階の状態を示す断面図である。

【図10】フォトレジストパターン23の除去が終了した段階の状態を示す断面図である。

【図11】酸化物導電膜16の形成が終了した段階の状態を示す断面図である。

【図12】フォトレジストパターン23の形成が終了した段階の状態を示す断面図である。

【図13】酸化物半導体膜15および酸化物導電膜16のエッチングの途中段階の状態を示す断面図である。

【図14】酸化物半導体膜15および酸化物導電膜16のエッチングが終了した段階の状態を示す断面図である。

【図15】フォトレジストパターン23の除去が終了した段階の状態を示す断面図である

10

20

30

40

50

。【発明を実施するための形態】

【0035】

図1は、本発明の実施の一形態である薄膜トランジスタ1を備えるアクティブマトリックス基板10の構成を示す平面図である。図2は、図1の切断面線II-IIにおける断面構成を示す断面図である。本実施の形態では、薄膜トランジスタ(Thin Film Transistor; 略称: TFT)1を備える薄膜トランジスタ基板として、スイッチング素子としてTFT1を備えるアクティブマトリックス基板10について説明する。本実施の形態のアクティブマトリックス基板10は、表示装置に使用される表示装置用TFTアクティブマトリックス基板である。

10

【0036】

アクティブマトリックス基板10は、ガラスなどの透明絶縁性基板11、ゲート電極12、ゲート配線12A、補助容量電極13、ゲート絶縁膜14、酸化物半導体膜15、酸化物導電膜16、ソース電極17、ソース配線17A、ドレイン電極18、保護絶縁膜20および画素電極22を備えて構成される。

【0037】

ゲート配線12Aは、図1の紙面に向かって左右方向に延在し、ゲート電極12と接続される。ソース配線17Aは、図1の紙面に向かって上下方向に延在し、ソース電極17と接続される。ゲート配線12Aおよび補助容量電極13は、ゲート電極12と同時に形成される。ソース配線17Aは、ソース電極17と同時に形成される。

20

【0038】

酸化物半導体膜15および酸化物導電膜16は、半導体層を構成する。換言すれば、半導体層は、酸化物半導体膜と酸化物導電膜との2層を含む。具体的には、酸化物半導体膜15は、ゲート絶縁膜14上に積層され、酸化物半導体で構成される。酸化物導電膜16は、酸化物半導体膜上に積層され、導電性酸化物で構成される。この酸化物半導体膜15と酸化物導電膜16とが積層された2層を含んで、半導体層が構成される。

【0039】

ゲート電極12、ゲート絶縁膜14および半導体層は、この順に、透明絶縁性基板11上に積層される。本実施の形態では、半導体層は、酸化物半導体膜15と酸化物導電膜16との2層で構成される。

30

【0040】

図2に示す断面構成において、ソース電極17およびドレイン電極18は、半導体層上で互いに離間して対向するように設けられる。対向するソース電極17とドレイン電極18との間の半導体層の領域、すなわちソース電極17のパターンとドレイン電極18のパターンとに挟まれた半導体層の領域は、TFT1のチャンネル領域19となっている。チャンネル領域19は、酸化物導電膜16が除去されて、酸化物半導体膜によって形成されており、バックチャンネル領域となっている。

【0041】

ソース電極17およびドレイン電極18は、少なくとも、互いに対向する側の端部が、酸化物導電膜16を介して酸化物半導体膜15と電気的に接続されている。すなわち、ソース電極17およびドレイン電極18は、互いに対向する側の端部のみが、酸化物導電膜16を介して酸化物半導体膜15と電気的に接続されてもよいし、互いに対向する側の端部を含む一部分、またはソース電極17およびドレイン電極18の全体が、酸化物導電膜16を介して酸化物半導体膜15と電気的に接続されてもよい。

40

【0042】

酸化物半導体膜15は、端面の断面形状、具体的にはソース電極17およびドレイン電極18で覆われる端面の断面形状が、略テーパ形状になっている。ここで、「略テーパ形状」とは、テーパ形状、およびテーパ形状に類似する形状を含む。テーパ形状に類似する形状としては、たとえば、後述する順階段形状がある。

【0043】

50

保護絶縁膜 20 は、チャネル領域 19 を保護して、透明絶縁性基板 11 全体に形成される。保護絶縁膜 20 には、下層のドレイン電極 18 の表面まで貫通した画素ドレインコンタクトホール 21 が形成されている。画素電極 22 は、透光性導電膜で構成され、画素ドレインコンタクトホール 21 を介して、下層のドレイン電極 18 に電氣的に接続される。

【0044】

本実施の形態の TFT1 を備えるアクティブマトリクス基板 10 は、たとえば以下のようにして製造される。図 3 ~ 図 7 は、アクティブマトリクス基板 10 の製造工程を示す図である。

【0045】

図 3 は、ゲート電極 12 および補助容量電極 13 の形成が終了した段階の状態を示す断面図である。まず、ガラス基板などの透明絶縁性基板 11 を洗浄液または純水を用いて洗浄し、ゲート電極 12 および補助容量電極 13 となる第 1 の金属膜を成膜する。第 1 の金属膜としては、たとえばクロム (Cr)、モリブデン (Mo)、チタン (Ti)、タンタル (Ta)、タングステン (W)、アルミニウム (Al) またはこれらに他の元素を微量に添加した合金などを用いる。またこれらの金属または合金を 2 層以上形成した積層構造としてもよい。これらの金属または合金を用いることによって、第 1 の金属膜として、比抵抗値が $50 \mu \text{ cm}$ 以下の低抵抗膜を得ることができる。

【0046】

本実施の形態では、第 1 の金属膜として Mo 膜を、たとえば、アルゴン (Ar) ガスを用いたスパッタリング法によって、たとえば 200 nm の厚さで成膜する。第 1 の金属膜の厚さは、これに限定されない。第 1 金属膜の厚さは、所望の配線抵抗が得られる値に設定すればよく、たとえば、第 1 金属膜として用いる金属膜の比抵抗値によって適正な値が決まる。

【0047】

第 1 金属膜の厚さは、膜質を維持するためには、 5 nm 以上にすることが好ましく、生産性の低下および応力による膜剥がれを防止するためには、 500 nm 以下にすることが好ましい。すなわち、第 1 金属膜の厚さは、 5 nm 以上 500 nm 以下であることが好ましい。

【0048】

その後、第 1 回目の写真製版工程でフォトレジストパターンを形成する。形成したフォトレジストパターンをマスクとして、エッチング液を用いてウエットエッチングを行う。エッチング液としては、たとえば、リン酸 (Phosphoric acid)、酢酸 (Acetic acid) および硝酸 (Nitric acid) を含む薬液である PAN 薬液を用いる。PAN 薬液の液温は、たとえば 40 に設定する。

【0049】

ウエットエッチング後、フォトレジストパターンを除去する。以上のウエットエッチングプロセスによって、ゲート電極 12 および補助容量電極 13 を形成する。

【0050】

このウエットエッチングプロセスに用いる PAN 薬液としては、リン酸が $40 \text{ wt} \%$ (重量%) 以上 $93 \text{ wt} \%$ 以下であり、酢酸が $1 \text{ wt} \%$ 以上 $40 \text{ wt} \%$ 以下であり、硝酸が $0.5 \text{ wt} \%$ 以上 $15 \text{ wt} \%$ 以下である範囲のものが好ましい。本実施の形態では、たとえば、リン酸が $70 \text{ wt} \%$ であり、酢酸が $7 \text{ wt} \%$ であり、硝酸が $5 \text{ wt} \%$ であり、残部が水の PAN 薬液を用いる。これによって、図 3 に示すように、Mo 膜から成るゲート電極 12 および補助容量電極 13 のパターン側壁の断面形状を概略テーパ状に加工することができる。

【0051】

図 4 は、ゲート絶縁膜 14、酸化物半導体膜 15 および酸化物導電膜 16 の形成が終了した段階の状態を示す断面図である。前述のようにしてゲート電極 12 および補助容量電極 13 を形成した後、ゲート絶縁膜 14、酸化物半導体膜 15 および酸化物導電膜 16 を順次成膜して、TFT1 の半導体パターンを形成する。以下に、図 4 に示すゲート絶縁膜

10

20

30

40

50

14、酸化物半導体膜15および酸化物導電膜16を形成する工程を、図8～図10を用いて具体的に説明する。

【0052】

図8は、フォトレジストパターン23の形成が終了した段階の状態を示す断面図である。前述のようにして図3に示すゲート電極12および補助容量電極13の形成が終了した後、ゲート電極12および補助容量電極13が形成された透明絶縁性基板（以下、単に「基板」という場合がある）11上に、まず、全面にわたって、ゲート絶縁膜14を形成する。

【0053】

本実施の形態では、たとえば、化学気相成長（Chemical Vapor Deposition；略称：CVD）法を用いて、約300の基板加熱条件下で、ゲート絶縁膜14として酸化シリコン（SiO）膜を300nmの厚さで成膜する。ゲート絶縁膜14の成膜方法、基板11の加熱温度およびゲート絶縁膜14の厚さは、これに限定されない。

10

【0054】

ゲート絶縁膜14の厚さは、TFT1の動作をさせるための所望の電界強度が得られる値に設定すればよく、たとえば、ゲート絶縁膜14として用いる絶縁膜の誘電率値によって適正な値が決まる。ゲート絶縁膜14の厚さは、膜質を維持するためには、5nm以上にすることが好ましく、応力による膜剥がれを防止するためには、3000nm以下にすることが好ましい。すなわち、ゲート絶縁膜14の厚さは、5nm以上3000nm以下であることが好ましい。また、ゲート絶縁膜14として、塗布によって形成された絶縁膜を用いる場合には、ゲート絶縁膜14の厚さは、1000nm以上3000nm以下であることが好ましい。

20

【0055】

酸化シリコン膜は、水分（H₂O）および水素（H₂）、ならびにナトリウム（Na）およびカリウム（K）などのTFT特性に影響を及ぼす不純物元素に対するバリア性、すなわち遮断性が弱い。したがって、ゲート絶縁膜14として酸化シリコン膜を用いる場合には、酸化シリコン膜の下層に、バリア性に優れる膜、たとえば窒化シリコン（SiN）膜などを設けて、ゲート絶縁膜14を積層構造としてもよい。

【0056】

次に、酸化物半導体膜15を下層、酸化物導電膜16を上層とする積層構造を、たとえばスパッタリング法で成膜する。ここで、酸化物半導体とは、原則としてn型の導電型を有し、導電率が $1 \times 10^{-7} \text{ S/cm}$ 以上 10 S/cm 以下であるもの、または、キャリアとなる電子の濃度（以下「キャリア濃度」という場合がある）が $1 \times 10^{11} \text{ 個/cm}^3$ 以上 10^{18} 個/cm^3 以下であるものとする。

30

【0057】

導電率が 10 S/cm よりも大きい場合、およびキャリア濃度が $1 \times 10^{18} \text{ 個/cm}^3$ よりも大きい場合は、電流が常時流れやすくなり、TFTがオフ状態でも、オフ電流と呼ばれる電流が流れ、半導体膜としてのスイッチングの機能を示さない場合がある。したがって、導電率は 10 S/cm 以下であることが好ましく、キャリア濃度は 10^{18} 個/cm^3 以下であることが好ましい。

40

【0058】

また、導電率が $1 \times 10^{-7} \text{ S/cm}$ よりも小さい場合、およびキャリア濃度が $1 \times 10^{11} \text{ 個/cm}^3$ よりも小さい場合は、TFTがオン状態でもオン電流がほとんど流れず、スイッチングの機能を示さない場合がある。したがって、導電率は $1 \times 10^{-7} \text{ S/cm}$ 以上であることが好ましく、キャリア濃度は $1 \times 10^{11} \text{ 個/cm}^3$ 以上であることが好ましい。

【0059】

以上のことから、前述のように酸化物半導体は、導電率が $1 \times 10^{-7} \text{ S/cm}$ 以上 10 S/cm 以下であるか、または、キャリア濃度が $1 \times 10^{11} \text{ 個/cm}^3$ 以上 10^{18} 個/cm^3 以下であることが好ましい。酸化物半導体は、導電率が $1 \times 10^{-5} \text{ S/cm}$

50

以上 $1 \times 10^{-1} \text{ S/cm}$ 以下であるか、またはキャリア濃度が $1 \times 10^{12} \text{ 個/cm}^3$ 以上 $1 \times 10^{17} \text{ 個/cm}^3$ 以下であることが、さらに好ましい。

【0060】

このような酸化物半導体で構成される酸化物半導体膜15でチャネル領域19を形成することによって、アモルファスシリコンよりも高い移動度を有するTFT1を実現することができる。これに対して、上層の酸化物導電膜16は、導電率が $1 \times 10 \text{ S/cm}$ 以上、より好ましくは $1 \times 10^2 \text{ S/cm}$ 以上のいわゆる導電性の膜とする。

【0061】

本実施の形態では、下層の酸化物半導体膜15の材料として、酸化亜鉛(ZnO)に酸化インジウム(In_2O_3)、および酸化錫(SnO_2)を添加したIn-Zn-Sn-O系の酸化物を用いる。具体的には、In、Zn、Sn、Oの原子組成比が2:6:2:13であるIn-Zn-Sn-Oターゲット[$\text{In}_2\text{O}_3 \cdot (\text{ZnO})_6 \cdot (\text{SnO}_2)_2$]を用いて、Arガスに対して分圧比で10%の酸素(O_2)ガスを添加した混合ガスによるスパッタリングを行い、40nmの厚さで酸化物半導体膜15を成膜する。酸化物半導体膜15の材料、成膜方法および厚さは、これに限定されない。酸化物半導体膜15の厚さは、膜質を維持するためには、5nm以上であることが好ましい。

【0062】

その後、上層の酸化物導電膜16として、酸化亜鉛(ZnO)に酸化インジウム(In_2O_3)を添加したIn-Zn-O系の酸化物導電膜を成膜する。具体的には、 In_2O_3 が90重量%、ZnOが10重量%の配合比であるIn-Zn-Oターゲットを用いて、Arガスによるスパッタリングを行い、20nmの厚さで酸化物導電膜16を成膜する。

【0063】

酸化物導電膜16の材料、成膜方法および厚さは、これに限定されない。酸化物導電膜16の厚さは、良好なテーパー形状を形成する観点からは、酸化物半導体膜15の厚さよりも小さくすることが好ましく、酸化物半導体膜15の厚さの半分以下とすることがさらに好ましい。

【0064】

以上の条件で成膜したIn-Zn-Sn-O系酸化物半導体膜15は、たとえば、導電率が $1.5 \times 10^{-5} \text{ S/cm}$ であり、キャリア濃度が $1.1 \times 10^{14} \text{ 個/cm}^3$ である。また、In-Zn-O系酸化物導電膜16は、たとえば、導電率が $1.8 \times 10^3 \text{ S/cm}$ であり、キャリア濃度が $7.4 \times 10^{20} \text{ 個/cm}^3$ である。

【0065】

酸化物半導体膜15および酸化物導電膜16は、いずれも酸化物系の膜であるので、両者を積層した場合でも、界面の還元反応が生じることがない。したがって、ダメージ層が形成されることはない。

【0066】

次に、第2回目の写真製版工程でフォトレジストパターン23を形成する。本実施の形態では、まず、ノボラック樹脂系のポジ型フォトレジストを、スリットコートまたはスピコートによって、たとえば約 $1.6 \mu\text{m}$ の厚さで塗布した後に、フォトマスクを用いて露光を行う。その後、水酸化テトラメチルアンモニウム(Tetramethylammonium hydroxide; 略称: TMAH)を含む有機アルカリ系の現像液を用いて現像を行い、フォトレジストパターン23を形成する。フォトレジストパターン23の材料、形成方法、厚さおよび現像液は、これに限定されない。

【0067】

図9は、酸化物半導体膜15および酸化物導電膜16のエッチングが終了した段階の状態を示す断面図である。前述のようにしてフォトレジストパターン23を形成した後、形成したフォトレジストパターン23をマスクとして、エッチング液として、たとえばシュウ酸溶液を用いて、フォトレジストパターン23で覆われていない部分の酸化物導電膜16および酸化物半導体膜15をエッチングによって除去する。

10

20

30

40

50

【0068】

図10は、フォトリソパターン23の除去が終了した段階の状態を示す断面図である。前述のようにして酸化物導電膜16および酸化物半導体膜15のエッチングが終了した後、フォトリソパターン23を、たとえば剥離剤によって剥離させて除去する。これによって、図10に示すテーパー形状の酸化物導電膜16および酸化物半導体膜15が形成される。

【0069】

図8～図10に示すゲート絶縁膜14、酸化物半導体膜15および酸化物導電膜16を形成する工程を、図11～図15を用いて、以下に、さらに具体的に説明する。図11～図15では、理解を容易にするために、ゲート絶縁膜14、酸化物半導体膜15、酸化物導電膜16およびフォトリソパターン23の部分のみを記載する。

10

【0070】

図11は、酸化物導電膜16の形成が終了した段階の状態を示す断面図である。図11に示す状態は、前述の図8に示すゲート絶縁膜14、酸化物半導体膜15、酸化物導電膜16およびフォトリソパターン23を形成する工程において、酸化物導電膜16の形成が終了した段階の状態に相当する。図11に示すように、前述のようにしてゲート絶縁膜14、酸化物半導体膜15および酸化物導電膜16を形成する。

【0071】

図12は、フォトリソパターン23の形成が終了した段階の状態を示す断面図である。図12に示す状態は、前述の図8に示すゲート絶縁膜14、酸化物半導体膜15、酸化物導電膜16およびフォトリソパターン23を形成する工程において、フォトリソパターン23の形成が終了した段階の状態に相当する。前述のようにして形成された酸化物導電膜16上に、図12に示すように、フォトリソパターン23を形成する。

20

【0072】

図13は、酸化物半導体膜15および酸化物導電膜16のエッチングの途中段階の状態を示す断面図である。図14は、酸化物半導体膜15および酸化物導電膜16のエッチングが終了した段階の状態を示す断面図である。図15は、フォトリソパターン23の除去が終了した段階の状態を示す断面図である。

【0073】

前述のようにしてフォトリソパターン23を形成した後、たとえば、エッチング液としてシュウ酸溶液を用いて、液温45℃の条件で、酸化物導電膜であるIn-Zn-O系酸化物導電膜16とIn-Zn-Sn-O系の酸化物半導体膜15の同時エッチングを行う。

30

【0074】

このとき、酸化物半導体膜15の単層膜におけるエッチング速度(エッチングレート)は、たとえば92nm/分であり、酸化物導電膜6の単層膜におけるエッチング速度は、たとえば220nm/分である。この場合、酸化物半導体膜15のエッチング速度は、酸化物導電膜16のエッチング速度の2分の1(1/2)以下である。酸化物半導体膜15および酸化物導電膜16のエッチング速度は、これに限定されない。

【0075】

薬液を用いたウエットエッチング法の場合、エッチングは、等方的に進行するので、酸化物導電膜16であるIn-Zn-O膜は、横方向、すなわち膜の面内方向にも酸化物半導体膜15よりも速くエッチングが進行する。エッチングの初期から中間段階では、図13に示すように、酸化物導電膜16の幅が、フォトリソパターン23の幅よりも狭くなる。つまり、酸化物導電膜16の端面がフォトリソパターン23の端面よりも後退する。これに対し、酸化物半導体膜15は、酸化物導電膜16よりもエッチングの進行が遅い。したがって、酸化物導電膜16が後退したことによるアンダーカット状のノッチ24が形成される。

40

【0076】

このようなノッチ24が形成されると、このノッチ24の部分に薬液が浸み込みやすく

50

なり、他の部分よりもエッチングが加速される。この状態で、上層の酸化物導電膜 16 と下層の酸化物半導体膜 15 とが同時にエッチングされることによって、図 14 に示すように、酸化物導電膜 16 と酸化物半導体膜 15 との積層構造に、テーパ形状が形成される。

【0077】

このようにしてテーパ形状を形成した後、残存するフォトリソパターン 23 を前述のようにして除去することによって、図 15 に示すテーパ形状の酸化物導電膜 16 および酸化物半導体膜 15 が得られる。

【0078】

以上のようなエッチングの進行を実現するために、エッチング条件は、酸化物導電膜 16 のエッチング速度が、酸化物半導体膜 15 のエッチング速度よりも高くなるような条件とすることが好ましい。これに加えて、酸化物半導体膜 15 の膜厚 t_1 と酸化物導電膜 16 の膜厚 t_2 との関係は、「酸化物半導体膜 15 の膜厚 t_1 が、酸化物導電膜 16 の膜厚 t_2 よりも大きい ($t_1 > t_2$) 」とすることがより好ましい。

【0079】

酸化物半導体膜 15 の膜厚 t_1 と酸化物導電膜 16 の膜厚 t_2 とを等しくした場合は、上層の酸化物導電膜 16 と下層の酸化物半導体膜 15 とがそれぞれ独立した階段形状になる。このような場合でも、「酸化物導電膜 16 のエッチング速度 V_2 が、酸化物半導体膜 16 のエッチング速度 V_1 よりも高い ($V_2 > V_1$) 」となる条件であれば、上層の酸化物導電膜 16 の端面が下層の酸化物半導体膜 15 の端面よりも後退して順階段形状となる。これによって、この後に形成される保護絶縁膜 10 のカバレッジを改善することができるので好ましい。

【0080】

酸化物半導体膜 15 の膜厚 t_1 は、酸化物導電膜 16 の膜厚 t_2 の 2 倍以上 ($t_1 > 2(t_2)$) とすることが好ましい。このように酸化物半導体膜 15 の膜厚 t_1 を、酸化物導電膜 16 の膜厚 t_2 の 2 倍以上 ($t_1 > 2(t_2)$) とすることによって、酸化物半導体膜 15 および酸化物導電膜 16 の端面を順階段状ではなく、図 15 に示す本実施の形態のようにテーパ形状にすることができる。テーパ形状にすることによって、順階段形状の場合に比べて、保護絶縁膜 20 のカバレッジ性を向上させることができるので好ましい。

【0081】

以上のようにして図 9 に示す酸化物半導体膜 15 および酸化物導電膜 16 のエッチングを行った後、フォトリソパターン 23 を、たとえばアミン系の剥離液を用いて剥離することによって除去する。これによって、図 10 に示す酸化物半導体膜 15 と酸化物導電膜 16 との半導体パターンを形成する。図 10 に示す状態は、図 15 に示す状態に相当する。

【0082】

以上のようにして図 4 に示すテーパ形状の酸化物半導体膜 15 および酸化物導電膜 16 を形成した後、図 5 に示すソース電極 17 およびドレイン電極 18 を形成する工程に移行する。図 5 は、ソース電極 17 およびドレイン電極 18 の形成が終了した段階の状態を示す図である。

【0083】

酸化物半導体膜 15 および酸化物導電膜 16 のエッチング後、テーパ形状の酸化物半導体膜 15 および酸化物導電膜 16 が形成された透明絶縁性基板 11 上に、ソース電極 17 およびドレイン電極 18 となる第 2 の金属膜を成膜する。成膜した第 2 の金属膜をパターンニングして、ソース電極 17 およびドレイン電極 18 を、互いに対向するように形成する。さらに、互いに対向するソース電極 17 のパターンとドレイン電極 18 のパターンとに挟まれた領域の酸化物導電膜 16 を除去して、TFT1 のバックチャネル領域であるチャネル領域 19 を形成する。

【0084】

第2の金属膜としては、たとえばアルミニウム（Al）、チタン（Ti）、クロム（Cr）、銅（Cu）、モリブデン（Mo）、タンタル（Ta）もしくはタングステン（W）、またはこれらに他の元素を微量に添加した合金などを用いることができる。また、第2の金属膜は、これらの金属および合金のいずれかで構成される金属膜を2層以上形成した積層構造としてもよい。これらの金属および合金のいずれかを用いることによって、第2の金属膜として、比抵抗値が $50\ \mu\text{cm}$ 以下の低抵抗膜を得ることができる。

【0085】

本実施の形態では、第2の金属膜としてMo膜を、たとえば、公知のArガスを用いたスパッタリング法で、 200nm の厚さで成膜する。その後、図示は省略するが、第3回目の写真製版工程でフォトレジストパターンを形成し、形成したフォトレジストパターンをマスクとして、前述の図3に示すゲート電極12および補助容量電極13を形成したときと同じエッチング液、具体的にはリン酸、硝酸および酢酸を含むPAN薬液を用いて、第2の金属膜であるMo膜、および酸化物導電膜16を、連続でウエットエッチングする。

10

【0086】

このとき、TF T1のチャンネル領域19においては、PAN薬液で第2の導電膜がエッチング除去された後に表面が露出したIn-Zn-O系の酸化物導電膜16が、さらにPAN薬液中でエッチング除去される。またIn-Zn-O系の酸化物導電膜16がエッチング除去された後に表面が露出するIn-Zn-Sn-O系の酸化物半導体膜15は、PAN薬液にほとんど溶けないのでエッチングされずに残り、チャンネル領域19となる。

20

【0087】

その後、フォトレジストパターンを除去することによって、図5に示すソース電極17、ドレイン電極18、およびTF T1のチャンネル領域19が得られる。

【0088】

本実施の形態のように第2の金属膜としてMo膜を用いた場合、Mo膜の横方向のエッチング量が、In-Zn-O系の酸化物導電膜16に比べて大きい、換言すれば、Mo膜の横方向のエッチング速度が、In-Zn-O系の酸化物導電膜16に比べて高いので、酸化物導電膜16とソース電極17およびドレイン電極18のチャンネル領域19側の端面とが段差形状となる。

【0089】

これによって、後述する保護絶縁膜20のカバレッジ性を向上させることができる。したがって、ソース電極17およびドレイン電極17の端部へのポイドの発生を抑制することができるので、TF T特性に影響を与える水分などの影響を除外することができ、高品質のTF T1およびそれを備えるデバイスを高歩留で製造することができる。

30

【0090】

チャンネル領域19の酸化物導電膜16を除去した後は、酸化物半導体膜15のチャンネル領域19の表面を、さらにTMAHを含むアルカリ溶液で洗浄してもよいし、またはプラズマを照射する処理（以下「プラズマ処理」という場合がある）を行ってもよい。

【0091】

プラズマ処理は、ヘリウム（He）、ネオン（Ne）、アルゴン（Ar）、窒素（ N_2 ）、または六フッ化硫黄（ SF_6 ）、四フッ化炭素（ CF_4 ）、フッ素（ F_2 ）、フッ化水素（HF）、三フッ化窒素（ NF_3 ）、三フッ化メタン（ CHF_3 ）もしくは六フッ化エタン（ C_2F_6 ）などのフッ素を含むガスなどのプラズマを用いて行うことができる。

40

【0092】

これらのガスを用いてプラズマ処理を行うことによって、チャンネル領域19の表面の異物および汚染物を除去して、TF T1のオフ特性を良好にする、具体的にはオフ電流を低減することができる。

【0093】

また、酸素（ O_2 ）ガスまたは一酸化二窒素（ N_2O ）ガスを用いてプラズマ処理を行ってもよい。この場合は、チャンネル領域19の表面の異物および汚染物を除去するととも

50

に、酸化物半導体膜 15 のチャンネル領域 19 の表面に酸素原子を供給することによって表面近傍を高抵抗化させ、TFT1 のオフ特性をさらに良好にすることができる。

【0094】

図6は、保護絶縁膜20の形成が終了した段階の状態を示す断面図である。前述のようにしてソース電極17およびドレイン電極18を形成した後に、保護絶縁膜20を成膜する。本実施の形態では、保護絶縁膜20として、たとえば、CVD法を用いて、約250の基板加熱条件下で酸化シリコンSiO膜を300nmの厚さで成膜する。保護絶縁膜20の材料、成膜方法、基板加熱温度および厚さは、これに限定されない。

【0095】

その後、第4回目の写真製版工程でフォトリソパターンを形成して、公知のフッ素系ガスを用いたドライエッチング法を用いてSiO膜をエッチングした後に、フォトリソパターンを除去して、画素ドレインコンタクトホール21を形成する。

【0096】

酸化シリコン膜は、水分(H₂O)および水素(H₂)、ならびにナトリウム(Na)およびカリウム(K)などのアルカリ金属のようなTFT特性に影響を及ぼす不純物元素に対するバリア性(遮断性)が弱いので、酸化シリコン膜の上層に、たとえばバリア性に優れた窒化シリコン(SiN)膜などを設けて、保護絶縁膜20を積層構造としてもよい。このような積層構造の場合でも、公知のフッ素ガスを用いたドライエッチング法を用いて、画素ドレインコンタクトホール21を形成することができる。

【0097】

図7は、透明画素電極22の形成が終了した段階の状態を示す断面図である。前述のようにして画素ドレインコンタクトホール21を形成した後、全面にわたって、透明画素電極22となる透明導電性膜を成膜する。成膜した透明導電性膜をパターンニングし、画像表示用の透明画素電極22を形成する。

【0098】

本実施の形態では、透明導電性膜として、たとえば、前述の酸化物導電膜16と同じ材料であるIn-Zn-O膜を、公知のArガスを用いたスパッタリング法で、100nmの厚さで成膜する。透明導電成膜の材料、成膜方法および厚さは、これに限定されない。

【0099】

次いで、第5回目の写真製版工程でフォトリソパターンを形成し、形成したフォトリソパターンをマスクとして、たとえば公知のシュウ酸系溶液でウエットエッチングする。その後、フォトリソパターンを除去して、透明画素電極22を形成する。以上のようにして、図1に示す本実施の形態における液晶ディスプレイ用のTFTアクティブマトリクス基板10を製造する。

【0100】

以上の5回の写真製版工程によって製造されたTFTアクティブマトリクス基板10を用いて液晶表示装置を製造する場合、図示は省略するが、製造されたTFTアクティブマトリクス基板10の表面に、液晶を配列させるためのポリイミドなどからなる配向膜、およびスペーサーを形成する。

【0101】

その後、TFTアクティブマトリクス基板10と、カラーフィルタおよび配向膜を備える対向基板とを貼り合わせ、前述のスペーサーによって両基板の間に形成される隙間に液晶を注入して保持する。さらに両基板の外側に偏光板、位相差板およびバックライトユニットなどを配設することによって、液晶表示装置を得ることができる。

【0102】

以上のように本実施の形態によれば、酸化物半導体膜15と酸化物導電膜16とが積層された2層を含む半導体層が形成される。酸化物導電膜16は、エッチング液によってエッチングされるときのエッチング速度が、酸化物半導体膜のエッチング速度よりも高くなるように形成される。具体的には、酸化物導電膜16は、燐酸、硝酸および酢酸を含むPAN薬液によってエッチングされるときのエッチング速度が、酸化物半導体膜15のエッ

10

20

30

40

50

チング速度よりも高い材料で構成される。これによって、酸化物半導体膜 15 および酸化物導電膜 16 を含む半導体層を、容易に、端面の断面形状が略テーパ形状にすることができる。

【0103】

具体的には、エッチング液として、シュウ酸を含む薬液、またはリン酸、硝酸および酢酸を含む PAN 薬液を用いて、半導体層をウエットエッチングすることによって、酸化物半導体膜 15 および酸化物導電膜 16 を含み、端面の断面形状が略テーパ形状の半導体層を、容易に形成することができる。

【0104】

このように、酸化物半導体膜 15 および酸化物導電膜 16 を含む半導体層を、端面の断面形状が略テーパ形状にすることによって、酸化物半導体膜 15 の上層にあるソース電極 17 およびドレイン電極 18 の断線を抑制することができる。

【0105】

また、酸化物導電膜 16 を設けることによって、ソース電極 17 およびドレイン電極 18 とチャンネル層である半導体層との接合端部において、ソース電極 17 およびドレイン電極 18 との接続界面部を有する第 2 の半導体材料である酸化物導電膜 16 の端部が、ソース電極 17 およびドレイン電極 18 の端部よりも内側に後退された構成となるので、電極端部における電界集中を抑制して、良好な TFT 特性を得ることができる。

【0106】

また、ソース電極 17 およびドレイン電極 18 は、少なくとも、互いに対向する側の端部が、それぞれ酸化物導電膜 16 を介して酸化物半導体膜 15 と電気的に接続された構成となっているので、ソース電極 17 およびドレイン電極 18 と酸化物半導体膜 15 の活性層との接続界面における電気特性を向上させることができる。これによって、酸化物半導体膜 15 の比較的高いキャリア移動度を活かして、動作速度が比較的速い高性能の TFT アクティブマトリクス基板 10 およびそれを備える表示装置を、高い歩留で生産性よく製造することができる。

【0107】

本実施の形態では、酸化物半導体膜 15 の材料として In - Zn - Sn - O 系の酸化物を用い、酸化物導電膜 16 の材料として In - Zn - O 系の酸化物を用い、エッチング薬液としてシュウ酸系薬液を用いたが、これらに限定されるものではない。ウエットエッチングのエッチング速度として、酸化物導電膜 16 のエッチング速度 V_2 が酸化物半導体膜 15 のエッチング速度 V_1 よりも高い ($V_2 > V_1$) となるような酸化物およびエッチング薬液であれば、好適に用いることができる。

【0108】

酸化物系の導電膜および半導体膜のエッチング薬液として、よく用いられるシュウ酸系薬液を選択した場合は、酸化物半導体膜 15 として、In - Zn - Sn - O 系の他にも、たとえば、Zn - Sn - O 系、In - Al - Sn - O 系、In - Si - Sn - O 系、In - Al - Zn - Sn - O 系のような錫 (Sn) を含む酸化物半導体膜を選択することができる。すなわち、酸化物半導体膜 15 は、酸化錫を含んでもよい。

【0109】

酸化錫を含む酸化物半導体膜を用いることによって、酸化錫を含まない酸化物半導体膜を用いる場合に比べて、シュウ酸系またはカルボン酸系の薬液に対する酸化物半導体膜 13 のエッチング速度を低下させることができる。

【0110】

酸化物導電膜 16 としては、In - Zn - O 系の他にも、Zn - O 系、ガリウム (Ga) - Zn - O 系、Al - Zn - O 系のような Zn - O を含む酸化物導電膜を選択することができる。すなわち、酸化物導電膜 16 は、酸化亜鉛 (ZnO) を含んでもよい。酸化亜鉛 (ZnO) を含む酸化物導電膜 16 を用いることによって、シュウ酸薬液に対するエッチング速度が、酸化物導電膜 16 のエッチング速度 V_2 が酸化物半導体膜 15 のエッチング速度 V_1 よりも大きい ($V_2 > V_1$) という条件を満足する酸化物導電膜 16 を容易に

10

20

30

40

50

実現することができる。

【0111】

酸化物半導体膜15を成膜した後は、200以上450以下の熱処理を行ってもよい。この熱処理の温度は、さらに好ましくは300以上400以下である。熱処理を行うことによって、シュウ酸系薬液に対する酸化物半導体膜15のエッチング速度をさらに低下させることができる。

【0112】

以上に述べた酸化物半導体膜15および酸化物導電膜16の各材料の元素の組成比は、導電率およびキャリア濃度がそれぞれ所望の値となるように決めればよい。

【0113】

また、前述の酸化物半導体膜15と酸化物導電膜16との組み合わせに対して、エッチング薬液として、金属膜のエッチング薬液である前述のPAN薬液を用いることも可能である。

【0114】

この場合は、PAN薬液に対するエッチング速度が、ソース電極17およびドレイン電極18のエッチング速度V3、酸化物導電膜16のエッチング速度V2、酸化物半導体膜15のエッチング速度V1の順に小さくなる($V3 > V2 > V1$)ようにそれぞれの材料を決めてやればよい。

【0115】

このような条件を満たすソース電極17およびドレイン電極18を構成する金属膜として、MoもしくはCuの膜、またはこれらの合金膜を好適に用いることができる。

【0116】

すなわち、ソース電極17およびドレイン電極18は、PAN薬液によってエッチングすることが可能な金属材料で構成されてもよく、この場合の金属材料は、アルミニウム(Al)、モリブデン(Mo)および銅(Cu)、ならびにこれらの合金から選ばれる少なくとも1つを含む。

【0117】

このような材料でソース電極17およびドレイン電極18を構成することによって、ソース電極17およびドレイン電極18と、酸化物半導体膜15および酸化物導電膜16とを同時にエッチングすることができる。したがって、写真製版工程の数を削減することができるので、製造工程を簡略化することができる。

【0118】

なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせることが可能である。また、各実施の形態の任意の構成要素を適宜、変更または省略することが可能である。

【符号の説明】

【0119】

1 薄膜トランジスタ(TFT)、10 アクティブマトリクス基板、11 透明絶縁性基板、12 ゲート電極、12A ゲート配線、13 補助容量電極、14 ゲート絶縁膜、15 酸化物半導体膜、16 酸化物導電膜、17 ソース電極、17A ソース配線、18 ドレイン電極、19 チャンネル領域、20 保護絶縁膜、21 画素ドレインコンタクトホール、22 画素電極、23 フォトレジストパターン、24 ノッチ。

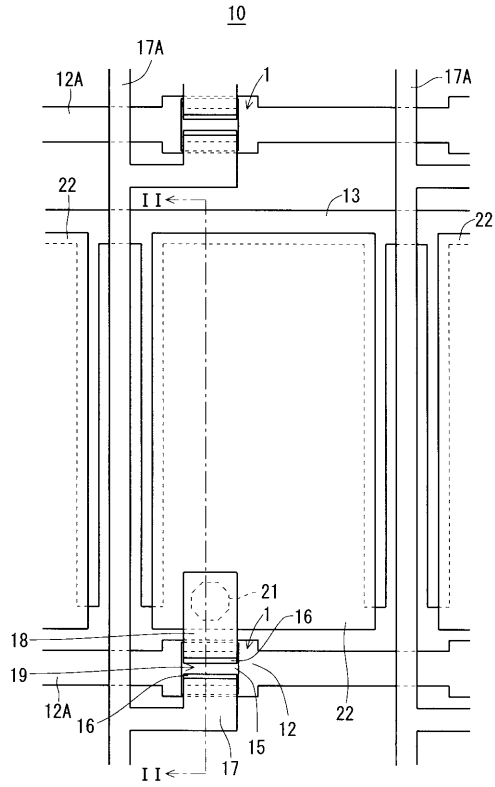
10

20

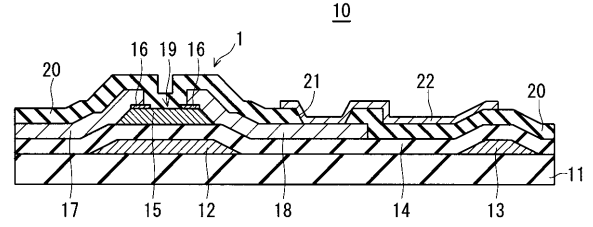
30

40

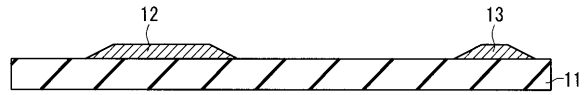
【 図 1 】



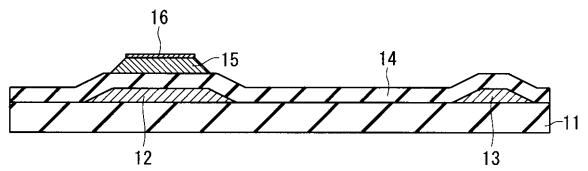
【 図 2 】



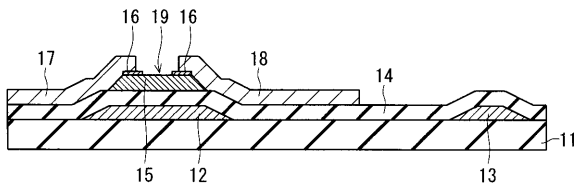
【 図 3 】



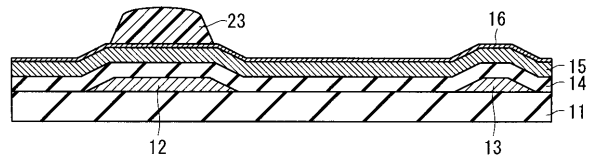
【 図 4 】



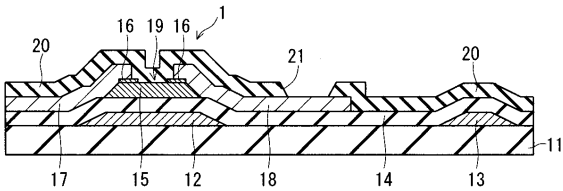
【 図 5 】



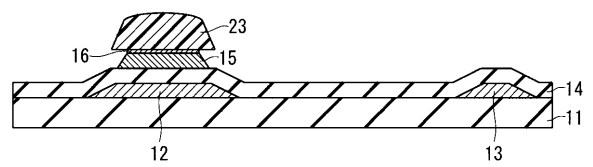
【 図 8 】



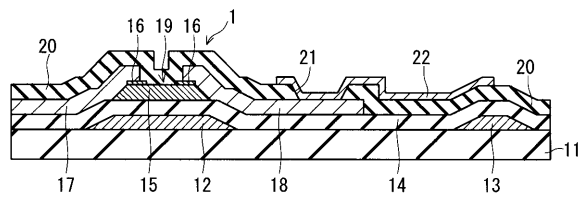
【 図 6 】



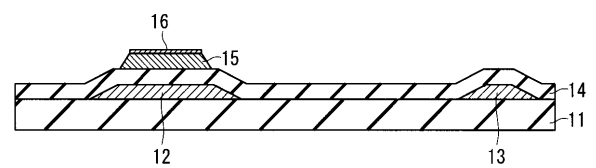
【 図 9 】



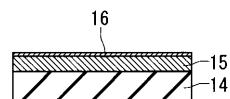
【 図 7 】



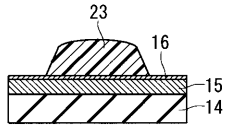
【 図 10 】



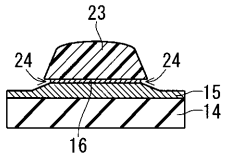
【 図 11 】



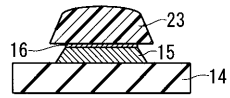
【 図 1 2 】



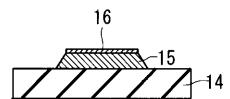
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 1 6 V
H 0 1 L 29/78 6 1 6 K
H 0 1 L 29/78 6 1 6 U

(72)発明者 石賀 展昭
熊本県合志市御代志 9 9 7 番地 メルコ・ディスプレイ・テクノロジー株式会社内

(72)発明者 井上 和式
熊本県合志市御代志 9 9 7 番地 メルコ・ディスプレイ・テクノロジー株式会社内

審査官 加藤 俊哉

(56)参考文献 特開 2 0 1 3 - 2 2 9 4 9 5 (J P , A)
特開 2 0 1 2 - 2 3 1 1 5 3 (J P , A)
特開 2 0 1 0 - 1 2 3 9 3 7 (J P , A)
特開 2 0 1 2 - 1 7 8 4 9 3 (J P , A)
特開 2 0 1 1 - 0 2 9 6 2 8 (J P , A)
特開 2 0 1 1 - 1 1 9 7 1 8 (J P , A)

(58)調査した分野(Int.Cl. , DB名)
H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 1 / 2 8
H 0 1 L 2 1 / 3 3 6