

389947

公告本

87年8月10日 修正
補充

| | |
|------|----------------------------------|
| 申請日期 | 86. 10. 06. |
| 案號 | 86114591 |
| 類別 | Int. Cl. ⁰ H01L 21/83 |

說明書修正本(88年2月)

A4

C4

389947

(以上各欄由本局填註)

發 明 專 利 說 明 書
新 型

| | | |
|--------------|---------------|---|
| 一、發明 名稱 | 中 文 | 方向性沉積於電晶體電極上之矽化物及其形成方法 |
| | 英 文 | "DIRECTIONALLY DEPOSITED SILICIDE ON TRANSISTOR ELECTRODES AND METHOD FOR SAME" |
| 二、發明 創作人 | 姓 名 | 1.馬 澤森 2.蘇 先潭 |
| | 國 籍 | 1.2.均美國 |
| 三、申請人 | 住、居所 | 1.美國華盛頓州98684梵谷弗所羅門東南道1511號 2.美國華盛頓州98607坎莫斯鱒魚西北巷2216號 |
| | 姓 名 (名稱) | 1.日商夏普股份有限公司 2.美商夏普微電子科技公司 |
| | 國 籍 | 1.日本 2.美國 |
| 代 表 人 姓 名 | 住、居所 (事務所) | 1.日本國大阪府大阪市阿倍野區長池町22番22號 2.美國華盛頓州坎馬斯市新太平洋濱大道5700號 |
| | 代 表 人 姓 名 | 1.辻 晴雄 2.瓊A. 休意爾 |

389947

公告本

87年8月10日 修正
補充

| | |
|------|----------------------------------|
| 申請日期 | 86. 10. 06. |
| 案號 | 86114591 |
| 類別 | Int. Cl. ⁰ H01L 21/83 |

說明書修正本(88年2月)

A4

C4

389947

(以上各欄由本局填註)

發明專利說明書

| | | |
|-------------|---------------|---|
| 一、發明 名稱 | 中文 | 方向性沉積於電晶體電極上之矽化物及其形成方法 |
| | 英文 | "DIRECTIONALLY DEPOSITED SILICIDE ON TRANSISTOR ELECTRODES AND METHOD FOR SAME" |
| 二、發明 創作人 | 姓名 | 1.馬澤森 2.蘇先潭 |
| | 國籍 | 1.2.均美國 |
| 三、申請人 | 住、居所 | 1.美國華盛頓州98684梵谷弗所羅門東南道1511號 2.美國華盛頓州98607坎莫斯鱒魚西北巷2216號 |
| | 姓名 (名稱) | 1.日商夏普股份有限公司 2.美商夏普微電子科技公司 |
| | 國籍 | 1.日本 2.美國 |
| | 住、居所 (事務所) | 1.日本國大阪府大阪市阿倍野區長池町22番22號 2.美國華盛頓州坎馬斯市新太平洋濱大道5700號 |
| | 代表 姓名 | 1.辻晴雄 2.瓊A. 休意爾 |

經濟部智慧財產局員工消費合作社印製

裝訂線

(由本局填寫)

| |
|--------|
| 承辦人代碼： |
| 大類： |
| IPC分類： |

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

美國 1996年12月18日 08/768,647 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 · 訂 · 線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明背景及概述

本發明係有關於半導體技術，尤其是在如 MOS 電晶體之主動半導體元件中的矽化電極的形成。

在半導體工業中所進行研究的一重要目的是在縮小使用在積體電路中的元件之尺寸。諸如金屬氧化物半導體(MOS)電晶體的平面電晶體特別適合應用在高密度積體電路。當 MOS 電晶體和其他主動元件的尺寸減小時，源極/汲極/閘極的尺寸，及每一元件的通道區域會相對地減小。

習用具短通道長度的較小平面電晶體設計，使它必需提供非常淺的源極/汲極之接合區域。淺接合應避免植入之摻雜劑橫向擴散至通道，因為此擴散會產生漏電流及不良的崩潰效應。舉例來說，低於 1000 埃(\AA)厚而最好低於 500 埃厚度之淺源極/汲極接合區域，在獲致短通道元件之令人滿意的性能上，是有必要的。

當淺接合電極使用在電晶體時，它便更難以提供至元件的源極/汲極區域之可信賴及低的電阻連接。金屬矽化物接點是一典型之執行接至源極/汲極/閘極的機構。在如此之接點中，導電金屬係沉積在矽電極上並經退火，在電極的表面上形成一金屬-矽化合物。稱之為矽化物的化合物係電氣及物理接合至電極，並具有一實質上低於其下所形成之摻雜矽的薄層電阻。在小元件中矽化物接點的一個重要優點是只有在沉積的金屬接觸矽的部位，矽化物才會形成。藉由一選擇性蝕刻，金屬易於從非矽化區域移除。如

(請先閱讀背面之注意事項再填寫本頁)

訂

號

五、發明說明(2)

此，矽化物區域只會在電極表面上自動校準。此自我校準矽化物的製程通常稱之為"Salicide"製程。

在淺接合源極和汲極區域上實施 Salicide 製程時，所出現的困難是它會消耗一部分的表面矽。在退火步驟中，當沉積金屬與下方之矽起反應時，會由一化學反應形成金屬矽化物。具非常薄接合深度的電極只有較少的矽可供犧牲形成矽化物，且只能允許形成一非常薄的矽化物層。但是薄的矽化物層被認為是熱不安定且具有一不令人滿意的高薄層電阻。

一種用以增加矽化物接點厚度的先前技藝技術，是在經摻雜之源極與汲極區域的表面上沉積額外的矽。在隆起之源極和汲極的額外矽然後可使用在與沉積的金屬起反應，以形成較厚的矽化物層。此方式有缺點，因為額外的矽沉積會產生攙雜物的額外擴散及其他效應，而降低元件的效率。

如果有一種改良的矽化物製程可在一 MOS 元件的淺接合電極中提供低薄層電阻矽化物層時，這是會有助益的。

在一淺接合矽電極上形成矽化物層時，如果能藉著從一源而非電極本身提供所需的大部份矽來降低表面矽的消耗，也將是有利的。

如果矽化物所需的矽可以電晶體的電極上沉積形成之矽化物層供給，而實質上能消除任何電極表面上的矽消耗的話，將會有所助益。

因此，本發明提供一種在 MOS 電晶體的製造過程中，

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(3)

會形成覆蓋不同矽化物厚度的積體電路(IC)結構。積體電路結構包括在形成電晶體的主動區中包含絕緣材料的一基底。積體電路也包括在基底上的源極和汲極。源極和汲極是由植入摻雜物並經擴散的矽所形成，而源極和汲極是由一矽通道區域所分離。積體電路也包括一閘極，其包含在通道區域上之中心設置之閘絕緣層、在閘絕緣層上的閘極、及在閘絕緣層上的閘絕緣邊壁，該邊壁通常圍繞在閘極附近。閘絕緣層係使源極和汲極與閘極相互隔絕。最後，積體電路包括來自準直路徑之矽化物沉積所形成的一金屬矽化物，此路徑通常係垂直於源極、汲極、及閘極延伸，並平行於閘邊壁。矽化物層在電極上有一矽化物的第一厚度，及較小在閘邊壁上之第二厚度。在後續的處理步驟中，大於第二厚度而小於第一厚度的一矽化物層預定厚度之各向同性移除會導致覆蓋源極、汲極、及閘極的一矽化物第三厚度，以改良電極的傳導性。

在較佳具體實施例中，積體電路結構是一完整的 MOS 電晶體，額外地包括一具有近乎覆蓋源極、汲極、及閘極之第三厚度的第一金屬二矽化物層。第一金屬二矽化物層是從一矽化物層的第一厚度各向同性地蝕刻一預定厚度而形成，而形成的第一厚度係在通常垂直於電極的一準直路徑中沉積金屬矽化物的結果。電晶體也包括一中間的金屬矽化物層，其具有在閘絕緣邊壁上的一第二厚度，而在一準直路徑上的矽化物沉積所形成的第二厚度通常平行於閘邊壁絕緣層。中間層是從第二厚度做各向同性地蝕刻預定

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(4)

的厚度所移除，該預定厚度係大於第二厚度而小於第一厚度。準直沉積和各向同性蝕刻使得源極、汲極、及閘極能作選擇性矽化物處理。

在一具體實施例中，一突出結構是在閘極上。該突出結構延伸超過閘極，在當矽化物沉積在通常垂直於突出結構而平行於閘邊壁的準直路徑時，可遮蔽閘邊壁免於矽化物沉積。突出結構的附加使矽化物沉積在積體電路的區域上時更有選擇性。

基底包括通常圍繞積體電路結構或電晶體的一絕緣材料的場區域。金屬矽化物的第三厚度是在場區域及電極上。隨後的製程步驟，屏罩電晶體的電極，並蝕刻積體電路來移除任何在場區域上所遺留的矽化物，將只殘留覆蓋矽化物的屏罩區域。

較佳的是，場區域包括一在場區域上的多晶矽化物傳導線，以將積體電路結構的一電極連接至另一積體電路的區域。傳導線包括在場區域上的一層多晶矽，及在多晶矽傳導線層上的一層矽化物。一矽化物層會殘留在傳導線多晶矽層上，即使在隨後製程步驟中積體電路被蝕刻以從場區域蝕刻移除矽化物之後，使得包含傳導線、以及源極、汲極、與閘極的積體電路的傳導區域上覆有一層矽化物，以改良傳導性。

在一積體電路上的一絕緣材料基底上形成一 MOS 電晶體的方法所包括的步驟： a) 在基底上形成矽的源極和汲極，在源極和汲極之間形成具有絕緣邊壁之一閘極，及在

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(5)

閘極下方形成絕緣材料，藉以使源極和汲極與閘極間電隔絕；b)以準直路徑沉積金屬矽化物，而路徑通常垂直於源極、汲極、及閘極延伸，且平行於閘邊壁，矽化物可選擇性地施於電晶體上形成一矽化物層，其在電極上具有第一厚度，及在閘邊壁絕緣材料上之小於第一厚度之第二厚度；及c)將在步驟b)所沉積的矽化物層予以各向同性地蝕刻一預定厚度，其大於第二厚度但小於第一厚度，以移除在閘邊壁絕緣材料上的矽化物層，並殘留覆有具第三厚度的矽化物層之電極，藉以使電極表面上選擇性構成的矽化物增加其電極傳導性。

圖式之簡單說明

圖 1 至 4 係顯示在電晶體電極上形成覆蓋之矽化物的步驟(先前技藝)。

圖 5 和 6 係顯示在 MOS 電晶體的製造過程中形成一覆蓋不同厚度矽化物之積體電路結構的步驟。

圖 7 至 9 係顯示利用一閘突出結構來形成覆蓋矽化物之電極的步驟。

圖 10 至 12 係顯示在隨後積體電路製程中保護在圖 6 中所覆蓋矽化物電極使其免於蝕刻的步驟。

圖 13 係顯示在圖 10 中沿著具有參考標示符號 C-C₁ 平面所定義之一元件的截面圖。

圖 14a 和 14b 係顯示在兩蝕刻製程之後在圖 13 中的傳導線，該蝕刻係用以從場區域移除不必要的矽化物。

圖 15 係顯示在圖 10 中的積體電路結構、或 MOS 電晶

五、發明說明(6)

體，其場區域包括一在場區域上的多晶矽化物傳導線，以將積體電路結構的一電極連接到積體電路的另一區域。

圖 16a 和 16b 係顯示以蝕刻法處理，以從場區域移除不必要的矽化物後之圖 15 傳導線。

圖 17 係顯示具有多晶矽化物閘極的一積體電路結構、或 MOS 電晶體。

圖 18 係顯示在積體電路上的一絕緣材料基底上形成一 MOS 電晶體的方法中之步驟。

較佳具體實施例之詳細說明

圖 1 至 4 係顯示在電晶體電極形成覆蓋矽化物的步驟(先前技藝)。圖 1 是一典型 MOS 電晶體 10 的整體概觀。電晶體 10 包括一閘極 12、一源極 14、及汲極 16。源極 14 和汲極 16 的位置是任意的，而且是可改變，源極 14 和汲極 16 可置入在圖 1 中所顯示的相反位置上。閘極 12 係接於在點 20 中斷的一傳導線 18。舉例來說，傳導線 18 是連接至一驅動器電晶體(在圖中並未標示出)的輸出，或連接至一外部介面。另一連接線 22 是將閘 12 連接至一連接墊 24。連接墊 24 將閘 12 連接到在積體電路(在圖中並未標示出)的其他基底上的電路。

圖 2 是一在圖 1 中沿著參考標示符號 A-A₁ 的平面所顯示之電晶體 10 的橫截面圖。源極 14 和汲極 16 是由一通道區域 26 所隔開，其通常設在源極 14 和汲極 16 之間，及在閘極 12 下方。源極 14、汲極 16 及通道區域 26 典型是由一共通的矽晶片所形成。就如在此項技藝中所知的，源

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(7)

極 14 和汲極 16 的特性是經由植入摻雜物所形成。在源極 14、汲極 16、及通道區域 26 之間的隔離是以虛線表示。閘 12 在閘極 12 的兩邊有一絕緣閘邊壁，及在閘極 12 下方的一閘絕緣層 30。邊壁 28 和絕緣層 30 從源極 14 和汲極 16 將閘極 12 作電氣絕緣。

圖 3 係顯示覆蓋一金屬層 32 的圖 2 電晶體 10。金屬層 32 在閘極 12、源極 14、汲極 16、邊壁 28、及通常圍繞電晶體 10 四周區域上，具有一實質相同的厚度。金屬層 32 係沉積在電晶體 10 上，用以在源極 14、汲極 16、及閘極 12 上形成一矽化物表面。

圖 4 係顯示在矽表面上形成二矽化物之後的圖 3 電晶體 10。舉例來說，金屬層 32 的鈷(Co)會在可形成二矽化物的溫度之下與電極 12、14、及 16 的矽起反應，以形成二矽化物。二矽化物表面由於它所增加的傳導性，是必要的。即是，跨於二矽化物表面上的電阻是小於跨於一單晶矽、或多晶矽、電極表面上的電阻。二矽化物表面會減少積體電路連接至電極 12、14、及 16，諸如傳導線及導孔的阻抗，並允許積體電路元件能以較高的速度操作。

圖 4 係顯示覆蓋閘極 12 的二矽化物表面 34、覆蓋源極 14 的二矽化物表面 36、及覆蓋汲極 16 的二矽化物表面 38。形成二矽化物表面 34、36、及 38 方法的一問題是在電極 12、14、及 16 裡的矽部分必須使用在製程上。即是，電極 12、14、及 16 的表面會在形成二矽化物層 34、36、及 38 中消耗。當在電極 12、14、及 16 的矽厚

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(8)

度開始接近大約 500\AA 時，矽的安定性會是一主要的問題。相當薄的源極 14 和汲極 16 是為人所期望，以縮減通道區域 26 的大小及整個電晶體 10 的大小，因此，在薄的電極上自我校準矽化製程之實用性受到限制。本發明是用來在矽電極上形成二矽化物層，而不會消耗電極裡的矽，所以矽化物能應用到即使是相當薄的電極上。

圖 5 和 6 係顯示在 MOS 電晶體的製造過程中，覆蓋不同矽化物厚度而形成一積體電路結構的步驟。另外，圖 5 和 6 又顯示一完整的 MOS 電晶體的矽化作用。在此所用的 MOS 電晶體是最典型的一積體電路結構形式。因此，用語"積體電路結構"，在製造程序中通常係指 MOS 電晶體。圖 5 係顯示積體電路結構 40 的橫截面圖，類似於在圖 2 中先前技藝晶體 10 的橫截面圖。積體電路結構 40 包括一基底 42，其包含在一形成有電晶體之主動區域的絕緣材料。基底 42 典型上係氧化物，如矽氧化物。積體電路結構 40 也包括在基底 42 上的源極 44 和汲極 46。源極 44 和汲極 46 是由植入有摻雜物的矽所形成，摻雜物係在矽中擴散而形成 n 型或 p 型半導體材料。源極 44 和汲極 46 是由一矽通道區域 48 所分隔，且典型上是從一共通的矽晶片所形成。源極 44、汲極 46、及通道區域 48 之間的邊界如在圖 5 中大致由虛線區分。積體電路結構 40 也包括一閘極，其包含一在通道區域 48 上偏中央設置的閘絕緣層 50、一在閘絕緣層 50 上的閘極 52、及在閘絕緣層 50 上的通常圍繞在閘極 52 的之周圍的閘絕

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(9)

緣邊壁 54，閘極的絕緣是使閘極與源極 44 和汲極 46 隔絕。

如在圖 5 中所顯示的積體電路結構 40 是從 SIMOX 晶圓所形成。SIMOX 是 "Separation by IMplanted Oxygen" 的縮寫，並提供源極 44 和汲極 46 的一具有適當薄之厚度的單晶矽層。積體電路結構 40 的製程包括隔離一主動區域，其中元件是藉由移除在基底 42 上形成電極 44 和 46 的矽層部分而形成。一閘藉由適當的建立一閘極 52 和絕緣層 50 和 54 的光微影及蝕刻步驟而在主動區域上的中央形成。就本發明的目的而言，源極和汲極的區域 44 和 46 的設計是任意的而且可互換。換句話說，區域 46 可指定為源極區域，而區域 44 可指定為汲極區域，或是反之亦然。

積體電路結構 40 也包括從準直路徑的矽化物沉積所形成的一金屬矽化物層 56，此路徑通常係垂直於源極 44、汲極 46、及閘極 52 作延伸，且平行於閘邊壁 54。準直路徑的方向是由一連串帶有參考符號 58 之箭號所指示。矽化物層 56 在電極 44、46、及 52 上有一矽化物的第一厚度 60，且在閘邊壁 54 上有第二而較小的厚度 62。第一厚度 60 和第二厚度 62 係由自矽化物層 56 所延伸的虛線所標示。在隨後的處理步驟中，大於第二厚度 62 而小於第一厚度 60 的一預定矽化物層 56 厚度的各向同性移除會造成覆蓋該源極 44、汲極 46、及閘極 52 的第三矽化物厚度 64 (在圖中並未標示出)，以改良

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(10)

電極的傳導性。

準直或方向性的沉積在此係定義為一物理沉積，其會自源以實質直線的方式來沉積材料，並經由一準直化而垂直於一標的的表面。達成此矽化物沉積的最普遍的方法是藉著從個別的金屬和矽源使用 e-光束蒸發的真空蒸發處理方式。另一方式是，相同的結果可從雷射蒸發、閃蒸、或光束濺射的處理方式而獲得。在另一方式中，準直是藉由一足夠大的距離來分隔源和標的而達成的，使得到達的材料實質會垂直於標的之表面。大體上，更均勻的方向性沉積可在低壓環境中獲得。因此，低壓離子光束濺射會提供比直流電(DC)、射頻(RF)、或磁控管濺射更佳的準直沉積。

圖 6 係顯示圖 5 的積體電路結構 40，其矽化物層 56 在電極 44、46、及 52 上具有第三厚度 64。在一矽化物層 56 的各向同性蝕刻之後，覆蓋源極 44、汲極 46、和閘極 52，及通常圍繞積體電路結構 40 四周的區域之矽化物層 56 的厚度實質上是相同的。如圖 5 所示，在邊壁 54 上的第二厚度 62 是藉由各向同性蝕刻法而移除。

在一較佳具體實施例中，積體電路結構 40 是一額外包含第一金屬二矽化物層(在圖中並未標示出)的一完整 MOS 電晶體，其在源極 44、汲極 46、閘極 52 上具有第三厚度 64。第一的二矽化物層藉由從矽化物層 56 第一厚度 60 而做各向同性蝕刻一預定厚度而形成。如在上圖 5 中，第一厚度 60 的形成，係由來於在通常垂直於電極

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(11)

44、46、及52之準直路徑58上沉積金屬矽化物。圖6中之第一金屬二矽化物層是退火製程後的矽化物層56。

完整的電晶體也包括中間金屬矽化物層56，其具有覆蓋在圖5中的閘邊壁絕緣層54上的第二厚度62。如圖5所示，第二厚度62是從通常從平行於閘邊壁54的準直路徑58中沉積矽化物而形成。中間層56是從第二厚度62做各向同性蝕刻預定的厚度而移除，其預定的厚度是大於第二厚度62，但小於第一厚度60，如圖6所示。準直沉積和各向同性蝕刻法允許源極44、汲極46、閘極52的選擇性矽化作用。

在一具體實施例中，MOS電晶體40是在一SIMOX晶圓上形成，該晶圓包含一層氧化物薄膜，及在氧化物薄膜上的一層單晶矽薄膜。源極44和汲極46是從單晶矽薄膜層而形成，且基底42是從氧化物層而形成，藉以提昇元件的隔絕、減少寄生電容、及減少漏洩電流。

請再新參考圖5，積體電路結構40具有第一矽化物厚度60，通常是介於100和500Å之間的範圍，而第二矽化物厚度62通常是介於20和100Å之間的範圍。請參考圖6，第三矽化物厚度64通常是介於80和400Å之間的範圍。

圖7至9係顯示使用一閘突出結構而形成以矽化物覆蓋之電極的步驟。圖7係顯示在閘極52上有一突出結構72的積體電路結構40。當矽化物沉積在通常垂直於突出結構72和平行於閘邊壁54的一準直路徑上時，突出結構

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (12)

72 從閘極 512 延伸越過閘極 52 而保護閘邊壁 54 免於矽化物沉積。如圖 5 所示，準直路徑的方向是以帶有參考符號 58 的箭號所顯示。突出結構 72 的增加使沉積在源極 44 和汲極 46 上的矽化物之沉積更有選擇性。即是，雖然矽化物層 56 的第一厚度 60 實質上保持與在圖 5 中相同的第一厚度 60，在圖 7 中的第二厚度 62 因突出結構 72 的使用而減小。在使用突出結構 72 之狀況下，第二厚度 62 通常是介於 0 和 50\AA 之間的範圍。由於第二厚度 62 已減少，且預定厚度之各向同性蝕刻也減少並經簡化，其會隨之使第三的厚度 64 較大以改良熱穩定度及在電極 44、46、及 52 上的矽化物層 56 的薄層電阻。

圖 8 係顯示圖 7 在各向同性地蝕刻除一矽化物層 56 之預定厚度後的積體電路結構 40。突出結構 72 延伸越過閘極 52 的距離是以虛線表示並有參考標示符號 74。突出結構 72 延伸越過閘極 52 的距離 74 通常是在 200 和 1000\AA 的範圍之間。

圖 9 係顯示一多晶矽化物閘極突出結構。閘極 52 包括在閘絕緣層 50 上的一多晶矽 76 層。突出結構 72 是在多晶矽層上的一矽化物層 76，藉以更增加閘極 52 的傳導性。一較厚的矽化物層會降低表面電阻通常為真。

形成突出結構 72 的一方法現說明如下。舉例來說，在閘氧化的步驟形成絕緣層 50 及沉積多晶矽層 76 之後，係以 LPCVD (低壓化學汽相沉積) 氬式沉積法來沉積矽化鎢。在製程的此時點，矽化物層 72 會疊置在多晶矽層 76

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (13)

上。製程的下一步驟是要運用一光罩，然後各向異性地將閘極堆疊物蝕刻至最後。在蝕刻的過程中，係調整蝕刻條件，使得多晶矽層 76 有略為傾向側向蝕刻。舉例來說，這可藉由增加包括如 SF_6 或 NF_3 之含氟氣體的流量而達成。另一可行的方式是，將環境中的壓力予以增加而降低蝕刻的各向異性，或降低底部電極的偏壓。最後，所蝕刻成的堆疊結構會受到氧化而形成邊壁 54，並使突出結構 72 在邊緣上更顯著地延伸，且越過多晶矽層 76。在突出結構 72 邊緣處理步驟之後所餘留的氧化物也增入距離 74，使得突出結構 72 延伸超過閘極 52。邊壁氧化物 54 也可由一額外的氧化物沉積而形成，如電漿促進的化學汽相沉積及間隔具止蝕術。

圖 10 至 12 係顯示在隨後的積體電路製程的蝕刻中保護圖 6 覆蓋矽化物之電極的步驟。圖 10 係顯示在圖 5 和 6 中所敘述的積體電路 40 上視圖。在源極 44、汲極 46、及閘極 52 下方是基底 42，其包括一絕緣材料的場區域 80，通常圍繞積體電路結構 40 的四周。圖 11 係顯示在圖 10 中由具參考標示符號 B-B₁ 之平面切成的一積體電路結構 40 截面圖。請再參考圖 6，金屬矽化物 56 的第三厚度 64 是在場區域 80、及電極 44、46、及 52 上。在隨後的製程步驟中，一罩幕 82 係施於電極 44、46、及 52 上予以覆蓋。

圖 11 係顯示在電極 44、46、及 52 上的罩幕 82。在圖 10 中，罩幕 82 是覆蓋陰影線的積體電路結構 40 的區

五、發明說明 (14)

域。移除在場區域 80 上之任何剩餘矽化物 56 的積體電路結構 40 之蝕刻，只會殘留以矽化物屏罩的區域。在電極上 44、46、及 52 上的矽化物層 56 構造是有助於增加這些電極的傳導性，然而，矽化物層 56 在場區域 80 上的區域中並不必要。場區域 80 是要自其它的積體電路結構和在積體電路中的電晶體，將積體電路結構 40 電絕緣。在場區域 80 上的金屬矽化物層 56 必須要移除，以防止不必要的短路，或在各種不同的積體電路結構之間的傳導路徑。

圖 12 係顯示圖 11 積體電路構造 40 在經由蝕刻處理而從場區域 80 移除矽化物層 56，且罩幕 82 已從積體電路結構 40 移除之後的狀態。矽化物層 56 會殘留在電極 44、46、及 52 上。當積體電路結構 40 是一 MOS 電晶體時，二矽化物中間層(在圖中並未標示出)大致具有在圖 6 場區域 80 上的第三厚度 64。中間的二矽化物層是藉由從矽化物層 56 的第一厚度 60 做各向同性蝕刻一預定的厚度所形成的。第一厚度 60 的形成是在一準直路徑上沉積金屬矽化物，通常係垂直於場區域 80 作沉積之結果。隨後之屏罩電晶體電極 44、46、及 52(圖 10 和 11)，及蝕刻電晶體 40 用以移除在場區域 80 上殘留之矽化物 56 的步驟只會留置如圖 12 所示之覆蓋矽化物的屏罩區域。

請再參考圖 10，一傳導線 84 係連接至閘極 52 及一傳導墊 86。在此方式中，積體電路結構 40 的一電極係介由傳導墊 86 和傳導線 84 而連接至在積體電路中之另一

五、發明說明 (15)

區域。在下面所提出的範例中，傳導線 84 係連接至開極 52。另一方式是，傳導線 84 係連接至源極 44 或汲極 46。

圖 13 係顯示在圖 10 中由沿著具參考標示符號 C-C₁ 的平面所切成的元件橫截面圖。一邊壁 90 通常圍繞著傳導線 84 並電隔離傳導線 84。矽化物層 56 覆蓋著場區域 80，及傳導線 84。最初，由於通常垂直於上述已定義表面的準直沉積而使矽化物層 56 有第一厚度 60，及沿著邊壁 90 之第二厚度，準直沉積通常係平行於邊壁 90。

圖 14 和 14b 係顯示圖 13 在兩蝕刻處理從場區域 80 移除不必要的矽化物之後的傳導線 84。首先，在圖 14a 中，一各向同性蝕刻法係經執行而在場區域 80 和傳導線 84 上形成矽化物層 56 的第三厚度 64，並移除在傳導線邊壁 90 上的第二厚度 62。其次，在圖 14b 中，在將單幕 82 施於電極 44、46、及 52(參考圖 11)之後，一蝕刻法係被執行而移除在場區域 80 上的所殘留的矽化物層 56。在此第二的處理步驟中，在傳導線 84 上的矽化物層 56 也會被移除。因此，傳導線 84 會實質保持與矽化物製程前相同的狀態。即是，雖然上述的矽化作用的製程會增加積體電路結構 40 的傳導性，但是連接傳導線 84 的傳導性仍未改進。若要矯正此傳導線的問題，本發明介紹使用如下所示的一多晶矽化物傳導線。

圖 15 係顯示圖 10 的積體電路結構 40，其場區域 80 包括在場區域 80 上的一多晶矽化物傳導線 92，以便將

五、發明說明 (16)

積體電路結構 40 的一電極連接至在積體電路中的另一區域。傳導線 92 包括在場區域 80 上的一多晶矽 94 層，及在多晶矽傳導線層 94 上的一矽化物 96 層。圖 15 也顯示覆蓋具有第一厚度 60 和第二厚度 62 之矽化物層 56 的傳導線 92 及場區域 80，其係由在上述圖 13 中的準直沉積方法形成。矽化物層 96 會殘留在傳導線多晶矽層 94 上，甚至在隨後的製程步驟中，蝕刻積體電路而從場區域 80 移除矽化物之後，使得包含傳導線 92，及源極 44、汲極 46、閘極 52 的積體電路傳導區域覆蓋著一層矽化物，以增加其傳導性。

圖 16a 和 16b 係顯示圖 15 中從場區域 80 蝕刻除去不必要的矽化物的傳導線 92。矽化物層 56 是以兩分別的蝕刻處理而從傳導線 92 和場區域 80 移除。首先，在矽化物的一準直沉積和各向同性蝕刻之後，在圖 16a 中的矽化物層 56 的第三厚度 64 會在矽化物層 96 和場區域 80 上形成。其次，在圖 16b 中，一蝕刻步驟會被執行而移除第三厚度 64。

當積體電路結構 40 係在一處理步驟中供完成 MOS 電晶體時，一中間的二矽化物層（在圖中並未標示出）會在圖 16a 內的傳導線 92 上。中間的二矽化物層是由退火處理矽化物的第三厚度 64 而形成。然而，如圖 16b 所示，一矽化物層 96 殘留在傳導線多晶矽層 94 上，即使是在電晶體 40 經蝕刻以從場區域 80 除去矽化物 56 之後，如此，包含傳導線 92，及源極 44、汲極 46、和閘極 52

五、發明說明(17)

的電晶體 40 傳導區域覆蓋一矽化物層 56，以增加傳導性。即是，多晶矽化物傳導線 92 保有它最初的矽化物 96 層。自傳導性多晶矽化物線 92 之選擇性移除矽化物，可利用不同的矽化物材料，及調整蝕刻化學，以增加蝕刻選擇性而獲得促進。

圖 17 係顯示具多晶矽化物閘極 52 的積體電路結構 40。多晶矽化物電極 52 包括在閘絕緣層 50 上的一多晶矽 98 層，及在多晶矽層 98 上的一矽化物 100 層。典型上，當矽化物層 56 從圍繞場區域 80 四周移除時，因電極 44、46 及 52 被屏罩(圖 10)，故多晶矽化物閘極 52 並不需。然而，多晶矽化物閘極 52 因矽化物較厚層確實具有較低之電阻之故，可具有進一步提高傳導特性。

圖 18 係顯示在積體電路的一絕緣材料基底上形成一 MOS 電晶體的方法步驟。步驟 120 在一積體電路上提供一絕緣材料的基底。步驟 122 在基底上形成矽的源極和汲極，在源極和汲極之間使用絕緣邊壁而形成一閘極，及在閘極下方形成絕緣材料，藉以從源極和汲極隔離開極。

步驟 124 係以一準直路徑沉積金屬矽化物，而此路徑通常係延伸垂直於源極、汲極、及閘極，並平行於閘邊壁。矽化物係選擇性地施覆在電晶體上，以形成在電極上具有第一厚度，及在閘邊壁絕緣材料上方具有小於第一厚度的第二厚度之矽化物層。步驟 126 係各向同性地蝕刻在步驟 124 中沉積成預定厚度的大於第二厚度但小於第一厚度之矽化物層，以移除在閘邊壁絕緣材料上的一矽化物

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(18)

層，並殘留覆蓋具第三厚度的矽化物層之電極。步驟 128 提供一 MOS 電晶體產品，其在電極表面上會選擇性的形成矽化物，以增加電極的傳導性。

在一具體實施例中，一突出結構係形成在閘極上，當矽化物以通常垂直於突出結構和平行於閘邊壁之準直路徑沉積時，此突出結構會延伸超過閘極，以保護閘邊壁免遭矽化物沉積。以此方式，在源極和汲極上的矽化物沉積會更有選擇性。突出結構延伸越過閘極的距離通常是在 200 和 1000Å 之間的範圍，而第二厚度通常是在 0 和 50Å 之間範圍。

最好能提供進一步之步驟，在步驟 126 中形成之具第三厚度的矽化物層退火之後，建立大致具有第三厚度的二矽化物層。在電極上選擇性地沉積矽化物會增加源極、汲極、及閘極表面的傳導性。步驟 126 包括通常以 500 至 900 °C 之間的溫度迅速熱退火(RTA)的製程來形成二矽化物。形成二矽化物的 RTA 製程是在一段時間內完成，通常是在 10 至 50 秒之間的範圍內。

在步驟 124 中的矽化物層可為如矽化鈷之單一金屬矽化物的均一層，或為由多於一種矽化材料所形成之層。舉例來說，矽化物層可包括矽化鈦的一下層，和矽化鈷的一上層。其他的用以在半導體電極上建立矽化物接點之層化、或合金化之適當的矽化作用材料的組合係此界人士所知者。

退火是在一溫度實行，且有一段時間，其會使矽化材料

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (19)

起反應而產生二矽化物。二矽化物相矽化物係 XSi_2 ，其 X 是選擇的經矽化材料。X 所表示的矽化物金屬可從包括鈷、鈦、鎳、鎢、鉬的群組、鈦與鈷和鎳的組合、及其他特殊金屬中選取。

可確實知道的是，如果一溫度接近於 RTA 的特定範圍的最低限，舉例來說是 $500^\circ C$ 時，其持續時間應較一較高溫度的範圍，例如 $900^\circ C$ 時為長。

基底包括通常圍繞電晶體的一絕緣材料場區域。步驟 124 包括以一準直路徑在場區域上沉積金屬矽化物的第一厚度，其路徑通常延伸垂直於場區域。步驟 126 包括在步驟 124 的以一大於第二厚度但是小於第一厚度之預定厚度在所沉積的場區域上各向同性地蝕刻矽化物層，而殘留覆蓋著具有第三厚度的一矽化物層之場區域。進一步的步驟包括將場區域上的矽化物退火以形成二矽化物層，屏罩包含源極、汲極、及閘極的電晶體主動區域，並從場區域蝕除矽化物層。場區域裡之矽化物會被移除，以防止跨越積體電路的不必要傳導路徑。

在一較佳具體實施例中，一多晶矽化物傳導線係覆蓋在場區域上，以將一電晶體的電極連接到積體電路的另一區域。傳導線包括在場區域上的一多晶矽層，及在多晶矽層上的第一矽化物層。步驟 124 包括以一準直路徑在傳導線上沉積金屬矽化物的第一厚度，其路徑通常延伸垂直於傳導線。步驟 126 包括將步驟 124 中沉積於傳導線上之矽化物層各向同性地蝕刻一預定厚度，該厚度大於第二厚

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (20)

度但是小於第一厚度，而殘留覆蓋著具第三厚度的一矽化物(來自方向性沉積)層的矽化物之第一層(原在傳導線上)。進一步的步驟包括將在傳導線的多晶矽層上之兩矽化物層退火，及將在傳導線上之矽化物蝕刻第三厚度以露出第一矽化物層。包含電極和傳導線的電晶體傳導表面仍覆有矽化物，以增加其傳導性。不同的矽化物層的選擇性移除係受得自不同金屬的矽化物之使用的協助，此等矽化物會與所使用的蝕刻劑起不同的反應。

步驟 126 之各向同性蝕刻製程可選自一濕溶液蝕刻法，及在高壓之含氟電漿中進行之乾式蝕刻法的組合，藉以在開邊壁上形成一最小量的聚合物。矽化作用材料的移除係藉由使用濕蝕刻或類似的製程來進行選擇性地蝕刻晶圓而完成，其會蝕刻矽化作用材料，但不會蝕刻矽化作用材料的矽化合物。舉例來說，鈦矽化物的一適當蝕刻劑是 $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2$ 。HF 的稀釋液也能使用於鈦矽化物和鈮矽化物。在此第一蝕刻步驟中所使用之蝕刻劑的另一所採用的術語是"矽化作用材料蝕刻劑"，其係指從表面移除矽化作用材料的任何適當的蝕刻化合物。

在一具體實施例中，源極和汲極是從在一塊狀基底上所沉積的塊狀矽而形成，且源極和汲極是經由離子植入及而後之擴散所形成的在塊狀矽中的井而形成。即是，本發明的方法可在取代在 SIMOX 晶圓中，而在塊狀矽中所形成的元件上以另一方式執行。一塊狀矽晶圓(在圖中並未標示出)在矽裡有一適當摻雜的 p-型井或 n-型井區域。主動

五、發明說明 (21)

區域是由場氧化區域所隔離和定義，其傳統上係使用眾所週知的處理步驟而形成。類似於圖 5 中的一閘結構在通道區域 48 上的主動區域的中心。典型上，在閘邊壁 54 形成之前，係實施摻雜材料之輕度植入以形成輕度摻雜或 LDD 之毗連元件通道區域 48 的接合區域。然後在形成邊壁 54 之後，一較多量而適當的摻雜用雜質係植入源極/汲極區域。此結構所需之細節及步驟的進一步之步驟細節對此技藝中之人士已廣為所知，而不在此做更詳盡的顯示。類似於上述之供塊狀矽用的區域，也可在 SIMOX 晶圓元件中選擇性地形成輕度摻雜區域，但是這些區域在圖 5 和其它的簡化圖中省略。

在另一具體實施例中，源極和汲極是從在一氧化物基底上的主動區域上的磊晶矽所形成的隆起結構。矽化作用及源極和汲極的隆起二者，可使電極之間的通道長度縮短，而因此形成一較小尺寸的電晶體。

本發明藉著在 RTA 過程中主要減少矽的消耗而可將單晶矽厚度的良好控制，較先前技藝的矽化作用的方法上已獲得非常大的改進。它允許超薄的厚度是 100 - 200Å 之源極/汲極接合區域的形成。在商業晶片製造著手之前，控制源極/汲極厚度的精確製程可從經驗獲得。精確的溫度和退火的期間，及所需的電極厚度和在其上的矽化物的厚度可容易地藉由調整退火的期間長和溫度而控制。

本發明的範圍內可實施各種變形具體實施例。如上之敘述，雖係專注於在 SIMOX 基底上形成之 MOS 電晶體，但是該製程同樣地適用於在塊狀矽中形成主動元件。本發明

五、發明說明 (22)

範圍內的其它可變方法對於熟諳此技藝者可自行推想得
到。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱: 方向性沉積於電晶體電極上之矽化物及其形成方法)

一種方法，用以在主動元件內的源極、汲極、及閘極上形成矽化物表面，以減少電極表面的電阻，不會在製程中消耗電極上的矽。矽化物係方向性沉積在電極上，以致於有一較大厚度會積聚在電極表面上，且有一較小厚度會積聚在閘極的邊壁表面上，該表面係使閘極與源極/汲極隔絕。然後，該電極係經各向同性地蝕刻，以使在邊壁上的較小厚度被移除，而殘留覆蓋電極的至少一些矽化物厚度。在進一步的步驟中，該等電極係受到光阻劑屏罩，而任何在電極附近之場氧化物區域中所沉積的矽化物會被移除。當在傳導線上的金屬二矽化物之低電阻表面有必要時，越過場氧化物連接至電極之傳導線係由多晶矽化物形成，其

(請先閱讀背面之注意事項再填寫本頁各欄)

訂
線

英文發明摘要(發明之名稱: "DIRECTIONALLY DEPOSITED SILICIDE ON TRANSISTOR ELECTRODES AND METHOD FOR SAME")

A method is provided for forming silicide surfaces on source, drain, and gate electrodes in active devices to decrease the resistance of the electrode surfaces, without consuming the silicon of the electrodes in the process. Silicide is directionally deposited on the electrodes so that a greater thickness accumulates on electrode surfaces, and a lesser thickness accumulates on the gate sidewall surfaces isolating the gate from the source/drain electrodes. Then, the electrodes are isotropically etched so that the lesser thickness on the sidewalls is removed, leaving at least some thickness of silicide covering the electrodes. In further steps, the electrodes are masked with photoresist, and any silicide deposited in the region of field oxide around the electrodes is removed. Conductive

四、中文發明摘要(發明之名稱：)

包括覆有矽化物的一層多晶矽。本發明的方法可以應用在塊狀矽、及 SIMOX、電晶體製造程序。本發明也提供具有不同厚度之方向性沉積矽化物的積體電路結構，及具中間厚度之方向性沉積矽化物的完整 MOS 電晶體。

英文發明摘要(發明之名稱：)

lines, connecting to the electrodes across the field oxide, are fabricated from polycide, which includes a level of polysilicon covered with silicide, when the lower resistance surface of a metal-disilicide overlying the conductive line is required. The method of the present invention is applicable to bulk silicon, as well as SIMOX, transistor fabrication processes. An IC structure having different thicknesses of directionally deposited silicide, and a completed MOS transistor having interim thicknesses of directionally deposited silicide, are also provided.

六、申請專利範圍

1. 一種積體電路結構，係在一MOS電晶體的製造中所形成，其覆蓋有不同厚度的矽化物，該積體電路結構包括：
 - 一 在一形成有電晶體之主動區域中包含絕緣材料的基底；
 - 在該基底上的源極和汲極，係由植入摻雜物並經擴散之矽所形成，該源極和汲極是由一矽通道區域所隔離；
 - 一 閘，包括設在該通道區域中央上的一閘絕緣層、一在該閘絕緣層上之閘極、及在該閘絕緣層上的通常圍繞在該閘極四周之閘絕緣邊壁，藉由該閘絕緣層使源極和汲極與該閘極間相互隔絕；且
 - 一 在通常垂直於該源極、汲極、及閘極延伸，且平行於該閘邊壁之準直路徑中由矽化物沉積所形成的金屬矽化物層，該矽化物層具有在上述電極上之矽化物的第一厚度，及在該閘邊壁上之第二較小的厚度；藉由在隨後的處理步驟中，各向同性地移除大於該第二厚度而小於第一厚度的該矽化物層的預定厚度，形成覆蓋上述源極、汲極、及閘極之第三厚度的矽化物，以改良上述電極的傳導性。
2. 如申請專利範圍第1項之積體電路結構，其中該第一矽化物厚度通常是在100至500個埃(\AA)之間的範圍，該第二矽化物厚度通常是在20至100 \AA 之間的範圍，且該第三的矽化物厚度通常是在80至400 \AA 之間的範圍。
3. 如申請專利範圍第1項之積體電路結構，其中有一突出

六、申請專利範圍

- 結構覆蓋在該閘極上，該突出結構係延伸超過閘極，以在當矽化物以通常垂直於該突出結構和平行於該閘邊壁之準直路徑沉積時，從矽化物的沉積中保護該閘邊壁，藉以在該源極和汲極上的矽化物沉積更有選擇性。
4. 如申請專利範圍第3項之積體電路結構，其中該突出結構係延伸超過該閘極的一距離，其通常是在200至1000 Å之間的範圍，且其中的該第二厚度通常是在0至50 Å之間的範圍。
 5. 如申請專利範圍第4項之積體電路結構，其中該閘極是一多晶矽化物電極，其包含在該閘絕緣層上的一多晶矽層，且其中該突出結構是在該多晶矽層上的一矽化物層，藉以進一步增加該閘極的傳導性。
 6. 如申請專利範圍第1項之積體電路結構，其中該矽化物金屬是從包括鈷、鈦、鎳、鎢、鉬，鉭所組合的群組，鈦與鈷和鎳的組合，及其他耐火金屬中選取。
 7. 如申請專利範圍第1項之積體電路結構，其中該基底包括通常圍繞積體電路結構四周的一絕緣材料場區域，且其中金屬矽化物的該第三厚度係覆蓋在該場區域及該電極上，藉而在屏罩該電極，並蝕刻去除積體電路中任何在場區域上所殘留的矽化物之隨後的製程步驟中，只殘留覆蓋矽化物的該已屏罩區域。
 8. 如申請專利範圍第7項之積體電路結構，其中該場區域包括覆於該場區域上的一多晶矽化物傳導線，以將該積體電路結構的一電極連接至積體電路中的另一區域，該

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

傳導線包括在該場區域上的一多晶矽層，及在該多晶矽傳導線層上的一矽化物層，藉以使一矽化物層即使在隨後步驟中積體電路被蝕刻以從上述場區域除去矽化物，仍能殘留在該傳導線多晶矽層上，使包含該傳導線及該源極、汲極、和閘極的積體電路傳導區域被覆蓋一矽化物層，以增加其傳導性。

9. 一種MOS電晶體，包括：

一 在一形成有電晶體的主動區域包含絕緣材料的基底；

一 在該基底上的源極和汲極，係由植入摻雜物並經擴散之矽所形成，該源極和汲極是由一矽通道區域所隔離；

一 閘，包含設在該通道區域中心上的一閘絕緣層，
一 在該閘絕緣層上之閘極，及在該閘絕緣層上通常圍繞在該閘極的四周之閘絕緣邊壁，藉由該閘絕緣層使該源極和汲極與閘極間相互隔絕；

一 第一金屬二矽化物層，在該源極、汲極、及閘極上，大致具有一第三厚度，該第一的二矽化物層是從一矽化物層的第一厚度做各向同性地蝕刻一預定厚度而形成，該第一厚度係以一通常垂直於該電極之準直路徑沉積金屬矽化物所形成；

一 中間金屬矽化物層，具有覆蓋在該閘絕緣邊壁上的一第二厚度，該第二厚度係在通常垂直於該電極之一準直路徑中沉積矽化物所形成，該中間層是從該第二厚度做各向同性地蝕刻該預定的厚度而移除，而該預定厚

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

度大於該第二厚度，但是小於該第一厚度，藉以使準直沉積和各向同性的蝕刻能容許該源極、汲極、及閘極之選擇性的矽化作用。

10. 如申請專利範圍第9項之MOS電晶體，其中該第一矽化物厚度的範圍通常是在100至500個埃(\AA)之間，該第二的矽化物厚度的範圍通常是在20至100 \AA 之間，而該第三的矽化物厚度的範圍通常是在80至400 \AA 之間。
11. 如申請專利範圍第9項之MOS電晶體，其中該突出結構係延伸超過該閘極，而當矽化物以通常垂直於突出結構且平行於該閘邊壁之準直路徑沉積時，可保護該閘邊壁免受矽化物之沉積，藉以使在該源極和汲極上的矽化物沉積更有選擇性。
12. 如申請專利範圍第11項之MOS電晶體，其中該突出結構係延伸超過該閘極一距離，而該距離範圍通常是在200至1000 \AA 之間，且其中該第二厚度的範圍通常是在0至50 \AA 之間。
13. 如申請專利範圍第9項之MOS電晶體，其中該沉積的金屬矽化物是從包括鈷、鈦、鎳、鎢、鉬，鉭的群組、鈦與鈷和鎳組合、及其他耐火金屬的組合中選取。
14. 如申請專利範圍第9項之MOS電晶體，其中該基底包括通常圍繞電晶體四周之絕緣材料的場區域，且其中該電晶體還包括：

大致具有在該場區域上的第三厚度之二矽化物中間層，該中間層是從一矽化物層的第一厚度做各向同性蝕

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

刻一預定的厚度而形成的，該所形成的第一厚度係在通常垂直於該場區域之一準直路徑中沉積金屬矽化物而成，藉以在隨後的製程步驟中屏罩該電晶體的電極，並蝕刻電晶體，以移除任何遺留在該場區域上的矽化物後，只殘留覆蓋矽化物的該屏罩區域。

15. 如申請專利範圍第14項之MOS電晶體，其中該場區域包括在該場區域上的多晶矽化物傳導線，以將電晶體的一電極連接到另一區域；該傳導線包括在該場區域上的一多晶矽層，且一矽化物層覆蓋在該多晶矽層上，且其中該中間二矽化物層係覆蓋在該傳導線上，藉以即是在蝕刻電晶體以從場區域去除矽化物後，仍能使一矽化物層保留在該傳導線多晶矽層上，使包含該傳導線，及該源極、汲極、和閘極的電晶體傳導區域被覆蓋矽化物，以增加其傳導性。
16. 如申請專利範圍第15項之MOS電晶體，其中該閘極是一多晶矽化物電極，其包含在該閘絕緣層上之一多晶矽層，及在該多晶矽層上的一矽化物層。
17. 如申請專利範圍第9項之MOS電晶體，其中該電晶體是在一SIMOX晶圓上形成，其包含一氧化物薄膜層，及在氧化物層上的一單晶矽薄膜層，上述源極和汲極是從單晶矽薄膜層形成，且該基底是從氧化物層形成，藉以增加元件、隔絕、減少寄生電容、及減少漏洩電流。
18. 一種在積體電路上之絕緣材料的基底上形成MOS電晶體的方法，包括以下之步驟：

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

a) 在基底上形成矽的源極和汲極，在源極和汲極之間形成具有絕緣邊壁之閘極，及在閘極下方形成絕緣材料，藉以使源極和汲極與閘極隔絕；

b) 在準直路徑上沉積金屬矽化物，該路徑通常延伸垂直於源極、汲極、及閘極，且平行於閘邊壁，該矽化物係選擇地施加在電晶體上以形成在電極上的具有第一厚度及覆蓋在閘邊壁絕緣材料上的一小於第一厚度之第二厚度；且

c) 各向同性地蝕刻在步驟 b) 中沉積之大於第二厚度但是小於第一厚度的預定厚度的矽化物層，以移除在閘邊壁絕緣材料上的該矽化物層，並殘留覆蓋具有一第三厚度的一矽化物層的電極，藉以使在電極表面上選擇性的形成矽化物，以增加電極傳導性。

19. 如申請專利範圍第18項之方法，其中該突出結構係覆蓋在閘極上，該突出結構係延伸超過閘極，而當矽化物以通常垂直於突出結構及平行於閘邊壁之準直路徑上沉積時，可保護閘邊壁免於矽化物的沉積，藉以使在源極和汲極上的矽化物沉積更有選擇性。

20. 如申請專利範圍第19項之方法，其中該突出結構係延伸超過閘極一距離，該距離範圍通常在200至1000Å之間，且其中該第二厚度的範圍通常是在0至50Å之間。

21. 如申請專利範圍第18項之方法，包括進一步的步驟：

d) 將在步驟 c) 中所形成具有第三厚度的該矽化物層退火，以產生大致具有第三厚度的二矽化物層，藉以使在該電極上矽化物的選擇性形成增加源極、汲極、及

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

開極的傳導性。

22. 如申請專利範圍第21項之方法，其中步驟d)包括以通常500至900°C之間的溫度作迅速熱退火(RTA)的製程形成二矽化物。
23. 如申請專利範圍第22項之方法，其中在步驟d)中形成二矽化物的RTA製程是在一段時間內完成，其範圍是在10至50秒之間。
24. 如申請專利範圍第18項之方法，其中該基底包括通常圍繞電晶體四周的絕緣材料之場區域，其中步驟b)包括在通常延伸垂直於場區域之準直路徑中的場區域上沉積金屬矽化物的一第一厚度，其中步驟c)包括各向同性地蝕刻在步驟b)中以大於第二厚度但小於第一厚度之一預定厚度在場區域上沉積的矽化物層，而殘留覆蓋具有一第三厚度矽化物層的場區域，其中步驟d)包括將在場區域上的矽化物退火，以形成二矽化物層，且包括進一步的步驟是：
- e) 屏罩包含源極、汲極、及開極的電晶體之主動區域；且
 - f) 從場區域蝕刻矽化物層，藉以使在場區域裡的矽化物移除，以防止跨越積體電路上之不必要的傳導路徑。
25. 如申請專利範圍第24項之方法，其中該多晶矽化物傳導線係在場區域上，以將該電晶體的一電極連接至該積體電路的另一區域，該傳導線包含覆蓋在場區域上的多

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

晶矽層，及覆蓋在多晶矽層上的矽化物層；其中步驟b)包括以一準直路徑在傳導線上沉積金屬矽化物的一第一厚度，而該路徑通常延伸垂直於傳導線；其中步驟c)包括各向同性地蝕刻在步驟b)中所沉積的在傳導線上的矽化物層一預定厚度，該預定厚度大於該第二厚度但是小於第一厚度，而殘留覆蓋具有第三厚度的矽化物層之第一矽化物層；其中步驟d)包括將在傳導線的多晶矽層上兩矽化物層退火；且其中步驟f)包括將在傳導線上之矽化物的該第三厚度蝕刻，藉以使包含該電極和該傳導線的電晶體之傳導表面仍以矽化物覆蓋，以增加其傳導性。

26. 如申請專利範圍第18項之方法，其中該第一厚度的範圍通常是在100至500Å之間，第二厚度是在20至100Å之間，且其中該第三厚度的範圍是在80至400Å之間。
27. 如申請專利範圍第18項之方法，其中該步驟c)的各向同性蝕刻製程是從濕溶液蝕刻法、在高壓含氯電漿中的乾蝕刻法所組合的群組中選取，藉以在閘邊壁上形成一最小量的聚合物。
28. 如申請專利範圍第18項之方法，其中該源極和汲極是從沉積在一塊狀基底上的塊狀矽所形成，且其中該源極和汲極是經由離子植入及隨後之擴散在塊狀矽中所形成的井。
29. 如申請專利範圍第18項之方法，其中該源極和汲極是從在一氧化物基底上的主動區域上的泵晶矽所形成的隆

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

起結構，藉以使矽化作用及源極和汲極的隆起二者容許在電極之間通道長度之降低，而因此形成一較小尺寸的電晶體。

30. 如申請專利範圍第18項之方法，其中該沉積的金屬矽化物是從包括鈷、鈦、鎳、鎢、鉬，鈮的群組、鈦與鈷和鎳的組合、及其他耐火金屬的組合中選取。
31. 如申請專利範圍第18項之方法，其中該閘極是一多晶矽化物電極，其包含在閘絕緣層上的一多晶矽層，及在該多晶矽層上的一矽化物層。

(請先閱讀背面之注意事項再填寫本頁)

訂

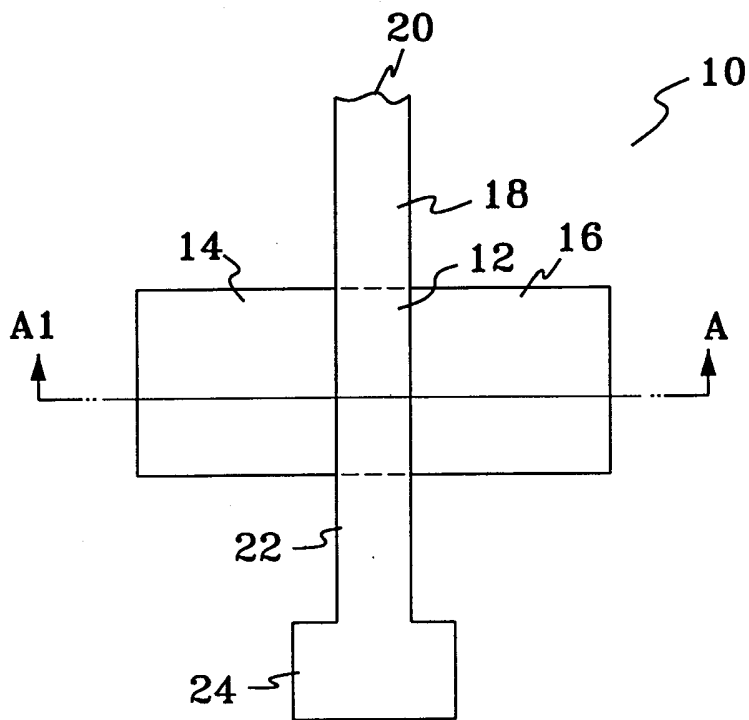


圖 1

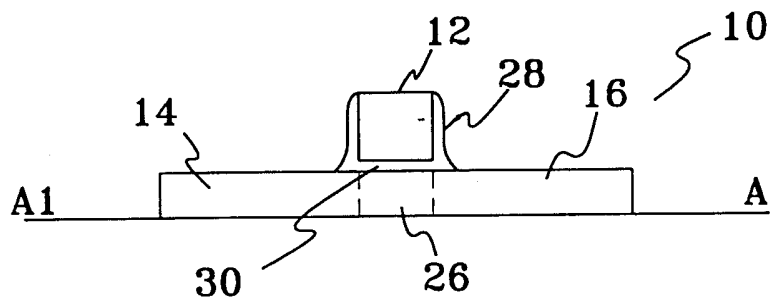


圖 2

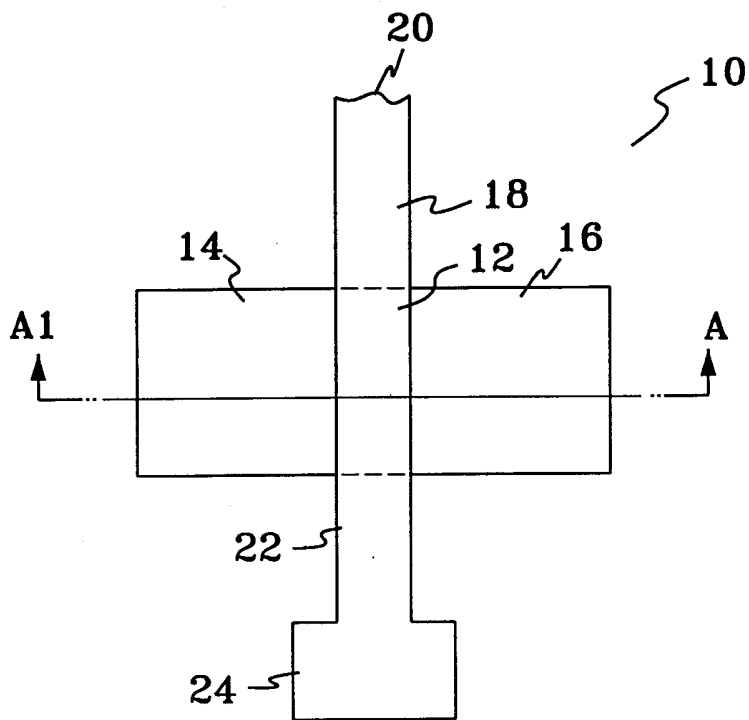


圖 1

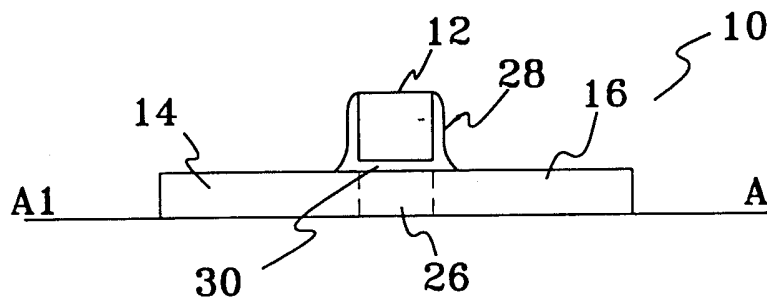


圖 2

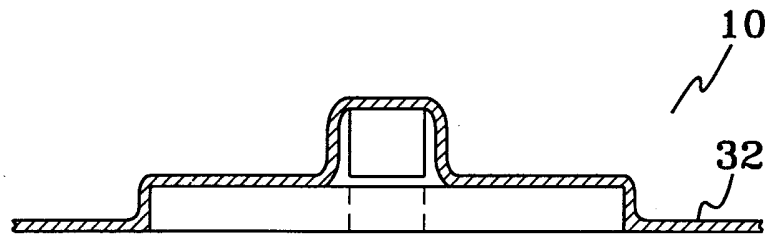


圖 3

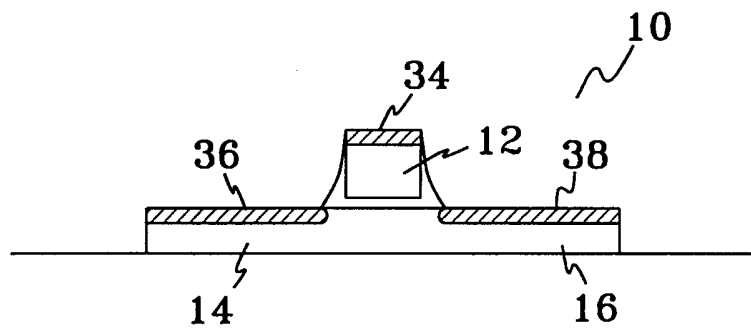


圖 4

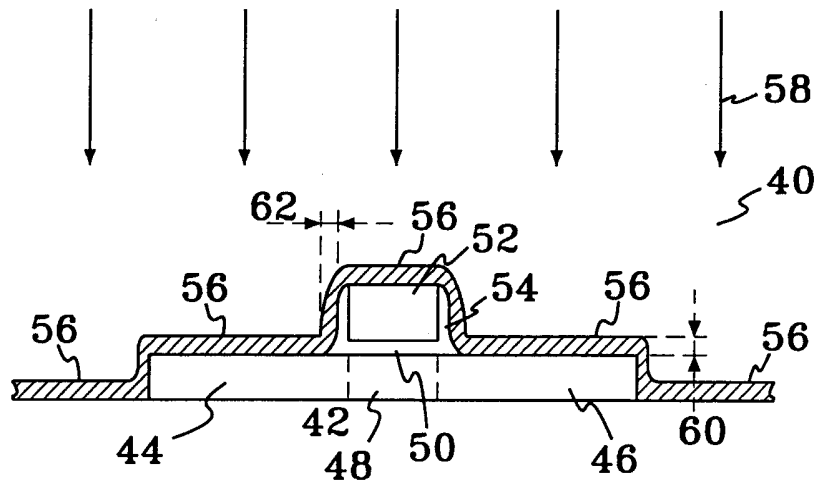


圖 5

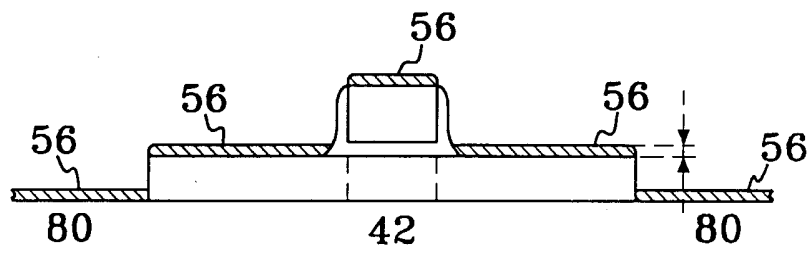


圖 6

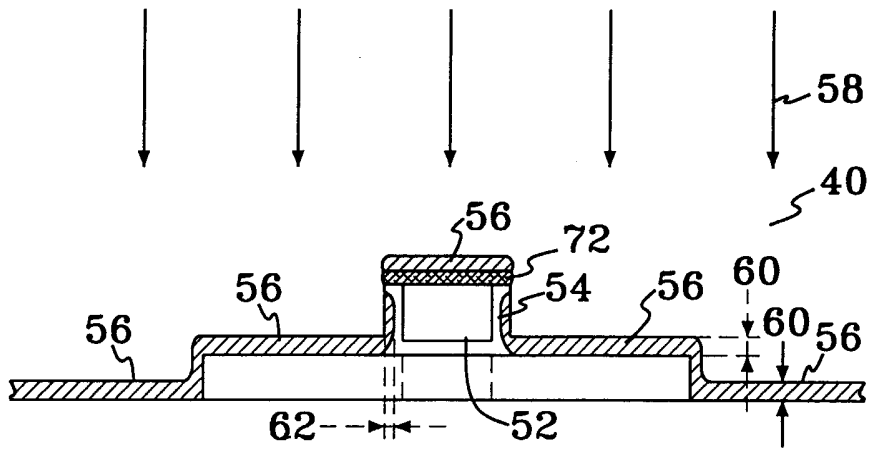


圖 7

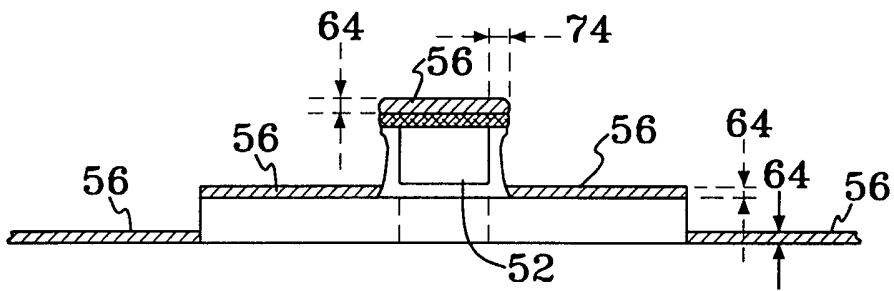


圖 8

389947

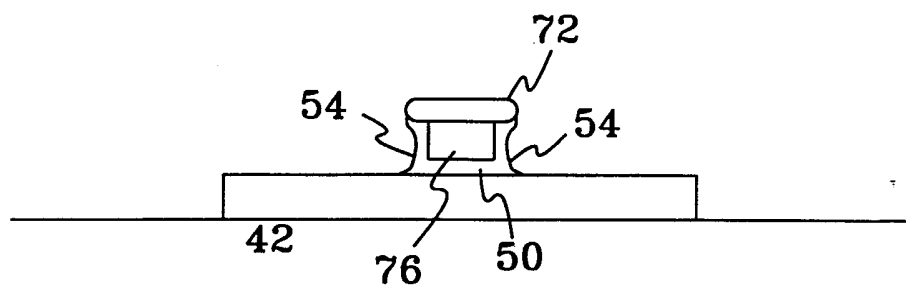


圖 9

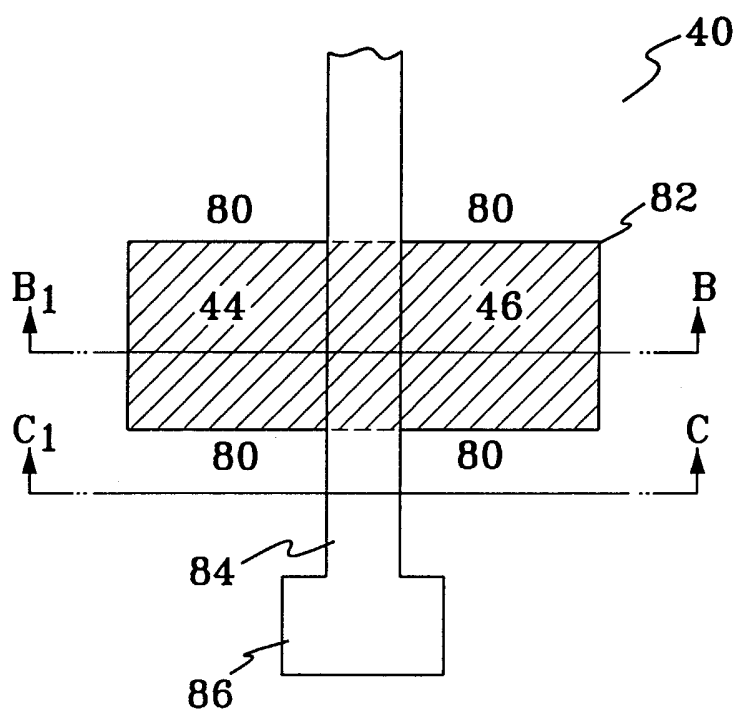


圖 10

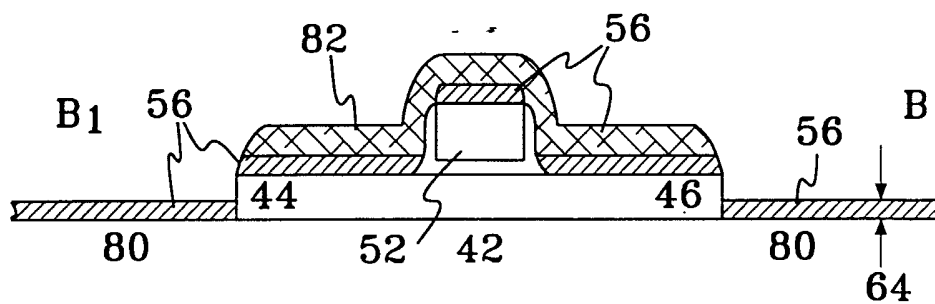


圖 11

389947

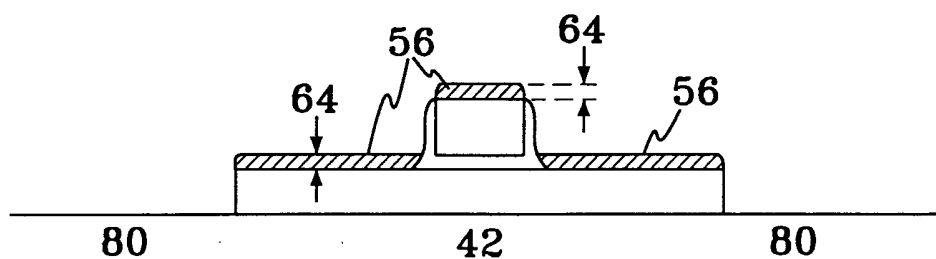


圖 12

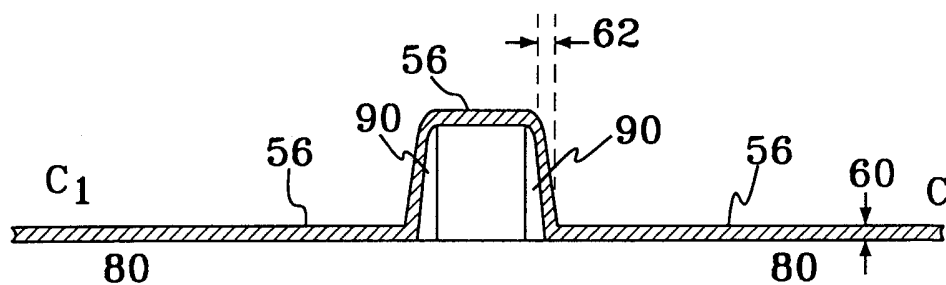


圖 13

389947

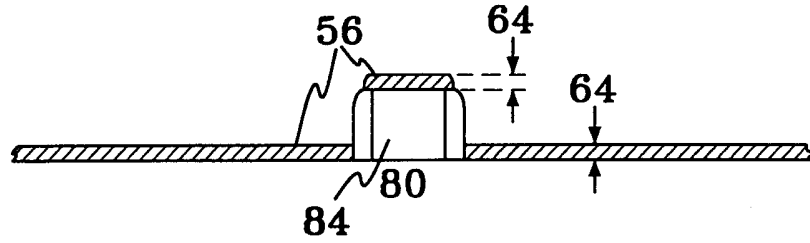


圖 14a

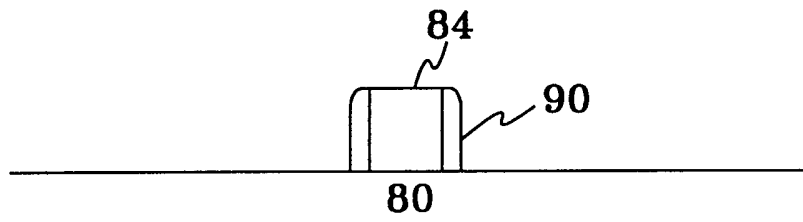


圖 14b

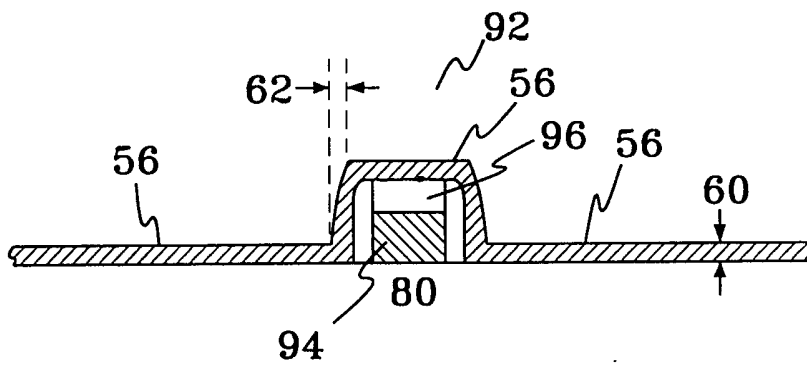


圖 15

389947

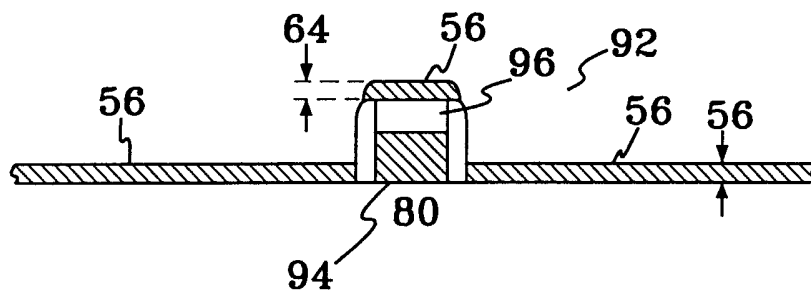


圖 16a

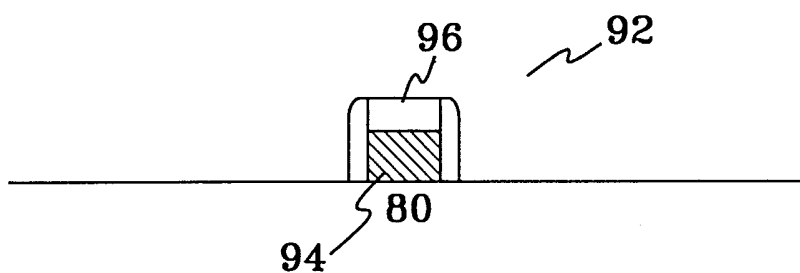


圖 16b

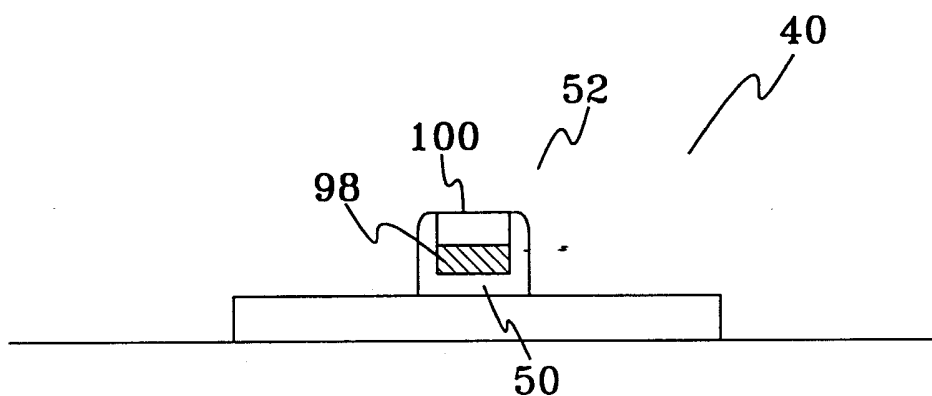


圖 17

389947

第86114591號專利申請案
中文圖式修正頁(88年8月)

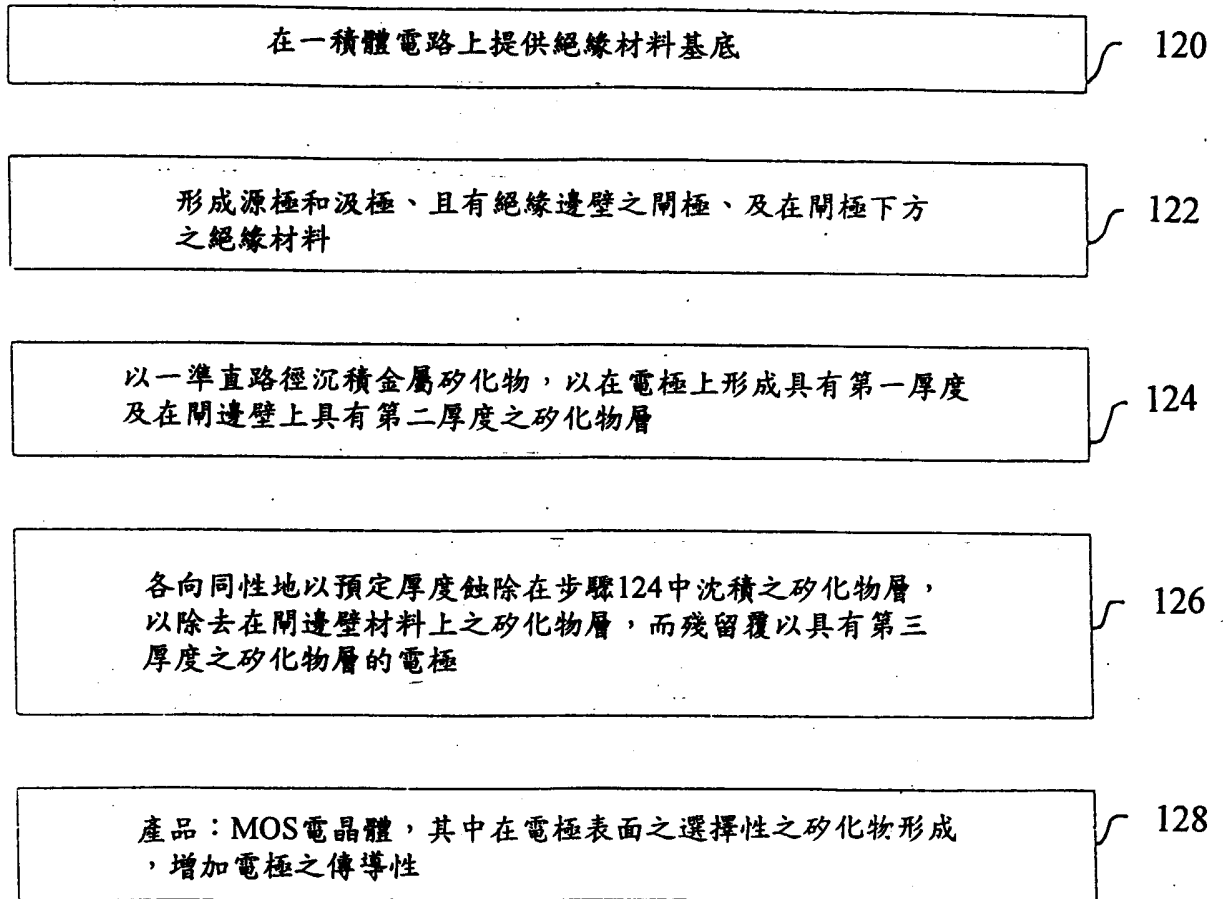


圖 18