

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4810790号
(P4810790)

(45) 発行日 平成23年11月9日(2011.11.9)

(24) 登録日 平成23年9月2日(2011.9.2)

(51) Int.Cl.		F I	
G09G	3/30	(2006.01)	G09G 3/30 K
G09G	3/20	(2006.01)	G09G 3/30 J
H03K	17/00	(2006.01)	G09G 3/20 611H
H01L	51/50	(2006.01)	G09G 3/20 624B
			G09G 3/20 641D

請求項の数 7 (全 20 頁) 最終頁に続く

(21) 出願番号	特願2003-428844 (P2003-428844)	(73) 特許権者	000002185
(22) 出願日	平成15年12月25日(2003.12.25)		ソニー株式会社
(65) 公開番号	特開2005-189379 (P2005-189379A)		東京都港区港南1丁目7番1号
(43) 公開日	平成17年7月14日(2005.7.14)	(74) 代理人	100095957
審査請求日	平成18年7月31日(2006.7.31)		弁理士 亀谷 美明
		(74) 代理人	100096389
			弁理士 金本 哲男
		(74) 代理人	100101557
			弁理士 萩原 康司
		(72) 発明者	山下 淳一
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	内野 勝秀
			東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 ディスプレイ装置及びディスプレイ装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

電流駆動による画素をマトリックス状に配置してなる表示部と、前記表示部を駆動する駆動回路とを有するディスプレイ装置において、

前記画素が、

発光素子と、

ゲートソース間に信号レベル保持用のコンデンサを保持し、前記信号レベル保持用のコンデンサの端子間電圧によるゲートソース間電圧により前記発光素子を駆動するソースフォロワ回路によるトランジスタと、

一端を前記トランジスタのゲートに接続したカップリング用のコンデンサと、

前記カップリング用のコンデンサの他端を信号線に接続する信号線用のスイッチ回路と

、前記トランジスタのソースを所定の基準電圧に接続するソース側基準電圧用のスイッチ回路と、

前記トランジスタのゲートドレインを短絡させる短絡用のスイッチ回路と、

前記カップリング用のコンデンサの前記他端を所定の基準電圧に接続するコンデンサ側基準電圧用のスイッチ回路と、

前記トランジスタへの電源の供給を停止する電源用のスイッチ回路とを有し、

前記駆動回路は、

前記信号線のスイッチ回路の駆動により、前記カップリング用のコンデンサを介して前

10

20

記信号線の信号レベルにより前記信号レベル保持用のコンデンサの端子電圧を設定し、該信号レベル保持用のコンデンサの端子間電圧によるゲートソース間電圧により前記トランジスタで前記発光素子を電流駆動し、

前記信号レベル保持用のコンデンサの前記端子電圧の設定において、

前記電源用のスイッチ回路をオフ状態に設定する前に、前記コンデンサ側基準電圧用のスイッチ回路、前記短絡用のスイッチ回路、前記ソース側基準電圧用のスイッチ回路をオン状態に設定し、

前記電源用のスイッチ回路をオフ状態に設定した後、前記コンデンサ側基準電圧用のスイッチ回路、前記短絡用のスイッチ回路、前記ソース側基準電圧用のスイッチ回路をオフ状態に設定すると共に、前記信号線のスイッチ回路をオン状態に設定することにより、

前記信号レベル保持用のコンデンサの端子間電圧を前記トランジスタのしきい値電圧以上に立ち上げてから、前記信号レベル保持用のコンデンサの端子間電圧を前記トランジスタのしきい値電圧に設定すると共に、前記信号レベル保持用のコンデンサの前記トランジスタのソース側端を一定電位に設定した後、

前記信号線の信号レベルにより、前記信号レベル保持用のコンデンサの端子電圧を設定し、

前記コンデンサ側基準電圧用のスイッチ回路、前記短絡用のスイッチ回路、前記ソース側基準電圧用のスイッチ回路のオンオフ制御を、同一の制御信号により実行する

ことを特徴とするディスプレイ装置。

【請求項 2】

前記トランジスタ、前記各スイッチ回路が n チャンネル MOS 型のトランジスタにより形成された

ことを特徴とする請求項 1 に記載のディスプレイ装置。

【請求項 3】

電流駆動による画素をマトリックス状に配置してなるディスプレイ装置において、

前記画素が、

発光素子と、

ゲートソース間に信号レベル保持用のコンデンサを保持し、信号線の信号レベルにより設定された前記信号レベル保持用のコンデンサの端子間電圧によるゲートソース間電圧により前記発光素子を駆動するソースフォロワ回路によるトランジスタと、

一端を前記トランジスタのゲートに接続したカップリング用のコンデンサと、

前記トランジスタのソースを一時的に所定の基準電圧に接続することにより、前記信号レベル保持用のコンデンサのソース側端を一定電圧に設定するソース側基準電圧用のスイッチ回路と、

前記ソース側基準電圧用のスイッチ回路と同一の制御信号により動作して、前記カップリング用のコンデンサの他端を所定の基準電圧に接続するコンデンサ側基準電圧用のスイッチ回路と、

前記ソース側基準電圧用のスイッチ回路と同一の制御信号により動作して、前記トランジスタのゲートドレインを短絡させる短絡用のスイッチ回路と、

前記短絡用のスイッチ回路による基準電圧への接続に応動して、前記トランジスタへの電源の供給を停止し、前記信号線の信号レベルによる前記信号レベル保持用のコンデンサの端子電圧の設定により前記トランジスタへの電源の供給を開始する電源用のスイッチ回路と、

前記電源用のスイッチ回路による電源の供給が停止される前に、前記ソース側基準電圧用のスイッチ回路、前記コンデンサ側基準電圧用のスイッチ回路、前記短絡用のスイッチ回路がオン状態に設定され、その後、前記電源用のスイッチ回路による電源の供給を停止することにより、前記信号レベル保持用のコンデンサの端子間電圧を前記トランジスタのしきい値電圧以上に立ち上げてから、前記信号レベル保持用のコンデンサの端子間電圧を前記トランジスタのしきい値電圧に設定すると、前記カップリング用のコンデンサの他端を信号線に接続し、前記カップリング用のコンデンサを介して前記信号レベル保持用のコ

10

20

30

40

50

ンデンサの端子電圧を前記信号線の信号レベルにより設定する信号線用のスイッチ回路とを備えることを特徴とするディスプレイ装置。

【請求項 4】

前記トランジスタ、前記各スイッチ回路が n チャンネル MOS 型のトランジスタにより形成された

ことを特徴とする請求項 3 に記載のディスプレイ装置。

【請求項 5】

有機 EL 素子による画素をマトリックス状に配置してなるディスプレイ装置において、前記画素が、

前記有機 EL 素子と、

ゲートソース間に信号レベル保持用のコンデンサを保持し、信号線の信号レベルにより設定された前記信号レベル保持用のコンデンサの端子間電圧によるゲートソース間電圧により前記有機 EL 素子を駆動するソースフォロワ回路によるトランジスタと、

一端を前記トランジスタのゲートに接続したカップリング用のコンデンサと、

前記トランジスタのソースを一時的に所定の基準電圧に接続することにより、前記信号レベル保持用のコンデンサのソース側端を一定電圧に設定するソース側基準電圧用のスイッチ回路と、

前記ソース側基準電圧用のスイッチ回路と同一の制御信号により動作して、前記カップリング用のコンデンサの他端を所定の基準電圧に接続するコンデンサ側基準電圧用のスイッチ回路と、

前記ソース側基準電圧用のスイッチ回路と同一の制御信号により動作して、前記トランジスタのゲートドレインを短絡させる短絡用のスイッチ回路と、

前記短絡用のスイッチ回路による基準電圧への接続に反応して、前記トランジスタへの電源の供給を停止し、前記信号線の信号レベルによる前記信号レベル保持用のコンデンサの端子電圧の設定により前記トランジスタへの電源の供給を開始する電源用のスイッチ回路と、

前記電源用のスイッチ回路による電源の供給が停止される前に、前記ソース側基準電圧用のスイッチ回路、前記コンデンサ側基準電圧用のスイッチ回路、前記短絡用のスイッチ回路がオン状態に設定され、その後、前記電源用のスイッチ回路による電源の供給を停止することにより、前記信号レベル保持用のコンデンサの端子間電圧を前記トランジスタのしきい値電圧以上に立ち上げてから、前記信号レベル保持用のコンデンサの端子間電圧を前記トランジスタのしきい値電圧に設定すると、前記カップリング用のコンデンサの他端を信号線に接続し、前記カップリング用のコンデンサを介して前記信号レベル保持用のコンデンサの端子電圧を前記信号線の信号レベルにより設定する信号線用のコンデンサとを備えることを特徴とするディスプレイ装置。

【請求項 6】

前記トランジスタ、前記各スイッチ回路が n チャンネル MOS 型のトランジスタにより形成された

ことを特徴とする請求項 5 に記載のディスプレイ装置。

【請求項 7】

電流駆動による画素をマトリックス状に配置してなる表示部を有するディスプレイ装置の駆動方法において、

前記画素が、

発光素子と、

ゲートソース間に信号レベル保持用のコンデンサを保持し、前記信号レベル保持用のコンデンサの端子間電圧によるゲートソース間電圧により前記発光素子を駆動するソースフォロワ回路によるトランジスタと、

一端を前記トランジスタのゲートに接続したカップリング用のコンデンサと、

前記カップリング用のコンデンサの他端を信号線に接続する信号線用のスイッチ回路と

、

10

20

30

40

50

前記トランジスタのソースを所定の基準電圧に接続するソース側基準電圧用のスイッチ回路と、

前記トランジスタのゲートドレインを短絡させる短絡用のスイッチ回路と、

前記カップリング用のコンデンサの前記他端を所定の基準電圧に接続するコンデンサ側基準電圧用のスイッチ回路と、

前記トランジスタへの電源の供給を停止する電源用のスイッチ回路とを有し、

前記ディスプレイ装置の駆動方法は、

前記信号線のスイッチ回路の駆動により、前記カップリング用のコンデンサを介して前記信号線の信号レベルにより前記信号レベル保持用のコンデンサの端子電圧を設定し、該信号レベル保持用のコンデンサの端子間電圧によるゲートソース間電圧により前記トランジスタで前記発光素子を電流駆動し、

前記信号レベル保持用のコンデンサの前記端子電圧の設定において、

前記電源用のスイッチ回路をオフ状態に設定する前に、前記コンデンサ側基準電圧用のスイッチ回路、前記短絡用のスイッチ回路、前記ソース側基準電圧用のスイッチ回路をオン状態に設定し、

前記電源用のスイッチ回路をオフ状態に設定した後、前記コンデンサ側基準電圧用のスイッチ回路、前記短絡用のスイッチ回路、前記ソース側基準電圧用のスイッチ回路をオフ状態に設定すると共に、前記信号線のスイッチ回路をオン状態に設定することにより、

前記信号レベル保持用のコンデンサの端子間電圧を前記トランジスタのしきい値電圧以上に立ち上げてから、前記信号レベル保持用のコンデンサの端子間電圧を前記トランジスタのしきい値電圧に設定すると共に、前記信号レベル保持用のコンデンサの前記トランジスタのソース側端を一定電位に設定した後、

前記信号線の信号レベルにより、前記信号レベル保持用のコンデンサの端子電圧を設定し、

前記コンデンサ側基準電圧用のスイッチ回路、前記短絡用のスイッチ回路、前記ソース側基準電圧用のスイッチ回路のオンオフ制御を、同一の制御信号により実行する

ことを特徴とするディスプレイ装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ディスプレイ装置及びディスプレイ装置の駆動方法に関し、例えば有機EL (Electro Luminescence) 素子によるディスプレイ装置に適用することができる。本発明は、ソースフォロワ回路構成により発光素子を電流駆動するトランジスタに対して、このトランジスタのゲートソース間に設けられた信号レベル保持用のコンデンサにトランジスタのしきい値電圧を設定した後、信号線の信号レベルを設定することにより、トランジスタのばらつきを補正して階調を設定するようにして、このコンデンサへのしきい値電圧の設定に供する複数のスイッチ回路を1つの制御信号により制御することにより、ソースフォロワ回路構成により発光素子を電流駆動するトランジスタに補正回路を設ける場合に、走査線の数を少なくすることができるようにする。

【背景技術】

【0002】

従来、有機ELの表示装置においては、例えばUSP5,684,365、特開平8-234683号公報等にディスプレイ装置への応用が種々に提案されるようになされている。

【0003】

すなわち図7に示すように、この種のディスプレイ装置1において、表示部2は、マトリックス状に配置されてなる画素(PX)3に対して、走査線SCNがライン単位で水平方向に設けられ、またこの走査線SCNと直交するように信号線SIGが各列毎に垂直方向に設けられる。このようにして形成されてなる表示部2に対して、ディスプレイ装置1は、垂直駆動回路4により走査線SCNを駆動して順次ライン単位で表示部2の画素3を

10

20

30

40

50

選択すると共に、この画素3の選択に対応するように水平駆動回路5により信号線SIGを駆動して各画素3の階調を設定するようになされている。

【0004】

このため垂直駆動回路4は、ライトスキャン回路(WSCN)4Aにより、各画素3への書き込みをライン単位で順次指示する書き込み信号wsを生成し、この書き込み信号wsを走査線SCNに出力して各画素3における階調の設定を制御するようになされている。また水平駆動回路5は、各画素3の階調を指示する階調データD1に応じて駆動信号を生成し、この駆動信号を水平セクタ(HSEL)5Aにより各信号線SIGに振り分けて出力し、これらによりディスプレイ装置1は、ライン単位で各画素3の階調を設定するようになされている。

10

【0005】

有機ELのディスプレイ装置においては、このようにして駆動される各画素3が、電流駆動による自発光型の素子である有機EL素子と、この有機EL素子を駆動する各画素の駆動回路(以下、画素回路と呼ぶ)とにより形成されるようになされている。

【0006】

しかしてこのようにして形成されるディスプレイ装置においては、nチャンネルMOS型のTFT(Thin Film Transistor)により各画素回路を形成することにより、また有機EL素子のアノードをトランジスタに接続してこのトランジスタにより電流駆動することにより、アモルファスシリコンのプロセスを適用して有機EL素子と画素回路とをガラス基板上に一体に形成することができ、これにより図8に示すように、ソースフォロワ回路構成により有機EL素子12を駆動することが考えられる。

20

【0007】

すなわちこの図8に示すディスプレイ装置11は、各画素3において、有機EL素子12のアノードにソースを接続してなるソースフォロワ回路構成のトランジスタTR2により有機EL素子12を電流駆動するように形成され、このトランジスタTR2のゲートに信号レベル保持用のコンデンサC1が設けられる。ここでこの信号レベル保持用のコンデンサC1は、一端がトランジスタTR2のゲートに接続され、他端が基準電圧に接続され、この図8の例では、この基準電圧が電源電圧Vccに設定される。ディスプレイ装置11は、垂直駆動回路4に設けたライトスキャン回路4Aから書き込み信号wsを出力するようにして、この書き込み信号wsによりオン動作するトランジスタTR1によるスイッチ回路により、この信号レベル保持用のコンデンサC1が信号線SIGに接続され、これにより書き込み信号wsに応動して信号線SIGに出力される駆動信号の信号レベルによりトランジスタTR2のゲート電圧Vgが設定される。これによりこのディスプレイ装置11は、このように設定されたゲート電圧Vgに応じた電流により有機EL素子12を駆動し、階調データD1に応じた階調により各画素3の有機EL素子12を発光させて所望の画像を表示できるようになされている。

30

【0008】

しかしながら有機EL素子においては、図9に示すように、使用により電流が流れ難くなる方向に電流電圧特性が変化する。なおこの図9及び図10において、符号L1が初期の特性を示し、符号L2が経時変化による特性を示すものである。これに対して図8について上述したソースフォロワ回路による駆動においては、図10に示すように、トランジスタTR2のドレインソース間電圧Vds-ドレインソース電流Idsの特性曲線に対して、負荷による特性曲線が交差してなる交点が動作点となる。これにより有機EL素子において、電流電圧特性が変化すると、その分、有機EL素子に流れる電流が減少し、これらにより各画素の輝度が徐々に低下して画質が劣化する欠点がある。

40

【0009】

この欠点を解消する1つの方法として、このようなゲート電圧Vgによる階調の設定に代えてゲートソース間電圧Vgsによる階調の設定により有機EL素子12の駆動電流を制御する方法が考えられる。すなわちTFTのドレイン電流Idsにおいては、 $(1/2) \times \mu \times (W/L) C_{ox} (V_{gs} - V_{th})^2 \dots (1)$ により表され、これにより

50

ゲートソース間電圧 V_{gs} による階調の設定により経時変化による駆動電流の変化を防止することができる。ここで μ はキャリアの移動度、 W はゲート幅、 L はゲート長、 C_{ox} は単位面積当たりのゲート容量、 V_{th} はしきい値電圧である。

【0010】

しかしながらこのようにゲートソース間電圧 V_{gs} により階調を設定する場合、(1) 式より明らかのように、有機 EL 素子を駆動するトランジスタのしきい値電圧 V_{th} がばらつくと、その分、各画素における駆動電流がばらつくようになり、これにより画質が劣化する欠点がある。これによりさらにこの欠点を解消する方法として、階調設定に供する信号レベル保持用のコンデンサに、事前に、トランジスタのしきい値電圧 V_{th} を設定し、このしきい値電圧により信号レベル保持用のコンデンサの端子電圧を補正することが考

10

【0011】

図11は、図8との対比により、これらの欠点の解消方法に係るディスプレイ装置を示すブロック図である。このディスプレイ装置31では、各画素33において、トランジスタ TR_2 のゲートドレイン間への信号レベル保持用のコンデンサ C_1 の配置に代えて、このトランジスタ TR_2 のゲートソース間に信号レベル保持用のコンデンサ C_{s2} を配置し、この信号レベル保持用のコンデンサ C_{s2} の端子電圧を信号線 SIG の信号レベルにより設定する。またドライブスキャン信号 ds によりオン動作するトランジスタ TR_3 によるスイッチ回路をトランジスタ TR_2 のソースに接続し、信号レベル保持用のコンデンサ C_{s2} の端子電圧を信号線 SIG の信号レベルにより設定する際に、このトランジスタ TR_3 により信号レベル保持用のコンデンサ C_{s2} のソース側端を一定電位に保持する。なお図8においては、この一定電位がアース電位の場合である。

20

【0012】

これによりトランジスタ TR_2 においては、信号レベル保持用のコンデンサ C_{s2} に保持された端子間電圧によるゲートソース間電圧 V_{gs} により有機 EL 素子 12 を駆動し得、有機 EL 素子 12 の電圧電流特性が経時変化した場合であっても、この経時変化による駆動電流の変化を防止して画質劣化を防止することができる。

【0013】

このようなゲートソース間電圧 V_{gs} の設定により階調を設定するようにして、このディスプレイ装置31は、この信号レベル保持用のコンデンサ C_{s2} とトランジスタ TR_1 の間に、カップリング用のコンデンサ C_{s1} を設け、このカップリング用のコンデンサ C_{s1} を介して信号線 SIG の信号レベル V_{in} により信号レベル保持用のコンデンサ C_{s2} の端子電圧を設定する。しかしてこの場合、コンデンサ C_{s1} を介した信号線 SIG への接続により信号レベル保持用のコンデンサ C_{s2} の端子間電圧は、信号線 SIG の信号レベル V_{in} をコンデンサ C_{s1} 、 C_{s2} により分圧した電圧 $V_{in} = V_{in} (C_{s1} / (C_{s1} + C_{s2})) \dots \dots (2)$ だけ上昇することになる。これによりこの関係式を考慮して、水平駆動回路35により信号線 SIG が駆動される。

30

【0014】

またディスプレイ装置31は、トランジスタ TR_2 への電源 V_{cc} の供給を停止するトランジスタ TR_4 によるスイッチ回路、トランジスタ TR_2 のゲートドレイン間を短絡させてトランジスタ TR_2 をダイオード接続に切り換えるトランジスタ TR_5 によるスイッチ回路、コンデンサ C_{s1} のトランジスタ TR_1 側端を基準電圧に接続するトランジスタ TR_6 によるスイッチ回路が設けられる。なおこのトランジスタ TR_6 に係る基準電圧にあっては、このディスプレイ装置31ではアース電位に設定される。

40

【0015】

これらによりディスプレイ装置31は、図12及び図13(A)に示すように、信号レベル保持用のコンデンサ C_{s2} によるゲートソース間電圧 V_{gs} によりトランジスタ TR_2 で有機 EL 素子 12 を電流駆動し、書き込み信号 ws により画素33の階調を設定する直前で、トランジスタ TR_2 に電源 V_{cc} を供給した状態で、制御信号 az によりトランジスタ TR_5 をオン状態に設定してトランジスタ TR_2 をダイオード接続すると共に、カ

50

ップリング用のコンデンサ C_{s1} の信号線側端を所定の基準電位に設定する（図 12（A）、（B）及び図 13（B））。その後、トランジスタ T_{R4} によりトランジスタ T_{R2} への電源 V_{cc} の供給を停止すると共に、トランジスタ T_{R3} によりトランジスタ T_{R2} のソースを基準電圧に接続する（図 12（C）、（D）及び図 13（C））。これによりこのディスプレイ装置 31 では、それまで信号レベル保持用のコンデンサ C_{s2} の端子間電圧がトランジスタ T_{R2} のしきい値電圧 V_{th} 以下の場合であっても、トランジスタ T_{R2} のしきい値電圧 V_{th} 以上に、一旦、トランジスタ T_{R2} のゲートソース間電圧 V_{gs} を立ち上げた後、しきい値電圧 V_{th} に収束させるようになされ、これにより信号レベル保持用のコンデンサ C_{s2} にトランジスタ T_{R2} のしきい値電圧 V_{th} を設定するようになされている。（図 12（E）及び（F））。

10

【0016】

このようにして信号レベル保持用のコンデンサ C_{s2} にしきい値電圧 V_{th} を設定すると、このディスプレイ装置 31 は、トランジスタ T_{R3} によりトランジスタ T_{R2} のソースを基準電圧に接続したままの状態、制御信号 a_z の立ち下げにより、トランジスタ T_{R5} によるダイオード接続を中止し、またトランジスタ T_{R6} によるカップリング用のコンデンサ C_{s1} の基準電圧への接続を中止する（図 12（B）及び図 13（D））。また続いて、書き込み信号 w_s の立ち上げによりトランジスタ T_{R1} を制御して信号線 SIG をカップリング用のコンデンサ C_{s1} に接続し、これにより信号レベル保持用のコンデンサ C_{s2} のソース側端を基準電圧に保持した状態で、カップリング用のコンデンサ C_{s1} を介して信号レベル保持用のコンデンサ C_{s2} の端子電圧を信号線 SIG の信号レベル V_{in} により設定し、これにより有機 EL 素子 12 の駆動に供するトランジスタ T_{R2} のゲートソース間電圧 V_{gs} を設定する（図 12（C）及び図 13（D））。しかしてこの場合、事前に、信号レベル保持用のコンデンサ C_{s2} に、トランジスタ T_{R2} のしきい値電圧 V_{th} が設定されていることにより、信号レベル保持用のコンデンサ C_{s2} においては、このしきい値電圧 V_{th} の分だけ高い電圧により端子間電圧が設定され、これにより（1）式による括弧内の $-V_{th}$ の項がキャンセルされるように設定されてトランジスタ T_{R2} により有機 EL 素子 12 を駆動することになり、これによりトランジスタ T_{R2} のしきい値電圧 V_{th} のばらつきによる駆動電流のばらつきが防止される。

20

【0017】

これによりディスプレイ装置 31 では、トランジスタ T_{R1} 、 T_{R3} を元の設定に戻した後、トランジスタ T_{R4} により電源 V_{cc} の供給を開始することにより、このようにして設定された信号レベル保持用のコンデンサ C_{s2} の端子間電圧により有機 EL 素子 12 が電流駆動される（図 13（E））。

30

【0018】

ディスプレイ装置 31 では（図 11）、このような画素 33 による表示部 32 の構成に対応して、書き込み信号 w_s を出力するライトスキャン回路 24A に加えて、このライトスキャン回路 24A による書き込み信号 w_s の出力に同期してドライブスキャン信号 ds_1 、ドライブスキャン信号 ds_2 、制御信号 a_z をそれぞれ出力するドライブスキャン回路（ $DSCN$ ）34B、ドライブスキャン回路（ $DSCN2$ ）34C、オートゼロ回路（ $ZERO$ ）34D を垂直駆動回路 34 に設ける。また水平駆動回路 35 においては、これらの構成に対応するように駆動信号を生成する。

40

【0019】

しかしてこのようにすれば、有機 EL 素子 12 の経時変化、有機 EL 素子 12 を駆動するトランジスタ T_{R2} のしきい値電圧 V_{th} のばらつきによる画質劣化を防止し得ることができる。

【0020】

しかしながら図 14 に示すように、カラーによるディスプレイ装置においては、一般に、赤色、緑色、青色の画素（ PXR ）、（ PXG ）、（ PXB ）33 毎に、発光、非発光の期間を制御してカラーバランスを設定することにより、このように書き込み信号 w_s 、ドライブスキャン信号 ds_1 、 ds_2 、制御信号 a_z により各画素 33 の階調を制御する

50

場合、各色の画素 3 3 毎に、発光、非発光の制御に係るドライブスキャン信号 $d s 2$ を供給することが必要になり、これにより全体として 6 本の走査線 $S C N$ 、 $S C N 1$ 、 $S C N 2 R$ 、 $S C N 2 G$ 、 $S C N 2 B$ 、 $S C N 3$ を設けることが必要になる。

【 0 0 2 1 】

これにより上述の構成においては、表示部 3 2 において、走査線の数が増大し、これにより表示部 3 2 のレイアウトが困難になり、高解像度化することが困難になる問題があった。特に、アモルファスシリコンによりこれらのトランジスタを作成する場合にあっては、トランジスタの移動度が小さいことにより、トランジスタを小型化することが困難な欠点があり、これにより一段と高解像度化が困難になる。

【特許文献 1】USP 5, 684, 365

【特許文献 2】特開平 8 - 234683 号

【発明の開示】

【発明が解決しようとする課題】

【 0 0 2 2 】

本発明は以上の点を考慮してなされたもので、ソースフォロワ回路構成により発光素子を電流駆動するトランジスタに補正回路を設ける場合に、走査線の数を少なくすることができるディスプレイ装置、ディスプレイ装置の駆動方法を提案しようとするものである。

【課題を解決するための手段】

【 0 0 2 3 】

かかる課題を解決するため請求項 1 の発明においては、電流駆動による画素をマトリックス状に配置してなる表示部と、表示部を駆動する駆動回路とを有するディスプレイ装置に適用して、画素が、発光素子と、ゲートソース間に信号レベル保持用のコンデンサを保持し、信号レベル保持用のコンデンサの端子間電圧によるゲートソース間電圧により発光素子を駆動するソースフォロワ回路によるトランジスタと、一端をトランジスタのゲートに接続したカップリング用のコンデンサと、カップリング用のコンデンサの他端を信号線に接続する信号線用のスイッチ回路と、トランジスタのソースを所定の基準電圧に接続するソース側基準電圧用のスイッチ回路と、トランジスタのゲートドレインを短絡させる短絡用のスイッチ回路と、カップリング用のコンデンサの他端を所定の基準電圧に接続するコンデンサ側基準電圧用のスイッチ回路と、トランジスタへの電源の供給を停止する電源用のスイッチ回路とを有し、駆動回路は、信号線のスイッチ回路の駆動により、カップリング用のコンデンサを介して信号線の信号レベルにより信号レベル保持用のコンデンサの端子電圧を設定し、該信号レベル保持用のコンデンサの端子間電圧によるゲートソース間電圧によりトランジスタで発光素子を電流駆動し、信号レベル保持用のコンデンサの端子電圧の設定において、電源用のスイッチ回路をオフ状態に設定する前に、コンデンサ側基準電圧用のスイッチ回路、短絡用のスイッチ回路、ソース側基準電圧用のスイッチ回路をオン状態に設定し、電源用のスイッチ回路をオフ状態に設定した後、コンデンサ側基準電圧用のスイッチ回路、短絡用のスイッチ回路、ソース側基準電圧用のスイッチ回路をオフ状態に設定すると共に、信号線のスイッチ回路をオン状態に設定することにより、前記信号レベル保持用のコンデンサの端子間電圧を前記トランジスタのしきい値電圧以上に立ち上げてから、信号レベル保持用のコンデンサの端子間電圧をトランジスタのしきい値電圧に設定すると共に、信号レベル保持用のコンデンサのトランジスタのソース側端を一定電位に設定した後、信号線の信号レベルにより、信号レベル保持用のコンデンサの端子電圧を設定し、コンデンサ側基準電圧用のスイッチ回路、短絡用のスイッチ回路、ソース側基準電圧用のスイッチ回路のオンオフ制御を、同一の制御信号により実行する。

【 0 0 2 4 】

また請求項 3 の発明においては、電流駆動による画素をマトリックス状に配置してなるディスプレイ装置に適用して、画素が、発光素子と、ゲートソース間に信号レベル保持用のコンデンサを保持し、信号線の信号レベルにより設定された信号レベル保持用のコンデンサの端子間電圧によるゲートソース間電圧により発光素子を駆動するソースフォロワ回路によるトランジスタと、一端をトランジスタのゲートに接続したカップリング用のコン

10

20

30

40

50

デンサと、トランジスタのソースを一時的に所定の基準電圧に接続することにより、信号レベル保持用のコンデンサのソース側端を一定電圧に設定するソース側基準電圧用のスイッチ回路と、ソース側基準電圧用のスイッチ回路と同一の制御信号により動作して、カップリング用のコンデンサの他端を所定の基準電圧に接続するコンデンサ側基準電圧用のスイッチ回路と、ソース側基準電圧用のスイッチ回路と同一の制御信号により動作して、トランジスタのゲートドレインを短絡させる短絡用のスイッチ回路と、短絡用のスイッチ回路による基準電圧への接続に反応して、トランジスタへの電源の供給を停止し、信号線の信号レベルによる信号レベル保持用のコンデンサの端子電圧の設定によりトランジスタへの電源の供給を開始する電源用のスイッチ回路と、電源用のスイッチ回路による電源の供給が停止される前に、ソース側基準電圧用のスイッチ回路、コンデンサ側基準電圧用のスイッチ回路、短絡用のスイッチ回路がオン状態に設定され、その後、電源用のスイッチ回路による電源の供給を停止することにより、前記信号レベル保持用のコンデンサの端子間電圧を前記トランジスタのしきい値電圧以上に立ち上げてから、信号レベル保持用のコンデンサの端子間電圧をトランジスタのしきい値電圧に設定すると、カップリング用のコンデンサの他端を信号線に接続し、カップリング用のコンデンサを介して信号レベル保持用のコンデンサの端子電圧を信号線の信号レベルにより設定する信号線用のスイッチ回路とを備えるようにする。

10

【0025】

また請求項5の発明においては、有機EL素子による画素をマトリックス状に配置してなるディスプレイ装置に適用して、画素が、有機EL素子と、ゲートソース間に信号レベル保持用のコンデンサを保持し、信号線の信号レベルにより設定された信号レベル保持用のコンデンサの端子間電圧によるゲートソース間電圧により有機EL素子を駆動するソースフォロワ回路によるトランジスタと、一端をトランジスタのゲートに接続したカップリング用のコンデンサと、トランジスタのソースを一時的に所定の基準電圧に接続することにより、信号レベル保持用のコンデンサのソース側端を一定電圧に設定するソース側基準電圧用のスイッチ回路と、ソース側基準電圧用のスイッチ回路と同一の制御信号により動作して、カップリング用のコンデンサの他端を所定の基準電圧に接続するコンデンサ側基準電圧用のスイッチ回路と、ソース側基準電圧用のスイッチ回路と同一の制御信号により動作して、トランジスタのゲートドレインを短絡させる短絡用のスイッチ回路と、短絡用のスイッチ回路による基準電圧への接続に反応して、トランジスタへの電源の供給を停止し、信号線の信号レベルによる信号レベル保持用のコンデンサの端子電圧の設定によりトランジスタへの電源の供給を開始する電源用のスイッチ回路と、電源用のスイッチ回路による電源の供給が停止される前に、ソース側基準電圧用のスイッチ回路、コンデンサ側基準電圧用のスイッチ回路、短絡用のスイッチ回路がオン状態に設定され、その後、電源用のスイッチ回路による電源の供給を停止することにより、前記信号レベル保持用のコンデンサの端子間電圧を前記トランジスタのしきい値電圧以上に立ち上げてから、信号レベル保持用のコンデンサの端子間電圧をトランジスタのしきい値電圧に設定すると、カップリング用のコンデンサの他端を信号線に接続し、カップリング用のコンデンサを介して信号レベル保持用のコンデンサの端子電圧を信号線の信号レベルにより設定する信号線用のコンデンサとを備えるようにする。

20

30

40

【0026】

また請求項7の発明においては、電流駆動による画素をマトリックス状に配置してなる表示部を有するディスプレイ装置の駆動方法に適用して、画素が、発光素子と、ゲートソース間に信号レベル保持用のコンデンサを保持し、信号レベル保持用のコンデンサの端子間電圧によるゲートソース間電圧により発光素子を駆動するソースフォロワ回路によるトランジスタと、一端をトランジスタのゲートに接続したカップリング用のコンデンサと、カップリング用のコンデンサの他端を信号線に接続する信号線用のスイッチ回路と、トランジスタのソースを所定の基準電圧に接続するソース側基準電圧用のスイッチ回路と、トランジスタのゲートドレインを短絡させる短絡用のスイッチ回路と、カップリング用のコンデンサの他端を所定の基準電圧に接続するコンデンサ側基準電圧用のスイッチ回路と、

50

トランジスタへの電源の供給を停止する電源用のスイッチ回路とを有し、ディスプレイ装置の駆動方法は、信号線のスイッチ回路の駆動により、カップリング用のコンデンサを介して信号線の信号レベルにより信号レベル保持用のコンデンサの端子間電圧を設定し、該信号レベル保持用のコンデンサの端子電圧によるゲートソース間電圧によりトランジスタで発光素子を電流駆動し、信号レベル保持用のコンデンサの端子電圧の設定において、電源用のスイッチ回路をオフ状態に設定する前に、コンデンサ側基準電圧用のスイッチ回路、短絡用のスイッチ回路、ソース側基準電圧用のスイッチ回路をオン状態に設定し、前記電源用のスイッチ回路をオフ状態に設定した後、コンデンサ側基準電圧用のスイッチ回路、短絡用のスイッチ回路、ソース側基準電圧用のスイッチ回路をオフ状態に設定すると共に、信号線のスイッチ回路をオン状態に設定することにより、前記信号レベル保持用のコンデンサの端子間電圧を前記トランジスタのしきい値電圧以上に立ち上げてから、信号レベル保持用のコンデンサの端子間電圧をトランジスタのしきい値電圧に設定すると共に、信号レベル保持用のコンデンサのトランジスタのソース側端を一定電位に設定した後、信号線の信号レベルにより、信号レベル保持用のコンデンサの端子電圧を設定し、コンデンサ側基準電圧用のスイッチ回路、短絡用のスイッチ回路、ソース側基準電圧用のスイッチ回路のオンオフ制御を、同一の制御信号により実行する。

10

【 0 0 2 7 】

20

請求項1の構成によれば、信号線のスイッチ回路の駆動により、カップリング用のコンデンサを介して信号線の信号レベルにより信号レベル保持用のコンデンサの端子電圧を設定し、該信号レベル保持用のコンデンサの端子電圧によるゲートソース間電圧によりトランジスタで発光素子を電流駆動することにより、発光素子の電圧電流特性が変化した場合でも、駆動電流の変化を防止し得、これにより駆動電流の変化により画質劣化を防止することができる。またこのような信号レベル保持用のコンデンサの端子電圧の設定において、信号レベル保持用のコンデンサの端子間電圧をトランジスタのしきい値電圧に設定すると共に、信号レベル保持用のコンデンサのトランジスタのソース側端を一定電位に設定した後、信号線の信号レベルにより、信号レベル保持用のコンデンサの端子電圧を設定することにより、トランジスタのしきい値電圧のばらつきによる駆動電流のばらつきについて

30

【 0 0 2 8 】

しかして請求項1の構成においては、この信号レベル保持用のコンデンサに係る信号線による設定が、前記電源用のスイッチ回路をオフ状態に設定する前に、コンデンサ側基準電圧用のスイッチ回路、短絡用のスイッチ回路、ソース側基準電圧用のスイッチ回路をオン状態に設定し、電源用のスイッチ回路をオフ状態に設定した後、コンデンサ側基準電圧用のスイッチ回路、短絡用のスイッチ回路、ソース側基準電圧用のスイッチ回路をオフ状態に設定すると共に、信号線のスイッチ回路をオン状態に設定して、コンデンサ側基準電圧用のスイッチ回路、トランジスタ用のスイッチ回路、ソース側基準電圧用のスイッチ回路のオンオフ制御を、同一の制御信号により実行することにより、制御信号の供給に供する走査線の数を少なくして、一連の処理を実行することができる。

40

【 0 0 2 9 】

これにより請求項3、請求項5及び請求項7の構成によれば、ソースフォロワ回路構成により発光素子を電流駆動するトランジスタに補正回路を設けるようにしても、走査線の数の増大を防止することができるディスプレイ装置及びディスプレイ装置の駆動方法を提供することができる。

【 発明の効果 】

【 0 0 3 0 】

本発明によれば、ソースフォロワ回路構成により発光素子を電流駆動するトランジスタ

50

に補正回路を設ける場合に、走査線の数少なくすることができる。

【発明を実施するための最良の形態】

【0031】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例1】

【0032】

(1) 実施例の構成

図2は、図14との対比により本発明の実施例1に係るディスプレイ装置を示すブロック図である。このディスプレイ装置41において、表示部52は、電流駆動による赤色、緑色、青色の画素(PXR、PXG、PXB)53がマトリクス状に配置され、これらの画素53に対して、5本の走査線SCN、SCN2R、SCN2G、SCN2B、SCN3がライン単位で水平方向に設けられる。またこれらの走査線SCN、SCN2R、SCN2G、SCN2B、SCN3と直交するように信号線SIGが各列毎に垂直方向に設けられる。このようにして形成されてなる表示部52に対して、ディスプレイ装置51は、垂直駆動回路54により走査線SCN、SCN2R、SCN2G、SCN2B、SCN3を駆動して順次ライン単位で画素53に設けられた画素回路の動作を制御すると共に、この画素回路の制御に対応するように水平駆動回路55により信号線SIGを駆動して各画素53の階調を設定するようになされている。

【0033】

このため垂直駆動回路54は、各画素53への書き込みをライン単位で順次指示する書き込み信号wsをライトスキャン回路(WSCN)54Aにより生成し、またこの書き込み信号wsに同期して各画素53の発光、非発光を制御するドライブスキャン信号ds2をドライブスキャン回路(DSCN2)54Cにより生成し、これら書き込み信号ws、ドライブスキャン信号ds2を走査線SCN、SCN2R、SCN2G、SCN2Bに出力して各画素53における階調の設定を制御するようになされている。また有機EL素子のしきい値電圧Vthの補正を指示する制御信号azをオートゼロ回路(ZERO)54Dにより生成し、この制御信号azを走査線SCN3に出力するようになされている。またこのような制御において、ドライブスキャン信号ds2については、赤色、緑色、青色の画素53毎に生成してそれぞれ対応する画素53の走査線SCN2R、SCN2G、SCN2Bに出力し、これによりこのディスプレイ装置51では、赤色、緑色、青色の各画素53における発光、非発光の制御により、カラーバランスを調整するようになされている。

【0034】

また水平駆動回路55においては、各画素53の階調を指示する階調データD1に応じて駆動信号を生成し、この駆動信号を水平セクタ(HSEL)55Aにより各信号線SIGに振り分けて出力するようになされている。

【0035】

図1は、図11との対比によりこのディスプレイ装置51に係る各画素53を示す接続図である。このディスプレイ装置51に係る画素53においては、トランジスタTR2のソースを基準電圧に接続するトランジスタTR3によるスイッチ回路が、トランジスタTR5、TR6の制御に供する制御信号azにより制御される点、この制御信号azによる制御に対応して垂直駆動回路54による各トランジスタTR1~TR6の駆動のタイミングが異なる点を除いて、図11について上述した画素33と同一に構成される。

【0036】

これによりこの実施例においては、このトランジスタTR3に係るドライブパルス信号ds1の走査線を省略して、その分、走査線の数少なくすることができるようになされ、また各画素43の構成を簡略化できるようになされている。なお画素53を構成するトランジスタTR1~TR6は、nチャンネルMOS型のTFETであり、水平駆動回路55、垂直駆動回路54と共にガラス基板上に、アモルファスプロセスにより一体に作成されるようになされている。

【 0 0 3 7 】

これらにより各画素 5 3 においては、図 3 及び図 4 (A) に示すように、信号レベル保持用のコンデンサ $C_s 2$ の端子間電圧によるゲートソース間電圧 V_{gs} によりトランジスタ $T R 2$ で有機 E L 素子 1 2 を電流駆動し、有機 E L 素子 1 2 の電圧電流特性が経時変化した場合であっても、この経時変化による駆動電流の変化を防止して画質劣化を防止することができるようになされている (図 3 (D) 及び (E)) 。

【 0 0 3 8 】

しかしてこのようにしてトランジスタ $T R 2$ により有機 E L 素子 1 2 を駆動して、この画素 5 3 に係る水平走査期間の前後、所定期間の間、このディスプレイ装置 5 1 では、ドライブパルス信号 $d s 2$ が立ち下げられて有機 E L 素子 1 2 の発光が停止され (図 3 (C))、さらにこのドライブパルス信号 $d s 2$ による有機 E L 素子 1 2 の発光を停止する期間が、赤色、緑色、青色の画素 5 3 毎に設定されて所望のカラーバランスに設定されるようになされている。

【 0 0 3 9 】

このディスプレイ装置 5 1 では、このようにしてドライブパルス信号 $d s 2$ を立ち下げる直前で、制御信号 $a z$ が立ち上げられ、これによりトランジスタ $T R 6$ によりカップリング用のコンデンサ $C_s 2$ の信号線側端が基準電圧に接続される。またトランジスタ $T R 5$ によりトランジスタ $T R 2$ のゲートドレインが短絡されてトランジスタ $T R 2$ がダイオード接続とされ、さらにトランジスタ $T R 3$ によりこのトランジスタ $T R 2$ のソースが基準電圧に接続される (図 3 (B) 及び図 4 (B))。これによりディスプレイ装置 5 1 では、それまで信号レベル保持用のコンデンサ $C_s 2$ の端子間電圧がトランジスタ $T R 2$ のしきい値電圧 V_{th} 以下に設定されて黒レベルによる階調を表示していた場合であっても、トランジスタ $T R 2$ のゲートソース間電圧 V_{gs} をトランジスタ $T R 2$ のしきい値電圧 V_{th} 以上に一旦立ち上げるようになされ (図 3 (D) 及び (E))、その後、トランジスタ $T R 2$ への電源 V_{cc} の供給を停止するようになされている。

【 0 0 4 0 】

しかして電源 V_{cc} の供給を停止することにより (図 4 (C))、トランジスタ $T R 2$ においては、有機 E L 素子 1 2 に保持された電荷がトランジスタ $T R 3$ により放電してソース電圧 V_s が基準電位 (アース電位) に立ち下がる。またゲート電圧 V_g においては、このソース電圧 V_s の立ち下がりにより、さらには蓄積電荷の放電により徐々に降下し、ゲートソース間電圧 V_{gs} がトランジスタ $T R 2$ のしきい値電圧 V_{th} になると、トランジスタ $T R 2$ のカットオフにより電圧の降下が停止する。これにより信号レベル保持用のコンデンサ $C_s 2$ においては、ソース側の端子電圧が基準電圧 (アース電位) に保持されて、端子間電圧がトランジスタ $T R 2$ のしきい値電圧 V_{th} に設定される (図 3 (D) 及び (E)) 。

【 0 0 4 1 】

ディスプレイ装置 5 1 では、続いて制御信号 $a z$ が立ち下げられ、トランジスタ $T R 3$ 、 $T R 5$ 、 $T R 6$ がオフ状態に設定された後、書き込み信号 $w s$ の立ち上げによりカップリングコンデンサ $C_s 1$ が信号線 $S I G$ に接続され、これによりトランジスタ $T R 2$ のゲートがカップリング用のコンデンサ $C_s 1$ を介して信号線 $S I G$ に接続され、この信号線 $S I G$ の信号レベルにより信号レベル保持用のコンデンサ $C_s 2$ の充電が開始される。これにより信号レベル保持用のコンデンサ $C_s 2$ は、(2) 式の関係式による電圧に充電され、端子電圧が信号線 $S I G$ の信号レベル V_{in} により設定される。

【 0 0 4 2 】

なおここでこの画素 5 3 においては、この信号レベル保持用のコンデンサ $C_s 1$ のソース側端を基準電圧に接続するトランジスタ $T R 3$ がトランジスタ $T R 5$ 、 $T R 6$ と同一の制御信号 $a z$ により制御されることにより、このように信号レベル保持用のコンデンサ $C_s 2$ を信号線 $S I G$ の信号レベル V_{in} により設定している期間の間、この信号レベル保持用のコンデンサ $C_s 1$ のソース側端においては、端子間電圧がしきい値電圧以下に設定されてオフ状態に設定されてなる有機 E L 素子 1 2 を介してのみ接地され、これによりこ

10

20

30

40

50

の有機EL素子12のアノードカーソード間の容量 C_{oe1} (図4(D))により接地されていることになる。

【0043】

しかしてこの有機EL素子12におけるアノードカーソード間の容量 C_{oe1} においては、信号レベル保持用のコンデンサ C_{s2} の容量に比して格段的に大きく(約20倍以上)、これにより信号レベル保持用のコンデンサ C_{s2} を信号線SIGの信号レベル V_{in} により設定する場合にあつては、この信号レベル保持用のコンデンサ C_{s2} のソース側端においては、アース電位に保持し続けることができ、これによりこの実施例においては、信号レベル保持用のコンデンサ C_{s2} の端子間電圧を(2)式で表される電圧に精度良く設定することができるようになされている。

10

【0044】

しかしてこのようにして設定されてなる信号レベル保持用のコンデンサ C_{s2} の端子間電圧においては、事前に、トランジスタTR2のしきい値電圧 V_{th} が設定されていることによりトランジスタTR2のしきい値電圧 V_{th} のばらつきをキャンセルするようにしてトランジスタTR2により有機EL素子12を駆動することができる。これによりディスプレイ装置51は、書き込み信号 w_s を立ち下げた後、ドライブスキャン信号 d_s2 を立ち上げてトランジスタTR2への電源の供給を開始して(図4(E))、有機EL素子12の経時変化、トランジスタTR2のしきい値電圧 V_{th} のばらつきによる画質の劣化を有効に回避して、高いユニフォーミティーの画像を表示することができるようになされている。

20

【0045】

(2)実施例の動作

以上の構成において、このディスプレイ装置51は(図2)、垂直駆動回路54による走査線SCN、SCN2R、SCN2G、SCN2B、SCN3の駆動により順次ライン単位で表示部52の画素53が選択され、またこの画素53の選択により水平駆動回路55により駆動される信号線SIGの信号レベルが各画素53に設定される。ディスプレイ装置51は、この各画素53に設定した信号レベルにより各画素53が発光して所望の画像が表示される。

【0046】

ディスプレイ装置51では、各画素53において、有機EL素子12を駆動するソースフォロワ回路構成のトランジスタTR2のゲートソース間に信号レベル保持用のコンデンサ C_{s1} が設けられ、トランジスタTR1によるスイッチ回路によりカップリング用のコンデンサ C_{s2} を信号線SIGに接続することにより、このカップリング用のコンデンサ C_{s1} を介して信号線SIGの信号レベル V_{in} がこの信号レベル保持用のコンデンサ C_{s2} に設定される。またこのようにして設定した信号レベル保持用のコンデンサ C_{s2} によるゲートソース間電圧 V_{gs} によりトランジスタTR2で有機EL素子12が電流駆動される。これによりディスプレイ装置51においては、有機EL素子12の電圧電流特性の経時変化による駆動電流の変化を防止し得、有機EL素子12の経時変化による画質の劣化を有効に回避することができる。また各53画素をnチャンネル型MOSトランジスタにより形成し、またトランジスタTR2によるアノード側より有機EL素子12を駆動

30

40

【0047】

ディスプレイ装置51では、このような信号線SIGの信号レベル V_{in} による信号レベル保持用のコンデンサ C_{s2} の端子電圧の設定において、トランジスタTR2を電源に接続したまま、制御信号 a_z によりトランジスタTR3、TR5、TR6をまとめてオン状態に設定して、トランジスタTR2がダイオード接続に設定されると共に、カップリング用のコンデンサ C_{s1} の信号線側端が基準電圧に接続され、また信号レベル保持用のコンデンサ C_{s2} のソース側端が基準電圧に接続され、その後、トランジスタTR4によりトランジスタTR2への電源 V_{cc} の供給が停止され、これらにより信号レベル保持用の

50

コンデンサ $C_s 2$ の端子間電圧がトランジスタ $T R 2$ のしきい値電圧 V_{th} に設定される。

【0048】

またその後、トランジスタ $T R 3$ 、 $T R 5$ 、 $T R 6$ がオフ状態に設定された後、書き込み信号 w_s によりトランジスタ $T R 1$ がオン状態に設定されて信号線 $S I G$ にカップリング用のコンデンサ $C_s 1$ が接続され、これにより事前にトランジスタ $T R 2$ のしきい値電圧 V_{th} を設定してなる信号レベル保持用のコンデンサ $C_s 2$ に信号線 $S I G$ の信号レベル V_{in} が設定される。

【0049】

これによりこのディスプレイ装置 51 では、このようにして設定された信号レベル保持用のコンデンサ $C_s 2$ の端子間電圧をゲートソース間電圧 V_{gs} に設定してなるソースフォロワ回路によるトランジスタ $T R 2$ により有機 $E L$ 素子 12 が電流駆動され、トランジスタ $T R 2$ のしきい値電圧 V_{th} のばらつきによる駆動電流のばらつきが防止され、画質劣化が有効に回避される。

【0050】

しかしてこのように信号線 $S I G$ の信号レベル V_{in} により信号レベル保持用のコンデンサ $C_s 2$ の端子電圧を設定する際に、信号レベル保持用のコンデンサ $C_s 2$ のソース側端にあっては、このコンデンサ $C_s 2$ の容量に比して格段的に容量の大きな有機 $E L$ 素子 12 により接地されて一定の電位に保持される。これによりこの実施例においては、トランジスタ $T R 3$ をトランジスタ $T R 5$ 、 $T R 6$ と同一の制御信号 a_z により制御して、
20 確かに信号線 $S I G$ の信号レベル V_{in} により信号レベル保持用のコンデンサ $C_s 2$ の端子間電圧を設定することができ、これによりこのように有機 $E L$ 素子 12 の経時変化、トランジスタ $T R 2$ のしきい値電圧 V_{th} のばらつきを補正する構成を設ける場合に、このトランジスタ $T R 3$ に係る走査線の数をも少なくすることができる。

【0051】

これによりディスプレイ装置 51 では、この走査線の数をも少なくした分、画素を高密度に配置して高解像度化することができる。また 1 つの画素をレイアウトする面積を拡大できることにより、移動度の低いアモルファスシリコン $T F T$ により各画素を構成する場合にあっても、高解像度化することができる。またこの走査線に対応するドライブスキャン回路を省略できることにより、その分、垂直駆動回路の構成を簡略化し得、またその分、
30 狭額縁化することもできる。

【0052】

(3) 実施例の効果

以上の構成によれば、ソースフォロワ回路構成により発光素子である有機 $E L$ 素子 12 を電流駆動するトランジスタ $T R 2$ に対して、このトランジスタ $T R 2$ のゲートソース間に設けられた信号レベル保持用のコンデンサ $C_s 2$ にトランジスタ $T R 2$ のしきい値電圧 V_{th} を設定した後、信号線 $S I G$ の信号レベル V_{in} を設定することにより、トランジスタ $T R 2$ のばらつきを補正して階調を設定するようにして、このコンデンサ $C_s 2$ へのトランジスタ $T R 2$ のしきい値電圧 V_{th} の設定に供する複数のスイッチ回路 $T R 3$ 、 $T R 5$ 、 $T R 6$ を 1 つの制御信号 a_z により制御することにより、走査線の数をも少なくする
40 ことができる。

【実施例 2】

【0053】

図 5 は、図 2 との対比により本発明の実施例 2 に係るディスプレイ装置を示すブロック図である。このディスプレイ装置 71 は、発光、非発光を制御するドライブスキャン信号 $d_s 2$ が赤色、緑色、青色の画素 ($P X R$ 、 $P X G$ 、 $P X B$) 73 で共用化され、その分走査線の数も低減される。またこれに対応して、図 6 に示すように、赤色、緑色、青色の画素 73 において、それぞれ有機 $E L$ 素子 12 を電流駆動するトランジスタ $T R 2$ の大きさが、これら赤色、緑色、青色の画素が発光して所望するカラーバランスを確保できるように、このカラーバランスに対応する比率に設定される。
50

【 0 0 5 4 】

このディスプレイ装置 7 1 は、このドライブスキャン信号 $d s 2$ の共用化に係る構成を除いて、実施例 1 に係るディスプレイ装置 5 1 と同一に構成され、これにより一段と走査線の数少なくして、簡易に高解像度化できるようになされている。

【 実施例 3 】

【 0 0 5 5 】

なお上述の実施例においては、アモルファスシリコンのプロセスを適用して E L 素子と画素回路とをガラス基板上に一体に形成する場合について述べたが、本発明はこれに限らず、ポリシリコンによりトランジスタを作成する場合、さらには表示部と別体にシリコン基板により駆動回路と作成して表示部と接続、一体化する場合等にも広く適用することができる。

10

【 0 0 5 6 】

また上述の実施例においては、有機 E L 素子による発光素子を電流駆動する場合について述べたが、本発明はこれに限らず、電流駆動に係る種々の発光素子によるディスプレイ装置に広く適用することができる。

【 産業上の利用可能性 】

【 0 0 5 7 】

本発明は、ディスプレイ装置及びディスプレイ装置の駆動方法に関し、例えば有機 E L 表示装置等の電流駆動による自発光の表示装置に適用することができる。

【 図面の簡単な説明 】

20

【 0 0 5 8 】

【 図 1 】 本発明の実施例 1 に係るディスプレイ装置の画素回路を周辺構成と共に示す接続図である。

【 図 2 】 図 1 の画素回路によるディスプレイ装置を示すブロック図である。

【 図 3 】 図 1 の画素回路の動作の説明に供するタイムチャートである。

【 図 4 】 図 3 のタイムチャートの説明に供する接続図である。

【 図 5 】 本発明の実施例 2 に係るディスプレイ装置を示すブロック図である。

【 図 6 】 図 5 のディスプレイ装置の画素回路を周辺構成と共に示す接続図である。

【 図 7 】 ディスプレイ装置の構成を示すブロック図である。

【 図 8 】 図 7 のディスプレイ装置の画素回路を周辺構成と共に示す接続図である。

30

【 図 9 】 有機 E L 素子の特性を示す特性曲線図である。

【 図 1 0 】 有機 E L 素子の動作点の変化の説明に供する特性曲線図である。

【 図 1 1 】 ソースフォロワ回路構成による画素回路を周辺構成と共に示す接続図である。

【 図 1 2 】 図 1 1 の画素回路の動作の説明に供するタイムチャートである。

【 図 1 3 】 図 1 2 のタイムチャートの説明に供する接続図である。

【 図 1 4 】 図 1 1 の画素によるディスプレイ装置を示すブロック図である。

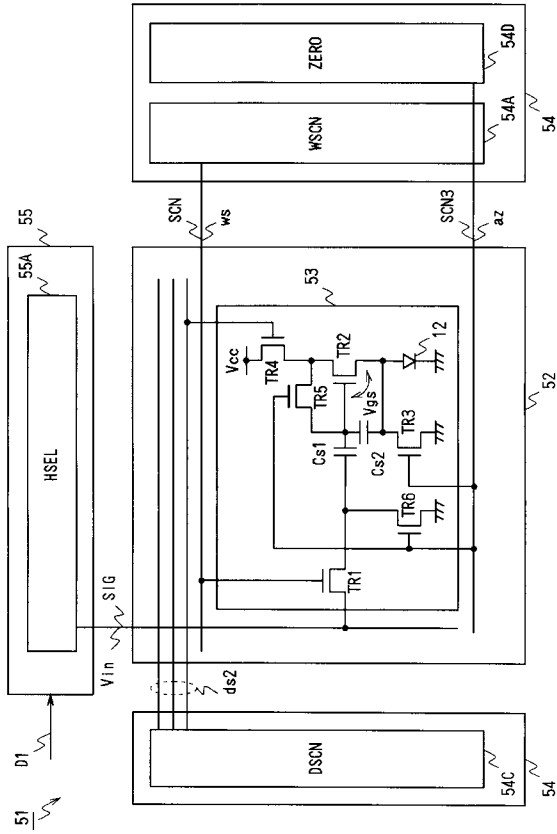
【 符号の説明 】

【 0 0 5 9 】

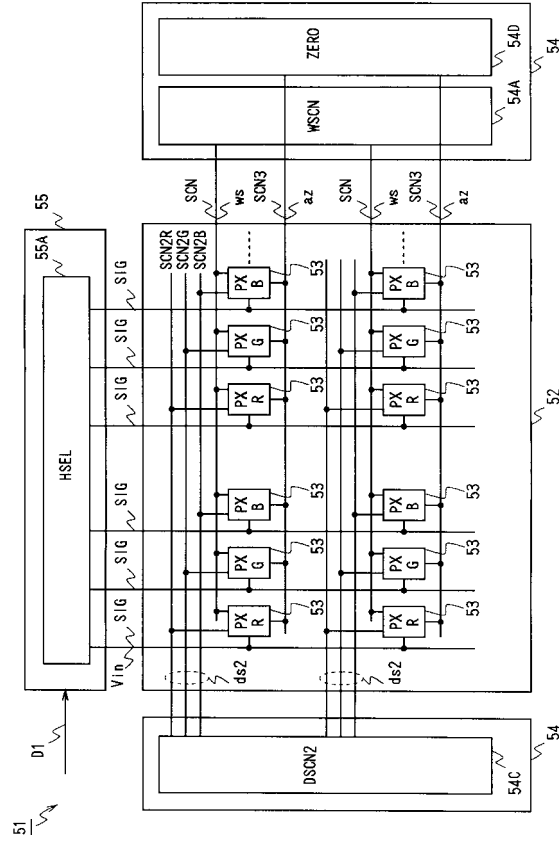
1、1 1、3 1、5 1、7 1 ……ディスプレイ装置、2、3 2、5 2、7 2 ……表示部、3、3 3、5 3、7 3 ……画素、4、3 4、5 4、7 4 ……垂直駆動回路、4 A、3 4 A、5 4 A、7 4 A ……ライトスキャン回路、5、3 5、5 5、7 5 ……水平駆動回路、1 2 ……有機 E L 素子、3 4 B、3 4 C、5 4 C、7 4 C ……ドライブスキャン回路、3 4 D、5 4 D、7 4 D ……オートゼロ回路、C 1、C s 1、C s 2 ……コンデンサ、T R 1 ~ T R 6 ……トランジスタ

40

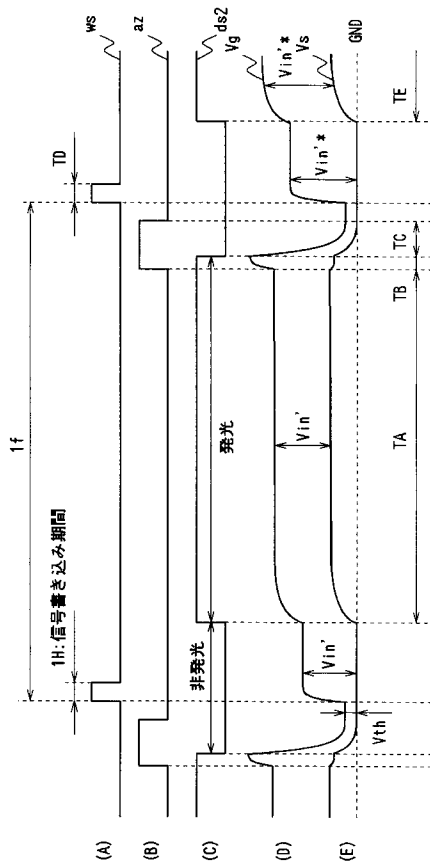
【図1】



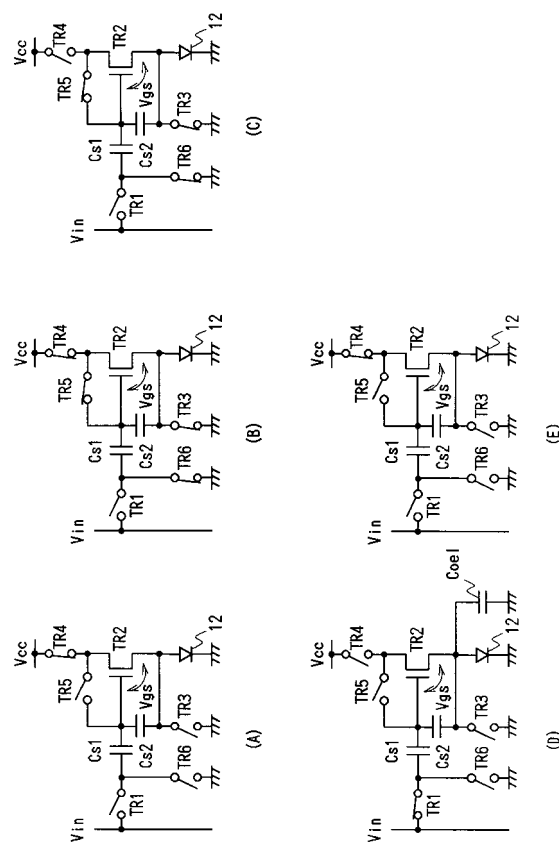
【図2】



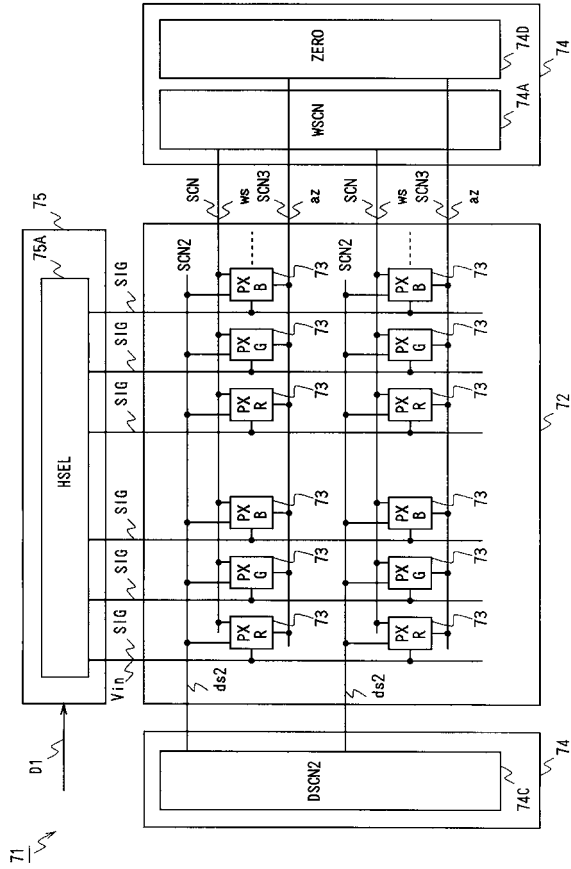
【図3】



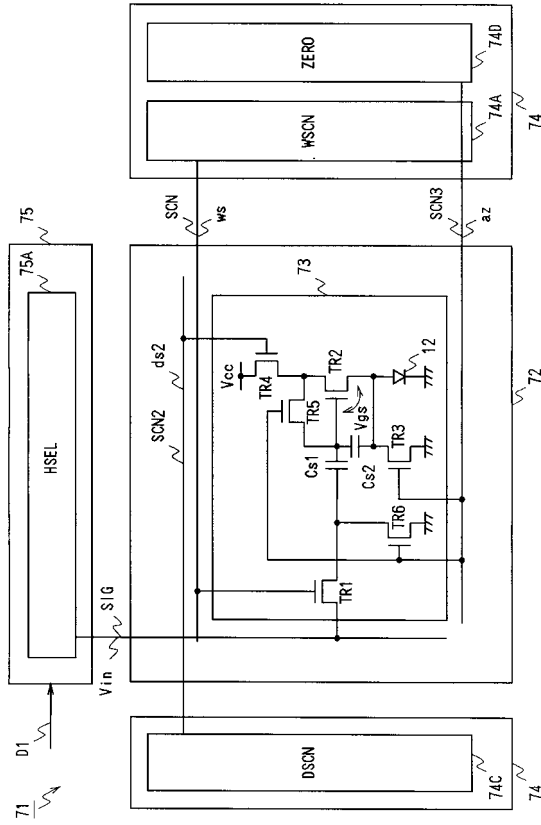
【図4】



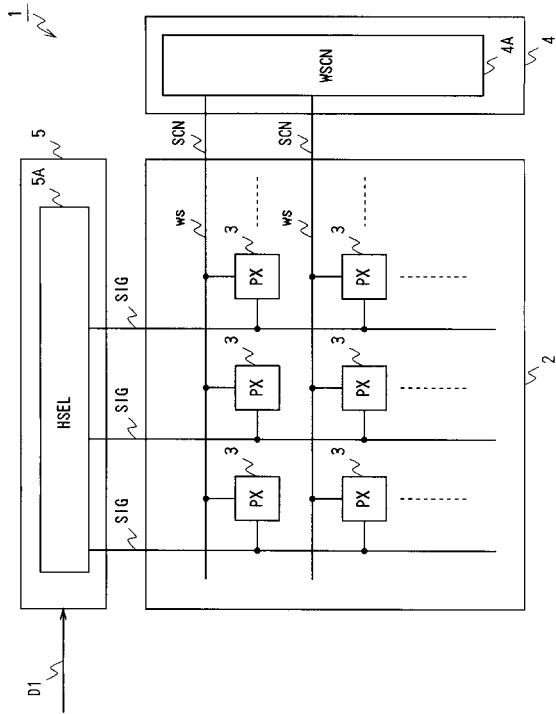
【 5 】



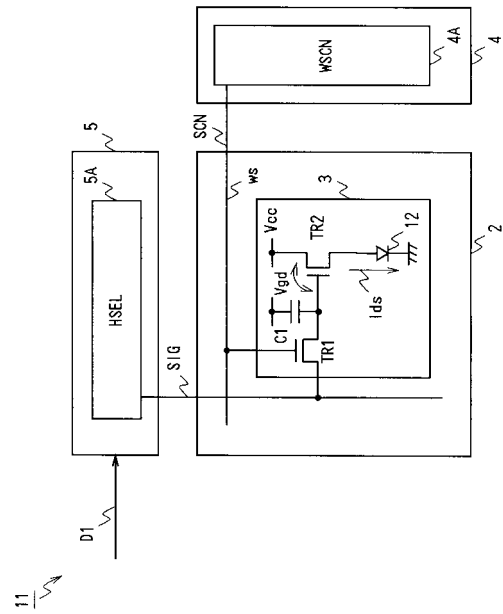
【 6 】



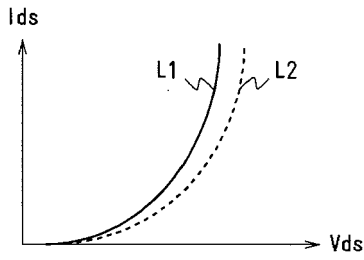
【 7 】



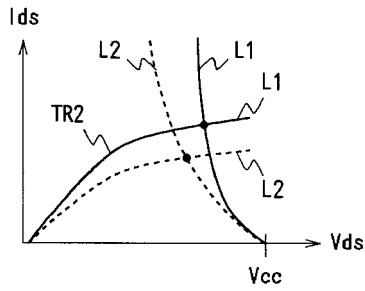
【 8 】



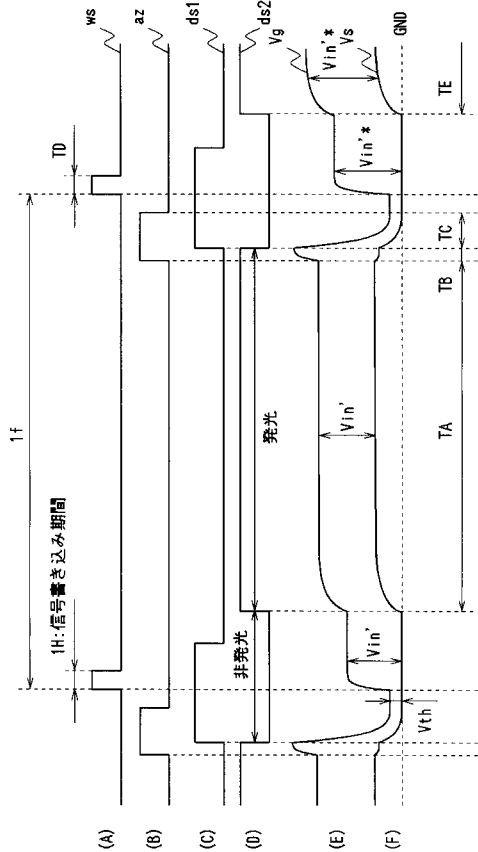
【図9】



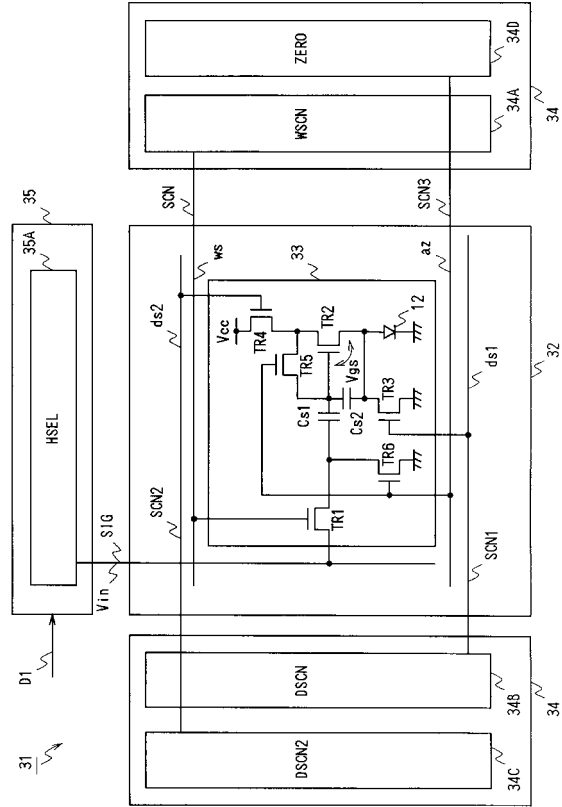
【図10】



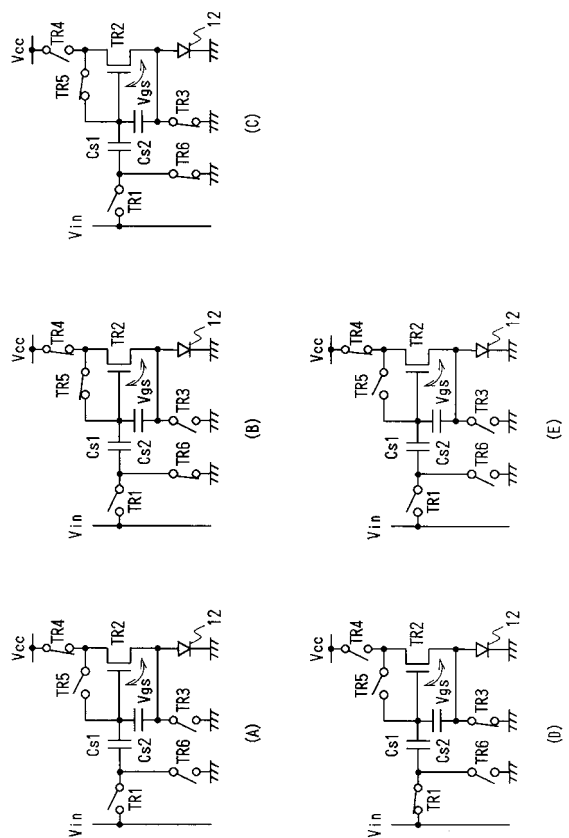
【図12】



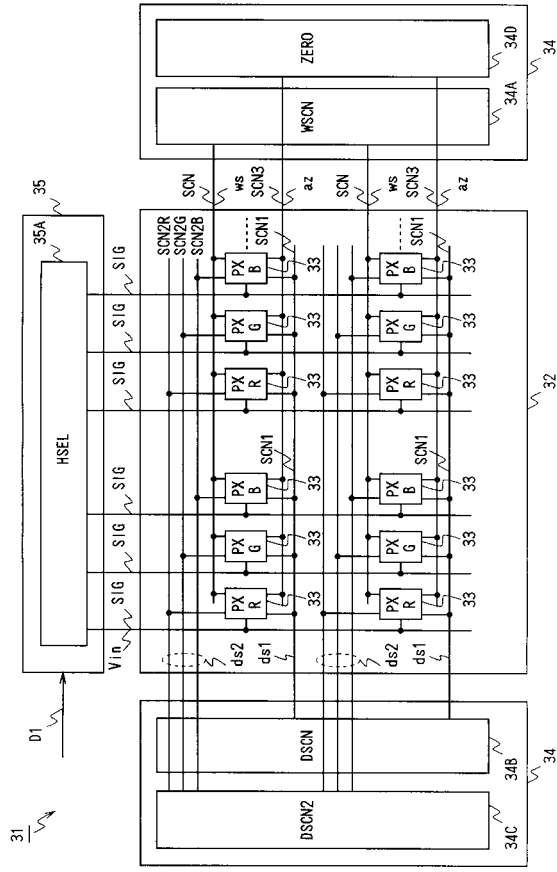
【図11】



【図13】



【 14 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 7 0 J
H 0 3 K 17/00 G
H 0 5 B 33/14 A

審査官 福村 拓

(56)参考文献 特開2005-004173(JP,A)
特開2004-361640(JP,A)
国際公開第01/075852(WO,A1)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 3 0
G 0 9 G 3 / 2 0