



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년08월07일  
(11) 등록번호 10-1294235  
(24) 등록일자 2013년08월01일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2008-0014141

(22) 출원일자 2008년02월15일

심사청구일자 2011년11월04일

(65) 공개번호 10-2009-0088702

(43) 공개일자 2009년08월20일

(56) 선행기술조사문헌

KR1020050067740 A\*

KR1020040085312 A\*

KR1020040061787 A\*

US5610737 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김철세

대구광역시 달서구 도원로 45, 강산타운아파트  
409동 205호 (도원동)

조재형

부산광역시 해운대구 양운로 182, 1394호 3/1 10  
8동 1801호 (좌동, 두산동국아파트)

유태근

서울특별시 송파구 강동대로9길 20, 연지토성아파  
트 504호 (풍납동)

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 13 항

심사관 : 김효욱

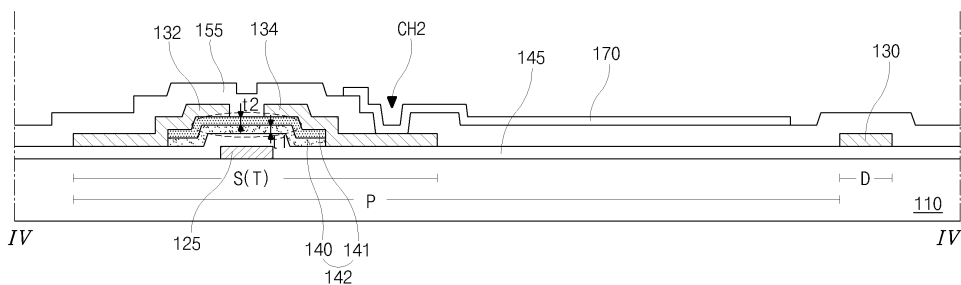
(54) 발명의 명칭 액정표시장치용 어레이 기판 및 그 제조방법

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 보다 상세하게는 박막트랜지스터의 구동 특성을 개선할 수 있는 액정표시장치용 어레이 기판 및 그 제조방법에 관한 것이다.

이를 위해, 본 발명에 따른 액정표시장치용 어레이 기판은 기판과; 상기 기판 상의 일 방향으로 구성된 게이트 배선 및 게이트 전극과; 상기 게이트 배선 및 게이트 전극을 덮는 게이트 절연막과; 상기 게이트 절연막 상에 위치하고, 상기 게이트 전극과 중첩된 상부에 제 1 두께로 구성된 액티브층과; 상기 게이트 배선과 수직 교차하는 데이터 배선과, 상기 데이터 배선에서 연장된 소스 전극과, 상기 소스 전극과 이격된 드레인 전극과; 상기 액티브층과 소스 및 드레인 전극의 사이 공간에 위치하고, 상기 소스 및 드레인 전극의 이격된 사이로 노출되며, 상기 액티브층과 동일한 패턴으로 제 2 두께로 구성된 오믹 콘택층과; 상기 데이터 배선과 소스 및 드레인 전극을 덮는 보호막과; 상기 보호막 상에 위치하고, 상기 드레인 전극과 연결된 화소 전극을 포함하는 것을 특징으로 한다.

대표도 - 도4



## 특허청구의 범위

### 청구항 1

기판과;

상기 기판 상의 일 방향으로 구성된 게이트 배선 및 게이트 전극과;

상기 게이트 배선 및 게이트 전극을 덮는 게이트 절연막과;

상기 게이트 절연막 상에 위치하고, 상기 게이트 전극과 중첩된 상부에 제 1 두께로 구성된 액티브층과;

상기 게이트 배선과 수직 교차하는 데이터 배선과, 상기 데이터 배선에서 연장된 소스 전극과, 상기 소스 전극과 이격된 드레인 전극과;

상기 액티브층과 소스 및 드레인 전극의 사이 공간에 위치하고, 상기 액티브층과 동일한 모양의 패턴으로 제 2 두께로 구성된 오믹 콘택층과;

상기 데이터 배선과 소스 및 드레인 전극을 덮는 보호막과;

상기 보호막 상에 위치하고, 상기 드레인 전극과 연결된 화소 전극

을 포함하며, 상기 오믹콘택층은 상기 액티브층 상부에서 분리되지 않고 연결 형성된 것이 특징인 액정표시장치용 어레이 기판.

### 청구항 2

삭제

### 청구항 3

제 1 항에 있어서,

상기 제 1 두께는 100 ~ 700Å의 범위로 구성된 것을 특징으로 하는 액정표시장치용 어레이 기판.

### 청구항 4

제 1 항에 있어서,

상기 오믹 콘택층 상부 표면에 금속 산화막을 포함하는 액정표시장치용 어레이 기판.

### 청구항 5

기판과;

상기 기판 상의 일 방향으로 구성된 게이트 배선 및 게이트 전극과;

상기 게이트 배선 및 게이트 전극을 덮는 게이트 절연막과;

상기 게이트 절연막 상에 위치하고, 상기 게이트 전극과 중첩된 상부에 제 1 두께로 구성된 액티브층과;

상기 게이트 배선과 수직 교차하는 데이터 배선과, 상기 데이터 배선에서 연장된 소스 전극과, 상기 소스 전극과 이격된 드레인 전극과;

상기 액티브층과 소스 및 드레인 전극의 사이 공간에 위치하고, 상기 액티브층과 동일한 모양의 패턴으로 제 2 두께로 구성된 오믹 콘택층과;

상기 액티브 및 오믹 콘택층과 동일 패턴으로 상기 데이터 배선 하부로 연장 구성된 제 1 및 제 2 비정질 패턴과;

상기 데이터 배선과 소스 및 드레인 전극을 덮는 보호막과;

상기 보호막 상에 위치하고, 상기 드레인 전극과 연결된 화소 전극

을 포함하며, 상기 오믹콘택층은 상기 액티브층 상부에서 분리되지 않고 연결 형성된 것이 특징인 액정표시장치

용 어레이 기판.

**청구항 6**

기판 상에 일 방향으로 게이트 배선 및 게이트 전극을 형성하는 단계와;

상기 게이트 배선 및 전극이 형성된 기판 상에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상의 상기 게이트 전극과 증착된 상부에 순수 비정질 실리콘층을 제 1 두께로 형성하고 패터닝하여 액티브층을 형성하는 단계와;

상기 액티브층 상에 불순물을 포함하는 비정질 실리콘층을 제 2 두께로 형성하고 패터닝하여 오믹 콘택층을 형성하는 단계와;

상기 액티브층과 오믹 콘택층이 형성된 기판 상에 상기 게이트 배선과 수직 교차하는 데이터 배선과, 상기 데이터 배선에서 연장된 소스 전극과, 상기 소스 전극과 이격된 드레인 전극을 형성하는 단계와;

상기 소스 및 드레인 전극의 이격된 사이 공간으로 분리되지 않고 연결 형성된 상기 오믹 콘택층 상부 표면에 대응된 규소 화합물을 제거하는 단계와;

상기 데이터 배선과 소스 및 드레인 전극의 상부를 덮으며, 상기 드레인 전극의 일부를 노출하는 드레인 콘택홀을 포함하는 보호막을 형성하는 단계와;

상기 보호막 상에 상기 드레인 콘택홀을 통해 상기 드레인 전극과 연결된 화소 전극을 형성하는 단계를 포함하는 액정표시장치용 어레이 기판의 제조방법.

**청구항 7**

제 6 항에 있어서,

상기 제 1 두께는 100 ~ 700Å의 범위로 형성된 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

**청구항 8**

제 6 항 또는 제 7 항에 있어서,

상기 제 2 두께는 50 ~ 500Å의 범위로 형성된 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

**청구항 9**

제 6 항에 있어서,

상기 오믹 콘택층은 상기 액티브층과 동일한 모양을 가지는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

**청구항 10**

제 6 항에 있어서,

상기 데이터 배선과, 상기 소스 전극과 상기 드레인 전극을 형성하는 단계는 소스 및 드레인 금속층을 형성하고 패터닝하는 단계를 포함하며, 상기 규소 화합물은 상기 소스 및 드레인 금속층과 오믹 콘택층의 반응에 의해 생성된 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

**청구항 11**

제 10 항에 있어서,

상기 규소 화합물의 제거는 HCl, Cl<sub>2</sub>, SF<sub>6</sub>, CF<sub>4</sub> 등을 포함하는 반응 가스 중 선택된 하나를 이용한 건식식각법이 이용되는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

**청구항 12**

제 10 항에 있어서,

상기 규소 화합물의 제거는 HF를 이용한 습식식각법이 이용되는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

**청구항 13**

기판 상에 일 방향으로 게이트 배선 및 게이트 전극을 형성하는 단계와;

상기 게이트 배선 및 전극이 형성된 기판 상에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상의 상기 게이트 전극과 증착된 상부에 순수 비정질 실리콘층을 제 1 두께로 형성하고 패터하여 액티브층을 형성하는 단계와;

상기 액티브층 상에 불순물을 포함하는 비정질 실리콘층을 제 2 두께로 형성하고 패터하여 오믹 콘택층을 형성하는 단계와;

상기 액티브층과 오믹 콘택층이 형성된 기판 상에 상기 게이트 배선과 수직 교차하는 데이터 배선과, 상기 데이터 배선에서 연장된 소스 전극과, 상기 소스 전극과 이격된 드레인 전극을 형성하는 단계와;

상기 소스 및 드레인 전극의 이격된 사이 공간으로 분리되지 않고 연결 형성된 상기 오믹 콘택층 상부 표면에 대응된 규소 화합물 상부에 O<sub>2</sub> 플라즈마 처리를 통해 금속 산화막을 형성하는 단계와;

상기 데이터 배선과 소스 및 드레인 전극의 상부를 덮으며, 상기 드레인 전극의 일부를 노출하는 드레인 콘택홀을 포함하는 보호막을 형성하는 단계와;

상기 보호막 상에 상기 드레인 콘택홀을 통해 상기 드레인 전극과 연결된 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

**청구항 14**

제 1 항 또는 제 3 항에 있어서,

상기 제 2 두께는 50 ~ 500Å의 범위로 구성된 것을 특징으로 하는 액정표시장치용 어레이 기판.

**명세서**

**발명의 상세한 설명**

**기술 분야**

[0001] 본 발명은 액정표시장치에 관한 것으로, 보다 상세하게는 박막트랜지스터의 구동 특성을 개선할 수 있는 액정표시장치용 어레이 기판 및 그 제조방법에 관한 것이다.

**배경 기술**

[0002] 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용하는 바, 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

[0003] 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

[0004] 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소 전극이 행렬방식으로 배열된 능동행렬 액정표시장치(Active Matrix LCD : AM-LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

[0005] 이하, 첨부한 도면을 참조하여 종래에 따른 액정표시장치용 어레이 기판에 대해 설명하도록 한다.

[0006] 도 1은 종래에 따른 액정표시장치용 어레이 기판의 단위 화소를 나타낸 평면도이다.

- [0007] 도시한 바와 같이, 기판(10) 상에 게이트 배선(20)과 데이터 배선(30)이 수직 교차 구성된다. 상기 게이트 배선(20)과 데이터 배선(30)이 수직 교차하여 정의하는 영역을 화소 영역(P)이라 한다.
- [0008] 상기 게이트 배선(20)과 데이터 배선(30)의 교차지점에는 스위칭 역할을 하는 박막트랜지스터(T)가 구성된다. 상기 박막트랜지스터(T)는 게이트 배선(20)에서 연장된 게이트 전극(25)과, 상기 게이트 전극(25)과 중첩된 상부에 위치하는 반도체층(미도시)과, 상기 반도체층과 접촉되고 데이터 배선(30)에서 연장된 소스 전극(32)과, 상기 소스 전극(32)과 이격된 드레인 전극(34)을 포함한다.
- [0009] 도면으로 상세히 제시하지는 않았지만, 상기 반도체층은 순수 비정질 실리콘(a-Si:H)으로 이루어진 액티브층(40)과, 불순물을 포함하는 비정질 실리콘(n+ a-Si)으로 이루어진 오믹 콘택층(미도시)을 포함한다.
- [0010] 상기 드레인 전극(34)의 일부를 노출하는 드레인 콘택홀(CH1)을 통해, 상기 드레인 전극(34)과 접촉된 화소 전극(70)이 화소 영역(P)에 대응하여 구성된다.
- [0011] 이하, 종래에 따른 액정표시장치용 어레이 기판의 제조방법을 통해 상세히 설명하도록 한다.
- [0012] 도 2a 내지 도 2g는 도 1의 II-II'선을 따라 절단하여 공정 순서에 따라 나타낸 공정 단면도로, 박막트랜지스터를 중점적으로 설명하도록 한다.
- [0013] 도 2a는 제 1 마스크 공정 단계를 나타낸 공정 단면도이다.
- [0014] 도 2a에 도시한 바와 같이, 기판(10) 상에 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 알루미늄 합금(AlNd) 및 크롬(Cr)과 같은 도전성 금속 그룹 중 선택된 하나로 게이트 금속층(미도시)을 형성하고 이를 패틴하게 되면, 일 방향으로 게이트 배선(도 1의 20)과, 상기 게이트 배선에서 연장된 게이트 전극(25)이 형성된다.
- [0015] 다음으로, 상기 게이트 배선과 게이트 전극(25)의 상부 전면에 산화 실리콘(SiO<sub>2</sub>)과 질화 실리콘(SiNx)을 포함하는 무기절연물질 그룹 중 선택된 하나로 게이트 절연막(45)이 형성된다.
- [0016] 도 2b와 도 2c는 제 2 마스크 공정 단계를 나타낸 공정 단면도이다.
- [0017] 도 2b에 도시한 바와 같이, 상기 게이트 절연막(45) 상에 순수 비정질 실리콘(a-Si:H)을 제 1 두께(t1)로 증착하여 순수 비정질 실리콘층(40a)을 형성하고, 연속하여 상기 순수 비정질 실리콘층(40a) 상에 불순물을 포함하는 비정질 실리콘(n+ a-Si:H)을 제 2 두께(t2)로 증착하여 불순물 비정질 실리콘층(41a)이 형성된다.
- [0018] 일반적으로, 상기 제 1 두께(t1)는 1500 ~ 2000Å, 제 2 두께(t2)는 500 ~ 1000Å의 범위로 각각 형성된다. 즉, 상기 순수 비정질 실리콘층(40a)이 불순물 비정질 실리콘층(41a) 보다 대략 5배 정도 두꺼운 두께로 형성된다.
- [0019] 도 2c에 도시한 바와 같이, 상기 순수 비정질 실리콘층(40a)과 불순물을 포함하는 비정질 실리콘층(41a)을 차례로 패틴하게 되면, 상기 게이트 전극(25)과 중첩된 상부에 액티브층(40)과 오믹 콘택층(41)이 적층 형성된다. 이때, 상기 액티브층(40)과 오믹 콘택층(41)은 평면적으로 동일한 면적을 갖는다. 상기 액티브층(40)과 오믹 콘택층(41)을 포함하여 반도체층(42)이라 한다.
- [0020] 도 2d와 도 2e는 제 3 마스크 공정 단계를 나타낸 공정 단면도이다.
- [0021] 도 2d에 도시한 바와 같이, 상기 반도체층(42) 상부 전면에는 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 알루미늄 합금(AlNd) 및 크롬(Cr)과 같은 도전성 금속 그룹 중 선택된 하나로 드레인 금속층(미도시)을 형성하고 이를 패틴하게 되면, 상기 게이트 배선과 수직 교차하여 화소 영역(P)을 정의하는 데이터 배선(도 1의 30)과, 상기 데이터 배선에서 연장된 소스 전극(32)과, 상기 소스 전극(32)과 이격된 드레인 전극(34)이 형성된다.
- [0022] 다음으로, 도 2e에 도시한 바와 같이, 상기 소스 전극(32)과 드레인 전극(34)의 이격된 사이로 노출된 오믹 콘택층(41)을 건식식각 공정으로 패틴하게 되면, 오믹 콘택층(41)이 양측으로 분리 형성되고, 양측으로 분리된 오믹 콘택층(41)의 하부로 액티브층(40)이 노출된다. 이때, 상기 노출된 액티브층(40)을 과식각(over-etch)하여 백에치 타입의 채널(ch)을 형성하게 된다.
- [0023] 이때, 상기 게이트 전극(25)과 게이트 절연막(45)과 액티브 및 오믹 콘택층(40, 41)과 소스 및 드레인 전극(32, 34)을 포함하여 박막트랜지스터(T)라 한다.
- [0024] 도 2f는 제 4 마스크 공정 단계를 나타낸 공정 단면도이다.
- [0025] 도 2f에 도시한 바와 같이, 상기 데이터 배선과 소스 및 드레인 전극(32, 34)의 상부 전면에는 드레인 전극(3

4)의 일부를 노출하는 드레인 콘택홀(CH1)을 포함하는 보호막(55)이 형성된다. 상기 보호막(55)은 질화 실리콘(SiNx)과 산화 실리콘(SiO<sub>2</sub>)을 포함하는 무기절연물질 그룹 중 선택된 하나, 또는 아크릴계 수지와 벤조사이클로부텐(benzocyclobutene: BCB)을 포함하는 유기절연물질 그룹 중 선택된 하나로 형성된다.

- [0026] 도 2g는 제 5 마스크 공정 단계를 나타낸 공정 단면도이다.
- [0027] 도 2g에 도시한 바와 같이, 상기 드레인 콘택홀(CH1)을 포함하는 보호막(55) 상에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 물질 그룹 중 선택된 하나를 증착하여 투명 도전성 금속층(미도시)을 형성하고 이를 패틴하게 되면, 상기 드레인 콘택홀(CH1)을 통해 드레인 전극(34)과 접촉된 화소 전극(70)이 화소 영역(P)에 대응하여 형성된다.
- [0028] 이상으로, 종래에 따른 액정표시장치용 어레이 기판을 5 마스크 공정으로 제작할 수 있다.
- [0029] 전술한 바와 같이, 종래에 따른 박막트랜지스터(T)는 백에치 타입(Back Channel Etched Type)의 채널(ch)을 형성하기 위해 액티브층(40)을 오믹 콘택층(41) 보다 대략 5배 정도 두꺼운 두께로 형성하고 있다.
- [0030] 이때, 상기 오믹 콘택층(41)에 비해 액티브층(40)을 과도하게 두껍게 형성하는 것은 액티브층(40)을 과식각하여 백에치 타입의 채널(ch)을 형성하는 과정에서 화소 영역(P) 별 식각 비율이 달라져 공정 오차가 발생될 경우, 액티브층(40) 자체 뿐만 아니라 액티브층(40)의 하부에 위치하는 게이트 절연막(45)의 손상으로 박막트랜지스터(T)의 구동 특성에 심각한 타격을 입힐 우려가 있어 완충층의 목적으로 오믹 콘택층(41)에 비해 액티브층(40)을 과도하게 두껍게 형성하고 있다.
- [0031] 그러나, 전술한 구성은 오믹 콘택층(41)에 비해 대략 5배 정도 두껍게 형성된 액티브층(40)이 채널(ch)과 소스 전극(32), 또는 채널(ch)과 드레인 전극(34) 사이의 저항을 증가시키는 요인으로 작용하여 선형 영역에서의 전하 이동도가 낮아지는 문제를 유발하고 있다.
- [0032] 특히, 상기 액티브층(40)의 두께가 증가할 수록 외부광이나 기판(10)의 배면에 위치하는 백라이트 유닛(미도시)으로부터의 반사광이 채널(ch)부로 입사될 경우 광누설 전류를 상승시키는 요인으로 작용하게 되는 바, 이러한 광누설 전류의 상승에 따른 크로스 토크(cross-talk)의 발생으로 화질 불량 문제를 유발할 수 있다.
- [0033] 그 밖에, 과도한 두께로 액티브층(40)을 형성하는 데 따른 공정 시간의 지연 문제가 있다. 이러한 공정 시간의 지연 문제를 해결하기 위해 보다 많은 성막 장비 즉, 플라즈마 화학기상증착 장비를 추가적으로 사용할 경우 초기 장비 투자비의 증가로 생산성이 저하되는 문제가 있다.

## 발명의 내용

### 해결 하고자하는 과제

- [0034] 본 발명은 전술한 문제를 해결하기 위해 안출된 것으로, 액정표시장치용 어레이 기판에 있어서 액티브층과 오믹 콘택층으로 이루어진 채널의 전하 이동도를 향상시켜 박막트랜지스터의 구동 특성을 개선할 수 있는 액정표시장치용 어레이 기판을 제공하는 것을 목적으로 한다.

### 과제 해결수단

- [0035] 전술한 목적을 달성하기 위한 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이 기판은 기판과; 상기 기판 상의 일 방향으로 구성된 게이트 배선 및 게이트 전극과; 상기 게이트 배선 및 게이트 전극을 덮는 게이트 절연막과; 상기 게이트 절연막 상에 위치하고, 상기 게이트 전극과 중첩된 상부에 제 1 두께로 구성된 액티브층과; 상기 게이트 배선과 수직 교차하는 데이터 배선과, 상기 데이터 배선에서 연장된 소스 전극과, 상기 소스 전극과 이격된 드레인 전극과; 상기 액티브층과 소스 및 드레인 전극의 사이 공간에 위치하고, 상기 소스 및 드레인 전극의 이격된 사이로 노출되며, 상기 액티브층과 동일한 패틴으로 제 2 두께로 구성된 오믹 콘택층과; 상기 데이터 배선과 소스 및 드레인 전극을 덮는 보호막과; 상기 보호막 상에 위치하고, 상기 드레인 전극과 연결된 화소 전극을 포함하는 것을 특징으로 한다.
- [0036] 이때, 상기 제 1 두께는 100 ~ 700Å의 범위로 구성되고, 상기 제 2 두께는 50 ~ 500Å의 범위로 구성된 것을

특징으로 한다. 상기 오믹 콘택층은 소스 및 드레인 전극에 각각 접촉한다.

[0037] 전술한 목적을 달성하기 위한 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판은 기판과; 상기 기판 상의 일 방향으로 구성된 게이트 배선 및 게이트 전극과; 상기 게이트 배선 및 게이트 전극을 덮는 게이트 절연막과; 상기 게이트 절연막 상에 위치하고, 상기 게이트 전극과 중첩된 상부에 제 1 두께로 구성된 액티브층과; 상기 게이트 배선과 수직 교차하는 데이터 배선과, 상기 데이터 배선에서 연장된 소스 전극과, 상기 소스 전극과 이격된 드레인 전극과; 상기 액티브층과 소스 및 드레인 전극의 사이 공간에 위치하고, 상기 소스 및 드레인 전극의 이격된 사이로 노출되며, 상기 액티브층과 동일한 패턴으로 제 2 두께로 구성된 오믹 콘택층과; 상기 액티브 및 오믹 콘택층과 동일 패턴으로 상기 데이터 배선 하부로 연장 구성된 제 1 및 제 2 비정질 패턴과; 상기 데이터 배선과 소스 및 드레인 전극을 덮는 보호막과; 상기 보호막 상에 위치하고, 상기 드레인 전극과 연결된 화소 전극을 포함하는 것을 특징으로 한다.

[0038] 전술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이 기판의 제조방법은 기판 상에 일 방향으로 게이트 배선 및 게이트 전극을 형성하는 단계와; 상기 게이트 배선 및 전극이 형성된 기판 상에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 상의 상기 게이트 전극과 중첩된 상부에 순수 비정질 실리콘층을 제 1 두께로 형성하고 패턴하여 액티브층을 형성하는 단계와; 상기 액티브층 상에 불순물을 포함하는 비정질 실리콘층을 제 2 두께로 형성하고 패턴하여 오믹 콘택층을 형성하는 단계와; 상기 액티브층과 오믹 콘택층이 형성된 기판 상에 상기 게이트 배선과 수직 교차하는 데이터 배선과, 상기 데이터 배선에서 연장된 소스 전극과, 상기 소스 전극과 이격된 드레인 전극과; 상기 소스 및 드레인 전극의 이격된 사이 공간으로 상기 오믹 콘택층 상부 표면에 대응된 규소 화합물을 제거하는 단계와; 상기 데이터 배선과 소스 및 드레인 전극의 상부를 덮으며, 상기 드레인 전극의 일부를 노출하는 드레인 콘택홀을 포함하는 보호막을 형성하는 단계와; 상기 보호막 상에 상기 드레인 콘택홀을 통해 상기 드레인 전극과 연결된 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

[0039] 이때, 상기 제 1 두께는 100 ~ 700Å의 범위로 형성되고, 상기 제 2 두께는 50 ~ 500Å의 범위로 형성된 것을 특징으로 한다. 상기 오믹 콘택층은 소스 및 드레인 전극에 각각 접촉한다.

[0040] 상기 규소 화합물은 상기 소스 및 드레인 전극과 오믹 콘택층의 반응에 의해 생성된 것을 특징으로 한다. 상기 규소 화합물은 HCl, Cl<sub>2</sub>, SF<sub>6</sub>, CF<sub>4</sub> 등을 포함하는 반응 가스 중 선택된 하나를 이용한 건식식각법 또는 HF를 이용한 습식식각법이 이용될 수 있다.

[0041] 상기 규소 화합물 상부에 O<sub>2</sub> 플라즈마 처리를 통해 금속 산화막을 형성하는 단계를 더욱 포함한다.

### 효 과

[0042] 본 발명에서는 첫째, 전하 이동도의 향상으로 박막트랜지스터의 구동 특성을 개선할 수 있다. 둘째, 액티브층의 두께 감소로 광누설 전류를 감소시킬 수 있다. 셋째, 액티브층과 오믹 콘택층의 공정 단순화로 공정 시간이 단축되는 장점이 있다.

### 발명의 실시를 위한 구체적인 내용

[0043] --- 제 1 실시예 ---

[0044] 본 발명의 제 1 실시예는 액티브층과 오믹 콘택층을 얇게 형성하고 소스 및 드레인 전극의 이격된 사이로 노출된 오믹 콘택층을 분리 형성하지 않음으로써, 게이트 전극에 인가되는 음 또는 양의 전압으로 채널로 이동하는 자유 전자의 흐름을 원활히 제어하는 것을 통해 박막트랜지스터의 구동 특성을 개선할 수 있는 것을 특징으로 한다.

[0045] 이하, 첨부한 도면을 참조하여 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이 기판에 대해 설명하도록 한다.

[0046] 도 3은 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이 기판의 단위 화소를 나타낸 평면도이고, 도 4는 도 3의 IV-IV'선을 따라 절단하여 나타낸 단면도이다.

- [0047] 도 3과 도 4에 도시한 바와 같이, 기판(110) 상에 일 방향으로 게이트 배선(120)을 구성하고, 상기 게이트 배선(120)과 수직 교차하는 방향으로 데이터 배선(130)을 구성한다. 상기 게이트 배선(120)과 데이터 배선(130)이 수직 교차하여 정의하는 영역을 화소 영역(P)이라 한다.
- [0048] 상기 게이트 배선(120)과 데이터 배선(130)의 교차지점에는 스위칭 역할을 하는 박막트랜지스터(T)를 구성한다. 상기 박막트랜지스터(T)는 게이트 배선(120)에서 연장된 게이트 전극(125)과, 상기 게이트 배선(120)과 게이트 전극(125)을 덮는 게이트 절연막(145)과, 상기 게이트 절연막(145)을 사이에 두고 상기 게이트 전극(125)과 중첩된 액티브층(140)과, 상기 액티브층(140)과 평면적으로 동일한 면적으로 설계된 오믹 콘택층(141)과, 상기 오믹 콘택층(141)과 접촉되고 데이터 배선(130)에서 연장된 소스 전극(132)과, 상기 소스 전극(132)과 이격되고 오믹 콘택층(141)과 접촉된 드레인 전극(134)을 포함한다.
- [0049] 상기 액티브층(140)은 순수 비정질 실리콘(a-Si:H)을 제 1 두께(t1)로, 상기 오믹 콘택층(141)은 불순물을 포함하는 비정질 실리콘(n+ a-Si)을 제 2 두께(t2)로 차례로 적층 구성한다. 상기 제 1 두께는 100 ~ 700Å의 범위로, 제 2 두께는 50 ~ 500Å의 범위로 각각 구성한다.
- [0050] 이때, 상기 소스 전극(132)과 드레인 전극(134)의 이격된 사이로 오믹 콘택층(141)이 노출된 것을 특징으로 한다.
- [0051] 상기 드레인 전극(134)을 덮는 보호막(155)을 패터닝하여, 상기 드레인 전극(134)의 일부를 노출하는 드레인 콘택홀(CH2)을 통해, 상기 드레인 전극(134)과 접촉된 화소 전극(170)을 화소 영역(P)에 대응하여 구성한다.
- [0052] 이때, 상기 화소 전극(170)은 전단의 게이트 배선(120)과 중첩되도록 연장 구성하여, 상기 전단의 게이트 배선(120)을 제 1 전극으로 하고 상기 제 1 전극과 중첩된 화소 전극(170)을 제 2 전극으로 하며, 상기 제 1 및 제 2 전극의 중첩된 사이 공간에 개재된 게이트 절연막(145)과 보호막(155)을 유전체층으로 하는 스토리지 커패시터(Cst)를 구성한다.
- [0053] 전술한 구성은 오믹 콘택층(41)과 대등한 두께를 가지도록 액티브층(140)의 두께를 얇게 형성하고, 상기 소스 전극(132)과 드레인 전극(134)의 이격된 사이로 노출된 오믹 콘택층(141)을 양측으로 분리 구성하지 않는 것을 통해 채널의 전하 이동도를 개선할 수 있는 장점이 있다.
- [0054] 도면으로 제시하지는 않았지만, 화소 영역(P)에 대응하여 화소 전극과 공통 전극을 평행하게 교대로 이격 배치되는 횡전계 방식에도 동일하게 적용할 수 있다는 것은 자명한 사실일 것인 바, 횡전계 방식에 대한 설명은 생략하도록 한다.
- [0055] 이하, 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이 기판의 제조방법을 통해 보다 상세히 설명하도록 한다.
- [0056] 도 5a 내지 도 5i는 도 3의 IV-IV'선을 따라 절단하여 공정 순서에 따라 나타낸 공정 단면도이다.
- [0057] 도 5a는 제 1 마스크 공정 단계를 나타낸 공정 단면도이다.
- [0058] 도 5a에 도시한 바와 같이, 기판(110) 상에 스위칭 영역(S), 화소 영역(P) 및 데이터 영역(D)을 정의하는 단계를 진행한다. 상기 스위칭 영역(S), 화소 영역(P) 및 데이터 영역(D)이 정의된 기판(110) 상에 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 알루미늄 합금(AlNd) 및 크롬(Cr)과 같은 도전성 금속 그룹 중 선택된 하나로 게이트 금속층(미도시)을 형성하고 이를 패터닝하여, 일 방향으로 게이트 배선(도 3의 120)과 상기 게이트 배선에서 연장된 게이트 전극(125)을 형성한다.
- [0059] 다음으로, 상기 게이트 배선과 게이트 전극(125)이 형성된 기판(110)의 상부 전면에 산화 실리콘(SiO<sub>2</sub>)과 질화 실리콘(SiNx)을 포함하는 무기절연물질 그룹 중 선택된 하나로 게이트 절연막(145)을 형성한다.
- [0060] 도 5b와 도 5c는 제 2 마스크 공정 단계를 나타낸 공정 단면도이다.
- [0061] 도 5b에 도시한 바와 같이, 상기 게이트 절연막(145) 상에 순수 비정질 실리콘(a-Si:H)을 제 1 두께(t1)로 증착하여 순수 비정질 실리콘층(140a)을 형성하고, 연속하여 상기 순수 비정질 실리콘층(140a) 상에 불순물을 포함하는 비정질 실리콘(n+ a-Si:H)을 제 2 두께(t2)로 증착하여 불순물 비정질 실리콘층(141a)을 차례로 적층 형성한다.
- [0062] 이때, 상기 제 1 두께(t1)는 100 ~ 700Å, 제 2 두께(t2)는 50 ~ 500Å의 범위로 형성한다. 즉, 상기 순수 비정질 실리콘층(140a)과 불순물 비정질 실리콘층(141a)이 대등한 두께를 가지도록 형성한다.



- [0063] 도 5c에 도시한 바와 같이, 상기 순수 비정질 실리콘층(140a)과 불순물을 포함하는 비정질 실리콘층(141a)을 차례로 패터닝하여, 상기 게이트 전극(125)과 중첩된 상부에 액티브층(140)과 오믹 콘택층(141)을 적층 형성한다. 이때, 상기 액티브층(140)과 오믹 콘택층(141)은 평면적으로 동일한 면적으로 형성된다. 액티브층(140)과 오믹 콘택층(141)을 포함하여 반도체층(142)이라 한다.
- [0064] 이때, 상기 제 1 두께(t1)를 갖는 액티브층(140)과 제 2 두께(t2)를 갖는 오믹 콘택층(141)을 대략 1 ~ 1.5 : 1의 비율로 형성하는 것을 통해 제 1 두께(t1), 즉 종래의 제 1 두께(도 2b의 t1)와 비교하여 대폭 축소 설계된다.
- [0065] 도 5d, 도 5e 및 도 5f는 제 3 마스크 공정 단계를 나타낸 공정 단면도이다.
- [0066] 도 5d에 도시한 바와 같이, 상기 반도체층(142)이 형성된 기판(110) 상에 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo) 및 크롬(Cr)과 같은 도전성 금속 그룹 중 선택된 하나 또는 둘 이상의 합금으로 소스 및 드레인 금속층(175)을 형성하고, 상기 소스 및 드레인 금속층(175) 상에 포토레지스트를 도포하여 감광층(180)을 형성한다.
- [0067] 다음으로, 상기 감광층(180)과 이격된 상부에 차단부(T1)와 투과부(T2)로 이루어진 마스크(M)를 정렬하는 단계를 진행한다. 상기 마스크(M)의 차단부(T1)는 빛을 완전히 차단하는 기능을 하고, 상기 투과부(T2)는 빛을 투과시켜 빛에 노출된 감광층(180)이 화학적 변화를 일으켜 완전 노광될 수 있도록 하는 기능을 한다.
- [0068] 이때, 상기 스위칭 영역(S)에는 양측의 차단부(T1) 사이에 투과부(T2), 데이터 영역(D)에는 차단부(T1), 그리고 이를 제외한 전 영역은 투과부(T2)가 위치하도록 한다.
- [0069] 도 5e에 도시한 바와 같이, 상기 마스크(도 5d의 M) 상부에서 노광 및 현상 공정을 진행하여, 상기 스위칭 영역(S)에 대응하여 양측으로 이격된 제 1 및 제 2 감광 패턴(182, 184), 상기 데이터 영역(D)에 대응하여 제 3 감광 패턴(186)을 각각 형성한다.
- [0070] 이때, 상기 제 1, 제 2, 제 3 감광 패턴(182, 184, 186)을 제외한 부분에 대응된 감광층(도 5d의 180)은 모두 제거되어 그 하부에 대응된 소스 및 드레인 금속층(175)의 표면이 외부로 노출된다.
- [0071] 다음으로, 도 5f에 도시한 바와 같이, 상기 제 1, 제 2, 제 3 감광 패턴(182, 184, 186)을 마스크로 이용하고 노출된 소스 및 드레인 금속층(도 5e의 175)을 패터닝하여, 상기 게이트 배선과 수직 교차하는 데이터 배선(130)과, 상기 데이터 배선(130)에서 연장된 소스 전극(132)과, 상기 소스 전극(132)과 이격된 드레인 전극(134)을 형성한다.
- [0072] 이때, 상기 소스 및 드레인 금속층을 패터닝하는 공정은 습식식각이나 건식식각법이 이용되는 데, 이러한 습식식각이나 건식식각 공정을 진행하는 과정에서 소스 및 드레인 전극(132, 134)의 이격된 사이로 노출된 오믹 콘택층(141)과 소스 및 드레인 금속층 간의 반응으로 오믹 콘택층(141) 표면에 잔량의 규소 화합물(190, silicide compound)이 잔재하게 된다.
- [0073] 특히, 상기 액티브층(140)의 두께가 매우 얇게 형성되고, 소스 및 드레인 전극(132, 134)의 이격된 사이로 노출된 오믹 콘택층(141)을 양측으로 분리 구성하지 않게 되는 것을 특징으로 하는 바, 상기 소스 및 드레인 전극(132, 134)의 이격된 사이에 대응된 액티브층(140)과 오믹 콘택층(141)을 채널(ch)로 활용하게 된다.
- [0074] 이때, 상기 오믹 콘택층(141)의 노출된 표면에 잔재하는 규소 화합물(190)은 채널(ch)로 이동하는 자유 전자의 흐름을 방해하는 트랩(trap)으로 작용하여 저항을 증가시키는 요인으로 작용할 수 있으므로, 오믹 콘택층(141)의 노출된 표면에 잔재하는 규소 화합물(190)은 제거해 주어야 한다.
- [0075] 이러한 규소 화합물(190)은 HCl, Cl<sub>2</sub>, SF<sub>6</sub>, CF<sub>4</sub> 등을 포함하는 반응 가스 중 선택된 하나를 이용한 건식식각법, 또는 HF를 이용한 습식식각법으로 제거할 수 있다.
- [0076] 도면으로 제시하지는 않았지만, 건식식각법 또는 습식식각법으로 규소 화합물(190)을 제거하지 않는 대신, 오믹 콘택층(141)의 노출된 표면에 잔재하는 규소 화합물(190) 상부에 O<sub>2</sub> 플라즈마 처리를 통해 금속 산화물(미도시)을 형성하는 방법으로 채널(ch)로 이동하는 전자의 이동도를 개선할 수도 있다.
- [0077] 도 5g에 도시한 바와 같이, 전술한 건식식각 또는 습식식각 공정으로 규소 화합물(도 5f의 190)을 제거하여, 오믹 콘택층(141)의 노출된 표면에 불순물을 포함하는 비정질 실리콘(n+ a-Si:H) 만이 존재하도록 한다.
- [0078] 이때, 상기 게이트 전극(125)과 게이트 절연막(145)과 반도체층(142)과 소스 및 드레인 전극(132, 134)을 포함

하여 박막트랜지스터(T)를 이룬다.

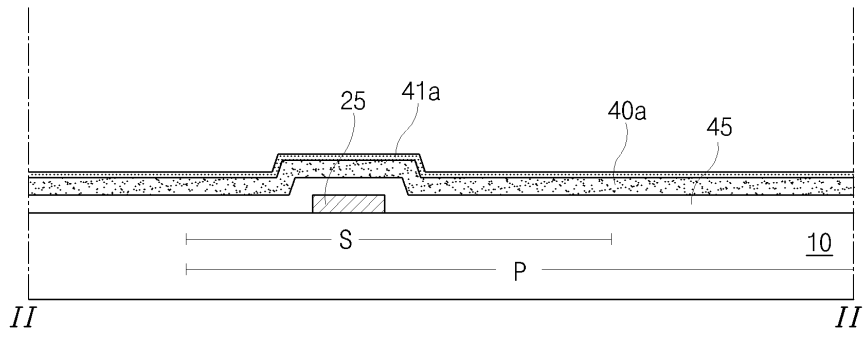
- [0079] 도 5h는 제 4 마스크 공정 단계를 나타낸 공정 단면도이다.
- [0080] 도 5h에 도시한 바와 같이, 상기 데이터 배선(130)과 박막트랜지스터(T)가 형성된 기판(110)의 상부 전면에 질화 실리콘(SiNx)과 산화 실리콘(SiO<sub>2</sub>)을 포함하는 무기절연물질 그룹 중 선택된 하나, 또는 아크릴계 수지와 벤조사이클로부텐(benzocyclobutene: BCB)을 포함하는 유기절연물질 그룹 중 선택된 하나로 보호막(155)을 형성한다.
- [0081] 다음으로, 상기 드레인 전극(134)을 덮는 보호막(155)을 패틴하여, 상기 드레인 전극(134)을 노출하는 드레인 콘택홀(CH2)을 형성한다.
- [0082] 도 5i는 제 5 마스크 공정 단계를 나타낸 공정 단면도이다.
- [0083] 도 5i에 도시한 바와 같이, 상기 드레인 콘택홀(CH2)을 포함하는 보호막(155) 상에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 물질 그룹 중 선택된 하나를 증착하여 투명 금속층(미도시)을 형성하고 이를 패틴하여, 상기 드레인 콘택홀(CH2)을 통해 드레인 전극(134)과 접촉된 화소 전극(170)을 화소 영역(P)에 대응하여 형성한다.
- [0084] 도면으로 상세히 제시하지는 않았지만, 상기 화소 전극(170)은 전단에 위치하는 게이트 배선(도 3의 120)으로 연장하여, 상기 전단의 게이트 배선을 제 1 전극으로 하고, 상기 제 1 전극과 중첩된 화소 전극(170)을 제 2 전극으로 하며, 상기 제 1 및 제 2 전극의 중첩된 사이 공간에 개재된 게이트 절연막(145)과 보호막(155)을 유전체층으로 하는 스토리지 커패시터(Cst)가 형성된다.
- [0085] 전술한 박막트랜지스터(T)의 구동 방법은 게이트 전극(125)에 음(-)의 전압을 인가하면, 액티브층(140)과 오믹 콘택층(141)을 포함하는 채널(ch)의 자유 전자가 고갈되어 오프 상태(off-state)를 유지하게 된다.
- [0086] 또한, 상기 게이트 전극(125)에 양(+)의 전압을 인가하면, 채널(ch)에 자유 전자가 축적되어 온 상태(on-state)를 유지하고 채널(ch)을 통해 데이터 배선(130)으로 인가되는 데이터 신호(data signal)를 화소 전극(170)에 전달하여 화소 전극(170)과 공통 전극(미도시) 간의 전압차에 의한 액정의 구동으로 빛을 투과시켜 컬러필터 기판(미도시)에 구성된 적, 녹, 청 서브 컬러필터(미도시) 간의 색상 조합을 통해 영상을 구현하게 된다.
- [0087] 이러한 방식으로 구동하는 박막트랜지스터(T)는 액티브층(140)의 두께가 얇게 형성되므로, 게이트 전극(125)과 오믹 콘택층(141) 간의 이격 거리가 줄어들게 되는 바, 소스 및 드레인 전극(132, 134)의 이격된 사이 구간에 대응된 오믹 콘택층(141)을 양측으로 분리 구성하지 않아도 되는 장점이 있다.
- [0088] 이를 상세히 설명하면, 종래에는 오믹 콘택층(141)에 비해 5배 정도로 두껍게 형성된 액티브층(140)에 기인하여 게이트 전극(125)과 오믹 콘택층(141) 간의 이격 거리가 멀게 형성되어 소스 및 드레인 전극(132, 134) 간의 이격된 사이 구간에 대응된 오믹 콘택층(141)을 양측으로 분리 형성하지 않을 경우, 이 부분에 대응된 오믹 콘택층(141)을 게이트 전극(125)에 인가되는 양 또는 음의 전압으로 제어하는 것이 불가능한 문제가 있었다.
- [0089] 그러나, 본 발명의 제 1 실시예에서는 액티브층(140)의 두께 감소로 게이트 전극(125)과 오믹 콘택층(141) 간의 이격 거리가 축소 설계되기 때문에, 게이트 전극(125)에 인가되는 양 또는 음의 전압으로 액티브층(140)과 오믹 콘택층(141)의 전 부분에 대응된 채널(ch)을 손쉽게 제어하는 것이 가능한 장점으로 전자의 이동도를 개선할 수 있게 된다.
- [0090] 또한, 액티브층(140)의 두께가 얇아질 경우 백라이트 유닛으로부터 입사된 빛에 의한 광누설 전류의 감소 효과가 있을 뿐만 아니라, 소스 및 드레인 전극(132, 134)의 이격된 사이로 노출된 오믹 콘택층(141)을 양측으로 분리 형성하지 않아도 되므로, 공정이 간소화되고 공정 불량에 따른 박막트랜지스터(T)의 구동 특성이 저하되는 문제를 미연에 방지할 수 있다. 그 결과, 공정 간소화에 따른 공정 시간의 단축으로 생산성 향상을 기대할 수 있다.
- [0091] 따라서, 본 발명의 제 1 실시예에서는 액티브층과 오믹 콘택층을 얇게 형성하고 소스 및 드레인 전극의 이격된 사이로 노출된 오믹 콘택층을 분리 형성하지 않음으로써, 게이트 전극에 인가되는 음 또는 양의 전압으로 채널로 이동하는 자유 전자의 흐름을 원활히 제어하는 것을 통해 박막트랜지스터의 구동 특성을 개선할 수 있는 장점이 있다.

- [0092] --- 제 2 실시예 ---
- [0093] 본 발명의 제 2 실시예는 마스크 공정 수를 줄일 수 있는 액정표시장치용 어레이 기판 및 그 제조방법을 제공하는 것을 특징으로 한다.
- [0094] 이하, 첨부한 도면을 참조하여 본 발명의 제 2 실시예에 따른 액정표시장치에 대해 설명하도록 한다.
- [0095] 도 6은 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판의 단위 화소를 나타낸 평면도이다.
- [0096] 도시한 바와 같이, 기판(210) 상의 일 방향으로 게이트 배선(220)을 구성하고, 상기 게이트 배선(220)과 수직 교차하는 방향으로 데이터 배선(230)을 구성한다. 상기 게이트 배선(220)과 데이터 배선(230)이 수직 교차하여 정의하는 영역을 화소 영역(P)이라 한다.
- [0097] 상기 게이트 배선(220)과 데이터 배선(230)의 교차지점에는 박막트랜지스터(T)를 구성한다. 상기 박막트랜지스터(T)는 게이트 배선(220)에서 연장된 게이트 전극(225)과, 상기 게이트 전극(225) 상의 반도체층(미도시)과, 상기 데이터 배선(230)에서 연장되고 반도체층과 접촉된 소스 전극(232)과, 상기 소스 전극(232)과 이격된 드레인 전극(234)을 포함한다.
- [0098] 상기 반도체층(미도시)은 순수 비정질 실리콘(a-Si:H)으로 이루어진 액티브층(미도시)과, 불순물을 포함하는 비정질 실리콘(n+ a-Si:H)으로 이루어진 오믹 콘택층(241)을 포함한다.
- [0099] 이때, 상기 액티브층은 제 1 두께(t1)로, 상기 오믹 콘택층(241)은 제 2 두께(t2)로 차례로 적층 구성되는 바, 제 1 두께는 100 ~ 700Å의 범위로, 제 2 두께는 50 ~ 500Å의 범위로 각각 구성한다.
- [0100] 이때, 상기 소스 전극(232)과 드레인 전극(234)의 이격된 사이로 오믹 콘택층(241)이 노출된 것을 특징으로 한다.
- [0101] 상기 액티브층에서 데이터 배선(230) 하부로 연장 구성된 제 1 비정질 패턴(미도시)과, 오믹 콘택층(241)에서 데이터 배선(230) 하부로 연장 구성된 제 2 비정질 패턴(274)이 차례로 적층 형성된다. 특히, 상기 제 2 비정질 패턴(274)은 데이터 배선(230)의 외부로 노출된다.
- [0102] 상기 드레인 전극(234)의 일부를 노출하는 드레인 콘택홀(CH3)을 통해 드레인 전극(234)과 접촉된 화소 전극(270)을 화소 영역(P)에 대응하여 구성한다. 상기 화소 전극(270)은 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)와 같은 투명한 도전성 물질로 구성한다.
- [0103] 이때, 상기 화소 전극(270)은 전단의 게이트 배선(220)과 중첩되도록 연장 설계하여, 상기 전단의 게이트 배선(220)을 제 1 전극으로 하고, 상기 제 1 전극과 중첩된 화소 전극(270)을 제 2 전극으로 하며, 상기 제 1 및 제 2 전극의 중첩된 사이 공간에 개개된 절연막을 유전체층으로 하는 스토리지 커패시터(Cst)를 구성한다.
- [0104] 본 발명의 제 2 실시예는 제 1 실시예의 제 2 및 제 3 마스크 공정 단계를 하나의 마스크 공정으로 가져가는 것을 통해 4 마스크 공정으로 액정표시장치용 어레이 기판을 제작할 수 있는 것을 특징으로 한다.
- [0105] 즉, 상기 액티브 및 오믹 콘택층과 데이터 배선과 소스 및 드레인 전극을 동일 마스크를 이용하여 형성하는 것 이외에는 제 1 실시예와 그 제조방법이 동일한 바, 이에 대한 설명은 생략하도록 한다.
- [0106] 도 7은 본 발명에 따른 박막트랜지스터의 I-V 트랜스퍼 곡선을 나타낸 도면으로, (1)은 종래, (2),(3),(4),(5)는 본 발명에 따른 박막트랜지스터의 I-V 트랜스퍼 곡선을 비교한 실험 결과이다. 특히, (2)는 액티브층이 300Å, 오믹 콘택층이 100Å (3)은 액티브층이 300Å, 오믹 콘택층이 200Å (4)는 액티브층이 500Å, 오믹 콘택층이 100Å (5)는 액티브층이 500Å, 오믹 콘택층이 200Å의 두께로 각각 제작했을 때의 I-V 트랜스퍼 곡선을 나타낸 결과이다.
- [0107] 도시한 바와 같이, 드레인/소스 전압(Vds)에 1V를 인가하고 게이트/소스 전압(Vgs)을 -10 ~ 20V로 변화한 상태에서의 드레인/소스 전류(A)를 나타낸 그래프로, 종래(1)와 본 발명(2),(3),(4),(5)에 따른 게이트/소스 전압(Vgs)에 따른 드레인/소스 전류(Ids)를 각각 비교한 것이다.
- [0108] 이때, 상기 게이트/소스 전압(Vgs)에 따른 드레인/소스 전류(Ids)에 있어서, 종래(1)와 본 발명(2),(3),(4),(5)를 비교한 바, 드레인/소스 전류(Ids)가 약간씩 상승하는 것을 알 수 있다.
- [0109] 특히, 도 8은 게이트 전압에 따른 전하 이동도 그래프를 나타낸 것으로, 이를 참조하여 상세히 설명하도록

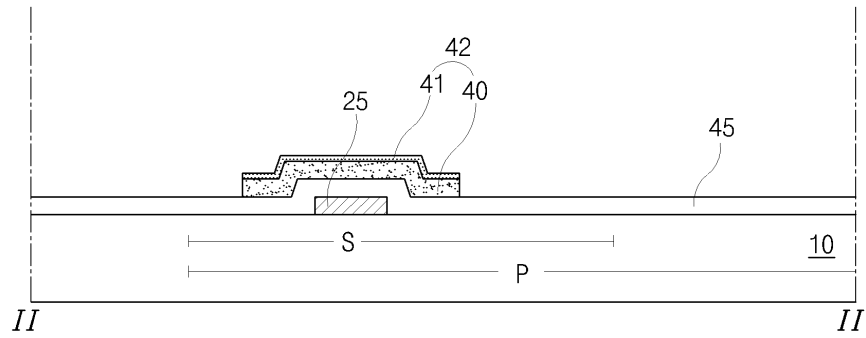




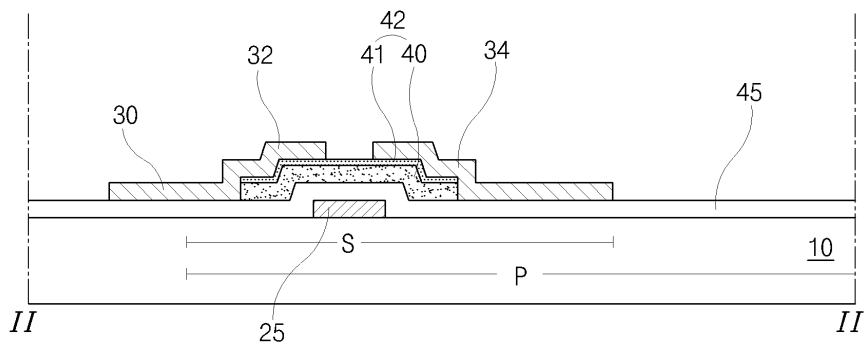
도면2b



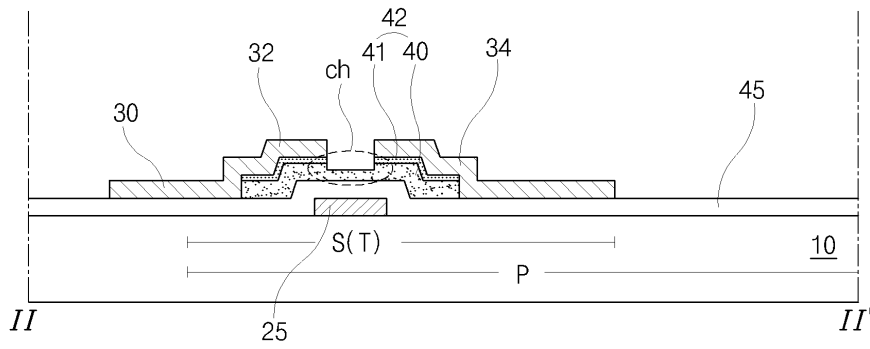
도면2c



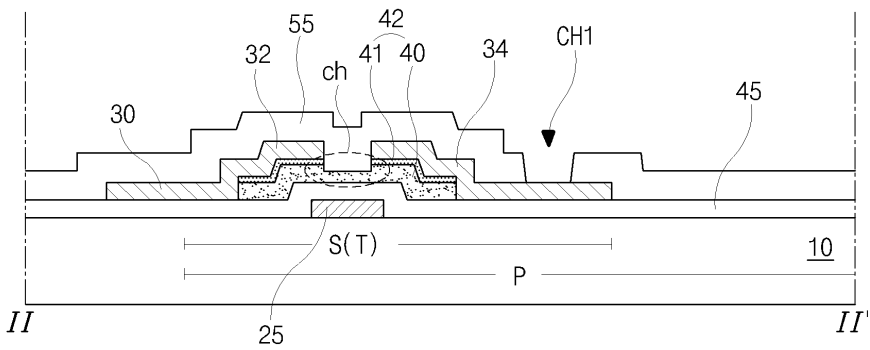
도면2d



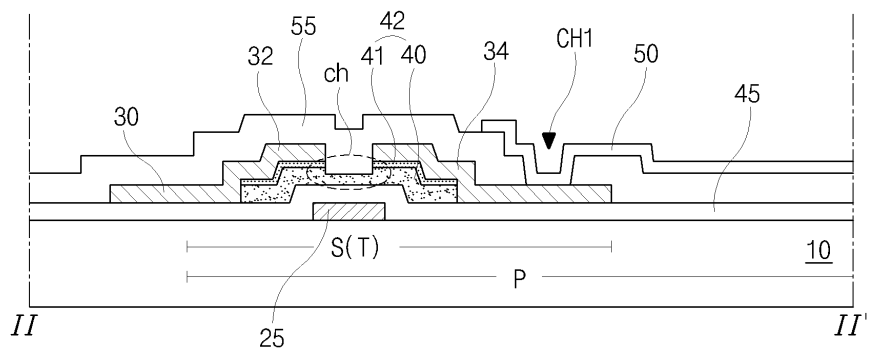
도면2e



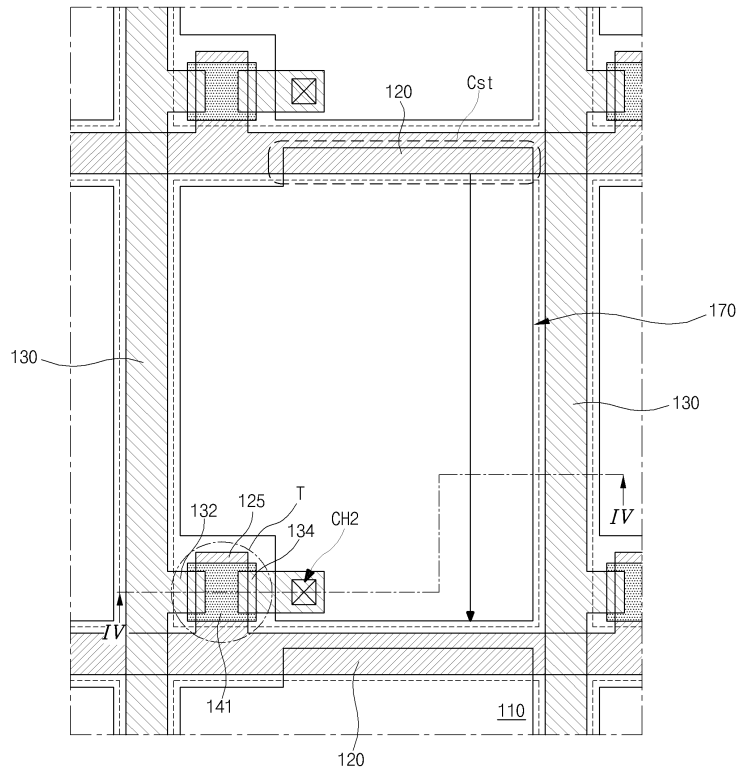
도면2f



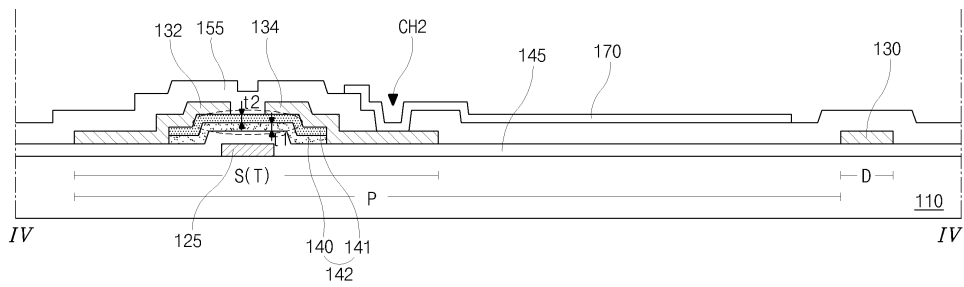
도면2g



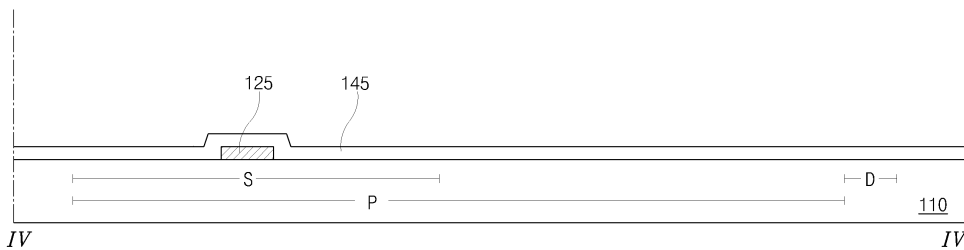
도면3



도면4

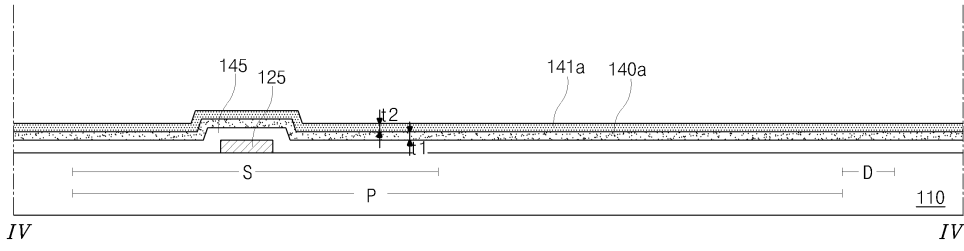


도면5a

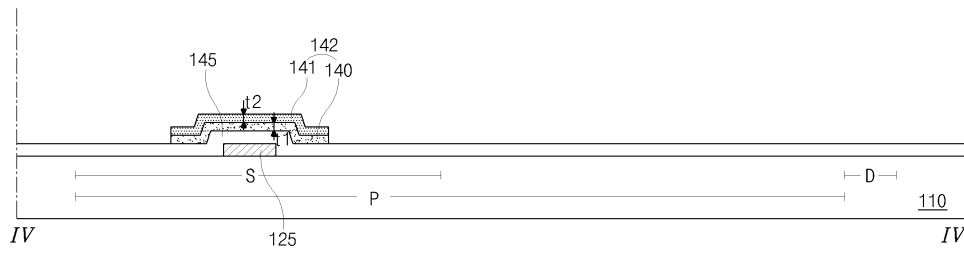




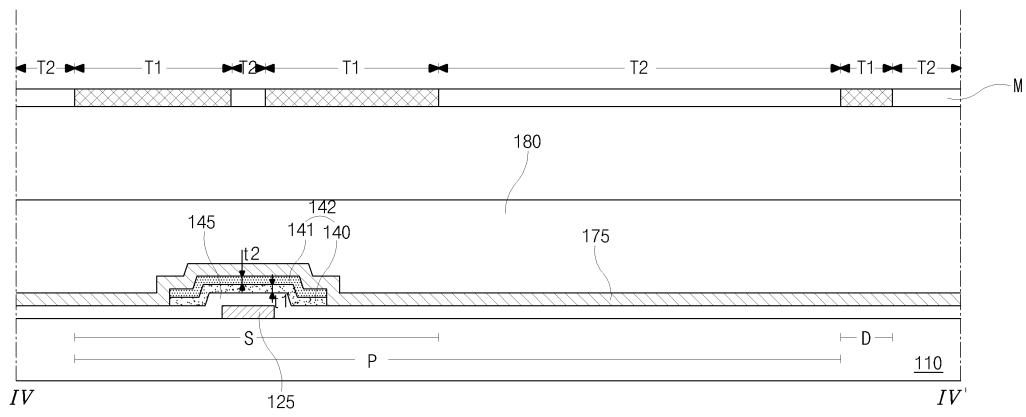
도면5b



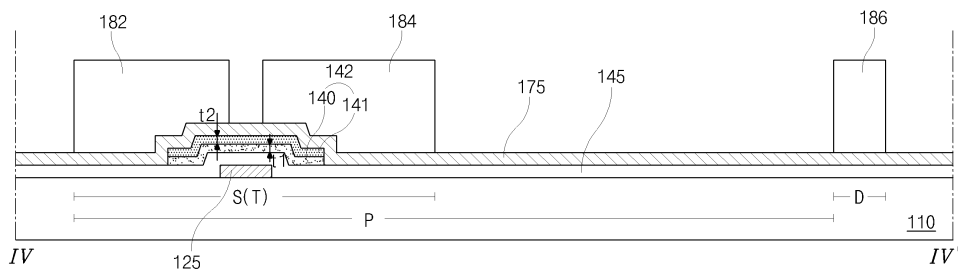
도면5c



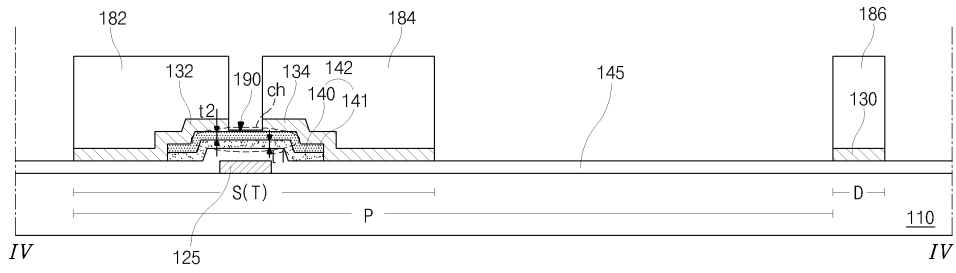
도면5d



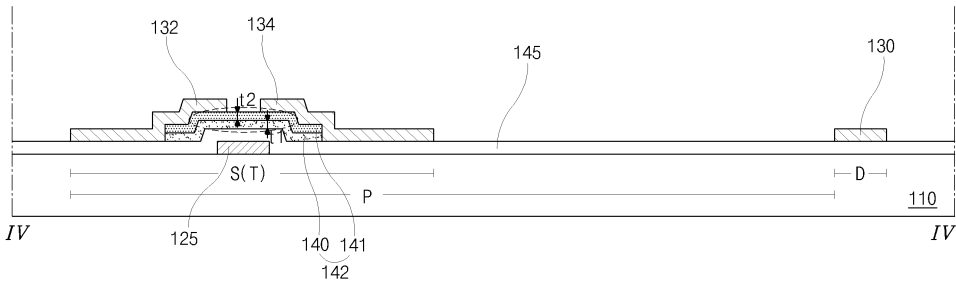
도면5e



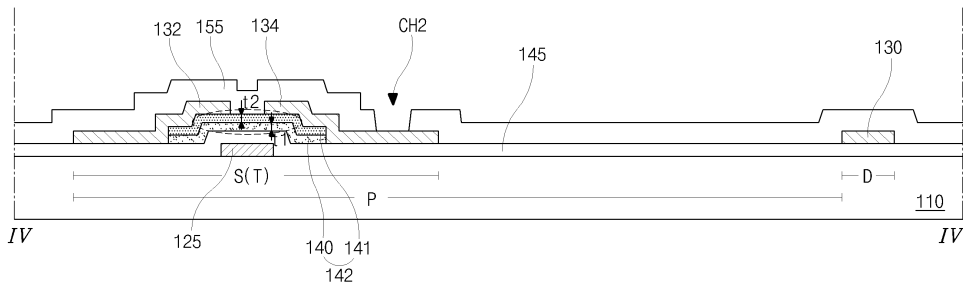
도면5f



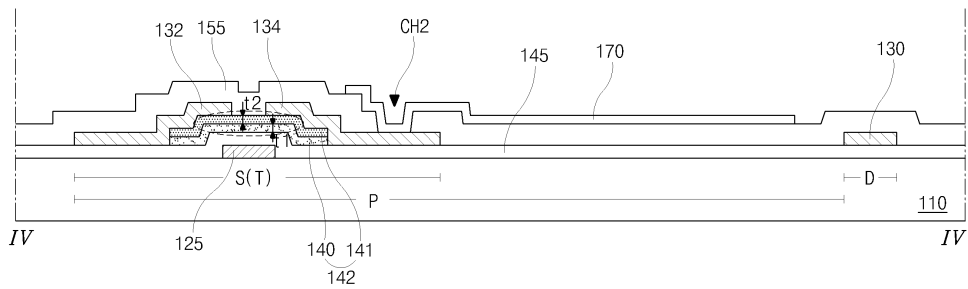
도면5g



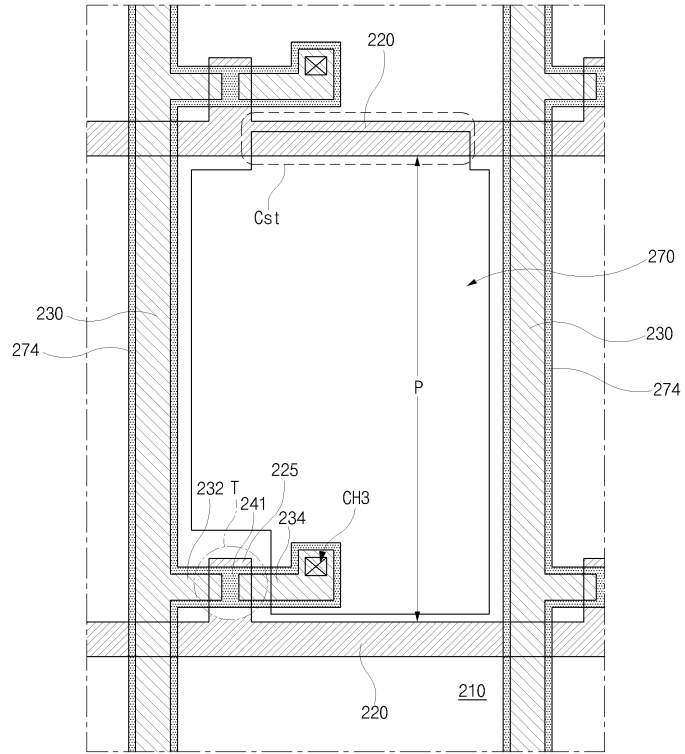
도면5h



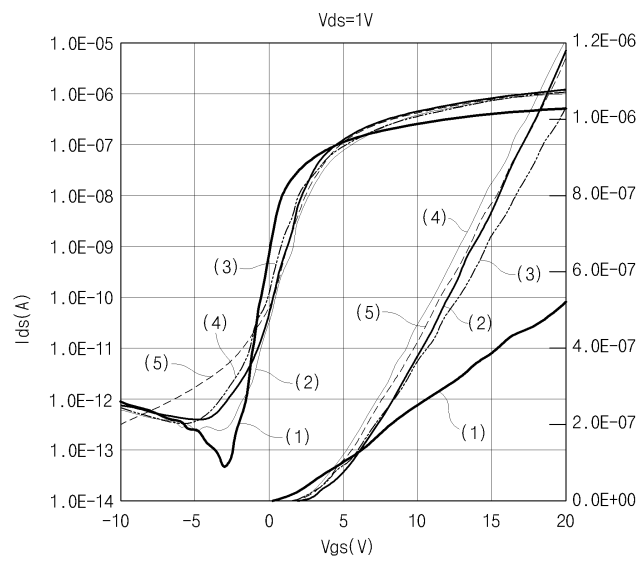
도면5i



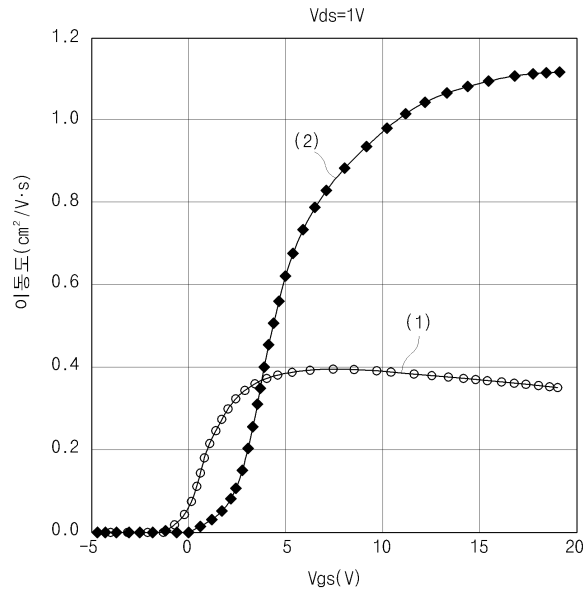
도면6



도면7



도면8



도면9

