

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(10) 국제공개번호

WO 2010/140725 A1

(43) 국제공개일
2010년 12월 9일 (09.12.2010)

PCT

- (51) 국제특허분류:
H01L 21/28 (2006.01) H01L 21/027 (2006.01)
H01L 21/203 (2006.01)
- (21) 국제출원번호: PCT/KR2009/003017
- (22) 국제출원일: 2009년 6월 5일 (05.06.2009)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (71) 출원인 (US을(를) 제외한 모든 지정국에 대하여):
(주)탑엔지니어링 (TOP ENGINEERING CO., LTD)
[KR/KR]; 경기도 파주시 월롱면 영태리 811-26 번지,
413-813 Gyeonggi-do (KR).
- (72) 발명자: 김
- (75) 발명자/출원인 (US에 한하여): 김상희 (KIM, Sang-hee)
[KR/KR]; 서울시 송파구 풍납동 38927/8 삼용아파트 1-202, 138-040 Seoul (KR).
- (74) 대리인: 특허법인 정적파 특허 (HONESTY AND PATENT IP LAW FIRM); 서울 중구 충무로 3가 60-1 극동빌딩 20층, 100-705 Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO,

AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 유럽 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

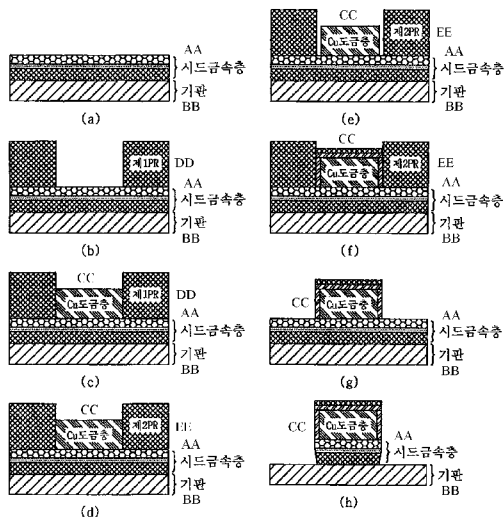
공개:

- 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: METHOD FOR FORMING A THIN FILM METAL CONDUCTIVE LINE

(54) 발명의 명칭: 박막 금속 전도선의 형성 방법

[Fig. 2]



AA ... Seed Metal Layer
BB ... Substrate
CC ... Cu Plating Layer
DD ... First PR
EE ... Second PR

(57) Abstract: The present invention relates to a method for forming a thin film metal conductive line for effectively preventing the occurrence of undercuts in the manufacture of a high-precision thin film metal conductive line required for a highly-integrated, high-frequency, and high-precision conductive substrate. The method comprises the steps of: forming a seed metal layer on a substrate surface; forming a first photoresist layer on the seed metal layer surface, and removing a portion of a photoresist film corresponding to a main metal layer pattern; using the first photoresist layer as a mask to form a Cu plating layer; removing the first photoresist layer, and then forming a second photoresist layer at a certain distance from the Cu plating layer; using the second photoresist layer as a mask to form an Ni plating layer enclosing the Cu plating layer, and an Au plating layer; and removing the second photoresist layer, and performing etching to remove an exposed portion of the seed metal layer. According to the method for forming a thin film metal conductive line of the present invention, during the manufacture of high-precision substrates for configuring high-precision circuits such as substrates for probe cards and multi-level interconnect substrates used for mobile communication components, the effect of preventing the occurrence of undercuts in thin film metal conductive lines is achieved.

(57) 요약서:

[다음 쪽 계속]

WO 2010/140725 A1



본 발명은 고집적, 고주파, 고정밀의 전도선 기판에 요구되는 초정밀의 박막 금속 전도선을 제조함에 있어 언더 컷 현상을 효과적으로 방지하는 박막 금속 전도선을 형성하는 방법에 관한 것으로, 기판 표면에 시드 금속층을 형성하는 단계, 상기 시드 금속층 표면에 제 1 포토레지스트층을 형성하고 주 금속층 패턴에 해당하는 부분의 포토레지스트 필름을 제거하는 단계, 상기 제 1 포토레지스트층을 마스크로 하여 Cu 도금층을 형성하는 단계, 상기 제 1 포토레지스트층을 제거한 후 상기 Cu 도금층과 일정 간격을 띄워 제 2 포토레지스트층을 형성하는 단계, 상기 제 2 포토레지스트층을 마스크로 하여 상기 Cu 도금층을 에워싸는 Ni 도금층과 Au 도금층을 형성하는 단계, 상기 제 2 포토레지스트층을 제거하고 상기 시드 금속층의 노출되는 부위를 제거하기 위해 에칭하는 단계를 포함하는 것을 특징으로 한다. 본 발명의 박막 금속 전도선의 형성 방법에 따르면, 프로브 카드용 기판 또는 이동통신 부품으로 사용되는 다층 배선 기판과 같은 고정밀 회로를 형성하는 고밀도 기판 제조시, 박막 금속 전도선의 언더 컷 현상을 방지할 수 있다는 효과가 얻어진다.

명세서

발명의 명칭: 박막 금속 전도선의 형성 방법

기술분야

- [1] 본 발명은 박막 금속 전도선의 형성 방법에 관한 것으로서, 보다 상세하게는 고집적, 고주파, 고정밀의 전도선 기판에 요구되는 초정밀의 박막 금속 전도선을 제조함에 있어 언더 컷(under cut) 현상을 효과적으로 방지하는 박막 금속 전도선의 형성 방법에 관한 것이다.

배경기술

- [2] 최근 이동 통신 기술의 발달로 이동 통신 기술 분야에서 사용되는 전자 부품들이 소형화, 복합화, 모듈화 및 고주파화가 가속되고 있다. 이러한 기술의 요구를 만족시키기 위해서 배선으로 사용되는 박막 금속 전도선의 정밀도는 더욱 높아져야 하는 실정이다.
- [3] 도 1은 종래의 박막 금속 전도선의 형성 과정을 나타낸 것이다. 종래 박막 금속 전도선은 다음과 같은 방법으로 형성되었다.
- [4] 먼저 기판의 전 처리 공정을 거친 세라믹 기판에 시드 금속층을 형성하는 데, 상기 시드 금속층은 DC 마그네트론 스퍼터링(Magnetron Sputtering)에 의해 시드(Seed) 금속인 Ti, Pd 그리고 Cu 혹은 Al, Au 등의 층을 순차적으로 형성한 것이다.
- [5] 여기서, 상기 Ti, Pd 그리고 Cu의 각각의 두께는 약 2000Å, 60Å 그리고 9000Å이며, Al은 약 2000Å, Au는 약 500Å 정도로 형성한다. 물론 이들 금속 층의 두께는 응용 분야에 따라서 달라질 수 있다.
- [6] 그리고 감광제 라미네이터(Laminator) 장비를 이용하여 시드 금속층이 형성된 기판 위에 포토레지스트 필름을 도포하고, 사진 식각법인 포토리소그래피(Photolithography) 공정 기술을 이용하여 주(Main) 금속층 패턴에 해당하는 부분의 포토레지스트 필름을 제거한다(도 1의 a).
- [7] 이후, 상기 포토레지스트 필름이 제거된 부분에 주 금속층을 도금하며, 상기 주 금속층은 성막 속도가 우수한 전기도금 방식을 이용하여 Cu, Ni, Au를 각각 10~15 μm, 1~3 μm, 1~1.5 μm로 도금한다(도 1의 b).
- [8] 그리고, 상기 주 금속층 주위에 남아있는 포토레지스트 필름을 스트립 장비 및 화공 약품 등을 이용하여 제거하고(도 1의 c), 습식 에칭 방식으로 기판 표면에 노출된 주 금속층과 시드 금속층을 순차적으로 식각한다(도 1의 d).
- [9]
- [10] 그러나, 전술한 바와 같이 박막 금속 전도선을 형성하면, 도 1의 d에서 알 수 있듯이 습식 에칭 방식으로 주 금속층과 시드 금속층을 순차적으로 식각할 때 전기도금 기술로 형성된 주 금속층의 구리(Cu) 도금층이 에칭되는 언더 컷

현상이 발생하게 되어 정밀한 박막 금속 전도선을 형성하기가 어렵다.

[11] 특히 고정밀의 임피던스 배선 특성을 요구하는 프로브 카드(Probe card)용 기관이나 이동통신 부품으로 사용되는 다층 배선 기관인 경우, 전술한 언더 컷 현상에 의해 출력 특성에 치명적인 영향이 초래되어 고집적, 고정밀이 요구되는 다층 배선 기관을 구현하기 어려운 문제점이 있었다.

[12] 한편, 반도체 제조 공정에서 언더 컷 현상을 방지하기 위해 전해 도금 혹은 무전해 도금에 의해 전도선 패턴의 외표면에 도금을 수행하는 방법이 제시되고 있다. 그러나, 고집적, 고정밀이 요구되는 프로브 카드용 기관 등을 구현하기 위한 도금에 있어서는 미세한 폭의 갭 필링에서 완전한 바텀-업 필링(bottom-up filling)이 이루어지지 않을 경우, 전도선 패턴 내에 심(seam) 내지 보이드(void)가 형성된다. 이러한 심(seam) 또는 보이드(void)는 전도선의 단락 또는 보이드 내에 잔류하는 전해액의 영향으로 소자의 파괴가 발생할 가능성이 있어 고집적, 고정밀 기관의 박막 금속 전도선 형성에서는 보다 향상된 도금 방식에 의한 보호막의 형성이 요구되는 실정이다.

발명의 상세한 설명

기술적 과제

[13] 본 발명의 목적은 상술한 바와 같은 종래 기술의 문제점을 해결하기 위해 이루어진 것으로서, 박막 금속 전도선을 형성할 때 언더 컷 현상을 효과적으로 방지함으로써 전자 부품들이 소형화, 복합화, 모듈화 및 고주파화 등의 특성을 만족하고, 임피던스 특성이 우수한 박막 금속 전도선의 형성 방법을 제공하는 것이다.

기술적 해결방법

[14] 상기 목적을 달성하기 위해 본 발명에 따른 박막 금속 전도선의 형성 방법은, 기관 표면에 시드 금속층을 형성하는 단계, 상기 시드 금속층 표면에 제1 포토레지스트층을 형성하고 주 금속층 패턴에 해당하는 부분의 포토레지스트 필름을 제거하는 단계, 상기 제1 포토레지스트층을 마스크로 하여 Cu 도금층을 형성하는 단계, 상기 제1 포토레지스트층을 제거한 후 상기 Cu 도금층과 일정 간격을 띄워 제2 포토레지스트층을 형성하는 단계, 상기 제2 포토레지스트층을 마스크로 하여 상기 Cu 도금층을 에워싸는 Ni 도금층과 Au 도금층을 형성하는 단계, 상기 제2 포토레지스트층을 제거하고 상기 시드 금속층의 노출되는 부위를 제거하기 위해 에칭하는 단계를 포함하는 것을 특징으로 한다.

[15] 또 본 발명에 따른 박막 금속 전도선의 형성 방법에 있어서, 상기 에칭하는 단계는 습식 에칭에 의해 실행되는 것을 특징으로 한다.

[16] 또 본 발명에 따른 박막 금속 전도선의 형성 방법에 있어서, 상기 기관은 프로브 카드용 기관 또는 이동통신 부품으로 사용되는 다층 배선 기관인 것을 특징으로 한다.

[17] 또 본 발명에 따른 박막 금속 전도선의 형성 방법에 있어서, 상기 일정 간격은

0.1~2 μ m인 것을 특징으로 하는 한다.

- [18] 또 본 발명에 따른 박막 금속 전도선의 형성 방법은, 기판 표면에 시드 금속층을 형성하는 단계, 상기 시드 금속층 표면에 포토레지스트층을 형성하고 주 금속층 패턴에 해당하는 부분의 포토레지스트 필름을 제거하는 단계, 상기 포토레지스트 층을 마스크로 하여 상기 주 금속층을 형성하는 단계, 상기 포토레지스트층을 제거한 후 상기 시드 금속층의 노출되는 부위를 제거하는 단계를 포함하며, 상기 제거하는 단계는 이온 빔 처리에 의해 실행되는 것을 특징으로 한다.

[19]

도면의 간단한 설명

- [20] 도 1은 종래의 박막 금속 전도선을 형성하는 과정을 나타내는 도면이다.
 [21] 도 2는 본 발명의 제1 실시예에 따른 박막 금속 전도선을 형성하는 과정은 나타내는 도면이다.
 [22] 도 3은 본 발명의 제2 실시예에 따른 박막 금속 전도선을 형성하는 과정은 나타내는 도면이다.

발명의 실시를 위한 최선의 형태

- [23] 이하, 첨부한 도면을 바탕으로 본 발명에 따른 박막 금속 전도선의 형성 방법에 관한 바람직한 실시예에 대해 자세히 설명하도록 한다.
 [24] 먼저 본 발명의 제1 실시예를 도 2를 참조하여 설명한다. 여기서, 도 2는 본 발명의 제1 실시예에 따른 박막 금속 전도선을 형성하는 과정을 나타내는 도면이다.
 [25] 본 발명에 따른 박막 금속 전도선의 형성 방법에 따르면, 도 2에 도시된 바와 같이 기판 표면에 무전해 도금, CVD(Chemical Vapor Deposition) 또는 PVD(Physical Vapor Deposition) 방식에 의해 Ti, Pd, Cu 층을 순차적으로 형성하여 시드 금속층을 형성시킨다(도 2의 a).
 [26] 상기 시드 금속층 표면에 감광성의 포토레지스트 필름을 도포하고 노광 및 현상 공정을 거쳐 제1 포토레지스트층(제1 PR)을 형성하고, 주 금속층 패턴에 해당하는 부분의 포토레지스트 필름을 제거한다(도 2의 b).
 [27] 그 후, 상기 제1 포토레지스트층(제1 PR)을 마스크로 하여 주 금속 층으로서 Cu 도금 공정을 실행한다(도 2의 c).
 [28] 상기 Cu 도금 공정에 의해 Cu 도금층을 형성한 후에 제1 포토레지스트층(제1 PR)을 제거하고(도 2의 d), 다시 Cu 도금층이 형성된 시드 금속층의 표면에 포토레지스트 필름을 도포하되 상기 Cu 도금층과 일정한 간격, 예를 들어 0.1~2 μ m의 간격을 두고 노광 및 현상 공정을 거쳐 제2 포토레지스트층(제2 PR)을 형성한다(도 2의 e).
 [29] 다음 상기 Cu 도금층 주위 즉, Cu 도금층의 상면, Cu 도금층과 제2 포토레지스트층(제2 PR) 사이에 Ni, Au를 각각 도금하여 Ni 도금층과 Au

도금층을 형성한다(도 2의 f). 이러한 공정에 의해 주 금속층이 형성된다.

- [30] 한편, 도금법에는 무전해 도금법과 전해 도금법이 있는데 무전해 도금법은 높은 종횡비를 갖는 배선 구조에서도 우수한 갭필링(gap filling) 특성과 고속 성장을 나타내지만, 전자 이동도(EM)가 낮고 화학 반응도 복잡하여 제어가 어렵다는 단점이 있다. 이에 대하여, 전해 도금법은 화학 반응이 비교적 간단하고 취급이 쉬우며 전자 이동도가 우수하지만 갭필링 특성이 낮다는 단점이 있다.
- [31] 이에 본 발명은 전해 도금에 의해 주 금속층을 형성하되 갭필링 특성과 성장 속도를 개선하기 위해 자기장을 인가하는 구성을 채용할 수도 있다.
- [32] 이와 같은 방법에 의해 Cu 도금층 주위에 Ni 도금층과 Au 도금층을 각각 형성한 후 제2 포토레지스트층(제2 PR)을 제거하고(도 2의 g), 습식 에칭에 의해 기판 표면에 노출된 시드 금속층을 제거하면, Cu 도금층을 에워싸는 Ni 도금층에 의해 박막 금속 전도선 패턴의 언더 컷은 일어나지 않게 된다(도 2의 h).
- [33] 즉, 본 발명에 따르면 시드 금속층의 Cu 에칭시 전기도금된 주 금속층의 Cu 도금층이 Cu 에칭 용액에 노출되지 않으므로, 주 금속층은 물론 상기 주 금속층의 바로 밑에 있는 시드 금속층의 Cu 층의 언더 컷 현상이 효과적으로 방지된다.
- [34]
- [35] 다음에 본 발명에 따른 제2 실시예를 도 3에 따라 설명한다.
- [36] 도 3에 도시된 바와 같이, 본 발명에 따른 박막 금속 전도선의 형성 방법은 기판상에 무전해 도금, CVD(Chemical Vapor Deposition) 또는 PVD(Physical Vapor Deposition) 방식에 의해 Ti, Pd, Cu 층을 순차적으로 형성하여 시드 금속층을 형성시킨다(도 3의 a).
- [37] 상기 시드 금속층 표면에 감광성의 포토레지스트 필름을 도포하고 노광 및 현상 공정을 거쳐 포토레지스트층(PR)을 형성하고, 주 금속층 패턴에 해당하는 부분의 포토레지스트 필름을 제거한다(도 3의 b).
- [38] 그 후, 상기 포토레지스트층(PR)을 마스크로 하여 주 금속층으로서 Cu, Ni, Au를 각각 도금하여 Cu 도금층, Ni 도금층과 Au 도금층을 형성한다(도 3의 c).
- [39] 이후, 포토레지스트층(PR)을 제거하고 습식 에칭 대신에 이온빔 처리(Ion Implantation) 방법으로 기판 표면에 노출된 시드 금속층을 제거하면, 박막 금속 전도선의 언더 컷은 일어나지 않게 된다(도 3의 d).
- [40] 상기 이온 빔 처리 방법에서는 Cu, Pd, Ti 혹은 Al, Au 등과 같은 시드 금속 층을 에칭할 때, 에칭하고자 하는 물질에 따라서 수소, 헬륨, 질소, 아르곤, 제논 등의 가스(기체 상태 및 이온 상태)를 사용할 수 있다.
- [41] 즉, 상기 가스(기체 상태 및 이온 상태)의 이온빔을 금속에 따라서 최대 가속 에너지 10KeV ~ 70KeV로 가속하여 이온 스퍼터 플라즈마(Ion Sputtering Plasma) 방식으로 Cu, Pd, Ti 혹은 Al, Au 등의 금속을 동시에 에칭하므로, 언더 컷 발생을 억제할 수 있다.

- [42] 따라서 제2 실시예의 방식은 초고주파 응용 기판을 제조하는데 효과적이다. 또한 상기 제2 실시예의 기술을 적용할 경우, 고정밀의 전도선 기판의 공정 작업 시간 및 공정 프로세스(Process)의 수를 효과적으로 줄일 수 있는 장점이 있다.

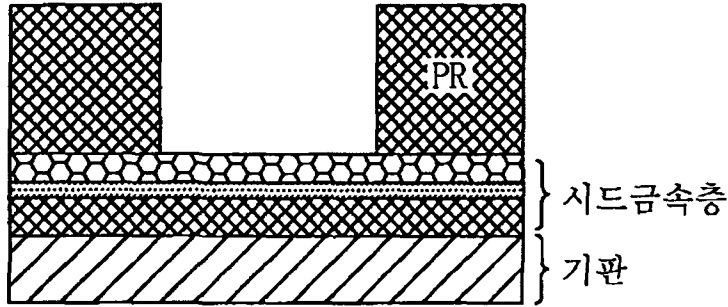
산업상 이용가능성

- [43] 상술한 바와 같이, 본 발명에 따른 박막 금속 전도선의 형성 방법에 의하면, 프로브 카드용 기판 또는 이동통신 부품으로 사용되는 다층 배선 기판과 같은 고정밀 회로를 형성하는 고밀도 기판 제조시, Cu 도금층의 상면, Cu 도금층과 제2 포토레지스트층(제2 PR) 사이에 Ni, Au를 각각 도금함으로써 박막 금속 전도선의 언더 컷 현상을 방지할 수 있다는 효과가 얻어진다.
- [44] 또 본 발명에 따른 박막 금속 전도선의 형성 방법에 의하면, 주 금속층과 시드 금속층을 이온빔 처리 공정으로 처리함으로써 초고주파수 기판에서 요구하는 초정밀 전도선 구조를 용이하게 제작할 수 있다는 효과도 얻어진다.

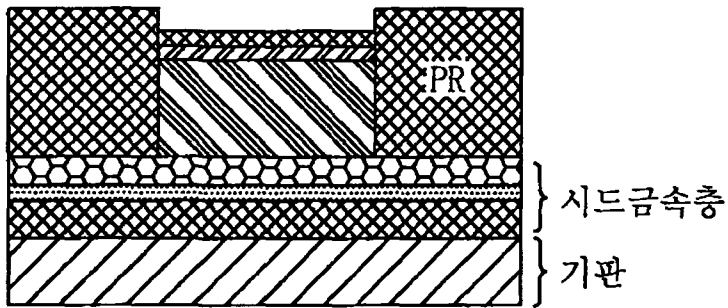
청구범위

- [1] 기판 표면에 시드 금속층을 형성하는 단계;
 상기 시드 금속층 표면에 제1 포토레지스트층을 형성하고 주 금속층 패턴에 해당하는 부분의 포토레지스트 필름을 제거하는 단계;
 상기 제1 포토레지스트층을 마스크로 하여 Cu 도금층을 형성하는 단계;
 상기 제1 포토레지스트층을 제거한 후 상기 Cu 도금층과 간격을 두고 제2 포토레지스트층을 형성하는 단계;
 상기 제2 포토레지스트층을 마스크로 하여 상기 Cu 도금층을 에워싸는 Ni 도금층과 Au 도금층을 형성하는 단계;
 상기 제2 포토레지스트층을 제거하고 상기 시드 금속층의 노출되는 부위를 제거하기 위해 에칭하는 단계를 포함하는 것을 특징으로 하는 박막 금속 전도선의 형성 방법.
- [2] 제1항에 있어서,
 상기 에칭하는 단계는 습식 에칭에 의해 실행되는 것을 특징으로 하는 박막 금속 전도선의 형성 방법.
- [3] 제1항 또는 제2항에 있어서,
 상기 기판은 프로브 카드용 기판 또는 이동통신 부품으로 사용되는 다층 배선 기판인 것을 특징으로 하는 박막 금속 전도선의 형성 방법.
- [4] 제3항에 있어서,
 상기 Cu 도금층과 제2 포토레지스트층 사이의 간격은 0.1~2 μ m인 것을 특징으로 하는 박막 금속 전도선의 형성 방법.
- [5] 기판 표면에 시드 금속층을 형성하는 단계;
 상기 시드 금속층 표면에 포토레지스트층을 형성하고 주 금속층 패턴에 해당하는 부분의 포토레지스트 필름을 제거하는 단계;
 상기 포토레지스트 층을 마스크로 하여 상기 주 금속층을 형성하는 단계;
 상기 포토레지스트층을 제거한 후 상기 시드 금속층의 노출되는 부위를 제거하는 단계를 포함하며,
 상기 제거하는 단계는 이온 빔 처리에 의해 실행되는 것을 특징으로 하는 박막 금속 전도선의 형성 방법.
- [6] 제5항에 있어서,
 상기 이온 빔 처리는 이온 스퍼터 플라즈마(Ion Sputtering Plasma) 방식인 것을 특징으로 하는 박막 금속 전도선의 형성 방법.

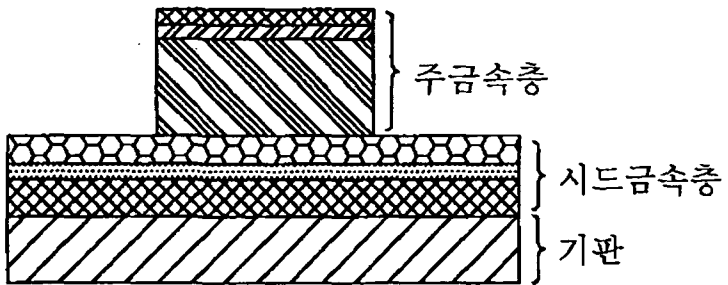
[Fig. 1]



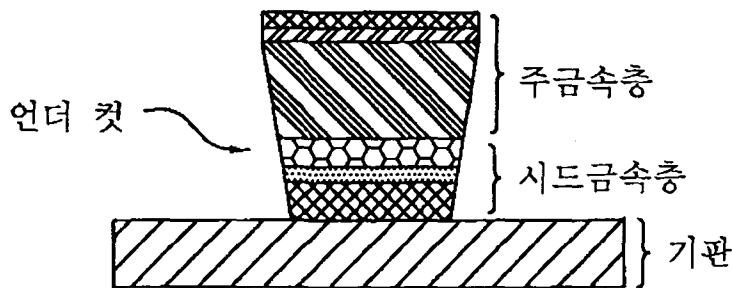
(a)



(b)

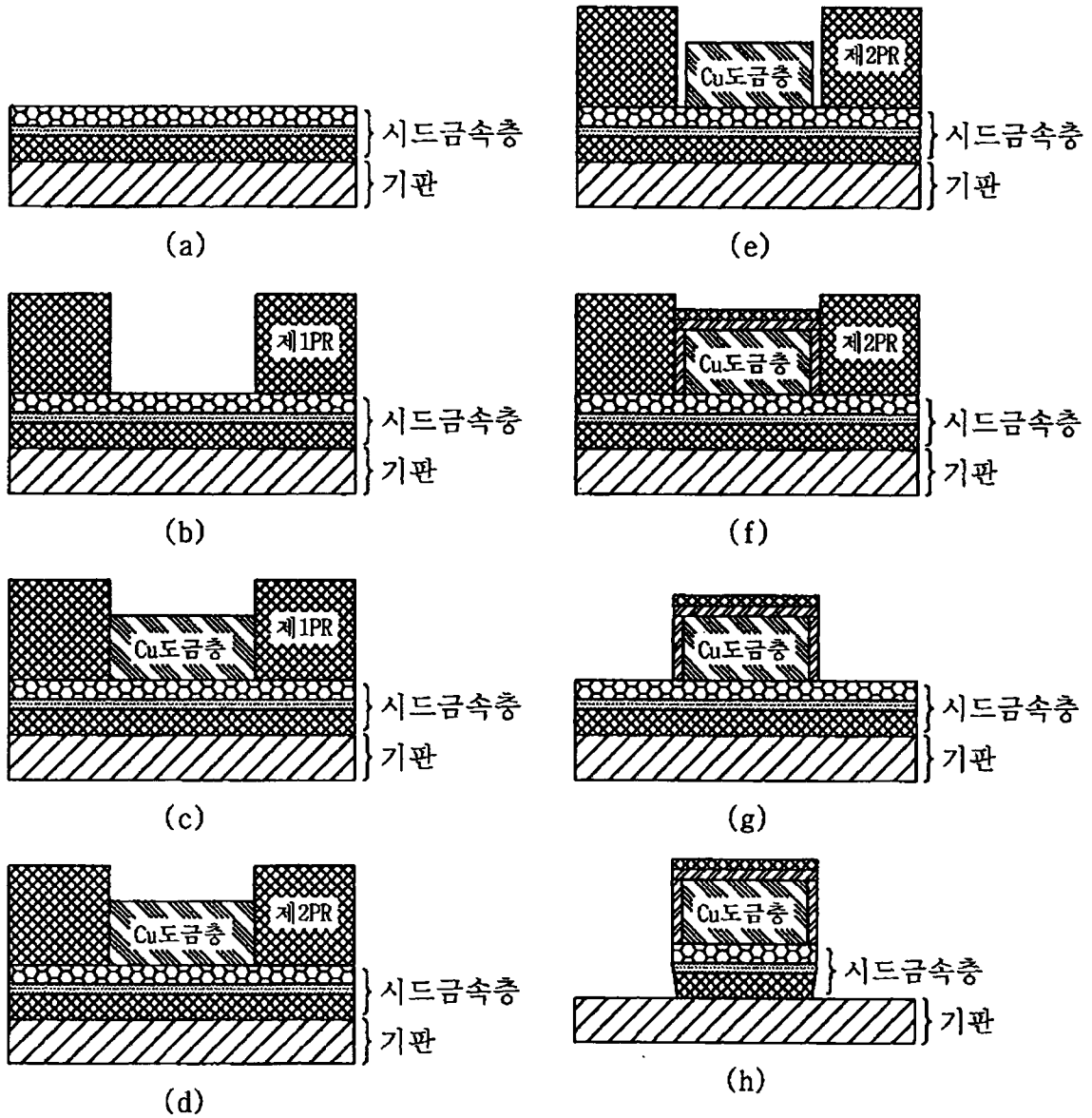


(c)

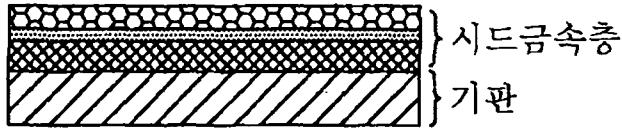


(d)

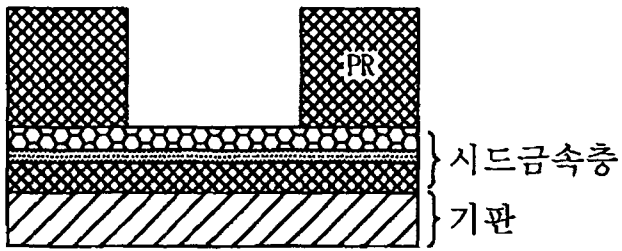
[Fig. 2]



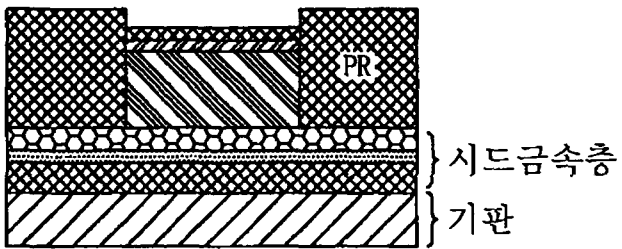
[Fig. 3]



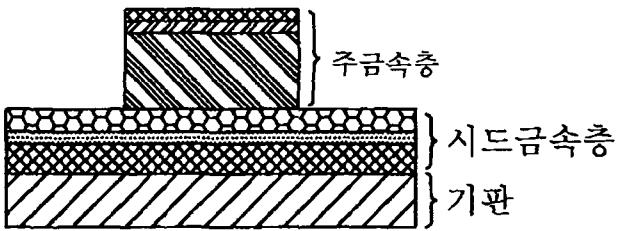
(a)



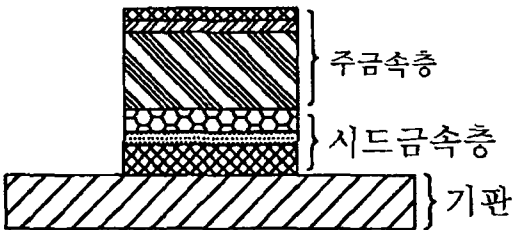
(b)



(c)



(d)



(e)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2009/003017

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/28(2006.01)i, H01L 21/203(2006.01)i, H01L 21/027(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 21/28; B32B 3/00; C25D 5/00; G03F 1/08; H01L 21/302; H01L 21/44; H01L 23/48; H05K 3/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: seed layer, Cu, protection layer, photoresist

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2006-0017161 A1 (JAE-SIK CHUNG et al.) 26 January 2006 (See figures 7A - 7H and paragraphs [0070]-[0080])	1-4
Y	KR 10-0678860 B1 (KOREA ELECTRONICS TECHNOLOGY INSTITUTE; KOMICO LTD.) 05 February 2007 (See figures 3a - 3f and page 3, line 45 - page 5, line 1)	5-6
Y	KR 10-2001-0055134 A (KOREA ELECTRONICS & TELECOMMUNICATIONS RESEARCH INSTITUTE) 04 July 2001 (See figure 4 and page 2, lines 40-50)	5-6
A	US 2009-0061175 A1 (SANG-HEE KIM) 05 March 2009 (See figure 2 and paragraphs [0030]-[0036])	1-6
E	KR 10-2009-0121662 A (TOP ENGINEERING CO., LTD.) 26 November 2009 (See figures 2-3, paragraphs <22> - <38> and claims 1-6)	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family


Date of the actual completion of the international search

23 FEBRUARY 2010 (23.02.2010)

Date of mailing of the international search report

23 FEBRUARY 2010 (23.02.2010)

Name and mailing address of the ISA/


 Korean Intellectual Property Office
 Government Complex-Daejeon, 139 Seonsa-ro, Daejeon 302-701,
 Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2009/003017

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2006-0017161 A1	26.01.2006	KR 10-0605314 B1 KR 2006-0007846 A	28.07.2006 26.01.2006
KR 10-0678860 B1	05.02.2007	NONE	
KR 10-2001-0055134 A	04.07.2001	NONE	
US 2009-0061175 A1	05.03.2009	CN 101378033 A JP 2009-060072 A KR 10-2009-0022877 A TW 200910460 A	04.03.2009 19.03.2009 04.03.2009 01.03.2009
KR 10-2009-0121662 A	26.11.2009	NONE	

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 21/28(2006.01)i, H01L 21/203(2006.01)i, H01L 21/027(2006.01)i

B. 조사된 분야
조사된 최소문헌(국제특허분류를 기재)
H01L 21/28; B32B 3/00; C25D 5/00; G03F 1/08; H01L 21/302; H01L 21/44; H01L 23/48; H05K 3/18

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: 시드층, Cu, 보호층, 포토레지스트

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	US 2006-0017161 A1 (JAE-SIK CHUNG et al.) 2006.01.26 (도면 7A - 7H 및 문단 [0070]-[0080] 참조)	1-4
Y	KR 10-0678860 B1 (전자부품연구원, 주식회사 코미코) 2007.02.05 (도면 3a - 3f 및 페이지 3, 라인 45 - 페이지 5, 라인 1 참조)	5-6
Y	KR 10-2001-0055134 A (한국전자통신연구원) 2001.07.04 (도면 4 및 페이지 2, 라인 40-50 참조)	5-6
A	US 2009-0061175 A1 (SANG-HEE KIM) 2009.03.05 (도면 2 및 문단 [0030]-[0036] 참조)	1-6
E	KR 10-2009-0121662 A (주식회사 탑 엔지니어링) 2009.11.26 (도면 2-3, 문단 <22> - <38> 및 청구항 1-6 참조)	1-6

추가 문헌이 C(계속)에 기재되어 있습니다. 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:
 “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “&” 동일한 대응특허문헌에 속하는 문헌
 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일 2010년 02월 23일 (23.02.2010)	국제조사보고서 발송일 2010년 02월 23일 (23.02.2010)
--	--

ISA/KR의 명칭 및 우편주소 대한민국 특허청 (302-701) 대전광역시 서구 선사로 139, 정부대전청사 팩스 번호 82-42-472-7140	심사관 김상걸 전화번호 82-42-481-5742
--	-----------------------------------

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2006-0017161 A1	2006.01.26	KR 10-0605314 B1 KR 2006-0007846 A	2006.07.28 2006.01.26
KR 10-0678860 B1	2007.02.05	없음	
KR 10-2001-0055134 A	2001.07.04	없음	
US 2009-0061175 A1	2009.03.05	CN 101378033 A JP 2009-060072 A KR 10-2009-0022877 A TW 200910460 A	2009.03.04 2009.03.19 2009.03.04 2009.03.01
KR 10-2009-0121662 A	2009.11.26	없음	