

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-173889

(P2006-173889A)

(43) 公開日 平成18年6月29日(2006.6.29)

(51) Int. Cl.

H03K 19/0185 (2006.01)

F I

H03K 19/00 1 O 1 E

テーマコード(参考)

5 J 0 5 6

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願2004-361461 (P2004-361461)
 (22) 出願日 平成16年12月14日(2004.12.14)

(71) 出願人 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (74) 代理人 100071135
 弁理士 佐藤 強
 (74) 代理人 100119769
 弁理士 小川 清
 (72) 発明者 磯村 博文
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 Fターム(参考) 5J056 AA00 AA32 BB17 BB19 CC21
 DD29 FF07 FF08 GG09

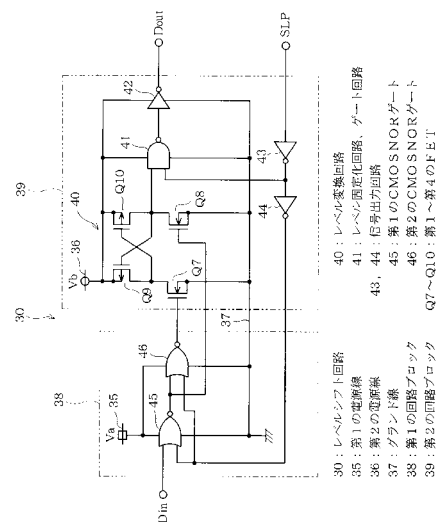
(54) 【発明の名称】 レベルシフト回路

(57) 【要約】

【課題】 電源電圧の遮断時における貫通電流を防止し、且つ、異なる電源電圧相互の大小関係にかかわらず不要な電流経路を作らない。

【解決手段】 スリープ信号 S L P が H レベルになると電源電圧 V a が遮断され、NORゲート 4 5、4 6 は L レベルの信号を出力する。レベル変換回路 4 0 のトランジスタ Q 7、Q 8 はともにオフとなり、電源線 3 6 からグラウンド線 3 7 に流れる貫通電流を阻止する。NANDゲート 4 1 は、レベル変換回路 4 0 の出力状態にかかわらず H レベルに固定された信号を出力する。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

第 1 の電源線とグランド線とから第 1 の電源電圧の供給を受けて動作する第 1 の回路ブロックと、第 2 の電源線と前記グランド線とから第 2 の電源電圧の供給を受けて動作する第 2 の回路ブロックとが縦続に接続されて構成され、

前記第 2 の回路ブロックは、

前記グランド線に対しソース接地された N チャネル型の第 1 および第 2 の F E T と、前記第 2 の電源線と前記第 1 の F E T との間に接続され、ゲートが前記第 2 の F E T のドレインに接続された P チャネル型の第 3 の F E T と、前記第 2 の電源線と前記第 2 の F E T との間に接続され、ゲートが前記第 1 の F E T のドレインに接続された P チャネル型の第 4 の F E T とからなるレベル変換回路と、

このレベル変換回路から出力される信号レベルを固定化するレベル固定化回路と、

前記第 1 の電源電圧の給電状態を示す給電状態信号を出力する信号出力回路とを備え、

前記第 1 の回路ブロックは、

入力信号と前記信号出力回路から出力された給電状態信号とを入力し、前記第 2 の F E T のゲート信号を出力する第 1 の C M O S N O R ゲートと、

前記第 2 の F E T のゲート信号と前記信号出力回路から出力された給電状態信号とを入力し、前記第 1 の F E T のゲート信号を出力する第 2 の C M O S N O R ゲートとを備えていることを特徴とするレベルシフト回路。

【請求項 2】

前記レベル固定化回路は、前記信号出力回路から出力される給電状態信号と前記レベル変換回路から出力される信号とを入力とするゲート回路により構成されていることを特徴とする請求項 1 記載のレベルシフト回路。

【請求項 3】

前記レベル固定化回路は、前記レベル変換回路から出力される信号を入力とする第 1 のインバータとこの第 1 のインバータの入出力端子間に逆並列に接続された第 2 のインバータとからなるラッチ回路により構成されていることを特徴とする請求項 1 記載のレベルシフト回路。

【請求項 4】

前記第 1 の電源電圧は、前記給電状態信号に対応して電圧出力を停止する定電圧電源回路から供給され、前記第 2 の電源電圧は、電池から供給されることを特徴とする請求項 1 ないし 3 の何れかに記載のレベルシフト回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、異なる電源電圧の下で動作する回路ブロック相互間でデジタル信号を伝達するレベルシフト回路に関する。

【背景技術】

【0002】

回路の消費電流を低減する手段として、比較的低い電源電圧で動作する低電圧回路ブロックと比較的高い電源電圧で動作する高電圧回路ブロックとに分け、外部回路とのインターフェース回路や高速動作が必要となる回路部分のみを高電圧回路ブロックとし、その他の回路を低電圧回路ブロックとする技術が用いられている。この場合、低電圧回路ブロックと高電圧回路ブロックとの間の信号伝達にレベルシフト回路が必要となる。

【0003】

最近では、電池電圧を用いたシステムにおける消費電流の低減を目的として、電源回路を積極的にシャットダウンするシステム設計もなされている。例えば、高速動作が必要な内部回路に対しては、昇圧型定電圧電源回路を用いることにより一定値以上の電源電圧を保証し、電源電圧変動の許容幅が大きい回路に対しては電池電圧を用いる場合がある。こ

10

20

30

40

50

うしたシステムでは、昇圧型定電圧電源回路のシャットダウンや電池電圧の低下により、レベルシフト回路を挟んで存在する2つの電源電圧の大小関係が逆転する場合が生じる。

【0004】

図6は、特許文献1に記載されたレベルシフト回路の回路構成を示している。このレベルシフト回路1は、低電圧電源（電圧 V_L ）により動作する入力回路部2と高電圧電源（電圧 V_H ）により動作する出力回路部3とを備え、これら入力回路部2と出力回路部3との間に高電圧電源により動作するスイッチ回路4、5を設けた構成を備えている。スイッチ回路4、5は、それぞれトランジスタ Q_1 、 Q_2 、トランジスタ Q_3 、 Q_4 により構成されている。

【0005】

低電圧電源が遮断されたとき、制御信号 S_c に基づいてスイッチ回路4、5がオフとなり、入力回路部2と出力回路部3とが切り離される。これとともに、トランジスタ Q_5 、 Q_6 がオンしてトランジスタ Q_7 、 Q_8 のゲートがグランド電位に固定され、さらにトランジスタ Q_{11} がオフして出力回路部3から高電圧電源が切り離される。その結果、トランジスタ Q_9 、 Q_7 およびトランジスタ Q_{10} 、 Q_8 を介して流れる貫通電流が阻止される。

【0006】

図7は、特許文献2に記載されたレベルシフト回路の回路構成を示しており、図6と対応する部分には同一符号を付している。このレベルシフト回路6は、トランジスタ Q_{10} と Q_8 との間にトランジスタ Q_{12} が接続され、高電圧電源線と出力線との間にトランジスタ Q_{13} が接続されている。入力データ D_{in} を送出する回路に低電圧電源が供給されていない時、制御信号 S_c に基づいてトランジスタ Q_{12} がオフし、トランジスタ Q_{13} がオンする。その結果、トランジスタ Q_9 、 Q_{10} を通した貫通電流が遮断され、出力データはLレベルに固定されて不定となることを防止する。

【特許文献1】特開平2004-128590号公報

【特許文献2】特開平10-84274号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、上記レベルシフト回路1では、高電圧電源の電圧 V_H が低電圧電源の電圧 V_L に対してPN接合の順方向電圧 V_f 以上低くなると、Pチャネル型トランジスタ Q_1 または Q_3 のポードダイオード（ドレインまたはソースと基板との間のPN接合）を通して電流が流れる。その結果、例えば低電圧電源が電池の場合、電池寿命を低下させる。また、上記レベルシフト回路6では、トランジスタ Q_{12} が接続されているため、最低動作可能電圧が上昇してしまうという問題がある。その結果、例えば電池電圧で動作するシステムの場合、電池寿命を低下させる。

【0008】

本発明は上記事情に鑑みてなされたもので、その目的は、電源電圧の遮断時における貫通電流を防止し、且つ、異なる電源電圧相互の大小関係にかかわらず不要な電流経路が生じないレベルシフト回路を提供することにある。

【課題を解決するための手段】

【0009】

請求項1に記載した手段によれば、第1の電源電圧と第2の電源電圧がともに供給されている場合、信号出力回路は、第1の電源電圧の「供給状態」を示す給電状態信号を出力する。このとき、第1、第2のCMOS NORゲートはそれぞれインバータとして動作し、入力されたデジタル信号は、一对の相補信号（HレベルとLレベル）になってレベル変換回路の第1、第2のFETのゲートに与えられる。レベル変換回路は、この入力信号を第1の電源電圧から第2の電源電圧にレベル変換して出力する。このレベル変換回路からの出力信号は、レベル固定化回路を通して出力される。

【0010】

10

20

30

40

50

これに対し、第1の電源電圧が遮断または所定値以下に低下した場合、信号出力回路は、第1の電源電圧の「遮断（または低下）状態」を示す給電状態信号（例えばHレベル）を出力する。このとき、第1、第2のCMOSNORゲートは、レベル変換回路の第1、第2のFETをオフさせるLレベルの信号を出力する。これにより、第1、第2のFETがともにオフとなり、第3および第1のFETを通して流れる貫通電流と第4および第2のFETを通して流れる貫通電流とを阻止できる。

【0011】

この場合、レベル変換回路の出力がハイインピーダンスとなり出力信号が不定となるが、レベル固定化回路がその信号レベルを固定化する。また、本レベルシフト回路は、第1の電源電圧と第2の電源電圧との間に半導体スイッチ回路を具備していないため、第2の電源電圧が遮断または低下した場合であっても、第1の電源と第2の電源との間でポテンシャルダイオード等を介した不要な電流経路が生じない。

10

【0012】

請求項2に記載した手段によれば、レベル固定化回路は、信号出力回路から出力される給電状態信号とレベル変換回路から出力される信号とを入力とするゲート回路により構成される。例えばNANDゲート回路で構成した場合、そのNANDゲート回路は、第1の電源電圧の「供給状態」を示す給電状態信号（例えばHレベル）が入力されると、レベル変換回路の出力信号を反転して出力し、第1の電源電圧の「遮断状態」を示す給電状態信号（例えばLレベル）が入力されると、レベル変換回路の出力信号にかかわらず固定化されたHレベルの信号を出力する。

20

【0013】

請求項3に記載した手段によれば、レベル固定化回路は、ラッチ回路により構成されているので、レベル変換回路の出力信号が不定状態（ハイインピーダンス状態）になった場合でも、レベル固定化回路の出力信号は上記不定状態となる前の信号レベルを保持する。

【0014】

請求項4に記載した手段によれば、レベルシフト回路の入力側の第1の電源電圧は、給電状態信号に対応して電源電圧を出力または停止（シャットダウン）する定電圧電源回路から供給されているので、スリープ状態などの低消費電力動作モードにおいて、第1の電源を停止させて消費電流を低減することができる。第1の電源電圧を第2の電源電圧である電池から生成するシステムに適用すれば、電池の寿命を高めることができる。

30

【発明を実施するための最良の形態】

【0015】

（第1の実施形態）

以下、本発明を車載用ICに適用した第1の実施形態について図1ないし図4を参照しながら説明する。

図3は、車載用ICの概略的な機能ブロック構成と、当該ICと電源との接続態様を示している。このIC21は、例えば車両の電子ナンバープレート装置に係る制御装置の回路基板（図示せず）に搭載されており、その回路基板には外部インターフェース回路、不揮発性メモリ（一例としてEEPROM）などの周辺回路（図示せず）も搭載されている。この装置は、無線により送られてきたデータを受信し、その受信データを必要に応じてEEPROMに格納し、無線によりデータの読み出し要求があった場合には、EEPROMに格納されているデータを読み出してそれを送受信のIC（図示せず）に送っている。

40

【0016】

このIC21は、通常動作モードにあつては、電池22の電圧Vbと該電池電圧Vbを電源回路23（定電圧電源回路に相当）で昇圧または降圧して得た電源電圧Vaの供給を受けて動作し、スリープモードにあつては、電池電圧Vbのみの供給を受けて動作するようになっている。IC21の端子24、25はそれぞれ電源電圧Va、Vbの供給端子であり、端子26はグランド端子である。

【0017】

50

参考のため電圧 V_a 、 V_b の数値例を示せば、電池 22 の電圧 V_b は、満充電時において 3.3V ~ 3.6V 程度であり、それが 1.8V に低下するまで IC 21 は動作可能となっている。一方、電源回路 23 は、IC 21 から与えられるスリープ信号 SLP が L レベルである場合、電池電圧 V_b を入力して 2.5V の定電圧 V_a を出力し、スリープ信号 SLP が H レベルである場合、定電圧動作および電圧出力を停止するようになっている。

【0018】

さて、IC 21 は、CMOS プロセスにより製造されており、電源電圧 V_a の下で動作する制御回路 27、電源電圧 V_b の下で動作する制御回路 28 と入出力インターフェース回路 29、および制御回路 27 と 28 との間に接続されたレベルシフト回路 30、31 を備えている。このうち制御回路 27 は、通信データの送受信に関する通信制御を行うとともに、スリープモードへの移行を判定してスリープ要求信号 SLP RQ を出力するスリープ判定制御を行うものである。

10

【0019】

制御回路 28 は、スリープ制御、ウェイクアップ制御および通信制御を行うものである。ここで、スリープ制御とは、制御回路 27 からのスリープ要求信号 SLP RQ を受けた時に、スリープ信号 SLP を H レベルにして IC 21 を通常動作モードからスリープモードに移行させる制御であり、ウェイクアップ制御とは、端子 33 を介して接続された外部インターフェース回路からウェイクアップ要因となる信号が入力された時に、スリープ信号 SLP を L レベルにして IC 21 をスリープモードから通常動作モードに復帰させる制御である。

20

【0020】

また、通信制御とは、制御回路 27 からレベルシフト回路 30 を介して入力したデータを、入出力インターフェース回路 29 を介して（複数の）端子 34 から EEPROM の IC や送受信の IC（何れも図示せず）に送る制御、並びに、上記 EEPROM から入出力インターフェース回路 29 を介して読み出したデータまたは上記送受信の IC により受信したデータを、レベルシフト回路 31 を介して制御回路 27 に送る制御である。

【0021】

図 1 は、レベルシフト回路 30 の構成を示しており、図 6、図 7 と対応する構成部分には同一符号を付している。レベルシフト回路 30 は、電源線 35（第 1 の電源線に相当）とグランド線 37 とから電源電圧 V_a （第 1 の電源電圧に相当）の供給を受けて動作する回路ブロック 38（第 1 の回路ブロックに相当）と、電源線 36（第 2 の電源線に相当）とグランド線 37 とから電源電圧 V_b （第 2 の電源電圧に相当）の供給を受けて動作する回路ブロック 39（第 2 の回路ブロックに相当）とが縦続に接続されて構成されている。

30

【0022】

回路ブロック 39 において、N チャネル型 MOS トランジスタ Q7、Q8 と P チャネル型 MOS トランジスタ Q9、Q10 とによりレベル変換回路 40 が構成されている。トランジスタ Q7 ~ Q10 は、それぞれ本発明でいう第 1 ~ 第 4 の FET に相当する。トランジスタ Q7、Q8 は、ともにグランド線 37 に対しソース接地されており、電源線 36 とトランジスタ Q7、Q8 との間には、それぞれトランジスタ Q9、Q10 が接続されている。トランジスタ Q9、Q10 の各ゲートは、それぞれトランジスタ Q8、Q7 の各ドレインに接続されており、トランジスタ Q8、Q10 のドレインがレベル変換回路 40 の出力端子になっている。

40

【0023】

このレベル変換回路 40 からの出力信号は、NAND ゲート 41（レベル固定化回路、ゲート回路に相当）とインバータ 42 を介してデータ D out として出力される。また、スリープ信号 SLP は、インバータ 43、44（信号出力回路に相当）を介して回路ブロック 38 に与えられるとともに、インバータ 43 を介して NAND ゲート 41 に入力され、NAND ゲート 41 に対するレベル固定化制御信号として機能する。

【0024】

一方、回路ブロック 38 において、NOR ゲート 45（第 1 の CMOS NOR ゲートに

50

相当)には、入力データD_{in}とインバータ44からのスリープ信号S_{LP}とが入力され、NORゲート46(第2のCMOSNORゲートに相当)には、NORゲート45の出力信号(つまりトランジスタQ8のゲート信号)とスリープ信号S_{LP}とが入力されるようになっている。NORゲート45、46の出力信号は、それぞれトランジスタQ8、Q7のゲートに与えられている。なお、NORゲート45、46は、図4に示すようにNチャネル型MOSトランジスタQ14、Q15とPチャネル型MOSトランジスタQ16、Q17とから構成されている。

【0025】

図2は、レベルシフト回路31の構成を示しており、図1と対応する構成部分には同一符号を付している。レベルシフト回路31は、電源電圧V_bの供給を受けて動作する回路ブロック47と、電源電圧V_aの供給を受けて動作する回路ブロック48とから構成されている。回路ブロック47において、入力データD_{in}は、インバータ49、50を介してトランジスタQ7のゲートに与えられるとともに、インバータ49を介してトランジスタQ8のゲートに与えられている。回路ブロック48において、レベル変換回路40の出力信号は、インバータ51、52を縦続に介してデータD_{out}として出力されるようになっている。

10

【0026】

次に、本実施形態の作用および効果について説明する。

制御回路28は、端子33を介して接続された外部インターフェース回路からウェイクアップ信号が入力されると、スリープ信号S_{LP}をLレベルにしてIC21をスリープモードから通常動作モードに復帰させる。スリープ信号S_{LP}がLレベルになると、電源回路23は、電池電圧V_bを入力して一定の電源電圧V_aを生成して出力する。IC21には電源電圧V_aと電池電圧V_bとが与えられ、制御回路27と28の間でレベルシフト回路30、31を介してデータの授受が行われる。

20

【0027】

このとき、レベルシフト回路30において、インバータ43、44の出力信号がそれぞれHレベル、Lレベルとなり、NANDゲート41およびNORゲート45、46はインバータとして動作する。入力データD_{in}がLレベル(0V)のとき、トランジスタQ7、Q10がオフ、トランジスタQ8、Q9がオンとなり、回路ブロック39はLレベル(0V)のデータD_{out}を出力する。一方、入力データD_{in}がHレベル(電圧V_a)のとき、トランジスタQ7、Q10がオン、トランジスタQ8、Q9がオフとなり、回路ブロック39はHレベル(電圧V_b)のデータD_{out}を出力する。レベルシフト回路31の動作も同様となる。

30

【0028】

制御回路27は、データ通信の終了を検出すると、制御回路28に対しスリープ要求信号S_{LP}R_Qを出力する。制御回路28は、レベルシフト回路30を介してスリープ要求信号S_{LP}R_Qを入力すると、スリープ信号S_{LP}をHレベルにしてIC21を通常動作モードからスリープモードに移行させる。スリープ信号S_{LP}がHレベルになると、電源回路23は、電源電圧V_aの生成および出力を停止する。

【0029】

このとき、レベルシフト回路30において、インバータ43、44の出力信号がそれぞれLレベル、Hレベルとなる。回路ブロック38のNORゲート45、46は、図4に示す回路構成を備えているため、たとえ電源電圧V_aが遮断されてもトランジスタQ14、Q15がオンとなり、Lレベルの信号を出力することができる。これにより、レベル変換回路40のトランジスタQ7、Q8はともにオフとなり、電源線36からトランジスタQ9、Q7を介してグラウンド線37に流れる貫通電流および電源線36からトランジスタQ10、Q8を介してグラウンド線37に流れる貫通電流を阻止することができる。

40

【0030】

このとき、レベル変換回路40の出力はハイインピーダンスとなっており、その出力信号レベルは不定となる。しかしながら、NANDゲート41は、レベル変換回路40の出

50

力状態にかかわらずHレベルに固定された信号を出力するので、回路ブロック39は固定されたLレベル(0V)のデータDoutを出力することができる。なお、レベルシフト回路31においては、回路ブロック48の電源電圧Vaが遮断されるため、レベル変換回路40での貫通電流は発生しない。

【0031】

以上説明したように、本実施形態のIC21はレベルシフト回路30、31を備えているため、制御回路28と入出力インターフェース回路29を電池電圧Vbにより動作させ、データを高速処理する必要のある制御回路27を電源回路23で生成した電源電圧Vaにより動作させることができる。

【0032】

レベルシフト回路30は、スリープモード中遮断される電源電圧Vaで動作するデータ入力側の回路ブロック38と、常時供給される電池電圧Vbで動作するデータ出力側の回路ブロック39とから構成されている。回路ブロック38は、回路ブロック39に設けられたインバータ43、44から与えられるスリープ信号SLPを入力とするNORゲート45、46を備えており、回路ブロック39は、そのNORゲート45、46の出力信号により制御されるレベル変換回路40を備えている。

10

【0033】

従って、電源電圧Vaの遮断中(スリープモード中)、レベル変換回路40を構成するトランジスタQ7、Q8をともしオフ状態に維持することができ、貫通電流を阻止することができる。また、レベル変換回路40の後段にスリープ信号SLPの反転信号をレベル固定化制御信号とするNANDゲート41を接続したので、レベル変換回路40の出力が定まらなくてもインバータ42内部で貫通電流が流れることがなく、出力データDoutのレベルを固定化することができる。

20

【0034】

レベルシフト回路30は、回路ブロック38と39との間に半導体スイッチ回路を備えていないので、電源電圧Va、Vbの大小関係によらず電源線35と36との間で不要な電流パスが生じない。そのため、従来の回路構成に比べ、電池22の寿命を高めることができる。また、レベル変換回路40の基本構成にトランジスタを付加していないので、最小動作可能電圧が上昇するという不都合も生じない。

【0035】

(第2の実施形態)

図5は、本発明の第2の実施形態に係るレベルシフト回路の構成を示しており、既に説明した図1と同一部分には同一符号を付してある。このレベルシフト回路53は、電源電圧Vbの供給を受けて動作する回路ブロック54において、レベル固定化回路としてラッチ回路55を用いている。ラッチ回路55は、インバータ56(第1のインバータに相当)と、このインバータ56の入出力端子間に逆並列に接続されたインバータ57(第2のインバータに相当)とから構成されている。

30

【0036】

この構成によれば、通常動作モードからスリープモードに移行して、レベル変換回路40の出力がハイインピーダンスになった場合でも、ラッチ回路55は、スリープモードへの移行直前の保持信号を出力し続けるので、レベルシフト回路53の出力信号が不定状態とならないように固定化することができる。

40

【0037】

(その他の実施形態)

なお、本発明は上記し且つ図面に示す各実施形態に限定されるものではなく、例えば以下のように変形または拡張が可能である。

第1、第2の電源は、それぞれ電池、定電圧電源の何れであってもよい。

本発明の信号出力回路は、第2の電源電圧の供給を受けて動作する第2の回路ブロックに設けられていればよく、その回路形態はインバータに限られない。

【図面の簡単な説明】

50

【0038】

【図1】本発明の第1の実施形態を示すレベルシフト回路の構成図

【図2】レベルシフト回路の構成図

【図3】車載用ICの概略的な機能ブロック構成および当該ICと電源との接続態様を示す図

【図4】NORゲートの構成図

【図5】本発明の第2の実施形態を示す図1相当図

【図6】第1の従来技術を示す図1相当図

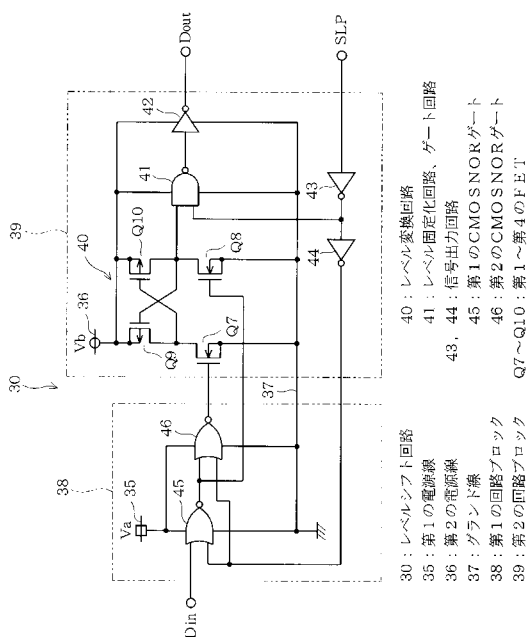
【図7】第2の従来技術を示す図1相当図

【符号の説明】

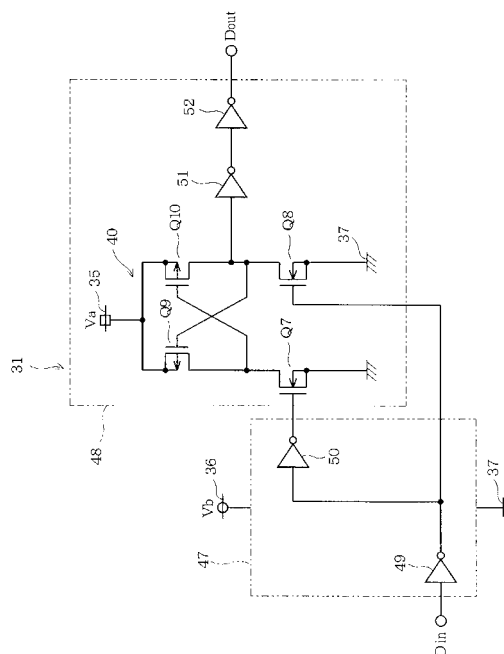
【0039】

22は電池、23は電源回路（定電圧電源回路）、30、53はレベルシフト回路、35は電源線（第1の電源線）、36は電源線（第2の電源線）、37はグランド線、38は回路ブロック（第1の回路ブロック）、39、54は回路ブロック（第2の回路ブロック）、40はレベル変換回路、41はNANDゲート（レベル固定化回路、ゲート回路）、43、44はインバータ（信号出力回路）、45はNORゲート（第1のCMOSNORゲート）、46はNORゲート（第2のCMOSNORゲート）、55はラッチ回路（レベル固定化回路）、56はインバータ（第1のインバータ）、57はインバータ（第2のインバータ）、Q7~Q10はMOSトランジスタ（第1~第4のFET）である。

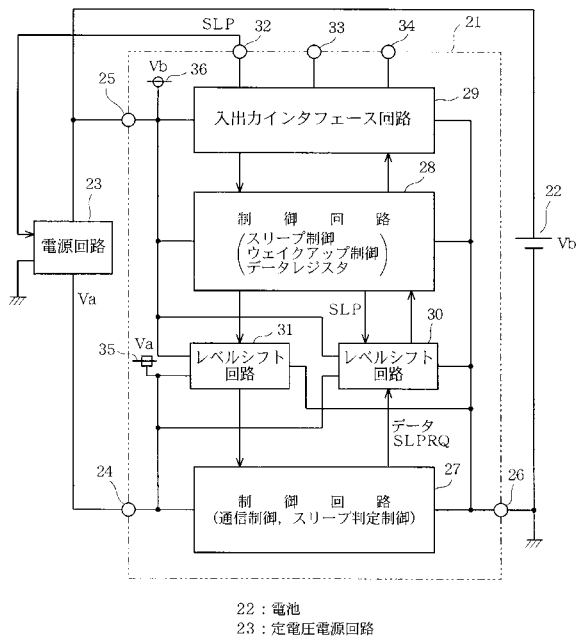
【図1】



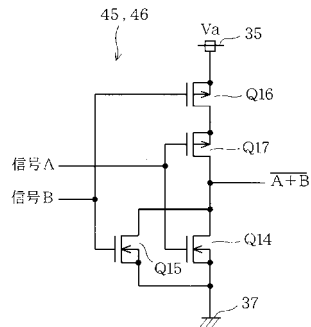
【図2】



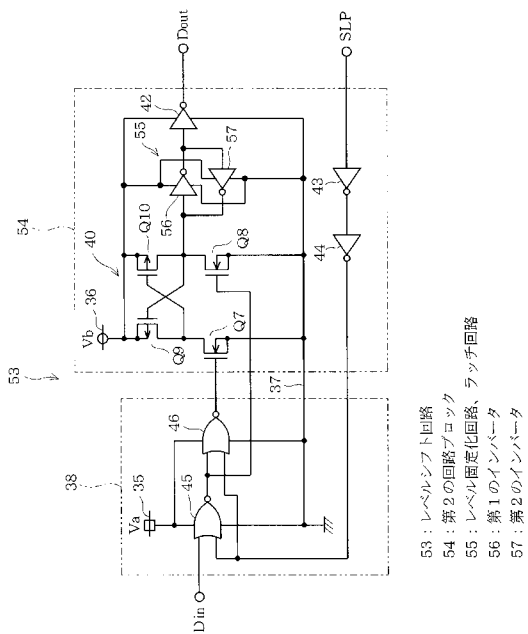
【 図 3 】



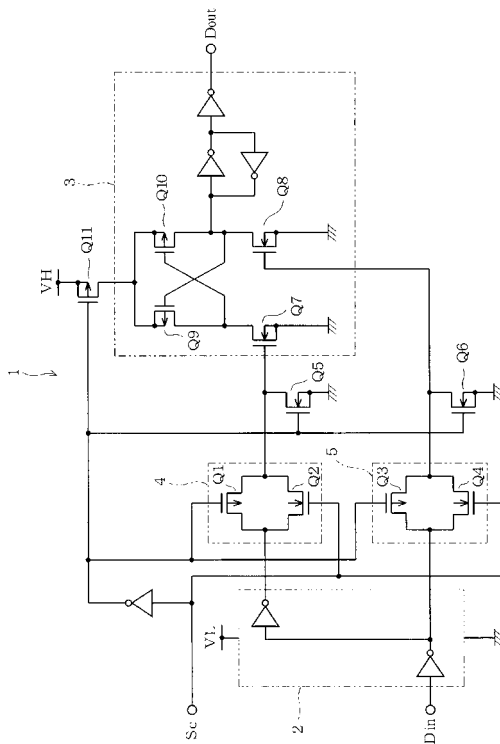
【 図 4 】



【 図 5 】



【 図 6 】



【 図 7 】

