

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-295800

(P2007-295800A)

(43) 公開日 平成19年11月8日(2007.11.8)

(51) Int. Cl.	F I	テーマコード (参考)
HO2M 7/12 (2006.01)	HO2M 7/12 H	5H006
HO2M 3/155 (2006.01)	HO2M 7/12 Q	5H730
	HO2M 3/155 C	
	HO2M 3/155 F	

審査請求 有 請求項の数 4 O L (全 16 頁)

(21) 出願番号 特願2007-212190 (P2007-212190)
 (22) 出願日 平成19年8月16日(2007.8.16)
 (62) 分割の表示 特願2001-255063 (P2001-255063) の分割
 原出願日 平成13年8月24日(2001.8.24)
 (31) 優先権主張番号 特願2000-296125 (P2000-296125)
 (32) 優先日 平成12年9月28日(2000.9.28)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 503361248
 富士電機デバイステクノロジー株式会社
 東京都品川区大崎一丁目11番2号
 (74) 代理人 100092152
 弁理士 服部 毅巖
 (72) 発明者 鹿島 雅人
 東京都品川区大崎一丁目11番2号 富士電機デバイステクノロジー株式会社内
 (72) 発明者 佐藤 満
 東京都品川区大崎一丁目11番2号 富士電機デバイステクノロジー株式会社内
 (72) 発明者 黒田 栄寿
 東京都品川区大崎一丁目11番2号 富士電機デバイステクノロジー株式会社内

最終頁に続く

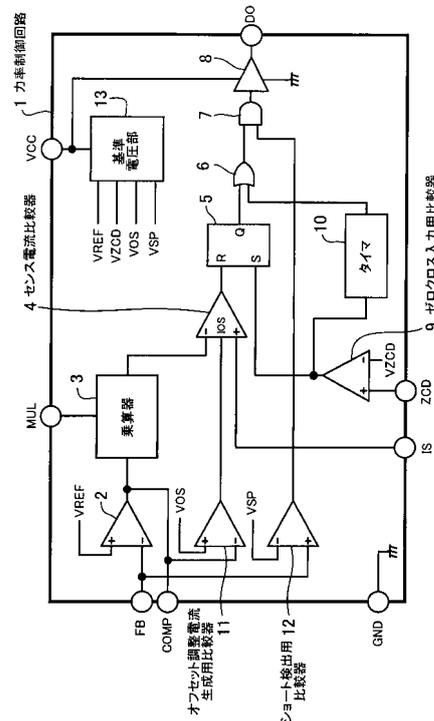
(54) 【発明の名称】 電源回路

(57) 【要約】

【課題】 外付け部品を用いることなく、出力状態の変化に迅速に対応できるフィードバック信号のショート検出機能を有する電源回路を提供することを目的とする。

【解決手段】 出力電圧を検出したフィードバック信号の入力を監視してフィードバック信号が所定値以下になった場合にショート検出信号を出力するショート検出用比較器12と、このショート検出信号を受けて外部のスイッチング素子を駆動するためのオン・オフ信号を遮断する論理積ゲート7とを備えている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入力電圧をスイッチングして所定の直流電圧を得る電源回路において、
出力電圧を検出したフィードバック信号の入力を監視して前記フィードバック信号が所定値以下になった場合にショート検出信号を出力するショート検出回路と、前記ショート検出信号を受けて外部のスイッチング素子を駆動するためのオン・オフ信号を遮断する論理積ゲートとを備えていることを特徴とする電源回路。

【請求項 2】

前記入力電圧は、交流入力電圧を全波整流したものであることを特徴とする請求項 1 記載の電源回路。

10

【請求項 3】

全波整流された前記交流入力電圧に対して、交流ライン電流の平均を正弦波に維持するとともに前記交流入力電圧と同相に維持する力率制御回路として集積化されていることを特徴とする請求項 2 記載の電源回路。

【請求項 4】

当該電源回路は、昇圧型であることを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載の電源回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電源回路に関し、特に自励型電源回路の力率改善制御用集積回路に適用される電源回路に関する。

20

【背景技術】

【0002】

全波整流された交流入力電圧をスイッチングして所望の直流電圧を得る電源回路では、スイッチング動作による高調波電流成分の増加に伴って力率が大幅に低下するが、その力率の低下を改善するために力率制御回路が用いられている。力率の低下を改善する制御回路としては、スイッチング素子を流れる電流のピーク値を検出して制御するピーク電流モードの力率制御回路および交流ラインを流れる連続的な電流を検出して制御する平均電流モードの力率制御回路が知られている。

30

【0003】

ピーク電流モードの力率制御回路は、直流出力電圧を検出したフィードバック信号を入力する誤差増幅器と、この誤差増幅器の出力と商用電源を全波整流した交流入力電圧とを入力する乗算器と、この乗算器の出力と交流ライン電流とを比較するセンス電流比較器と、交流入力電圧を受けるトランスと直流出力電圧を生成する整流平滑回路との間に設けられたスイッチング素子を制御するRSフリップフロップとから構成され、全波整流された交流入力電圧に対して、交流ライン電流の平均を正弦波に維持するとともに交流入力電圧と同相に維持するように制御することによって、力率の改善を行うものである。

【0004】

このような力率制御回路において、まず、スイッチング素子がオンすると、全波整流した交流ライン電流がスイッチング素子を通してグランドへ流れ、そのときの電流エネルギーはトランスに蓄えられる。一方、乗算器では、交流入力電圧を入力して、交流ライン電流の平均を作り出すのに必要な交流入力電圧に比例したピーク電流値を決定し、センス電流比較器が決定されたピーク電流値と交流ライン電流とを比較する。センス電流比較器は、交流ライン電流が増加していった乗算器により決定されたピーク値と等しくなった場合にリセット信号を発生し、RSフリップフロップをリセットし、スイッチング素子をオフさせる。スイッチング素子のオフにより、トランスに蓄えられた電流エネルギーが出力側の整流平滑回路に供給される。スイッチング素子がオフとなる期間では、トランスの2次側からの信号がハイレベルになるため、その信号によりRSフリップフロップをセットし、スイッチング素子をオンさせる。このRSフリップフロップのリセットおよびセットを繰り返す。

40

50

返すことで、出力側の整流平滑回路に電流を供給する。

【0005】

スイッチング素子がオンしたときの交流ライン電流は、そのピーク値が交流入力電圧に比例した値に制限されて下げられるので、交流ライン電流の平均が交流入力電圧の正弦波に相似な波形に維持され、これによって、力率の改善を実現している。

【0006】

一方、平均電流モードの力率制御回路は、直流出力電圧を検出したフィードバック信号を入力する誤差増幅器と、この誤差増幅器の出力と商用電源を全波整流した交流入力電圧とを入力する乗算器と、この乗算器の出力と交流ライン電流とを入力する電流誤差増幅器と、交流入力電圧を受けるリアクトルと直流出力電圧を生成する整流平滑回路との間に設けられたスイッチング素子を制御するPWM比較器とから構成される。この平均電流モードの力率制御回路では、リアクトルに流れる連続的な電流を制御して力率の改善を実現している。

10

【0007】

リアクトル電流の基準信号を作り出すために乗算器が使用されているが、この乗算器には交流入力電圧と直流出力電圧を一定に保つための電圧誤差増幅器の出力との2つの信号が入力されるため、乗算器の出力は交流入力電圧と同相の正弦波状の信号となる。これにより、リアクトルに流れる電流、すなわち交流入力電流波形を入力正弦波電圧に追従させることになり、全波整流された交流入力電圧に対して、交流ライン電流の平均を正弦波としかつ交流入力電圧と同相に維持されて、力率の改善が行われる。

20

【0008】

また、電源回路は、その始動時または再起動時に起動することができるよう起動回路が必要である。従来電源回路では、外部発振器による外付けの起動回路を用いるのが一般的であったが、外部発振器を用いると外付けの部品が必要になり、コストアップに繋がることから、起動回路を内蔵させることが提案されている。この内蔵型起動回路を備えた電源回路として、たとえば特開平6-86555号公報が知られている。

【0009】

さらに、従来電源回路では、直流出力電圧を抵抗分割した信号をフィードバック信号として使用し、そのフィードバック信号が小さい場合には、直流出力電圧を増加する方向に制御し、逆に、フィードバック信号が大きい場合は、直流出力電圧を減少する方向に制御している。電源回路は、このような原理で動作しているため、直流出力電圧を検出する分割抵抗が破損するなどの異常が発生してフィードバック信号の入力がショートしてしまった場合に、直流出力電圧が増加する方向にのみ制御することになり、危険な状態となる。この危険な状態を防止するため、従来は外付けの比較器でフィードバック信号を監視し、フィードバック信号が所定の値より小さくなると、乗算器に入力される誤差増幅器の出力を強制的にゼロになるようにする。これにより、乗算器から出力されるピーク値は非常に小さくなり、結果的にRSフリップフロップをリセットし、スイッチング素子をオフにするようにしている。

30

【発明の開示】

【発明が解決しようとする課題】

40

【0010】

力率制御を行う電源回路において、交流入力電圧は全波整流された正弦波であるため波形の谷間の部分で電圧はほぼゼロとなり、したがって、このとき、交流ライン電流は当然ゼロとなるべきである。しかしながら、従来電源回路では、乗算器の出力オフセット電圧やセンス電流比較器の入力オフセット電圧により、センス電流比較器や乗算器から多少の電流が出力されてしまい、入力電圧と同じゼロとすることができないという問題点があった。特に、軽負荷の場合には、平均電流の正弦波のピーク値が小さいために正弦波の谷間で出力されてしまってゼロとなりきれない電流値が残ってしまい、これが力率を悪化させる原因となっている。

【0011】

50

また、起動回路を内蔵した従来の電源回路では、外部のスイッチング素子の駆動状態を記憶するRSフリップフロップの出力をタイマ回路が監視していて、リセット状態にあるRSフリップフロップの出力が所定時間以上経過すると、RSフリップフロップをセット状態にして再起動するようにしているが、タイマ回路の動作が電源回路の出力変化に対して遅れてしまう場合があるという問題点があった。

【0012】

さらに、従来の電源回路では、外付け部品でフィードバック信号のショートを検出して電源回路の動作を停止する構成をとっているため、自励型電源回路のコストが高くなるという問題点があった。

【0013】

本発明は、フィードバック信号のショート検出用の回路に関して、外部部品数を低減できる電源回路を提供することを目的とする。

【課題を解決するための手段】

【0014】

本発明では上記課題を解決するために、入力電圧をスイッチングして所定の直流電圧を得る電源回路において、出力電圧を検出したフィードバック信号の入力を監視して前記フィードバック信号が所定値以下になった場合にショート検出信号を出力するショート検出回路と、前記ショート検出信号を受けて外部のスイッチング素子を駆動するためのオン・オフ信号を遮断する論理積ゲートとを備えていることを特徴とする電源回路が提供される。

【0015】

このような電源回路によれば、外付け部品によるショート検出回路を不要とした電源回路にすることができる。

【発明の効果】

【0016】

本発明では、直流出力電圧のフィードバック信号を監視するショート検出用比較器を備えたことにより、外部にショート検出回路が不要となり、外部部品を低減することができる。

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施の形態を、力率制御回路に適用した場合を例に図面を参照して詳細に説明する。

図1は本発明を適用した力率制御回路の構成を示す機能ブロック図である。

【0018】

この力率制御回路1は、各機能を一体化した集積回路によって構成され、電源電圧入力用のVCC端子、グランド接続用のGND端子、交流入力電圧に比例した電圧入力用のMUL端子、フィードバック信号入力用のFB端子、誤差信号出力用のCOMP端子、センス電流信号入力用のIS端子、ゼロクロス信号入力用のZCD端子、および出力用のDO端子を有している。

【0019】

力率制御回路1は、非反転入力に基準電圧VREFを受け、反転入力にFB端子が接続された誤差増幅器2を有している。この誤差増幅器2の出力は、COMP端子および乗算器3の第1入力に接続されている。乗算器3の第2の入力はMUL端子に接続され、出力はセンス電流比較器4の反転入力に接続されている。センス電流比較器4の非反転入力にはIS端子に接続され、出力はRSフリップフロップ5のリセット入力に接続されている。RSフリップフロップ5の出力は、ORゲート6の第1入力に接続され、このORゲート6の出力はANDゲート7の第1入力に接続されている。ANDゲート7の出力は駆動部8の入力に接続され、この駆動部8の出力は、この力率制御回路1の出力であるDO端子に接続されている。

【0020】

10

20

30

40

50

力率制御回路 1 は、非反転入力に Z C D 端子が接続され、反転入力に基準電圧 V Z C D を受けるゼロクロス入力用比較器 9 を有している。このゼロクロス入力用比較器 9 の出力は、R S フリップフロップ 5 のセット入力とタイマ 10 の入力とに接続されている。タイマ 10 の出力は、O R ゲート 6 の第 2 入力に接続されている。力率制御回路 1 は、また、オフセット調整電流生成用比較器 11 およびショート検出用比較器 12 を有している。オフセット調整電流生成用比較器 11 は、基準電圧 V O S を受ける非反転入力、誤差増幅器 2 の出力が接続された反転入力およびセンス電流比較器 4 のオフセット調整電流入力用の I O S 端子に接続された出力を有している。ショート検出用比較器 12 は、基準電圧 V S P を受ける反転入力、F B 端子に接続された非反転入力および A N D ゲート 7 の第 2 入力に接続された出力を有している。さらに、力率制御回路 1 は、V C C 端子に受ける電源電圧から基準電圧 V R E F , V Z C D , V O S , V S P を出力する基準電圧部 13 を有している。

10

【0021】

以上の構成の力率制御回路 1 によれば、始動時は Z C D 端子にはゼロクロス入力信号の入力はなく、したがって、ゼロクロス入力用比較器 9 の出力はローレベルである。この時点からタイマ 10 が起動し、漸増する出力信号を出力する。このタイマ 10 の出力信号が、O R ゲート 6 の動作しきい値電圧を 超え、O R ゲート 6 はハイレベルの信号を出力する。力率制御回路 1 の始動直後には、F B 端子にフィードバック信号が入力されているので、ショート検出用比較器 12 はハイレベルの信号を出力している。これにより、A N D ゲート 7 の出力はハイレベルの信号を出力し、駆動部 8 はスイッチング素子駆動用の始動信号を出力し、スイッチング素子をオンにする。

20

【0022】

スイッチング素子がオンになって交流ライン電流が流れると、I S 端子の交流ライン電流に比例した電圧信号が高くなっていく。この電圧信号が乗算器 3 からのピーク電圧値と等しくなると、センス電流比較器 4 はリセット信号を出力し、スイッチング素子をオフにする。以下、これを繰り返す。

【0023】

このように、タイマ 10 は、力率制御回路 1 の出力を直接監視し、出力が一定時間オフである場合に、出力をオンとすることができる。これにより、外部起動回路を必要とせず、また、出力状態の変化に迅速に対応できる起動回路を構成することができる。

30

【0024】

次に、センス電流比較器 4 およびオフセット調整電流生成用比較器 11 の詳細について説明する。

図 2 はセンス電流比較器の例を示す回路図、図 3 はセンス電流比較器のオフセット調整時の入出力特性を示す図である。

【0025】

センス電流比較器 4 は、差動入力段を構成する 4 つのトランジスタ 21 ~ 24 および電流源 25 と、ソースフォロワレベルシフタを構成するトランジスタ 26 , 28 および電流源 27 , 29 と、出力バッファを構成するトランジスタ 30 , 32 および電流源 31 , 33 とを備えている。

40

【0026】

反転入力側のトランジスタ 22 の能動負荷には、オフセット調整電流入力用の I O S 端子が設けられ、これによって、センス電流比較器 4 は、オフセット調整電流を注入することでオフセット調整可能な比較器を構成している。

【0027】

入力部のトランジスタ 26 , 28 からなるソースフォロワレベルシフタは、グラウンドレベルまで入力範囲を広げるためのもので、これにより、センス電流比較器 4 の反転入力には、I S 端子のセンス電流の入力をグラウンドレベルから検出するようにしている。したがって、センス電流比較器 4 は、図 3 に示したように、オフセット調整電流 I O S が入力されないときには、反転入力 0 のときを境にして出力が反転するが、オフセット調整電流 I

50

OSの入力が増えるにつれて、入力オフセット電圧がマイナス側に増えるような特性となる。

【0028】

図4はオフセット調整電流生成用比較器の例を示す回路図、図5はオフセット調整電流生成用比較器の入出力特性を示す図である。

オフセット調整電流生成用比較器11は、差動入力段を構成するトランジスタ41～44および電流源45と、反転入力側の能動負荷とカレントミラー回路を構成するトランジスタ46と、出力段のカレントミラー回路を構成するトランジスタ47, 48とを備えている。非反転入力には、基準電圧VOS (= 0.5ボルト)を受け、反転入力には誤差増幅器2の出力であるCOMP端子の電圧VCOMPを受ける。

10

【0029】

このオフセット調整電流生成用比較器11は、差動段の能動負荷をダイオード接続したトランジスタ44で構成し、そのダイオード接続した能動負荷をカレントミラー回路で折り返すことでソース電流を供給する構成にしたことにより、図5に示したように、電圧VCOMPが1.5ボルト以上では、オフセット調整電流IOSは出力せず、1.5ボルト以下となる軽負荷状態においてオフセット調整電流IOSを出力するような入出力特性となる。

【0030】

次に、力率制御回路1の軽負荷時の動作について説明する。

軽負荷時には、FB端子へ入力されるフィードバック信号の値が大きくなるので、誤差増幅器2の出力レベルが下がり、COMP端子の電圧VCOMPはほぼゼロまで減少する。このCOMP端子の電圧VCOMPを監視しているオフセット調整電流生成用比較器11は、図5の入出力特性から、COMP端子の電圧VCOMPが1.5ボルト以下のときに軽負荷状態と判定し、COMP端子の電圧VCOMPに応じたオフセット調整電流を生成する。

20

【0031】

センス電流比較器4は、そのIOS入力にオフセット調整電流IOSを注入することによりオフセットを調整することができる。図3の入出力特性から判るように、センス電流比較器4は、そのIOS入力に注入するオフセット調整電流IOSを16μAにすると入力オフセット電圧が-100mVとなる。この値は、乗算器3の出力オフセット電圧の最悪値とセンス電流比較器4の入力オフセット電圧の最悪値とを加えた値が100mV程度であることから決められた。ここで、乗算器3の出力オフセット電圧をキャンセルせずにセンス電流比較器4の入力オフセットのみ調整するのは、乗算器3の出力オフセット電圧がセンス電流比較器4に入力されているため、結果的にセンス電流比較器4の入力オフセットの変化として現れることによる。

30

【0032】

このように、軽負荷時に最大16μAのオフセット調整電流IOSをセンス電流比較器4に入力して、その入力オフセットを100mV調整することで、軽負荷時に入力電圧がゼロのときに交流ライン電流をゼロにすることができ、力率を改善することができる。

【0033】

また、この力率制御回路1では、FB端子に供給されるフィードバック信号を監視するショート検出用比較器12を備えている。このショート検出用比較器12は、その反転入力にショート検出電圧として約0.3ボルトの基準電圧VSPを受けており、直流出力電圧が所定の電圧を出力していてフィードバック信号がショート検出電圧より高いときには、ハイレベルの信号を出力し、直流出力電圧を検出する分割抵抗のショート事故などでフィードバック信号がショート検出電圧より低いときには、ローレベルのショートプロテクト信号を出力する。ショート検出用比較器12がショートプロテクト信号を出力した場合には、ANDゲート7の出力がローレベルの信号となり、駆動部8への入力を遮断することができる。

40

【0034】

50

次に、以上のような構成の力率制御回路 1 のピーク電流モード制御の自励型電源回路への応用例について説明する。

図 6 は自励型電源回路の構成例を示す回路図である。

【 0 0 3 5 】

自励型電源回路は、商用電源を全波整流する全波整流器 5 1 を有し、その出力は、トランス 5 2 の 1 次巻線の一端に接続される。このトランス 5 2 の 1 次巻線の他端は、ダイオード 5 3 およびコンデンサ 5 4 からなる整流平滑回路を介して直流出力電圧を出力する出力端子 5 5 に接続されている。トランス 5 2 の 1 次巻線の他端は、また、スイッチング素子とする出力トランジスタ 5 6 のドレインに接続されている。出力トランジスタ 5 6 のソースは、電流検出抵抗 5 7 を介してグランドに接続され、ゲートは力率制御回路 1 の D O 端子に接続されている。出力トランジスタ 5 6 のソースと電流検出抵抗 5 7 との共通接続点は力率制御回路 1 の I S 端子に接続されている。

10

【 0 0 3 6 】

全波整流器 5 1 の出力とグランドとの間には、抵抗 5 8 , 5 9 からなる分割抵抗に接続され、その分割抵抗の出力は力率制御回路 1 の M U L 端子に接続されている。全波整流器 5 1 の出力は、抵抗 6 0 およびコンデンサ 6 1 を介してグランドに接続され、それらの共通接続点は力率制御回路 1 の V C C 端子に接続されている。抵抗 6 0 とコンデンサ 6 1 との共通接続点は、また、逆流防止用のダイオード 6 2 を介してトランス 5 2 の 2 次巻線の一端に接続され、そのトランス 5 2 の 2 次巻線の他端はグランドに接続されている。トランス 5 2 の 2 次巻線の一端は、また、力率制御回路 1 の Z C D 端子に接続されている。

20

【 0 0 3 7 】

出力端子 5 5 とグランドの間には、抵抗 6 3 , 6 4 からなる分割抵抗に接続され、その分割抵抗の出力は力率制御回路 1 の F B 端子に接続されている。そして、力率制御回路 1 の C O M P 端子はコンデンサ 6 5 に接続され、G N D 端子はグランドに接続されている。

【 0 0 3 8 】

ここで、商用電源が投入されると、力率制御回路 1 のタイマ 1 0 が始動し、所定時間後に駆動信号を出力して出力トランジスタ 5 6 をオンする。これにより全波整流した交流ライン電流が出力トランジスタ 5 6 を通ってグランドへ流れ、そのときの電流エネルギーはトランス 5 2 に蓄えられる。センス電流比較器 4 は、電流検出抵抗 5 7 によって検出された交流ライン電流と乗算器 3 からの交流入力電圧に比例したピーク電流値とを比較しており、交流ライン電流が交流入力電圧に比例したピーク電流値に等しくなると、R S フリップフロップ 5 がリセットされ、出力トランジスタ 5 6 をオフさせる。

30

【 0 0 3 9 】

出力トランジスタ 5 6 がオフすることにより、トランス 5 2 に蓄えられた電流エネルギーがダイオード 5 3 を介してコンデンサ 5 4 に供給される。出力トランジスタ 5 6 がオフのとき、トランス 5 2 の 2 次巻線からのゼロクロス入力信号がハイレベルになり、これが基準電圧 V Z C D を超えると、R S フリップフロップ 5 がセットされ、出力トランジスタ 5 6 をオンさせる。この出力トランジスタ 5 6 のオン・オフを繰り返すことにより、コンデンサ 5 4 によって平滑された直流出力電圧が出力端子 5 5 より出力される。

40

【 0 0 4 0 】

この自励型電源回路が軽負荷状態になると、抵抗 6 3 , 6 4 によって検出された直流出力電圧のフィードバック信号が高くなる。これにより、誤差増幅器 2 の出力電圧が低くなり、コンデンサ 6 5 の端子電圧が 1 . 5 ボルト以下になると、オフセット調整電流生成用比較器 1 1 はオフセット調整電流をセンス電流比較器 4 に注入して入力オフセットをマイナス側にずらすよう調整し、オフセット調整電流生成用比較器 1 1 の入力オフセット電圧をキャンセルすることで、軽負荷時の力率を向上させることができる。

【 0 0 4 1 】

また、F B 端子に入力されるフィードバック信号をショート検出用比較器 1 2 で監視し、フィードバック信号の電圧がショート検出電圧の約 0 . 3 ボルト以下に低下すると、シ

50

ショート検出用比較器 12 は F B 端子の入力はショート状態にあると判断し、出力トランジスタ 56 を強制的にオフするようにしている。

【0042】

図 7 は本発明を適用した別の力率制御回路の構成を示す機能ブロック図である。

この力率制御回路 71 は、各機能を一体にした集積回路によって構成され、電流誤差増幅器出力用の I F B 端子、電流誤差増幅器反転入力用の I I N - 端子、乗算器入力用の V D E T 端子、過電圧保護入力用の O V P 端子、電圧誤差増幅器出力用の V F B 端子、電圧誤差増幅器反転入力用の V I N - 端子、グランド接続用の G N D 端子、出力用の O U T 端子、駆動部電源用の V C 端子、電源入力用の V C C 端子、ソフトスタート回路用の C S 端子、オン/オフ制御入力用の O N / O F F 端子、基準電圧用の R E F 端子、発振器同期入力用の S Y N C 端子、発振器タイミングコンデンサ用の C T 端子、および電流誤差増幅器非反転入力用の I D E T 端子を有している。

10

【0043】

力率制御回路 71 は、非反転入力に基準電圧を受け、反転入力に V I N - 端子が接続されて直流出力電圧を監視する電圧誤差増幅器 72 を有している。この電圧誤差増幅器 72 の出力は、増幅度設定用の素子を接続する V F B 端子および電流基準信号を発生する乗算器 73 の第 1 入力に接続されている。乗算器 73 の第 2 の入力に交流入力電圧を監視する V D E T 端子に接続され、第 3 の入力にオフセット調整を行うオフセット調整電流生成用比較器 74 の出力に接続されている。オフセット調整電流生成用比較器 74 は、その非反転入力に基準電圧を受け、反転入力には電圧誤差増幅器 72 の出力および V F B 端子が接続されている。乗算器 73 の出力は、I I N - 端子および電流誤差増幅器 75 の反転入力に接続されている。電流誤差増幅器 75 の非反転入力に交流ライン電流を検出する I D E T 端子に接続されている。この I D E T 端子は、また、基準電圧と比較する過電流検出用比較器 76 の入力に接続され、その出力は R F フリップフロップ 77 の第 1 のセット端子に接続されている。この R F フリップフロップ 77 のリセット端子は、インバータ 78 を介して発振器 79 の出力に接続され、第 2 のセット端子は、過電圧検出用比較器 80 の出力に接続されている。この過電圧検出用比較器 80 の入力に、基準電圧と直流出力電圧の過電圧検出用の O V P 端子とに接続されている。

20

【0044】

力率制御回路 71 は、また、O N / O F F 端子に接続されて外部信号によりオン・オフ制御を行うオン・オフ制御部 81 と、V C C 端子および基準電圧用の R E F 端子に接続されて内部回路の基準電圧を発生する基準電圧部 82 と、V C C 端子に接続されて V C C 端子に印加される電圧が有効な電圧値になるまで内部回路が異常動作をしないよう制御する不足電圧ロックアウト部 83 と、ソフトスタート回路用の C S 端子および定電流部 84 に接続されて不足電圧ロックアウト部 83 の出力信号によりオン・オフ制御されるソフトスタート回路リセット用のスイッチ部 85 とを有している。

30

【0045】

力率制御回路 71 は、さらに、第 1 入力に発振器 79 の出力が接続され、第 2 入力にソフトスタート回路用の C S 端子が接続され、第 3 入力に電流誤差増幅器 75 の出力および位相補正回路素子用の I F B 端子が接続された P W M 比較器 86 を有し、その出力は A N D ゲート 87 に入力されている。この A N D ゲート 87 は、オン・オフ制御部 81 の出力、不足電圧ロックアウト部 83 の出力、発振器 79 の出力および R F フリップフロップ 77 の出力を受けよう接続され、出力は駆動部 88 を介して O U T 端子に接続されている。駆動部 88 は、その電源用の V C 端子および G N D 端子にも接続されている。

40

【0046】

この力率制御回路 71 によれば、発振器 79 の出力として C T 端子から三角波が P W M 比較器 86 に入力されており、この三角波と電流誤差増幅器 75 の出力とを比較することで P W M 信号を生成し、A N D ゲート 87 および駆動部 88 を介して O U T 端子に接続されたスイッチング素子を駆動する。P W M 比較器 86 には、C S 端子も入力されている。この C S 端子には、起動時に定電流部 84 によって充電される後述のコンデンサが接続さ

50

れ、PWM比較器86では、電流誤差増幅器75の出力電圧とコンデンサの充電電圧の低い方が優先されてソフトスタートが行われる。

【0047】

電流誤差増幅器75は、その非反転入力にIDET端子を介して交流ライン電流を入力し、反転入力にその交流ライン電流の基準信号として乗算器73の出力が入力されている。乗算器73は、直流出力電圧の誤差信号を電圧誤差増幅器72から受け、VDET端子から交流入力電圧を受けてそれらを乗算した信号を電流誤差増幅器75に供給している。

【0048】

この乗算器73には、また、オフセット調整電流生成用比較器74の出力を入力しており、電圧誤差増幅器72からの電圧誤差が所定値より大きくなる軽負荷時において、直流出力電圧の誤差信号に基づいて生成されたオフセット調整電流を乗算器73に注入して、乗算器73の出力オフセット電圧をキャンセルするようにオフセット調整を行う。

10

【0049】

なお、ANDゲート87は、外部信号によりこの力率制御回路71をオン・オフ制御したり、VCC端子における電圧が有効な値以下のとき、過電流検出用比較器76が過電流を検出したとき、過電圧検出用比較器80が過電圧を検出したときにこの力率制御回路71をシャットダウンしたり、さらに、発振器79においてRFフリップフロップ77のリセット信号の逆相信号としてあるタイミングで生成される矩形波信号を受けて、出力のデューティマックスを決定するようにしている。

【0050】

次に、以上のような構成の力率制御回路71の平均電流モード制御の自励型電源回路への応用例について説明する。

20

図8は自励型電源回路の構成例を示す回路図である。

【0051】

自励型電源回路は、商用電源を全波整流する全波整流器91を有し、その出力は、リアクトル92の一端に接続される。このリアクトル92の他端は、ダイオード93およびコンデンサ94からなる整流平滑回路を介して直流電圧を出力する出力端子95に接続されている。リアクトル92の他端とダイオード93との接続点は、スイッチング素子とする出力トランジスタ96のドレインに接続されている。出力トランジスタ96のソースは、グラウンド端子97、98および力率制御回路71のGND端子に接続されるとともに、電

30

【0052】

全波整流器91の出力とグラウンド端子97との間には、抵抗106、107からなる分割抵抗に接続され、その分割抵抗の出力は力率制御回路71のVDET端子に接続されている。出力端子95とグラウンド端子97との間には、抵抗108、109からなる分割抵抗に接続され、その分割抵抗の出力は力率制御回路71のOVP端子に接続されている。また、出力端子95とグラウンド端子97との間には、抵抗110、111からなる分割抵抗に接続され、その分割抵抗の出力は抵抗112を介して力率制御回路71のVIN-端子に接続されている。このVIN-端子は、抵抗113およびコンデンサ114の並列回路を介して力率制御回路71のVFB端子に接続されている。

40

【0053】

力率制御回路71において、そのIFB端子およびIIN-端子には、抵抗115およびコンデンサ116、117の直並列回路が接続されている。また、IDET端子は、抵抗118を介して電流検出抵抗99と全波整流器91との接続点に接続されるとともに、コンデンサ119を介してグラウンド端子97に接続されている。CT端子とREF端子との間には、抵抗120が接続され、CT端子は、コンデンサ121を介してグラウンド端子

50

97に接続されている。CS端子は、コンデンサ122を介してグランド端子97に接続されている。そして、ON/OFF端子は、ON/OFF信号入力端子123に接続されている。

【0054】

次に、乗算器73およびオフセット調整電流生成用比較器74の詳細について説明する。

図9は乗算器の例を示す回路図、図10は乗算器の入出力特性を示す図、図11はオフセット調整時の乗算器特性を示す図である。

【0055】

乗算器73は、一方の入力端子に電圧誤差増幅器72の出力の電圧 V_y を受け、他方の入力端子に基準電圧 V_{thm} ($= 1.5V$)を受ける差動入力構成のブロックAと、一方の入力端子に交流入力電圧に比例した電圧 V_x を受け、他方の入力端子にグランドレベルの電圧を受ける差動入力構成のブロックBと、ブロックAおよびブロックBでの比較結果をシングルエンド出力に変換するブロックCと、変換された出力を電流信号として取り出すカレントミラー回路のブロックDと、I/O端子にオフセット調整電流生成用比較器74のからのオフセット調整電流 i_{os} を受けてオフセット調整を行うブロックEと、ブロックDの電流信号にオフセット調整電流 i_{os} を加算する出力段のブロックFとから構成されている。

10

【0056】

この乗算器73の入出力特性を示す図10は、ブロックAのVFB端子に電圧誤差増幅器72の出力の電圧 V_y を受けているときのブロックBのVDET端子に印加される交流入力電圧に比例した電圧 V_x の変化に対する乗算器出力電圧の変化を示している。ブロックAでは、基準電圧として V_{thm} ($= 1.5V$)を受けているので、電圧 $V_y = 1.5V$ のときが基準になっており、このときの乗算器出力電圧は、 $1.25V$ であり、交流入力電圧が増えるに連れて漸減する特性を有している。

20

【0057】

オフセット調整時の乗算器73の入出力特性を示す図11は、 $V_{thm} = 1.5V$ 、 $V_x = 0V$ 、 $V_y = 1.5V$ のときのオフセット調整電流 i_{os} の変化に対する乗算器出力電圧の変化を示している。ここで、 $i_{os} = 0\mu A$ のとき、乗算器出力電圧は $1.25V$ であり、 $i_{os} = 10\mu A$ のときには、乗算器出力電圧は $1.35V$ であって、オフセット調整電流 i_{os} を調整することにより $+100mV$ までオフセット調整が可能であることを表わしている。これは、乗算器73の出力オフセット電圧の最悪値が $100mV$ 程度であることに基づくもので、乗算器73の出力オフセットを $100mV$ 程度調整することができれば、軽負荷時の力率を改善できることを示している。

30

【0058】

図12はオフセット調整電流生成用比較器の例を示す回路図、図13はオフセット調整電流生成用比較器の入出力特性を示す図である。

オフセット調整電流生成用比較器74は、非反転入力端子に基準電圧 ($= 1.5V$) を受け、反転入力端子に電圧誤差増幅器72の出力の電圧 V_y を受ける差動入力構成のブロックA1と、このブロックA1の反転入力側の能動負荷とカレントミラー回路を構成するブロックB1と、出力段のカレントミラー回路を構成するブロックC1とから構成され、出力のI/O端子は、乗算器73のI/O端子に接続される。

40

【0059】

このオフセット調整電流生成用比較器74は、差動入力段の能動負荷をカレントミラー回路で折り返すことでソース電流を供給する構成にしたことにより、図13に示したように、電圧 V_y が $1.5V$ 以上では、オフセット調整電流 i_{os} は出力せず、 $1.5V$ 以下となる軽負荷状態においてオフセット調整電流 i_{os} を出力するような入出力特性となる。このオフセット調整電流 i_{os} の最大値は、乗算器73の出力オフセット電圧の最悪値である $100mV$ をキャンセルすることができる約 $10\mu A$ に設定されている。

【0060】

50

次に、図 8 ~ 図 13 を参照しながら軽負荷時における力率制御回路 71 の動作について説明する。

軽負荷時には、直流出力電圧が高くなるので、その電圧を監視している V I N - 端子の電圧値が大きくなり、電圧誤差増幅器 72 の出力が低下する。これにより、V F B 端子の電圧はほぼゼロとなる。したがって、本発明では V F B 端子が 1.5 V 以下のときに軽負荷状態と判定する。これは、オフセット調整電流生成用比較器 74 がその非反転入力端子に基準電圧 (= 1.5 V) を与えることで判断し、図 13 に示したように、V F B 端子の電圧が 1.5 V 以下では、0 ~ 10 μ A のオフセット調整電流 i_{os} を出力する。

【0061】

このオフセット調整電流 i_{os} は、乗算器 73 の I O S 端子に注入され、オフセットの調整が行われる。この乗算器 73 は、ブロック A の V t h m 入力および V y 入力を 1.5 V とし、V x 入力が 0 V のとき、図 10 に示したように、乗算器出力はおよそ 1.25 V となり、この電圧が軽負荷時におけるオフセット調整動作の開始点になっている。

【0062】

ここで、軽負荷時に乗算器 73 の出力オフセット電圧が最大で 100 mV になったとき、最大 10 μ A のオフセット調整電流 i_{os} を乗算器 73 の I O S 端子に注入し、オフセットの調整をすることで乗算器 73 の出力オフセット電圧をキャンセルする。すなわち、乗算器 73 の出力が約 1.25 V からマイナス方向に変化する特性であるため、オフセット調整電流 i_{os} を加算することによるプラス方向のオフセット調整が、乗算器 73 の出力オフセット電圧に対してはマイナス方向のオフセットとして働き、乗算器 73 の出力オフセット電圧がキャンセルされることになる。これにより、軽負荷時の力率が改善される。

【0063】

なお、図 8 では、図 7 に示した力率制御回路 71 を平均電流モード制御の自励型電源回路へ適用した場合を例に示したが、図 6 に示したようなピーク電流モード制御の自励型電源回路にも同様に適用することができる。

【図面の簡単な説明】

【0064】

【図 1】本発明を適用した力率制御回路の構成を示す機能ブロック図である。

【図 2】センス電流比較器の例を示す回路図である。

【図 3】センス電流比較器のオフセット調整時の入出力特性を示す図である。

【図 4】オフセット調整電流生成用比較器の例を示す回路図である。

【図 5】オフセット調整電流生成用比較器の入出力特性を示す図である。

【図 6】自励型電源回路の構成例を示す回路図である。

【図 7】本発明を適用した別の力率制御回路の構成を示す機能ブロック図である。

【図 8】自励型電源回路の構成例を示す回路図である。

【図 9】乗算器の例を示す回路図である。

【図 10】乗算器の入出力特性を示す図である。

【図 11】オフセット調整時の乗算器特性を示す図である。

【図 12】オフセット調整電流生成用比較器の例を示す回路図である。

【図 13】オフセット調整電流生成用比較器の入出力特性を示す図である。

【符号の説明】

【0065】

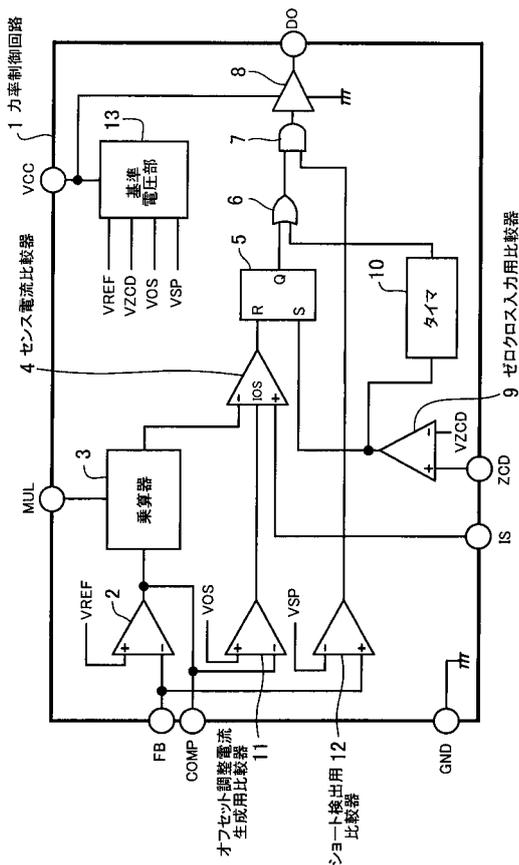
- 1 力率制御回路
- 2 誤差増幅器
- 3 乗算器
- 4 センス電流比較器
- 5 RS フリップフロップ
- 6 OR ゲート
- 7 AND ゲート

- 8 駆動部
- 9 ゼロクロス入力用比較器
- 10 タイマ
- 11 オフセット調整電流生成用比較器
- 12 ショート検出用比較器
- 13 基準電圧部
- 71 力率制御回路
- 72 電圧誤差増幅器
- 73 乗算器
- 74 オフセット調整電流生成用比較器
- 75 電流誤差増幅器
- 76 過電流検出用比較器
- 77 RSフリップフロップ
- 78 インバータ
- 79 発振器
- 80 過電圧検出用比較器
- 81 オン・オフ制御部
- 82 基準電圧部
- 83 不足電圧ロックアウト部
- 84 定電流部
- 85 スイッチ部
- 86 PWM比較器
- 87 ANDゲート
- 88 駆動部

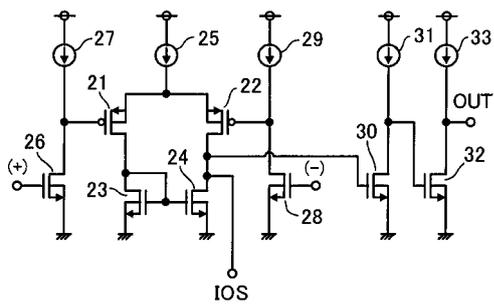
10

20

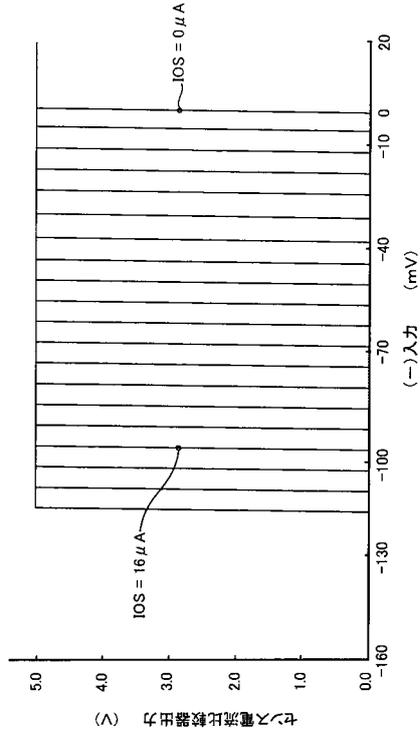
【図1】



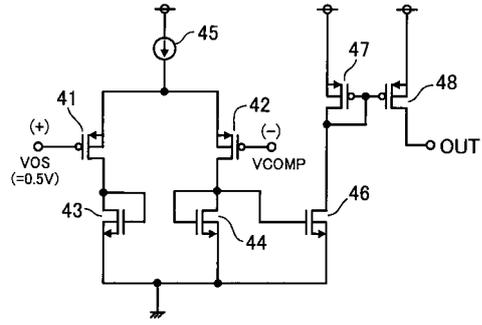
【図2】



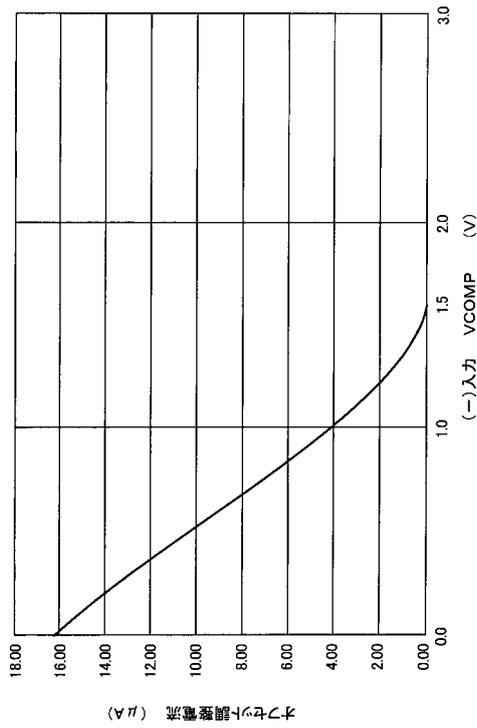
【 図 3 】



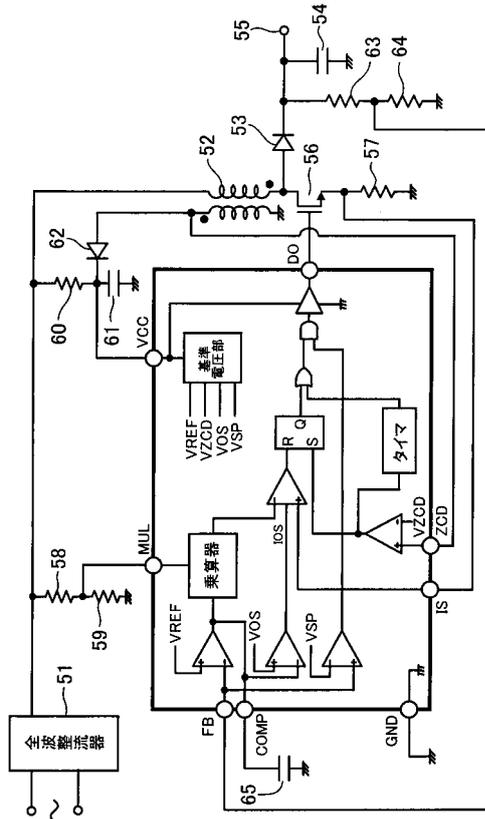
【 図 4 】



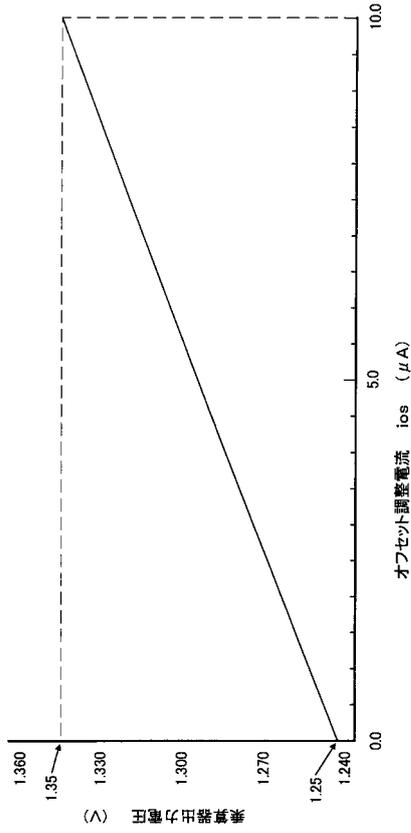
【 図 5 】



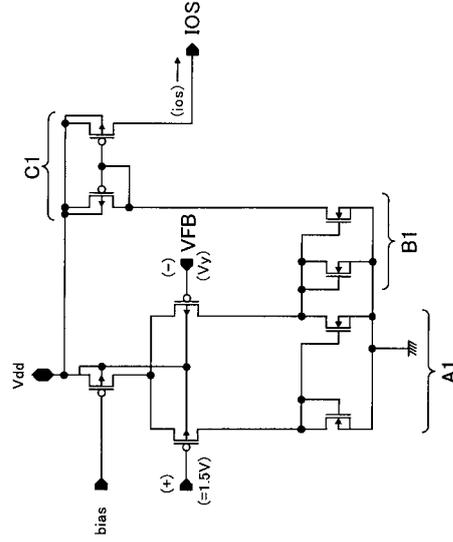
【 図 6 】



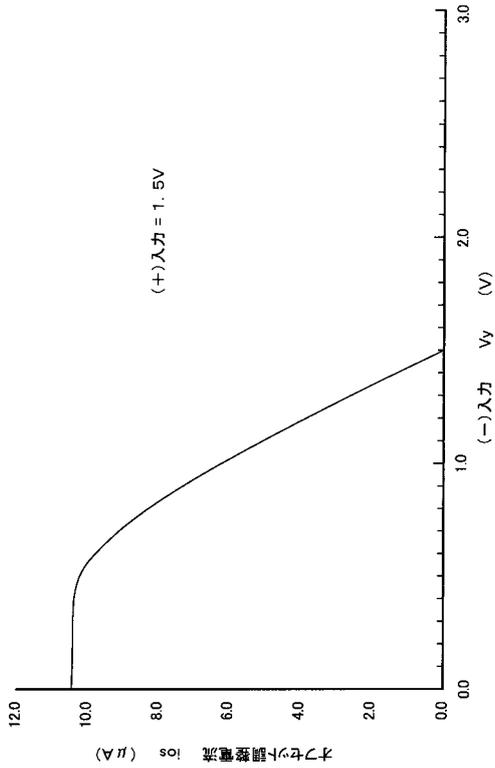
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

(72)発明者 城山 博伸

東京都品川区大崎一丁目1番2号 富士電機デバイステクノロジー株式会社内

Fターム(参考) 5H006 AA02 AA05 CA02 CB01 CC03 DA02 DA04 DB01 DC02 DC05

FA04

5H730 AA18 AA20 AS01 AS04 BB14 BB52 CC01 DD04 FD01 FD11

FD41 VV01 XX03 XX12 XX13 XX23 XX32 XX33 XX43