



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년03월03일
(11) 등록번호 10-2221842
(24) 등록일자 2021년02월23일

(51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2014-0041912
(22) 출원일자 2014년04월08일
심사청구일자 2019년04월08일
(65) 공개번호 10-2015-0116975
(43) 공개일자 2015년10월19일
(56) 선행기술조사문헌
JP2010123937 A*
KR1020120084995 A*
KR1020120102624 A*
KR1020120102909 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
여윤중
서울특별시 강남구 선릉로 120 3동 1103호 (대치동, 개포우성아파트)
김지현
충청남도 아산시 배방읍 광장로 210 요진와이시티 107동 2603호
조현민
충청남도 아산시 탕정면 탕정면로 37 401동 601호 (명암리, 탕정삼성트라팰리스아파트)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 18 항

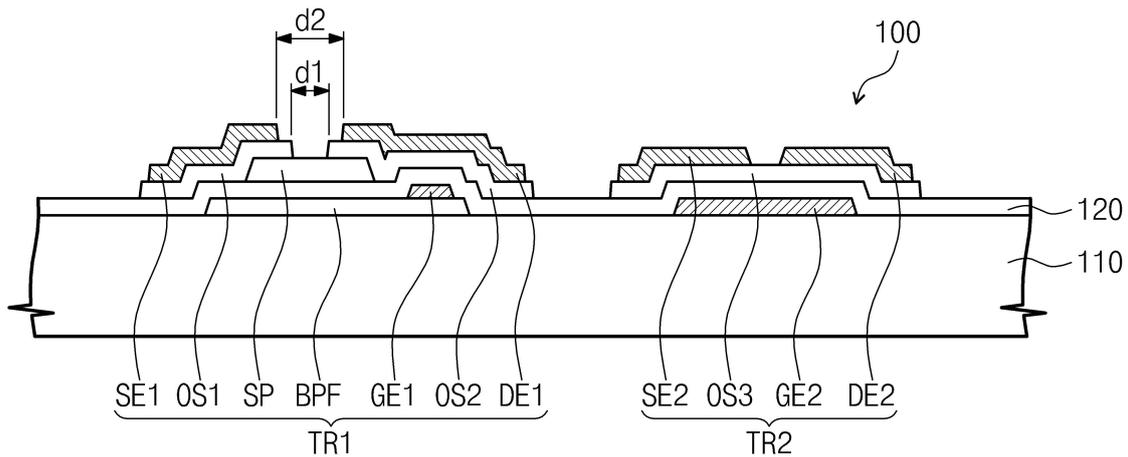
심사관 : 심병로

(54) 발명의 명칭 **센서 기판, 이의 제조 방법 및 이를 갖는 표시장치**

(57) 요약

센서 기판, 이의 제조방법 및 이를 갖는 표시장치에서, 센서 기판은 베이스 기판, 상기 베이스 기판 상에 구비된 센싱 트랜지스터, 및 상기 베이스 기판 상에 구비된 스위칭 트랜지스터를 포함한다. 상기 센싱 트랜지스터는 제1 게이트 전극, 상기 제1 게이트 전극 상에 제공된 광 반응 패턴, 상기 광 반응 패턴 상에서 이격되게 배치된 제1 소오스/제1 드레인 전극, 상기 제1 소오스 전극과 상기 광 반응 패턴 사이에 개재된 제1 산화물 반도체 패턴, 및 상기 제1 드레인 전극과 상기 광 반응 패턴 사이에 개재된 제2 산화물 반도체 패턴을 포함한다. 상기 스위칭 트랜지스터는 제2 게이트 전극, 상기 제2 게이트 전극 상에 제공된 제3 산화물 반도체 패턴, 및 상기 제3 산화물 반도체 패턴 상에서 이격되게 배치된 제2 소오스/제2 드레인 전극을 포함한다.

대표도 - 도1



명세서

청구범위

청구항 1

베이스 기판;

상기 베이스 기판 상에 구비된 센싱 트랜지스터; 및

상기 베이스 기판 상에 구비된 스위칭 트랜지스터를 포함하고,

상기 센싱 트랜지스터는,

제1 게이트 전극;

상기 제1 게이트 전극 상에 제공된 광 반응 패턴;

상기 광 반응 패턴 상에서 이격되게 배치된 제1 소오스/제1 드레인 전극;

상기 제1 소오스 전극과 상기 광 반응 패턴 사이에 개재된 제1 산화물 반도체 패턴;

상기 제1 드레인 전극과 상기 광 반응 패턴 사이에 개재된 제2 산화물 반도체 패턴;

상기 광 반응 패턴과 상기 제1 산화물 반도체 패턴 사이에 개재된 제1 오믹 콘택 패턴; 및

상기 광 반응 패턴과 상기 제2 산화물 반도체 패턴 사이에 개재된 제2 오믹 콘택 패턴을 포함하며,

상기 제1 산화물 반도체 패턴은 상기 제2 산화물 반도체 패턴과 서로 분리되어 이격되고,

상기 스위칭 트랜지스터는,

제2 게이트 전극;

상기 제2 게이트 전극 상에 제공된 제3 산화물 반도체 패턴; 및

상기 제3 산화물 반도체 패턴 상에서 이격되게 배치된 제2 소오스/제2 드레인 전극을 포함하는 것을 특징으로 하는 센서 기판.

청구항 2

제1항에 있어서, 상기 제1 산화물 반도체 패턴은 상기 광 반응 패턴의 제1 측 단부를 풀-커버하고, 상기 제2 산화물 반도체 패턴은 상기 광 반응 패턴의 제2 측 단부를 풀-커버하는 것을 특징으로 하는 센서 기판.

청구항 3

제2항에 있어서, 상기 제1 소오스 전극은 상기 제1 산화물 반도체 패턴의 상부면 일부를 노출시키고, 상기 제1 드레인 전극은 상기 제2 산화물 반도체 패턴의 상부면 일부를 노출시키는 것을 특징으로 하는 센서 기판.

청구항 4

삭제

청구항 5

제1항에 있어서, 상기 센싱 트랜지스터는 상기 광 반응 패턴과 상기 베이스 기판 사이에 개재되어 가시광선 광을 필터링하는 밴드패스필터 패턴을 더 포함하는 것을 특징으로 하는 센서 기판.

청구항 6

베이스 기판 상에 제1 및 제2 게이트 전극을 형성하는 단계;

상기 제1 및 제2 게이트 전극을 커버하는 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 광 반응층을 형성하는 단계;

상기 광 반응층 상에 제1 감광성 패턴을 형성하는 단계;

상기 제1 감광성 패턴을 이용하여 상기 광 반응층을 식각하여 광 반응 패턴을 형성하는 단계;

상기 게이트 절연층 상에 산화물 반도체층을 형성하는 단계;

상기 산화물 반도체층 상에 금속층을 형성하는 단계;

상기 금속층 상에 제2 감광성 패턴을 형성하는 단계;

상기 제2 감광성 패턴을 이용하여 상기 산화물 반도체층 및 상기 금속층을 1차 식각하여 제1 게이트 전극 상부에 제1 소오스/제1 드레인 전극, 상기 제1 소오스 전극과 상기 광 반응 패턴 사이에 제1 산화물 반도체 패턴, 상기 제1 드레인 전극과 상기 광 반응 패턴 사이에 제2 산화물 반도체 패턴, 및 상기 제2 게이트 전극 상부에 금속 패턴 및 제3 산화물 반도체 패턴을 형성하는 단계;

상기 제2 감광성 패턴을 에치백하여 제3 감광성 패턴을 형성하는 단계; 및

상기 제3 감광성 패턴을 이용하여 상기 금속층을 2차 식각하여 상기 제3 산화물 반도체 패턴 상에서 이격하여 배치되는 제2 소오스/제2 드레인 전극을 형성하는 단계를 포함하고,

상기 제1 감광성 패턴은,

상기 제1 소오스 전극 및 상기 제1 드레인 전극 사이에 정의된 제1 채널 영역에 위치하여 상기 금속층을 오픈시키는 제1 개구부; 및

상기 제2 소오스 전극 및 상기 제2 드레인 전극 사이에 정의된 제2 채널 영역에 위치하는 제1 하프톤부를 구비하는 것을 특징으로 하는 센서 기관의 제조방법.

청구항 7

삭제

청구항 8

제6항에 있어서, 상기 제2 감광성 패턴은,

상기 제2 채널 영역에 위치하여 상기 금속 패턴을 오픈시키는 제2 개구부를 구비하는 센서 기관의 제조방법.

청구항 9

제8항에 있어서, 상기 광 반응 패턴은 건식 식각 공정을 통해 패터닝되는 것을 특징으로 하는 센서 기관의 제조방법.

청구항 10

제6항에 있어서, 상기 1차 식각 및 상기 2차 식각은 습식 식각 공정으로 이루어진 것을 특징으로 하는 센서 기관의 제조방법.

청구항 11

제6항에 있어서, 상기 광 반응 패턴 상에 제1 및 제2 오믹 콘택 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 센서 기관의 제조방법.

청구항 12

제11항에 있어서, 상기 제1 및 제2 오믹 콘택 패턴을 형성하는 단계는,

상기 게이트 절연층 상에 광 반응층 및 오믹 콘택층을 형성하는 단계;

상기 제1 소오스 전극 및 상기 제1 드레인 전극 사이에 정의된 제1 채널 영역에 대응하여 제2 하프톤부를 구비하는 제4 감광성 패턴을 오믹 콘택층 상에 형성하는 단계;

상기 제4 감광성 패턴을 이용하여 상기 광 반응층 및 상기 오믹 콘택층을 1차 식각하여 광 반응 패턴 및 오믹

콘택 패턴을 형성하는 단계;

상기 제4 감광성 패턴을 에치백하여 제5 감광성 패턴을 형성하는 단계; 및

상기 제5 감광성 패턴을 이용하여 상기 제1 채널 영역에 대응하여 상기 오믹 콘택 패턴을 식각하여 상기 광 반응 패턴 상에 상기 제1 및 제2 오믹 콘택 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 센서 기판의 제조방법.

청구항 13

제12항에 있어서, 상기 제5 감광성 패턴은 상기 제1 채널 영역에 위치하여 상기 광 반응 패턴의 일 부분을 오픈시키는 제3 개구부를 구비하는 것을 특징으로 하는 센서 기판의 제조방법.

청구항 14

제11항에 있어서, 상기 광 반응 패턴을 형성하는 단계는,

상기 게이트 절연층 상에 광 반층층 및 오믹 콘택층을 형성하는 단계;

상기 오믹 콘택층 상에 상기 제1 감광성 패턴을 형성하는 단계; 및

상기 제1 감광성 패턴을 이용하여 상기 광 반층층 및 상기 오믹 콘택층을 식각하여 상기 광 반응 패턴 및 오믹 콘택 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 센서 기판의 제조방법.

청구항 15

제14항에 있어서, 상기 제1 및 제2 오믹 콘택 패턴을 형성하는 단계는,

상기 제1 내지 제3 산화물 반도체 패턴을 형성한 이후에 상기 제1 소오스 전극 및 상기 제1 드레인 전극 사이에 정의된 제1 채널 영역에 위치하는 상기 오믹 콘택 패턴의 일부분을 제거하여 상기 제1 및 제2 오믹 콘택 패턴을 형성하는 것을 특징으로 하는 센서 기판의 제조방법.

청구항 16

제15항에 있어서, 상기 오믹 콘택 패턴의 일부분은 건식 식각으로 제거되는 것을 특징으로 하는 센서 기판의 제조방법.

청구항 17

영상을 표시하는 다수의 화소가 구비된 화소 기판; 및

상기 화소 기판과 마주하여 결합하고, 광을 센싱하는 다수의 센싱 트랜지스터가 구비된 센서 기판을 포함하고,

상기 센서 기판은,

베이스 기판;

상기 베이스 기판 상에 구비된 센싱 트랜지스터; 및

상기 베이스 기판 상에 구비된 스위칭 트랜지스터를 포함하고,

상기 센싱 트랜지스터는,

제1 게이트 전극;

상기 제1 게이트 전극 상에 제공된 광 반응 패턴;

상기 광 반응 패턴 상에서 이격되게 배치된 제1 소오스/제1 드레인 전극;

상기 제1 소오스 전극과 상기 광 반응 패턴 사이에 개재된 제1 산화물 반도체 패턴;

상기 제1 드레인 전극과 상기 광 반응 패턴 사이에 개재된 제2 산화물 반도체 패턴;

상기 광 반응 패턴과 상기 제1 산화물 반도체 패턴 사이에 개재된 제1 오믹 콘택 패턴; 및

상기 광 반응 패턴과 상기 제2 산화물 반도체 패턴 사이에 개재된 제2 오믹 콘택 패턴을 포함하며,

상기 제1 산화물 반도체 패턴은 상기 제2 산화물 반도체 패턴과 서로 분리되어 이격되고,
 상기 스위칭 트랜지스터는,
 제2 게이트 전극;
 상기 제2 게이트 전극 상에 제공된 제3 산화물 반도체 패턴; 및
 상기 제3 산화물 반도체 패턴 상에서 이격되게 배치된 제2 소오스/제2 드레인 전극을 포함하는 것을 특징으로 하는 표시장치.

청구항 18

제17항에 있어서, 상기 제1 산화물 반도체 패턴은 상기 광 반응 패턴의 제1 측 단부를 풀-커버하고, 상기 제2 산화물 반도체 패턴은 상기 광 반응 패턴의 제2 측 단부를 풀-커버하는 것을 특징으로 하는 표시장치.

청구항 19

제18항에 있어서, 상기 제1 소오스 전극은 상기 제1 산화물 반도체 패턴의 상부면 일부를 노출시키고, 상기 제1 드레인 전극은 상기 제2 산화물 반도체 패턴의 상부면 일부를 노출시키는 것을 특징으로 하는 표시장치.

청구항 20

제17항에 있어서, 상기 센싱 트랜지스터는 상기 광 반응 패턴과 상기 베이스 기관 사이에 개재되어 가시광선 광을 필터링하는 밴드패스필터 패턴을 더 포함하는 것을 특징으로 하는 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 센서 기관, 이의 제조 방법 및 이를 갖는 표시장치에 관한 것으로, 더욱 상세하게는 광 감지 기능을 갖는 센서 기관, 이의 제조 방법 및 이를 갖는 표시장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치(LCD : Liquid Crystal Display)는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기관과 그 사이에 삽입되어 있는 액정층으로 이루어져 전극에 신호를 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.

[0003] 근래에는 터치 감지 기능 또는 이미지 감지 기능을 추가로 갖는 액정 표시 장치에 대한 연구가 이루어지고 있다. 이러한 터치 감지 기능과 이미지 감지 기능을 구현하기 위해서는 적외선 감지 박막 트랜지스터, 가시광선 감지 박막 트랜지스터, 및 스위칭 박막 트랜지스터를 포함하는 광 감지 센서를 액정 표시 장치에 추가하는 것이 요구된다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 제조 공정을 단순화시키면서 수율을 향상시킬 수 있는 센서 기관, 이의 제조 방법 및 이를 갖는 표시장치를 제공하는 것입니다.

과제의 해결 수단

[0005] 본 발명의 일측면에 따른 센서 기관은 베이스 기관, 상기 베이스 기관 상에 구비된 센싱 트랜지스터, 및 상기 베이스 기관 상에 구비된 스위칭 트랜지스터를 포함한다. 상기 센싱 트랜지스터는 제1 게이트 전극, 상기 제1 게이트 전극 상에 제공된 광 반응 패턴, 상기 광 반응 패턴 상에서 이격되게 배치된 제1 소오스/제1 드레인 전극, 상기 제1 소오스 전극과 상기 광 반응 패턴 사이에 개재된 제1 산화물 반도체 패턴, 및 상기 제1 드레인 전극과 상기 광 반응 패턴 사이에 개재된 제2 산화물 반도체 패턴을 포함한다. 상기 스위칭 트랜지스터는 제2 게

이트 전극, 상기 제2 게이트 전극 상에 제공된 제3 산화물 반도체 패턴, 및 상기 제3 산화물 반도체 패턴 상에서 이격되게 배치된 제2 소오스/제2 드레인 전극을 포함한다.

[0006] 본 발명의 일 측면에 따른 센서 기판의 제조방법은 베이스 기판 상에 제1 및 제2 게이트 전극을 형성하는 단계; 상기 제1 및 제2 게이트 전극을 커버하는 게이트 절연층을 형성하는 단계; 상기 게이트 절연층 상에 광 반응층을 형성하는 단계; 상기 광 반응층 상에 제1 감광성 패턴을 형성하는 단계; 상기 제1 감광성 패턴을 이용하여 상기 광 반응층을 식각하여 광 반응 패턴을 형성하는 단계; 상기 게이트 절연층 상에 산화물 반도체층을 형성하는 단계; 상기 산화물 반도체층 상에 금속층을 형성하는 단계; 상기 금속층 상에 제2 감광성 패턴을 형성하는 단계; 상기 제2 감광성 패턴을 이용하여 상기 산화물 반도체층 및 상기 금속층을 1차 식각하여 제1 게이트 전극 상부에 제1 소오스/제1 드레인 전극, 상기 제1 소오스 전극과 상기 광 반응 패턴 사이에 제1 산화물 반도체 패턴, 상기 제1 드레인 전극과 상기 광 반응 패턴 사이에 제2 산화물 반도체 패턴, 및 상기 제2 게이트 전극 상부에 금속 패턴 및 제3 산화물 반도체 패턴을 형성하는 단계; 상기 제2 감광성 패턴을 에치백하여 제3 감광성 패턴을 형성하는 단계; 및 상기 제3 감광성 패턴을 이용하여 상기 금속층을 2차 식각하여 상기 제3 산화물 반도체 패턴 상에서 이격하여 배치되는 제2 소오스/제2 드레인 전극을 형성하는 단계를 포함한다.

[0007] 본 발명의 일 측면에 따른 표시장치는 영상을 표시하는 다수의 화소가 구비된 화소 기판; 및 상기 화소 기판과 마주하여 결합하고, 광을 센싱하는 다수의 센싱 트랜지스터가 구비된 센서 기판을 포함한다.

[0008] 상기 센서 기판은 베이스 기판, 상기 베이스 기판 상에 구비된 센싱 트랜지스터, 및 상기 베이스 기판 상에 구비된 스위칭 트랜지스터를 포함한다. 상기 센싱 트랜지스터는 제1 게이트 전극, 상기 제1 게이트 전극 상에 제공된 광 반응 패턴, 상기 광 반응 패턴 상에서 이격되게 배치된 제1 소오스/제1 드레인 전극, 상기 제1 소오스 전극과 상기 광 반응 패턴 사이에 개재된 제1 산화물 반도체 패턴, 및 상기 제1 드레인 전극과 상기 광 반응 패턴 사이에 개재된 제2 산화물 반도체 패턴을 포함한다. 상기 스위칭 트랜지스터는 제2 게이트 전극, 상기 제2 게이트 전극 상에 제공된 제3 산화물 반도체 패턴, 및 상기 제3 산화물 반도체 패턴 상에서 이격되게 배치된 제2 소오스/제2 드레인 전극을 포함한다.

발명의 효과

[0009] 본 발명에 따르면, 건식 식각 공정을 통해 광 반응층을 패터닝하여 상기 광 반응 패턴을 형성한 후, 습식 식각 공정을 이용하여 패터닝되는 산화물 반도체 패턴을 스위칭 트랜지스터의 채널층으로 형성한다. 따라서, 센서 기판을 제조하는 공정을 단순화할 수 있으며, 수율을 향상시킬 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 일 실시예에 따른 센서 기판의 단면도이다.
 도 2는 본 발명의 다른 실시예에 따른 센서 기판의 단면도이다.
 도 3a 내지 도 3h는 도 1에 도시된 센서 기판의 제조 과정을 나타낸 공정도들이다.
 도 4a 내지 도 4f는 도 2에 도시된 센서 기판의 제조 과정을 나타낸 공정도들이다.
 도 5a 내지 도 5h는 본 발명의 다른 실시예에 따른 도 2에 도시된 센서 기판의 제조 과정을 나타낸 공정도들이다.
 도 6은 본 발명의 일 실시예에 따른 표시장치의 블럭도이고, 도 7은 도 6에 도시된 다수의 센서의 회로도이다.
 도 8은 도 6에 도시된 표시패널의 단면도이다.
 도 9는 도 8에 도시된 센서 기판의 평면도이다.
 도 10은 도 9의 센서를 나타낸 확대도이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
 [0012] 도 1은 본 발명의 일 실시예에 따른 센서 기판의 단면도이다.
 [0013] 도 1을 참조하면, 본 발명의 일 실시예에 따른 센서 기판(100)은 베이스 기판(110), 상기 베이스 기판(110) 상에 구비된 센싱 트랜지스터(TR1) 및 스위칭 트랜지스터(TR2)를 포함한다. 상기 센싱 트랜지스터(TR1)는 상기 스

위칭 트랜지스터(TR2)와 전기적으로 연결되어 하나의 센서를 형성하며, 상기 센서는 상기 센싱 트랜지스터(TR1)와 상기 스위칭 트랜지스터(TR2)에 연결된 커패시터(미도시)를 더 포함할 수 있다.

- [0014] 상기 베이스 기관(110)은 투명한 유리 또는 플라스틱 재질의 기관일 수 있다. 상기 센싱 트랜지스터(TR1)는 적외선에 반응하는 광 반응 패턴(SP)을 포함하는 박막 트랜지스터로 이루어질 수 있다. 본 발명의 일 예로, 상기 광 반응 패턴(SP)은 아몰퍼스 게르마늄(a-Ge) 또는 아몰퍼스 실리콘 게르마늄(a-SiGe)으로 이루어질 수 있다.
- [0015] 또한, 상기 센싱 트랜지스터(TR1)는 밴드패스필터 패턴(BPF), 제1 게이트 전극(GE1), 제1 산화물 반도체 패턴(OS1), 제2 산화물 반도체 패턴(OS2), 제1 소오스 전극(SE1) 및 제1 드레인 전극(DE1)을 더 포함한다.
- [0016] 상기 밴드패스필터 패턴(BPF)은 외부로부터 공급되는 광 중 가시광선을 차단할 수 있는 물질을 포함할 수 있다. 상기 밴드패스필터 패턴(BPF)은 흑색 안료를 포함하는 유기 물질, 아몰퍼스 실리콘(a-si), 아몰퍼스 게르마늄(a-Ge) 또는 아몰퍼스 실리콘 게르마늄(a-SiGe)을 포함할 수 있다. 상기 밴드패스필터 패턴(BPF)은 외부로부터 상기 센서 기관(100)으로 입사되는 가시 광선을 차단하여 신호와 잡음의 비율(SNR, signal to noise ratio)을 향상시키며 비정질 실리콘 게르마늄 또는 비정질 게르마늄을 포함하는 광 반응 패턴(SP)의 감도를 적외선 영역에 최적화 함으로써 가시광선에 의한 영향을 효율적으로 차단할 수 있다.
- [0017] 상기 제1 게이트 전극(GE1)은 상기 밴드패스필터 패턴(BPF) 상면의 일측에 구비된다. 즉, 상기 제1 게이트 전극(GE1)은 외부로부터 공급되는 적외선이 상기 제1 게이트 전극(GE1)에 의해서 차단되지 않고 상기 광 반응 패턴(SP)으로 제공될 수 있도록 일측에 배치된다. 상기 제1 게이트 전극(GE1)은 몰리브덴, 알루미늄 등으로 이루어진 단일막 또는 이들을 포함하는 복수의 막으로 형성될 수 있다.
- [0018] 상기 밴드패스필터 패턴(BPF)이 실리콘 게르마늄(SiGe)과 같은 반도체 물질로 이루어지는 경우, 상기 밴드패스필터 패턴(BPF)은 상기 제1 게이트 전극(GE1)과 전기적으로 연결될 수 있다. 따라서, 상기 밴드패스필터 패턴(BPF)을 상기 센서 트랜지스터(TR1)의 제1 게이트 전극(GE1)으로 활용할 수 있고, 그 결과 상기 센서 트랜지스터(TR1)의 구동 능력이 향상될 수 있다.
- [0019] 상기 제1 게이트 전극(GE1) 및 상기 밴드패스필터 패턴(BPF)은 게이트 절연층(120)에 의해서 커버된다. 상기 게이트 절연층(120)은 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx)과 같은 절연 물질로 이루어진다. 상기 게이트 절연층(120) 상에는 상기 광 반응 패턴(SP)이 구비된다. 상기 광 반응 패턴(SP)은 상기 밴드패스필터 패턴(BPF)의 상부에 구비되고, 평면에서 봤을 때, 상기 제1 게이트 전극(GE1)과 오버랩되지 않는 위치에 배치될 수 있다.
- [0020] 상기 제1 및 제2 산화물 반도체 패턴(OS1, OS2)은 상기 광 반응 패턴(SP) 상에서 서로 이격되게 배치된다. 상기 제1 산화물 반도체 패턴(OS1)은 상기 광 반응 패턴(SP)의 일측에 위치하는 단부를 풀-커버(full-cover)하고, 상기 제2 산화물 반도체 패턴(OS2)은 상기 광 반응 패턴(SP)의 상기 일측과 다른 일측에 위치하는 단부를 풀-커버한다. 따라서, 상기 제1 및 제2 산화물 반도체 패턴(OS1, OS2)은 후속 공정(예를 들어 식각 공정) 시 상기 광 반응 패턴(SP)을 보호하는 역할을 수행할 수 있다.
- [0021] 상기 제1 소오스 전극(SE1)은 상기 제1 산화물 반도체 패턴(OS1) 상에 구비되고, 상기 제1 드레인 전극(DE1)은 상기 제2 산화물 반도체 패턴(OS2) 상에 구비된다. 상기 제1 소오스 전극(SE1) 및 상기 제1 드레인 전극(DE1) 각각은 몰리브덴, 알루미늄 및 몰리브덴으로 이루어진 삼중막 구조 또는 티타늄과 구리로 이루어진 이중막 구조를 가질 수 있다.
- [0022] 상기 제1 소오스 전극(SE1)은 상기 제1 산화물 반도체 패턴(OS1)의 상부면 에지부를 노출시키고, 상기 제1 드레인 전극(SE1)은 상기 제2 산화물 반도체 패턴(OS2)의 상부면 에지부를 노출시킬 수 있다. 상기 제1 소오스 전극(SE1)은 적어도 상기 광 반응 패턴(SP) 상에 위치하는 상기 제1 산화물 반도체 패턴(OS1)의 상부면 일부를 노출시키고, 상기 제1 드레인 전극(DE1)은 적어도 상기 광 반응 패턴(SP) 상에 위치하는 상기 제2 산화물 반도체 패턴(OS2)의 상부면 일부를 노출시킨다.
- [0023] 따라서, 상기 광 반응 패턴(SP) 상에서 상기 제1 및 제2 산화물 반도체 패턴(OS1, OS2) 사이의 간격을 제1 간격(d1)이라고 했을 때, 상기 제1 소오스 전극(SE1) 및 제1 드레인 전극(DE1) 사이의 제2 간격(d2)은 상기 제1 간격(d1)보다 크다.
- [0024] 상기 제1 산화물 반도체 패턴(OS1)은 상기 제1 소오스 전극(SE1)과 상기 광 반응 패턴(SP) 사이의 오믹 콘택 패턴의 역할을 대신 수행하고, 상기 제2 산화물 반도체 패턴(OS2)은 상기 제1 드레인 전극(DE1)과 상기 광 반응 패턴(SP) 사이의 오믹 콘택 패턴의 역할을 대신 수행한다. 특히, 상기 아몰퍼스 실리콘 게르마늄(a-SiGe)의 캐

리어 농도는 대략 $10E17$ 내지 $10E18$ 로, 아몰퍼스 실리콘(a-si)보다 대략 100 내지 1000배 가량 높아 오믹 콘택 패턴의 기능을 수행할 수 있다.

- [0025] 특히, 상기 센서 트랜지스터(TR1)가 차단 전류(Ioff) 특성을 이용하는 경우, 캐리어 농도는 차단 전류 특성에 크게 영향을 미치지 않으므로, 오믹 콘택 패턴의 역할이 중요하지 않을 수 있다. 따라서, 상기 센서 트랜지스터(TR1)가 차단 전류(Ioff) 특성을 이용하는 실시예에서, 상기 제1 및 제2 산화물 반도체 패턴(OS1, OS2)은 오믹 콘택 패턴의 역할을 대신 수행할 수 있다. 이 경우, 상기 센서 트랜지스터(TR1)는 별도의 오믹 콘택 패턴을 포함하지 않을 수 있다.
- [0026] 상기 스위칭 트랜지스터(TR2)는 제3 산화물 반도체 패턴(OS3)을 채널층으로 포함하는 박막 트랜지스터로 이루어질 수 있다. 본 발명의 일 예로, 상기 제3 산화물 반도체 패턴(OS)은 In-Ga-Zn-O와 같은 아몰퍼스 산화물 재료로 이루어질 수 있고, 산화 아연(ZnO)와 같은 다결정 재료로 이루어질 수도 있다.
- [0027] 상기 스위칭 트랜지스터(TR2)는 제2 게이트 전극(GE2), 제2 소오스 전극(SE2) 및 제2 드레인 전극(DE2)을 더 포함한다. 상기 제2 게이트 전극(GE2)은 상기 베이스 기판(110) 상에 구비되고, 상기 게이트 절연층(120)에 의해서 커버된다. 상기 제2 게이트 전극(GE2)은 몰리브덴, 알루미늄 등으로 이루어진 단일막 또는 이들을 포함하는 복수의 막으로 형성될 수 있다. 상기 게이트 절연층(120)을 사이에 두고 상기 제2 게이트 전극(GE2)과 마주하도록 상기 게이트 절연층(120) 상에 상기 제3 산화물 반도체 패턴(OS3)이 구비된다. 상기 제3 산화물 반도체 패턴(OS3)은 상기 제2 게이트 전극(GE2)보다 큰 사이즈로 형성되어도 무방하다.
- [0028] 상기 제3 산화물 반도체 패턴(OS3) 상에는 상기 제2 소오스 전극(SE2) 및 제2 드레인 전극(DE2)이 구비된다. 상기 제2 소오스 전극(SE2) 및 상기 제2 드레인 전극(DE2)은 상기 제3 산화물 반도체 패턴(OS3) 상에서 이격되게 배치된다.
- [0029] 도면에 도시하지는 않았지만, 상기 센서기판(100)은 상기 센싱 트랜지스터(TR1) 및 상기 스위칭 트랜지스터(TR2)를 커버하기 위한 보호막을 더 포함할 수 있다. 상기 보호막은 절연성 물질로 이루어질 수 있다.
- [0030] 도 2는 본 발명의 다른 실시예에 따른 센서 기판의 단면도이다. 단, 도 2에 도시된 구성 요소 중 도 1에 도시된 구성 요소와 동일한 구성 요소에 대해서는 동일한 참조 부호를 병기하고, 그에 대한 구체적인 설명은 생략한다.
- [0031] 도 2를 참조하면, 본 발명의 다른 실시예에 따른 센서 기판에서, 상기 센서 트랜지스터(TR1)는 제1 및 제2 오믹 콘택 패턴(OT1, OT2)을 더 포함한다. 상기 제1 및 제2 오믹 콘택 패턴(OT1, OT2)은 상기 광 반응 패턴(SP)의 상부면 상에 배치되고, 상기 광 반응 패턴(SP) 상에서 서로 이격되게 배치된다. 상기 제1 오믹 콘택 패턴(OT1)은 상기 제1 산화물 반도체 패턴(OS1)과 상기 광 반응 패턴(SP) 사이에 개재되고, 상기 제2 오믹 콘택 패턴(OT2)은 상기 제2 산화물 반도체 패턴(OS2)과 상기 광 반응 패턴(SP) 사이에 개재된다.
- [0032] 본 발명의 일 예로, 상기 제1 및 제2 오믹 콘택 패턴(OT1, OT2)은 인(P) 따위의 n형 불순물이 고농도로 도핑된 n+ 아몰퍼스 실리콘(a-si)으로 이루어질 수 있다.
- [0033] 도 3a 내지 도 3h는 도 1에 도시된 센서 기판의 제조 과정을 나타낸 공정도들이다.
- [0034] 도 3a를 참조하면, 베이스 기판(110) 상에는 밴드패스필터 패턴(BPF)이 형성된다. 상기 밴드패스필터 패턴(BPF)은 외부로부터 입사된 광 중 가시광선 성분을 차단하는 필터 물질로 이루어진다. 예를 들어, 상기 밴드패스필터 패턴(BPF)은 흑색 안료를 포함하는 유기 물질, 아몰퍼스 실리콘(a-si), 아몰퍼스 게르마늄(a-Ge) 또는 아몰퍼스 실리콘 게르마늄(a-SiGe)을 포함할 수 있다.
- [0035] 상기 밴드패스필터 패턴(BPF) 위로 제1 금속층(미도시)이 형성된다. 상기 제1 금속층은 몰리브덴, 알루미늄 등으로 이루어진 단일막 또는 이들을 포함하는 복수의 막으로 형성될 수 있다. 상기 제1 금속층을 패터닝하여 상기 밴드패스필터 패턴(BPF) 상에 제1 게이트 전극(GE1)을 형성하고, 상기 밴드패스필터 패턴(BPF)과 이격하여 상기 베이스 기판(110) 상에 제2 게이트 전극(GE2)을 형성한다.
- [0036] 도 3b를 참조하면, 상기 밴드패스필터 패턴(BPF), 제1 및 제2 게이트 전극(GE1, GE2)을 커버하는 게이트 절연층(120)을 형성한다. 상기 게이트 절연층(120)은 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx)와 같은 절연 물질로 이루어진다. 상기 게이트 절연층(120)은 실리콘 질화물(SiNx)로 이루어진 단일막일 수 있고, 상기 실리콘 질화물(SiNx) 및 실리콘 산화물(SiOx)로 이루어진 이중막일 수 있다.
- [0037] 도 3c에 도시된 바와 같이, 상기 게이트 절연층(120) 위로는 광 반응층(130)이 형성된다. 일 실시예로, 상기 광 반응층(130)은 아몰퍼스 게르마늄(a-Ge) 또는 아몰퍼스 실리콘 게르마늄(a-SiGe)으로 이루어질 수 있다. 상기

광 반응층(130) 상에는 제1 감광성 패턴(135)이 형성된다. 상기 제1 감광성 패턴(135)은 상기 밴드패스필터 패턴(BPF) 상부에 형성될 수 있다.

- [0038] 상기 제1 감광성 패턴(135)을 마스크로 하여 상기 광 반응층(130)을 식각한다. 상기 식각 공정은 건식 식각으로 이루어질 수 있다. 상기 식각 공정이 완료된 후 상기 제1 감광성 패턴(135)을 스트립하면, 도 3d에 도시된 바와 같이, 상기 게이트 절연층(120) 상에 광 반응 패턴(SP)이 형성될 수 있다.
- [0039] 상기 광 반응 패턴(SP)이 형성된 후 플라즈마 산화공정을 실시하여 상기 광 반응 패턴(SP)의 표면을 산화시킬 수 있다. 상기 게이트 절연층(120)이 실리콘 질화물로만 형성된 후, 상기 플라즈마 산화공정을 통해 상기 게이트 절연층(120) 상에 실리콘 산화물층을 형성할 수 있다.
- [0040] 도 3e를 참조하면, 상기 광 반응 패턴(SP) 및 상기 게이트 절연층(120) 상에는 산화물 반도체층(140) 및 제2 금속층(150)이 순차적으로 적층된다. 상기 산화물 반도체층(140)은 In-Ga-Zn-O와 같은 아몰퍼스 산화물 재료로 이루어지거나 또는 산화 아연(ZnO)와 같은 다결정 재료로 이루어질 수 있다. 상기 제2 금속층은 몰리브덴, 알루미늄 및 몰리브덴으로 이루어진 삼중막 구조 또는 티타늄과 구리로 이루어진 이중막 구조를 가질 수 있다.
- [0041] 상기 제2 금속층(150) 상에는 제2 감광성 패턴(155)이 형성된다. 상기 제2 감광성 패턴(155)은 상기 제1 소오스 전극(SE1) 및 상기 제1 드레인 전극(DE1) 사이에 정의된 제1 채널 영역(CH1)에 위치하는 제1 개구부(OP1)와, 상기 제2 소오스 전극(SE2) 및 상기 제2 드레인 전극(DE2) 사이에 정의된 제2 채널 영역(CH2)에 위치하는 제1 하프톤부(HP1)를 구비한다. 상기 제1 개구부(OP1)는 상기 제2 감광성 패턴(155)이 오픈된 영역이며, 상기 제1 채널 영역(CH1)에서 상기 제2 금속층(150)의 상면의 일부분은 상기 제1 개구부(OP1)를 통해 노출된다. 상기 제1 하프톤부(HP1)는 상기 제2 감광성 패턴(155)의 두께가 부분적으로 감소된 영역이며, 상기 제2 채널 영역(CH2)에서 상기 제2 금속층(150)의 상면의 일부분은 노출시키지 않는다.
- [0042] 상기 제2 감광성 패턴(155)을 마스크로 하여 상기 제2 금속층(150) 및 상기 산화물 반도체층(140)을 식각한다. 상기 제2 금속층(150) 및 상기 산화물 반도체층(140)은 습식 식각 공정을 통해서 동시에 식각될 수 있다. 그러면, 도 3f에 도시된 바와 같이, 상기 광 반응 패턴(SP) 상에는 제1 및 제2 산화물 반도체 패턴(OS1, OS2)이 형성되고, 상기 제1 및 제2 산화물 반도체 패턴(OS1, OS2) 상에는 제1 소오스 전극(SE1) 및 제1 드레인 전극(DE1)이 각각 형성된다. 또한, 상기 제2 게이트 전극(GE2)과 마주하도록 상기 게이트 절연층(120) 상에는 제3 산화물 반도체 패턴(OS3)이 형성되고, 상기 제3 산화물 반도체 패턴(OS3) 상에는 금속 패턴(MP)이 배치된다. 상기 제3 산화물 반도체 패턴(OS3)과 상기 금속 패턴(MP)은 동시에 식각되므로, 동일한 형상을 가질 수 있다.
- [0043] 이후 도 3g를 참조하면, 상기 제2 감광성 패턴(155)을 에치백하여 제3 감광성 패턴(157)을 형성한다. 상기 제3 감광성 패턴(157)은 상기 제3 산화물 반도체 패턴(OS3) 상에서 상기 제2 채널 영역(CH2)에 대응하여 상기 금속 패턴(MP)을 노출시키는 제2 개구부(OP2)를 포함한다. 한편, 상기 에치백 이후 상기 제1 개구부(OP1)의 폭은 증가될 수 있다.
- [0044] 상기 제3 감광성 패턴(157)을 마스크로 하여, 상기 제1 소오스 전극(SE1), 제1 드레인 전극(DE1) 및 상기 금속 패턴(MP)을 습식 식각한다. 그러면, 도 3h에 도시된 바와 같이, 상기 제1 소오스 전극(SE1)과 상기 제1 드레인 전극(DE1) 사이의 제2 간격(d2, 도 1에 도시됨)은 상기 제1 및 제2 산화물 반도체 패턴(OS1, OS2) 사이의 제1 간격(d1, 도 1에 도시됨)보다 증가될 수 있다. 또한, 상기 제3 산화물 반도체 패턴(OS3) 상에는 제2 소오스 전극(SE2) 및 제2 드레인 전극(DE2)이 형성되고, 상기 제2 소오스 전극(SE2)과 상기 제2 드레인 전극(DE2)은 상기 제2 채널 영역(CH2)에서 이격되게 배치될 수 있다.
- [0045] 이후, 상기 제3 감광성 패턴(157)을 스트립하면, 도 1에 도시된 바와 같이 상기 베이스 기판(110) 상에는 센서 트랜지스터(TR1) 및 스위칭 트랜지스터(TR2)가 완성될 수 있다.
- [0046] 건식 식각 공정을 통해 광 반응층을 패터닝하여 상기 광 반응 패턴(SP)을 상기 제3 산화물 반도체 패턴(OS3)보다 먼저 형성하고, 상기 스위칭 트랜지스터(TR2)가 습식 식각 공정을 이용하여 패터닝되는 상기 제3 산화물 반도체 패턴(OS3)으로 채널층을 형성한다. 따라서, 상기 센서 기판(100)을 제조하는 공정을 단순화할 수 있으며, 수율을 향상시킬 수 있다.
- [0047] 도 4a 내지 도 4f는 도 2에 도시된 센서 기판의 제조 과정을 나타낸 공정도들이다. 단, 도 4a 이전 과정은 도 3a 및 도 3b와 동일하므로 생략하기로 한다.
- [0048] 도 4a를 참조하면, 상기 게이트 절연층(120) 상에는 광 반응층(130) 및 오믹 콘택층(133)이 형성된다. 상기 광 반응층(130)은 아몰퍼스 게르마늄(a-Ge) 또는 아몰퍼스 실리콘 게르마늄(a-SiGe)으로 이루어질 수 있고, 상기

오믹 콘택층(133)은 n+ 아몰퍼스 실리콘(a-si)으로 이루어질 수 있다.

- [0049] 상기 오믹 콘택층(133) 상에는 제1 감광성 패턴(135)이 형성된다. 상기 제1 감광성 패턴(135)을 마스크로 하여 상기 광 반응층(130) 및 오믹 콘택층(133)을 식각한다. 상기 식각 공정은 건식 식각으로 이루어질 수 있다. 상기 식각 공정이 완료된 후 상기 제1 감광성 패턴(135)을 스트립하면, 도 4b에 도시된 바와 같이, 상기 게이트 절연층(120) 상에 광 반응 패턴(SP)이 형성되고, 상기 광 반응 패턴(SP) 위로는 오믹 콘택 패턴(OT)이 형성된다.
- [0050] 도 4c를 참조하면, 상기 오믹 콘택 패턴(OT) 및 상기 게이트 절연층(120) 상에는 산화물 반도체층(140) 및 제2 금속층(150)이 순차적으로 적층된다. 상기 산화물 반도체층(140)은 In-Ga-Zn-O와 같은 아몰퍼스 산화물 재료로 이루어지거나 또는 산화 아연(ZnO)와 같은 다결정 재료로 이루어질 수 있다.
- [0051] 상기 제2 금속층(150) 상에는 제2 감광성 패턴(155)이 형성된다. 상기 제2 감광성 패턴(155)은 상기 제1 소오스 전극(SE1) 및 상기 제1 드레인 전극(DE1) 사이에 정의된 제1 채널 영역(CH1)에 위치하는 제1 개구부(OP1)와, 상기 제2 소오스 전극(SE2) 및 상기 제2 드레인 전극(DE2) 사이에 정의된 제2 채널 영역(CH2)에 위치하는 제1 하프톤부(HP1)를 구비한다.
- [0052] 상기 제2 감광성 패턴(155)을 마스크로 하여 상기 제2 금속층(150) 및 상기 산화물 반도체층(140)을 동시에 습식 식각한다. 그러면, 도 4d에 도시된 바와 같이, 상기 오믹 콘택 패턴(OT) 상에는 제1 및 제2 산화물 반도체 패턴(OS1, OS2)이 형성되고, 상기 제1 및 제2 산화물 반도체 패턴(OS1, OS2) 위로는 각각 제1 소오스 전극(SE1) 및 제1 드레인 전극(DE1)이 형성된다. 상기 제1 개구부(OP1)에 대응하여 상기 제2 금속층(140) 및 상기 산화물 반도체층(150)이 제거되면서, 상기 제1 채널 영역(CH1)에 위치하는 상기 오믹 콘택 패턴(OT)의 상면이 노출된다.
- [0053] 상기 제2 감광성 패턴(155)은 상기 광 반응 패턴보다 큰 사이즈로 형성된다. 따라서, 상기 제1 산화물 반도체 패턴(OS1)은 상기 광 반응 패턴(SP)의 일측에 위치하는 단부를 풀-커버(full-cover)하고, 상기 제2 산화물 반도체 패턴(OS2)은 상기 광 반응 패턴(SP)의 상기 일측과 다른 일측에 위치하는 단부를 풀-커버할 수 있다.
- [0054] 한편, 상기 제2 게이트 전극(GE2)과 마주하도록 상기 게이트 절연층(120) 상에는 제3 산화물 반도체 패턴(OS3)이 형성되고, 상기 제3 산화물 반도체 패턴(OS3) 상에는 금속 패턴(MP)이 배치된다.
- [0055] 이후 상기 제2 감광성 패턴(155)을 마스크로 하여, 상기 제1 채널 영역(CH1)에서 상기 제1 및 제2 산화물 반도체 패턴(OS1, OS2) 사이에 위치하는 상기 오믹 콘택 패턴(OT)을 식각한다. 상기 식각 공정은 건식 식각으로 이루어질 수 있다. 그러면, 도 4e에 도시된 바와 같이, 상기 제1 산화물 반도체 패턴(OS1)과 상기 광 반응 패턴(SP) 사이에 제1 오믹 콘택 패턴(OT1)이 형성되고, 상기 제2 산화물 반도체 패턴(OS2)과 상기 광 반응 패턴(SP) 사이에 제2 오믹 콘택 패턴(OT2)이 형성된다.
- [0056] 이후, 도 4f를 참조하면, 상기 제2 감광성 패턴(155)을 에치백하여 제3 감광성 패턴(157)을 형성한다. 상기 제3 감광성 패턴(157)은 상기 제3 산화물 반도체 패턴(OS3) 상에서 상기 제2 채널 영역(CH2)에 대응하여 상기 금속 패턴(MP)을 노출시키는 제2 개구부(OP2)를 포함한다. 한편, 상기 에치백 이후 상기 제1 개구부(OP1)의 직경은 증가될 수 있다.
- [0057] 상기 제3 감광성 패턴(157)을 마스크로 하여, 상기 제1 소오스 전극(SE1), 제1 드레인 전극(DE1) 및 상기 금속 패턴(MP)을 습식 식각한다. 그러면, 도 2에 도시된 바와 같이, 상기 제1 소오스 전극(SE1)과 상기 제1 드레인 전극(DE1) 사이의 제2 간격(d2, 도 1에 도시됨)은 상기 제1 및 제2 산화물 반도체 패턴(OS1, OS2) 사이의 제1 간격(d1, 도 1에 도시됨)보다 증가될 수 있다.
- [0058] 또한, 상기 제3 산화물 반도체 패턴(OS3) 상에는 제2 소오스 전극(SE2) 및 제2 드레인 전극(DE2)이 형성되고, 상기 제2 소오스 전극(SE2)과 상기 제2 드레인 전극(DE2)은 상기 제2 채널 영역(CH2)에서 이격되게 배치될 수 있다.
- [0059] 이후, 상기 제3 감광성 패턴(157)을 스트립하면, 도 2에 도시된 바와 같이 상기 베이스 기판(110) 상에는 센서 트랜지스터(TR1) 및 스위칭 트랜지스터(TR2)가 완성될 수 있다.
- [0060] 도 5a 내지 도 5h는 본 발명의 다른 실시예에 따른 도 2에 도시된 센서 기판의 제조 과정을 나타낸 공정도들이다. 단, 도 5a 이전 과정은 도 3a 및 도 3b와 동일하므로 생략하기로 한다.
- [0061] 도 5a를 참조하면, 상기 게이트 절연층(120) 상에는 광 반응층(130) 및 오믹 콘택층(133)이 형성된다. 상기 광

반응층(130)은 아몰퍼스 실리콘 게르마늄(a-SiGe)으로 이루어질 수 있고, 상기 오믹 콘택층(133)은 n+ 아몰퍼스 실리콘(a-si)으로 이루어질 수 있다.

- [0062] 상기 오믹 콘택층(133) 상에는 제4 감광성 패턴(137)이 형성된다. 상기 제4 감광성 패턴(137)은 상기 제1 채널 영역(CH1)에서 제2 하프톤부(HP2)를 구비한다. 상기 제4 감광성 패턴(137)을 마스크로 하여 상기 광 반응층(130) 및 오믹 콘택층(133)을 식각한다. 상기 식각 공정은 건식 식각으로 이루어질 수 있다. 상기 식각 공정이 완료되면, 도 5b에 도시된 바와 같이, 상기 게이트 절연층(120) 상에 광 반응 패턴(SP)이 형성되고, 상기 광 반응 패턴(SP) 위로는 오믹 콘택 패턴(OT)이 형성된다.
- [0063] 이후, 상기 제4 감광성 패턴(137)을 에치백하면, 도 5c에 도시된 바와 같이 상기 오믹 콘택 패턴(OT) 상에 제5 감광성 패턴(139)이 형성된다. 상기 제5 감광성 패턴(139)에는 상기 제1 채널 영역(CH1)에 대응하여 상기 오믹 콘택 패턴(OT)을 노출시키는 제3 개구부(OP3)가 형성된다.
- [0064] 이후, 상기 제5 감광성 패턴(139)을 마스크로 하여 상기 노출된 오믹 콘택 패턴(OT)을 식각하면, 도 5d에 도시된 바와 같이 상기 광 반응 패턴(SP) 상에는 제1 및 제2 오믹 콘택 패턴(OT1, OT2)이 형성된다. 이후, 상기 제1 및 제2 오믹 콘택 패턴(OT1, OT2) 상의 상기 제5 감광성 패턴(139)을 스트립한다.
- [0065] 후속 공정은 도 3e 내지 도 3h와 동일하므로, 후속 공정에 대한 구체적인 설명은 생략하기로 한다.
- [0066] 도 6은 본 발명의 일 실시예에 따른 표시장치의 블럭도이고, 도 7은 도 6에 도시된 다수의 센서의 회로도이다.
- [0067] 도 6을 참조하면, 표시장치(500)는 표시패널(300), 타이밍 컨트롤러(410), 게이트 드라이버(420), 데이터 드라이버(430), 스캔 드라이버(440), 리드아웃 회로(450)를 포함한다.
- [0068] 상기 타이밍 컨트롤러(410)는 상기 표시장치(500)의 외부로부터 다수의 영상신호(RGB) 및 다수의 제어신호(CS)를 수신한다. 상기 타이밍 컨트롤러(410)는 상기 데이터 드라이버(430)와의 인터페이스 사양에 맞도록 상기 영상신호들(RGB)의 데이터 포맷을 변환하고, 변환된 영상신호들(R'G'B')을 상기 데이터 드라이버(430)로 제공한다. 또한, 상기 타이밍 컨트롤러(410)는 데이터 제어신호(예를 들어, 출력개시신호(TP), 수평개시신호(STH) 및 극성반전신호(POL) 등)를 상기 데이터 드라이버(430)로 제공하고, 게이트 제어신호(예를 들어, 제1 개시신호(STV1), 제1 클럭신호(CK1), 및 제2 클럭신호(CKB1))를 상기 게이트 드라이버(420)로 제공한다.
- [0069] 상기 게이트 드라이버(420)는 상기 타이밍 컨트롤러(410)로부터 제공되는 상기 게이트 제어신호(STV1, CK1, CKB1)에 응답해서 게이트 신호들(G1~Gn)을 순차적으로 출력한다.
- [0070] 상기 데이터 드라이버(430)는 상기 타이밍 컨트롤러(410)로부터 제공되는 상기 데이터 제어신호(TP, STH, POL)에 응답해서 상기 영상신호들(R'G'B')을 데이터 전압들(D1~Dm)로 변환하여 출력한다. 상기 출력된 데이터 전압들(D1~Dm)은 상기 표시패널(300)로 인가된다.
- [0071] 상기 표시패널(300)은 화소 기관(200), 상기 화소 기관(200)과 마주하는 센서 기관(100) 및 상기 화소 기관(200)과 상기 센서 기관(100) 사이에 개재된 광 제어층(미도시)으로 이루어진다. 상기 화소 기관(200)에는 다수의 화소(PX)가 구비되고, 상기 센서 기관(100)에는 다수의 센서(SN)가 구비될 수 있다.
- [0072] 상기 화소들(PX) 각각은 서로 동일한 구조를 가지므로, 여기서는 하나의 화소에 대한 구성을 일 예로써 설명하기로 한다.
- [0073] 상기 화소 기관(200)에는 다수의 게이트 라인(GL1~GLn), 상기 다수의 게이트 라인(GL1~GLn)과 교차하는 다수의 데이터 라인(DL1~DLm) 및 상기 다수의 화소(PX)가 구비된다. 각 화소(PX)는 화소 트랜지스터(미도시) 및 화소 전극(미도시)을 포함한다. 상기 화소 트랜지스터의 게이트 전극은 상기 다수의 게이트 라인들(GL1~GLn) 중 대응하는 게이트 라인에 연결되고, 소오스 전극은 상기 다수의 데이터 라인들(DL1~DLm) 중 대응하는 데이터 라인에 연결되며, 드레인 전극은 상기 화소 전극에 연결된다.
- [0074] 상기 다수의 게이트 라인(GL1~GLn)은 상기 게이트 드라이버(420)에 연결되며, 상기 다수의 데이터 라인(DL1~DLm)은 상기 데이터 드라이버(430)에 연결된다. 상기 다수의 게이트 라인(GL1~GLn)은 상기 게이트 드라이버(420)로부터 제공되는 게이트 신호들(G1~Gn)을 수신하고, 상기 다수의 데이터 라인(DL1~DLm)은 상기 데이터 드라이버(430)로부터 제공되는 데이터 전압들(D1~Dm)을 수신한다.
- [0075] 따라서, 상기 각 화소(PX)의 박막 트랜지스터는 대응하는 게이트 라인으로 공급되는 게이트 신호에 응답하여 턴-온되고, 대응하는 데이터 라인으로 공급된 데이터 전압은 턴-온된 화소 트랜지스터를 통해 상기 화소 전극에 인가된다.

- [0076] 도면에 도시하지는 않았지만, 상기 센서 기관(100)에는 상기 광 제어층을 사이에 두고 상기 화소 전극과 마주하는 기준 전극이 구비될 수 있다. 다른 실시예로, 상기 기준 전극은 상기 화소 기관에 구비될 수도 있다.
- [0077] 상기 센서 기관(100)은 다수의 스캔 라인(SL1~SLi), 상기 다수의 스캔 라인(SL1~SLi)과 교차하는 다수의 리드아웃 라인(RL1~RLj) 및 상기 다수의 센서(SN)를 포함한다. 상기 다수의 센서(SN)는 상기 표시패널(300)로 입사되는 적외선을 감지하기 위하여 상기 센서 기관(100)에 전체적으로 균일하게 분포할 수 있다.
- [0078] 상기 다수의 스캔 라인(SL1~SLi)은 상기 스캔 드라이버(440)에 연결되어 다수의 스캔 신호(S1~Si)를 각각 순차적으로 수신한다. 상기 스캔 드라이버(440)는 상기 타이밍 컨트롤러(410)로부터 스캔 제어신호(예를 들어, 제2 게이트신호(STV2), 제3 및 제4 클럭신호(CK2, CKB2))를 수신하여 상기 스캔 신호들(S1~Sn)을 순차적으로 출력한다. 상기 스캔 제어신호(STV2, CK2, CKB2)는 상기 게이트 제어신호(STV1, CK1, CKB1)에 동기하는 신호일 수 있다.
- [0079] 상기 리드아웃 라인들(RL1~RLj)은 상기 리드아웃 회로(450)에 연결되어 대응하는 상기 센서들(SN)에 충전된 전압을 상기 리드아웃 회로(450)로 제공하는 역할을 수행한다.
- [0080] 도 7에서는 설명의 편의를 위하여 상기 다수의 스캔 라인(SL1~SLi) 중 제1 및 제2 스캔 라인(SL1, SL2)을 도시하였고, 상기 다수의 리드아웃 라인(RL1~RLj) 중 제1 및 제2 리드아웃 라인(RL1, RL2)을 도시하였다.
- [0081] 도 7을 참조하면, 상기 다수의 센서(SN) 각각은 센서 트랜지스터(TR1), 스위칭 트랜지스터(TR2) 및 커패시터(Cs)를 포함한다. 상기 스위칭 트랜지스터(TR2)의 제2 게이트 전극은 상기 다수의 스캔 라인(SL1~SLi) 중 대응하는 제1 스캔 라인(SL1)에 연결되고, 제2 소오스 전극은 상기 다수의 리드아웃 라인들(RL1~RLj) 중 대응하는 제1 리드아웃 라인(RL1)에 연결되며, 제2 드레인 전극은 상기 커패시터(Cs)와 상기 센서 트랜지스터(TR1)에 연결된다.
- [0082] 상기 커패시터(Cs)의 제1 전극은 상기 스위칭 트랜지스터(TR2)의 제2 드레인 전극에 연결되고, 제2 전극에는 제1 바이어스 전압(VB1)이 인가된다. 예를 들어, 상기 제1 바이어스 전압(VB1)은 대략 -8.75V일 수 있다.
- [0083] 상기 센서 트랜지스터(TR1)의 제1 게이트 전극에는 제2 바이어스 전압(VB2)이 인가되고, 제1 소오스 전극은 상기 스위칭 트랜지스터(TR2)의 제2 드레인 전극에 연결되며, 제2 드레인 전극에는 상기 제2 바이어스 전압(VB2)이 인가된다. 상기 제2 바이어스 전압(VB2)은 상기 제1 바이어스 전압(VB1)보다 낮은 전압 레벨을 갖는다. 예를 들어, 상기 제2 바이어스 전압(VB2)은 대략 -13.75V일 수 있다.
- [0084] 상기 센서 트랜지스터(TR1)는 외부로부터 입사되는 광의 광량에 대응하는 포토 커런트를 생성한다. 상기 광은 적외선 파장대를 갖는 광일 수 있다. 상기 센서 트랜지스터(TR1)로부터 생성된 상기 포토 커런트에 의해 상기 커패시터(Cs)에 충전되는 전압이 상승한다. 즉, 상기 센서 트랜지스터(TR1)로 입사되는 상기 광의 광량이 증가할수록 상기 커패시터(Cs)에 충전되는 전압은 증가할 것이다. 이로써, 상기 센서 트랜지스터(TR1)는 상기 광을 센싱할 수 있다.
- [0085] 상기 센서들(SN)들 각각은 대응하는 스캔 라인으로 공급되는 스캔 신호에 응답하여 상기 스위칭 트랜지스터(TR2)가 턴-온되면, 상기 커패시터(Cs)에 충전된 전압이 상기 턴-온된 스위칭 트랜지스터(TR2)를 통해 상기 대응하는 리드아웃 라인으로 제공한다.
- [0086] 상기 리드아웃 회로(450)는 상기 타이밍 컨트롤러(410)로부터 공급되는 제어신호들(RCS)에 응답하여 상기 리드아웃 라인들(RL1~RLj)로부터 수신된 전압들(SS)을 순차적으로 상기 타이밍 컨트롤러(410)로 제공한다. 상기 타이밍 컨트롤러(410)는 상기 스캔 신호가 발생된 시점 및 상기 리드아웃 회로(450)로부터 수신된 전압(SS)을 근거로 화면에서 터치된 지점의 2차원 좌표값을 생성할 수 있다. 그 결과, 상기 타이밍 컨트롤러(410)는 상기 적외선 광이 센싱된 위치 정보를 알 수 있다.
- [0087] 도 8은 도 6에 도시된 표시패널의 단면도이다.
- [0088] 도 8을 참조하면, 상기 표시패널(300)은 화소 기관(200), 상기 화소 기관(200)과 마주하는 센서 기관(100) 및 상기 화소 기관(200)과 상기 센서 기관(100) 사이에 개재된 액정층(250)을 포함한다.
- [0089] 상기 센서 기관(100)은 제1 베이스 기관(110), 다수의 센서(SN), 상기 다수의 화소들(PX)과 각각 대응하여 구비

되는 다수의 색화소(R, G, B)를 포함하는 컬러필터층(170) 및 기준 전극(190)을 포함한다. 상기 다수의 센서(SN) 각각의 구조에 대해서는 도 1 내지 도 5d를 참조하여 구체적으로 설명하였으므로, 상기 다수의 센서(SN)의 구조에 대한 설명은 생략한다.

- [0090] 상기 센서 기관(100)은 상기 센서 트랜지스터(TR1) 및 상기 스위칭 트랜지스터(TR2)를 커버하기 위한 보호막(160)을 더 포함한다. 상기 보호막(160) 상에는 상기 컬러필터층(170)이 형성된다. 상기 컬러필터층(170)은 레드, 그린 및 블루 색화소(R, G, B)를 포함하고, 상기 레드, 그린 및 블루 색화소(R, G, B) 각각은 하나의 화소에 대응하여 구비될 수 있다.
- [0091] 상기 컬러필터층(170) 상에는 오버 코팅층(180)이 형성된다. 상기 보호막(160) 및 상기 오버 코팅층(180)은 유기 절연 물질로 이루어져, 하부 구성 요소에 의한 단차를 보상할 수 있다. 상기 오버 코팅층(180) 상에는 상기 기준 전극(190)이 형성된다.
- [0092] 상기 화소 기관(200)은 제2 베이스 기관(210), 및 상기 제2 베이스 기관(210) 상에 구비된 다수의 화소(PX)를 포함한다. 상기 다수의 화소(PX) 각각은 화소 트랜지스터(TR3) 및 화소 전극(250)으로 이루어진다.
- [0093] 도 8에서는 일 방향으로 순차적으로 배열된 6개의 화소(PX1~PX6)를 도시하였다. 6개의 화소(PX1~PX6) 각각은 서로 동일한 구조로 이루어진다. 따라서, 하나의 화소에 대해서 설명하고, 나머지 화소들의 설명은 생략한다.
- [0094] 상기 제2 베이스 기관(210) 상에는 상기 화소 트랜지스터(TR3)의 제3 게이트 전극(GE3)이 형성된다. 상기 제3 게이트 전극(GE3)은 제2 게이트 절연층(220)에 의해서 커버된다.
- [0095] 상기 제2 게이트 절연층(112) 상에는 상기 제3 게이트 전극(GE3)과 마주하도록 액티브층(ACT)이 형성되고, 액티브층(ACT) 위로 제3 및 제4 오믹 콘택 패턴(OT3, OT4)이 형성된다. 이후, 상기 제1 및 제2 오믹 콘택 패턴(OT3, OT4) 상에는 제3 소오스 전극(SE3) 및 제3 드레인 전극(DE3)이 각각 형성된다. 상기 제3 소오스 전극(SE3) 및 제3 드레인 전극(DE3)은 제1 절연막(230)에 의해서 커버된다. 상기 제1 절연막(230) 상에는 제2 절연막(240)이 더 형성될 수 있다.
- [0096] 상기 제1 및 제2 절연막(230, 240)에는 상기 제3 드레인 전극(DE3)을 노출시키는 콘택홀(241)이 형성된다. 상기 화소 전극(250)은 상기 제2 절연막(240) 상에 형성되고, 상기 콘택홀(241)을 통해 상기 제3 드레인 전극(DE3)과 전기적으로 연결된다.
- [0097] 도 9는 도 8에 도시된 센서 기관의 평면도이며, 도 10은 도 9의 센서를 나타낸 확대도이다.
- [0098] 도 9를 참조하면, 상기 센서 기관(100)은 제1 방향(D1)으로 연장하는 제1 및 제2 스캔 라인(SL1, SL2), 상기 제1 방향(D1)과 직교하는 제2 방향(D2)으로 연장하는 제1 및 제2 리드아웃 라인(RL1, RL2), 상기 제2 방향(D2)으로 연장된 제1 및 제2 바이어스 라인(BL1, BL2)을 포함한다.
- [0099] 상기 제1 바이어스 라인(BL1)은 외부로부터 제1 바이어스 전압(V_{B1})을 수신하고, 상기 제2 바이어스 라인(BL2)은 외부로부터 상기 제1 바이어스 전압보다 낮은 제2 바이어스 전압(V_{B2})을 수신한다. 평면상에서 봤을 때, 상기 제1 및 제2 바이어스 라인(BL1, BL2)은 상기 제1 및 제2 리드아웃 라인(RL1, RL2) 사이에 구비된다.
- [0100] 상기 센서 기관(200)은 레드, 그린 및 블루 색화소(R, G, B)를 더 포함한다. 상기 레드, 그린 및 블루 색화소(R, G, B)는 상기 제1 방향(D1)으로 순서대로 배열될 수 있다.
- [0101] 도 10에 도시된 바와 같이, 상기 센서들(SN) 각각은 센서 트랜지스터(TR1), 스위칭 트랜지스터(TR2) 및 커패시터(C_s)를 구비한다.
- [0102] 상기 스위칭 트랜지스터(TR2)는 상기 제1 스캔 라인(SL1)으로부터 분기된 제2 게이트 전극(GE2), 상기 제2 게이트 전극(GE2) 상부에 위치하는 제3 산화물 반도체 패턴(OS3), 상기 제1 리드아웃 라인(RL1)으로부터 분기된 제2 소오스 전극(SE2) 및 상기 제3 산화물 반도체 패턴(OS3) 상에서 상기 소오스 전극(SE2)과 이격된 제2 드레인 전극(DE2)을 포함한다. 따라서, 상기 스위칭 트랜지스터(TR2)는 상기 제1 스캔 라인(SL1)으로부터 인가되는 스캔 신호에 응답하여 턴-온되어, 상기 제1 리드아웃 라인(RL1)에 소정의 신호를 출력한다.
- [0103] 상기 스위칭 트랜지스터(TR2)는 제1 콘택홀(C1)을 통해 상기 제2 게이트 전극(GE2)과 전기적으로 연결되는 제2 더미 게이트 전극(DGE2)을 더 포함할 수 있다.
- [0104] 상기 센서 트랜지스터(TR1)는 제1 게이트 전극(GE1), 적외선 파장대를 갖는 광에 반응하는 광 반응 패턴(SP), 상기 스위칭 트랜지스터(TR2)의 제2 드레인 전극(DE2)으로부터 연장되어 상기 광 반응 패턴(SP) 상부에 위치하

는 제1 소오스 전극(SE1), 광 반응 패턴(SP) 상부에서 상기 제1 소오스 전극(SE1)과 이격된 제1 드레인 전극(DE1)을 포함한다. 상기 센서 트랜지스터(TR1)는 상기 제1 바이어스 라인(BL1)을 통해 상기 제1 바이어스 전압(V_{B1})을 수신하고, 제2 콘택홀(C2)을 통해 상기 제1 게이트 전극(GE1)과 전기적으로 연결되는 제1 더미 게이트 전극(DGE1)을 더 포함할 수 있다. 상기 센서 트랜지스터(TR1)의 제1 드레인 전극(DE1)은 상기 제2 바이어스 라인(BL2)에 전기적으로 연결되어 상기 제2 바이어스 전압(V_{B2})을 수신한다.

[0105] 상기 센서 트랜지스터(TR1)의 제1 소오스 전극(SE1)은 상기 제1 방향(D1)으로 연장된 제1 몸체 전극(SE11) 및 상기 제1 몸체 전극(SE11)으로부터 분기되어 상기 제1 방향(D1)으로 배열된 다수의 제1 가지 전극(SE12)으로 이루어진다. 상기 다수의 제1 가지 전극들(SE12)은 상기 광 반응 패턴(SP) 상에 구비된다.

[0106] 한편, 상기 센서 트랜지스터(TR1)의 제1 드레인 전극(DE1)은 상기 제1 방향(D1)으로 연장된 제2 몸체 전극(DE11) 및 상기 제2 몸체 전극(DE11)으로부터 분기되어 상기 제1 방향(D1)으로 배열된 다수의 제2 가지 전극(DE12)으로 이루어진다. 상기 다수의 제2 가지 전극들(DE12)도 상기 광 반응 패턴(SP) 상에 구비된다.

[0107] 상기 제1 및 제2 가지 전극들(SE12, DE12)은 서로 교번적으로 배치된다. 즉, 서로 인접하는 두 개의 제1 가지 전극(SE12) 사이에 하나의 제2 가지 전극(DE12)이 구비된다.

[0108] 상기 커패시터(C_s)는 상기 제2 바이어스 라인(BL2)으로부터 연장된 제1 전극(A1) 및 상기 센서 트랜지스터(TR1)의 제1 소오스 전극(SE1)으로부터 연장되어 상기 제1 전극(A1)과 마주하는 제2 전극(A2)으로 이루어진다.

[0109] 상기 센서 트랜지스터(TR)의 광 반응 패턴(SP)의 하부에 구비되어 상기 광 반응 패턴(SP)으로 공급되는 광을 필터링하기 위한 밴드패스필터 패턴(BPF)를 더 구비한다.

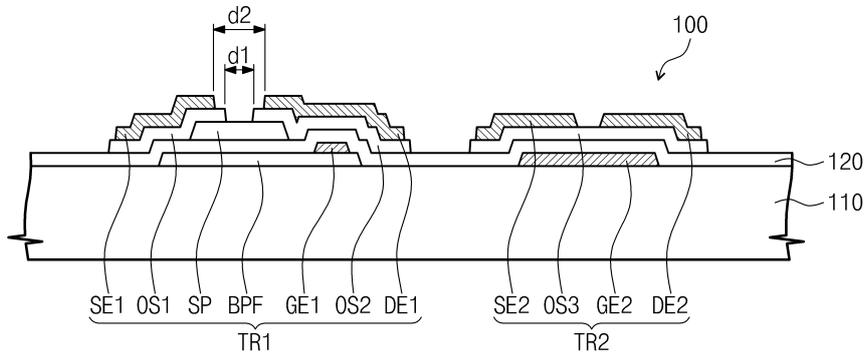
[0110] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

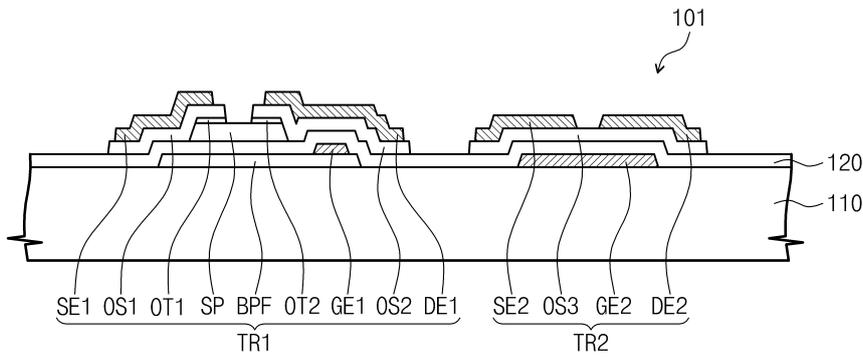
- | | | |
|--------|---------------------------------|-----------------|
| [0111] | 100 : 센서 기관 | 110 : 제1 베이스 기관 |
| | 120 : 게이트 절연층 | TR1 : 센싱 트랜지스터 |
| | TR2 : 스위칭 트랜지스터 | 130 : 광 반응층 |
| | SP : 광 반층 패턴 | 135 : 제1 감광성 패턴 |
| | 140 : 산화물 반도체층 | 150 : 제2 금속층 |
| | OS1 - OS3 : 제1 내지 제3 산화물 반도체 패턴 | |
| | 155, 157 : 제2 및 제3 감광성 패턴 | |
| | OT1, OT2 : 제1 및 제2 오믹 콘택 패턴 | |
| | 200 : 화소 기관 | 300 : 표시패널 |
| | 410 : 타이밍 컨트롤러 | 420 : 게이트 드라이버 |
| | 430 : 데이터 드라이버 | 440 : 스캔 드라이버 |
| | 450 : 리드아웃 회로 | 500 : 표시장치 |

도면

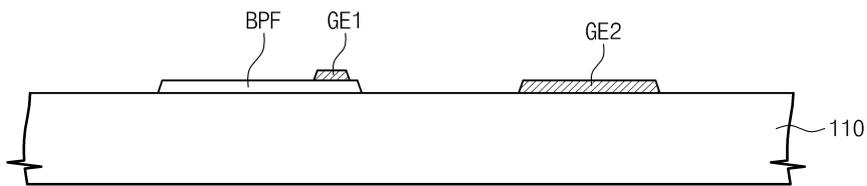
도면1



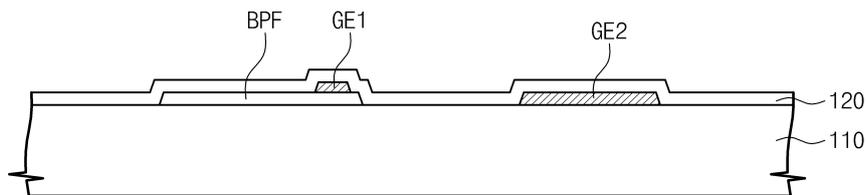
도면2



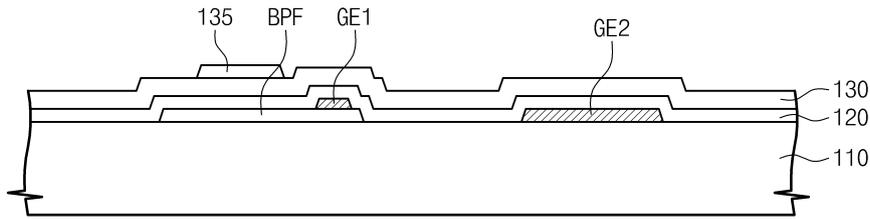
도면3a



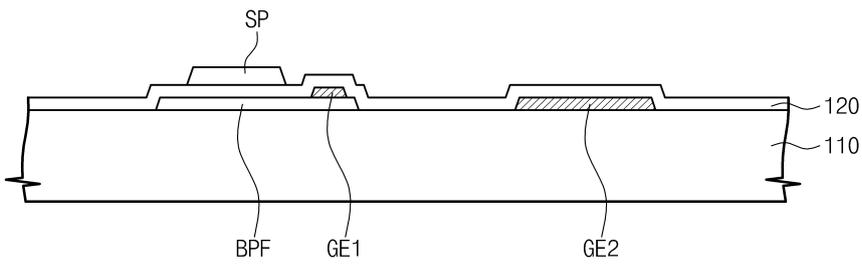
도면3b



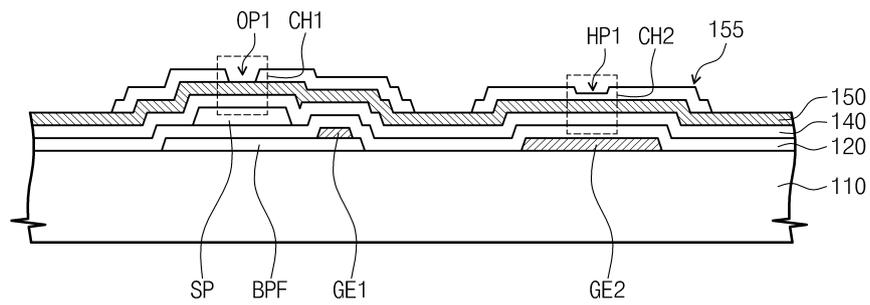
도면3c



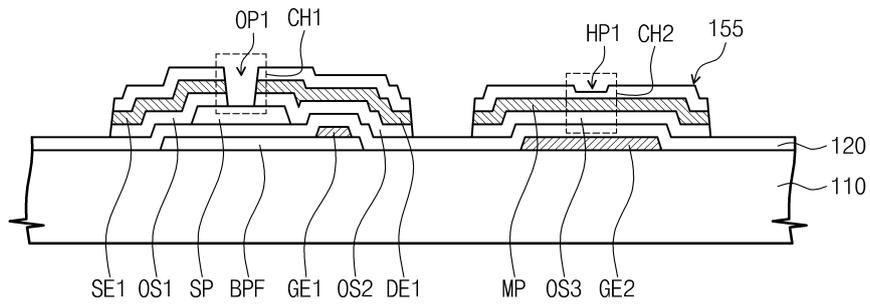
도면3d



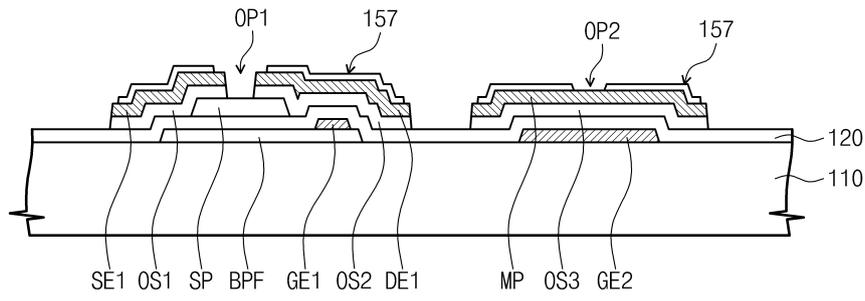
도면3e



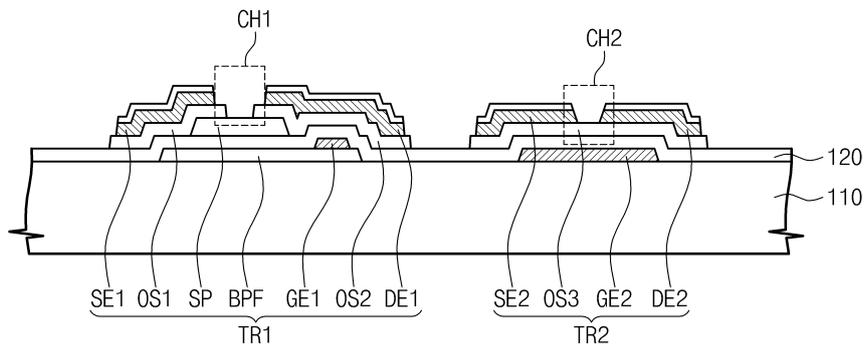
도면3f



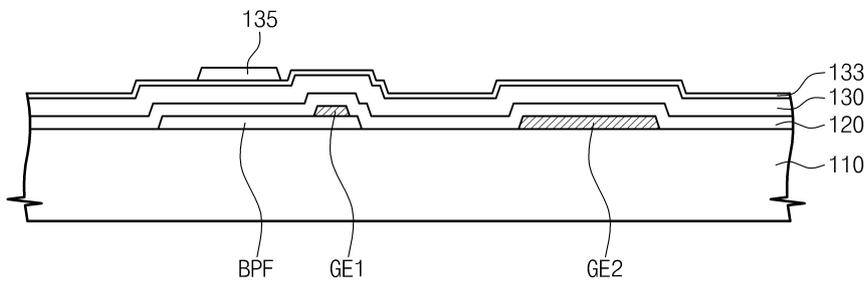
도면3g



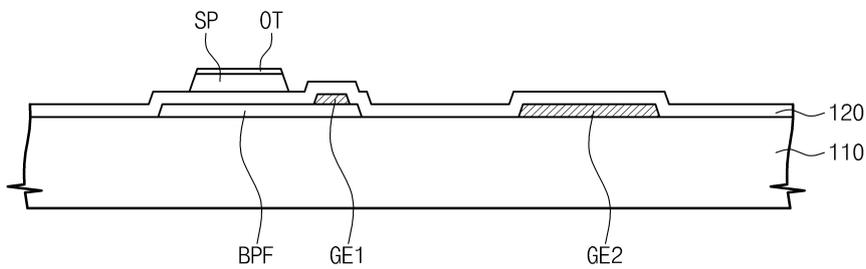
도면3h



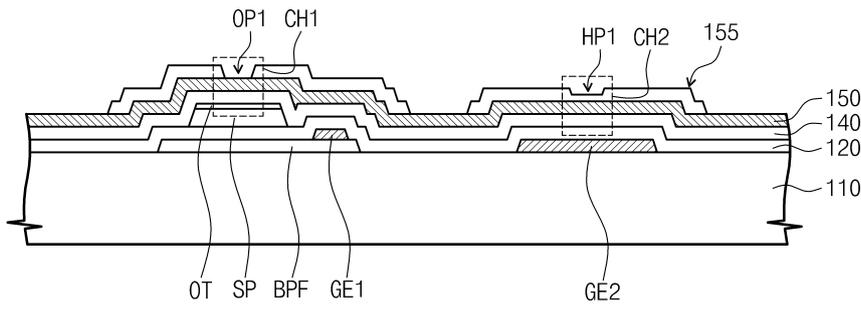
도면4a



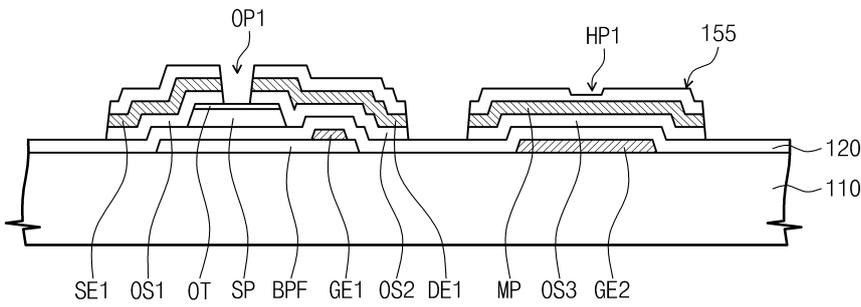
도면4b



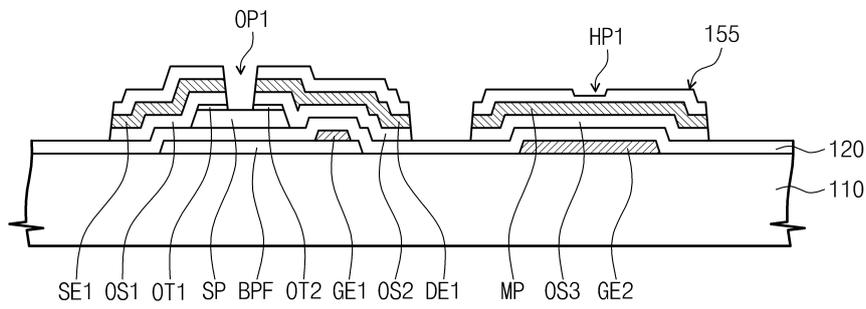
도면4c



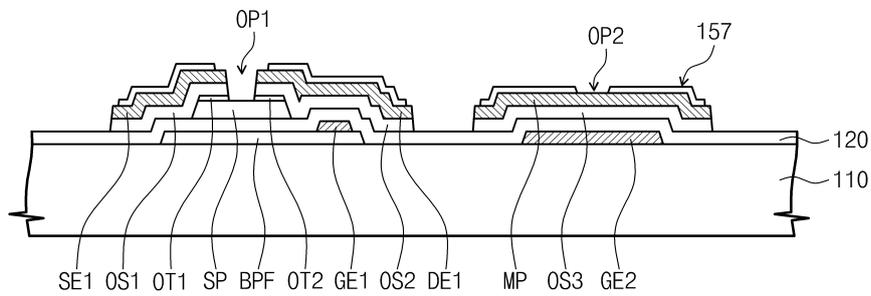
도면4d



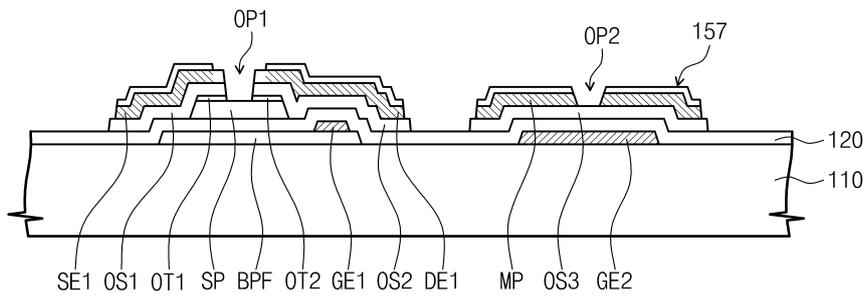
도면4e



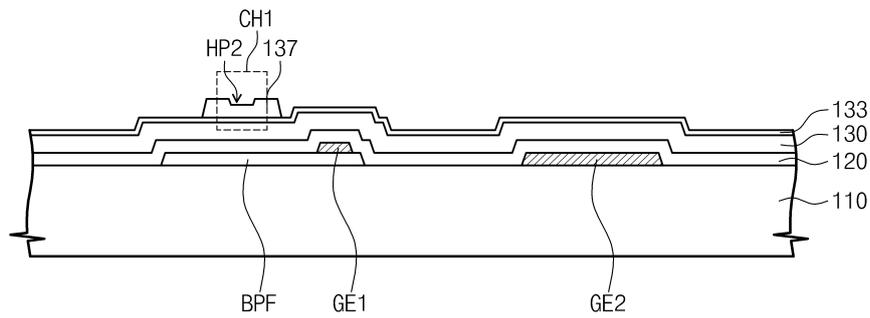
도면4f



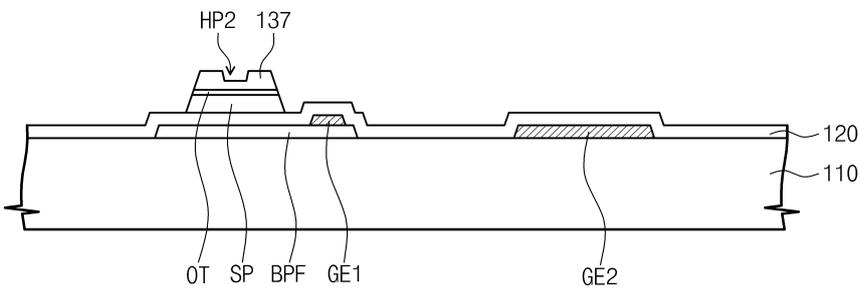
도면4g



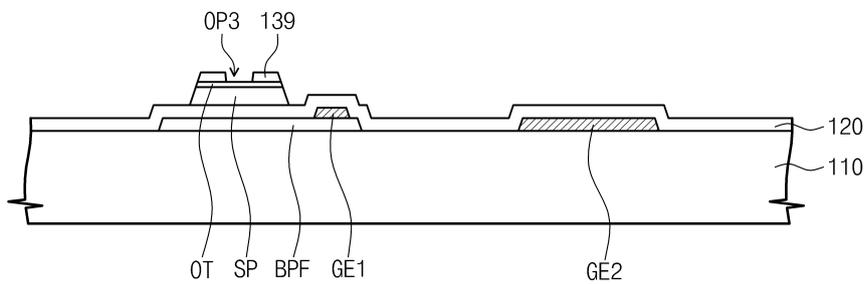
도면5a



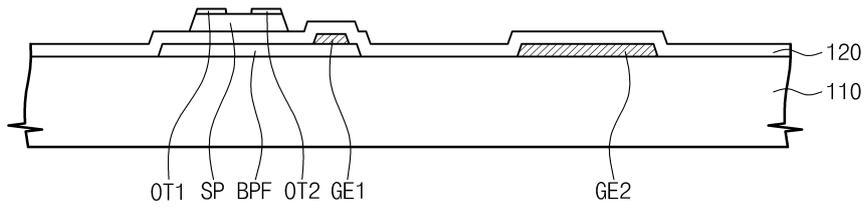
도면5b



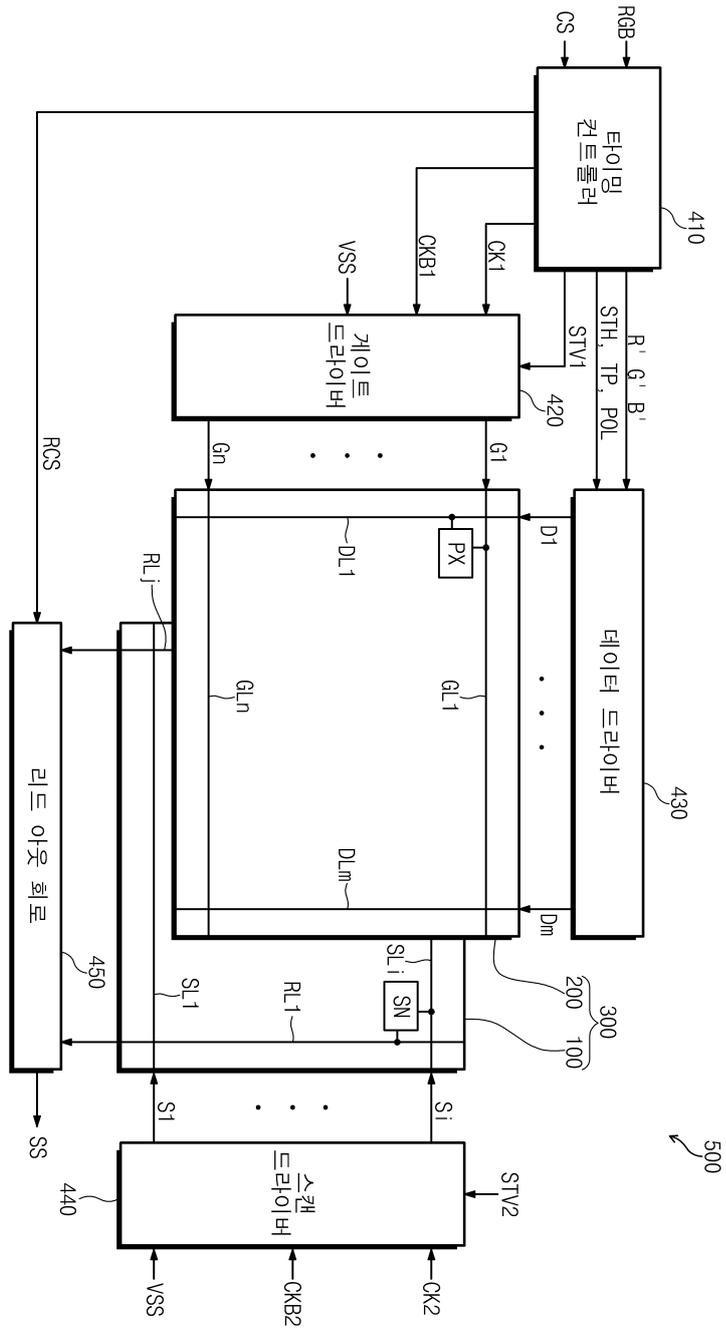
도면5c



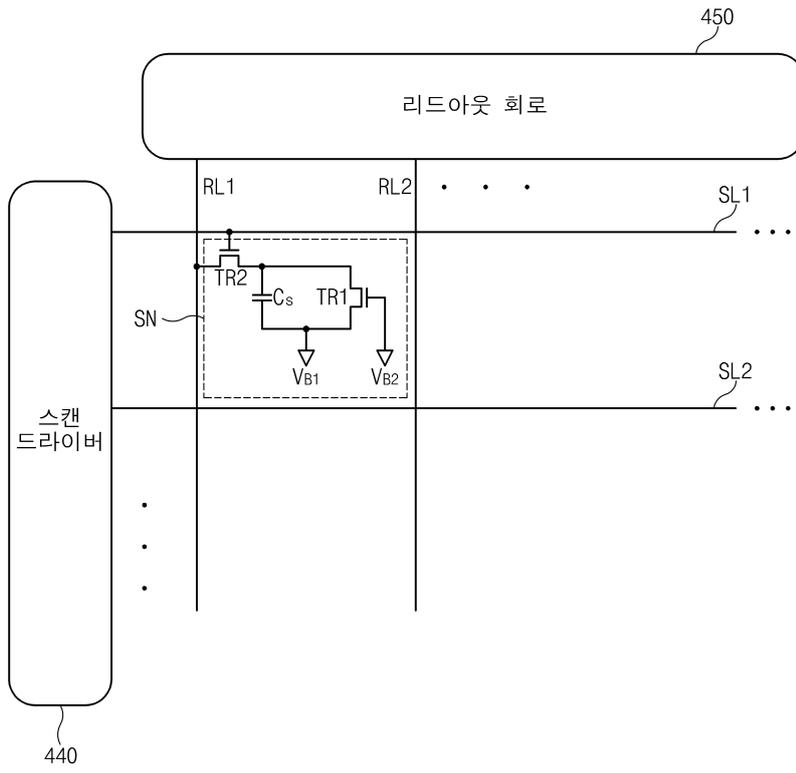
도면5d



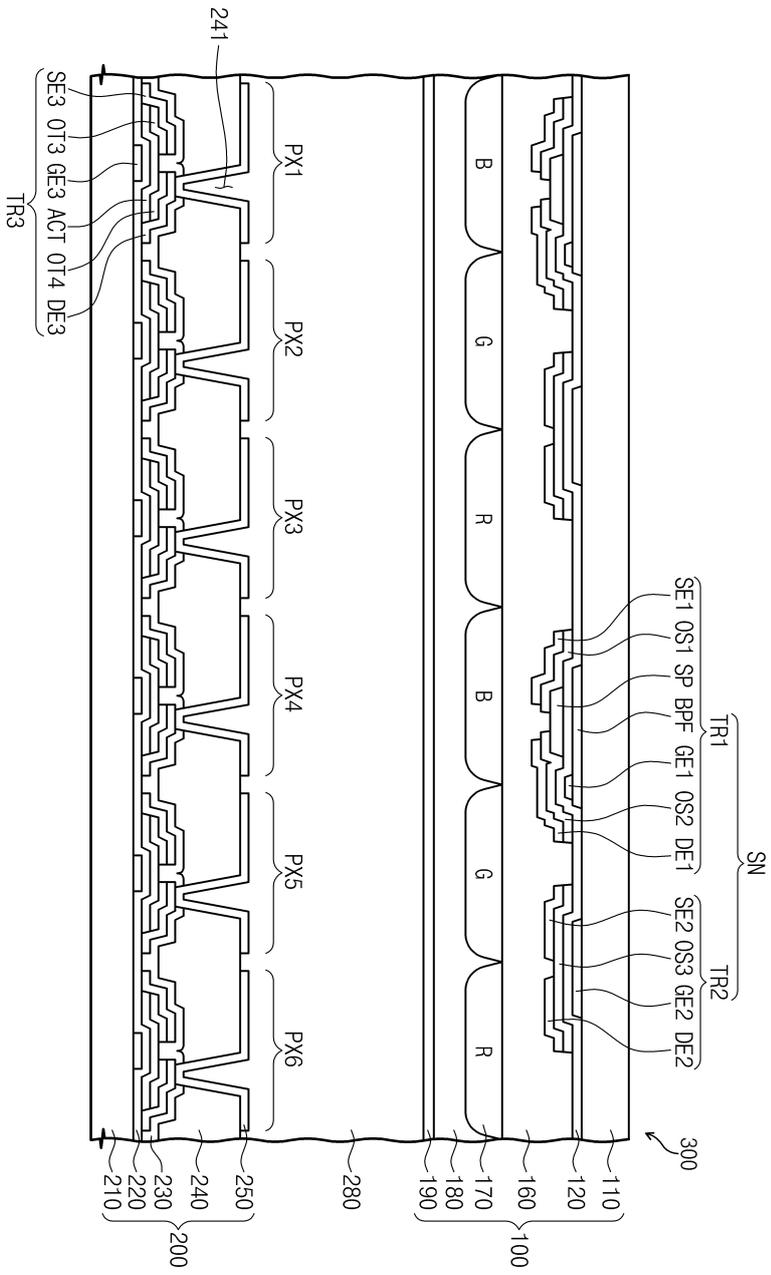
도면6



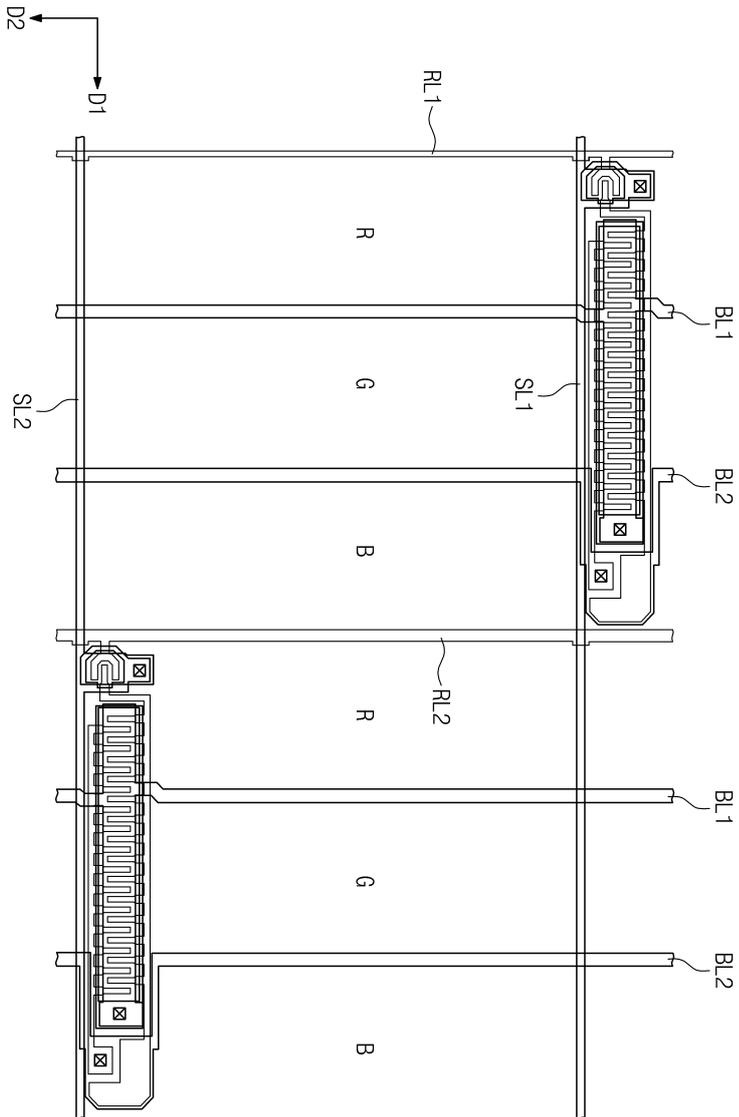
도면7



도면8



도면9



도면10

