



(12) 发明专利

(10) 授权公告号 CN 109148556 B

(45) 授权公告日 2022. 02. 15

(21) 申请号 201710500206.4

(22) 申请日 2017.06.27

(65) 同一申请的已公布的文献号  
申请公布号 CN 109148556 A

(43) 申请公布日 2019.01.04

(73) 专利权人 深圳尚阳通科技有限公司  
地址 518057 广东省深圳市南山区高新区  
中区科丰路2号特发信息港B栋601-  
602单元

(72) 发明人 肖胜安 曾大杰 李东升

(74) 专利代理机构 上海浦一知识产权代理有限  
公司 31211

代理人 郭四华

(51) Int. Cl.

H01L 29/06 (2006.01)

H01L 29/78 (2006.01)

H01L 21/336 (2006.01)

(56) 对比文件

CN 101866921 A, 2010.10.20

CN 100349301 C, 2007.11.14

CN 106653831 A, 2017.05.10

US 2007272979 A1, 2007.11.29

US 2006226475 A1, 2006.10.12

CN 103383966 A, 2013.11.06

US 2015097237 A1, 2015.04.09

JP 2008117826 A, 2008.05.22

CN 101331609 A, 2008.12.24

US 2015076594 A1, 2015.03.19

CN 105448961 A, 2016.03.30

CN 105895689 A, 2016.08.24

CN 101814501 A, 2010.08.25

CN 104752511 A, 2015.07.01

CN 105280711 A, 2016.01.27

审查员 丁宁

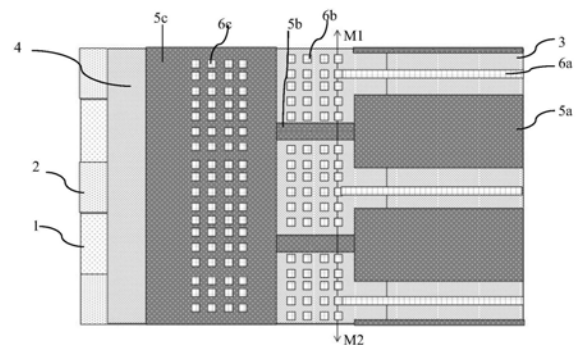
权利要求书4页 说明书15页 附图9页

(54) 发明名称

超结器件及其制造方法

(57) 摘要

本发明公开了一种超结器件, 设置有环绕在电荷流动区周侧的保护环氧化膜, 使JFET区域和源区都能实现全面注入, 过渡区中的第二接触孔的高宽比大于等于电荷流动区中的第一接触孔的高宽比, 采用钨塞工艺填充同时对具有不同高宽比的第一和二接触孔的可靠填充。本发明还公开了一种超结器件的制造方法。本发明能在过渡区中接触孔采用较高的高宽比时进行可靠填充, 能在过渡区中形成保护环氧化膜并利用保护环氧化膜减少光刻层次, 还有利于对接触孔按照器件需要进行布局, 同时保证器件的抗雪崩击穿能力不受过渡区的接触孔工艺的影响。



CN 109148556 B

1. 一种超结器件,超结器件的中间区域为电荷流动区,终端区环绕于所述电荷流动区的外周,过渡区位于所述电荷流动区和所述终端区之间;其特征在于,包括:

N型外延层,对所述N型外延层进行干法刻蚀形成多个沟槽;在所述沟槽中填充P型外延层形成P型柱,由各所述P型柱之间的所述N型外延层组成N型柱,由多个交替排列的所述N型柱和所述P型柱组成的超结结构;

在所述电荷流动区中各所述P型柱的顶部都形成有一个P型阱且各所述P型阱延伸到对应的所述P型柱两侧的所述N型柱的表面;

在所述过渡区中所述超结结构的表面形成有环绕在所述电荷流动区的周侧的P型环;各所述P型阱和所述P型环相接触;

在形成有所述P型阱和所述P型环的所述超结结构表面形成有第一氧化膜,保护环氧化膜通过对所述第一氧化膜进行光刻刻蚀形成,所述保护环氧化膜将所述电荷流动区露出以及至少将所述过渡区的部分区域覆盖,所述保护环氧化膜还延伸到所述终端区表面并将所述终端区全部覆盖或仅将所述终端区的最外周部分露出,所述保护环氧化膜环绕在所述电荷流动区的周侧;

所述电荷流动区的所述P型阱的表面形成有由N+区组成的源区,所述源区的注入区域由所述保护环氧化膜自对准定义;

所述电荷流动区中形成有第一接触孔,在所述过渡区中形成有第二接触孔,所述第一接触孔和所述第二接触孔的光刻刻蚀工艺相同;

所述第一接触孔和所述第二接触孔的顶部都连接到由正面金属层组成的源极;

所述第一接触孔的底部穿过层间膜和所述源区并实现和所述源区以及所述P型阱的接触;

所述第二接触孔分布在所述过渡区的表面覆盖有所述保护环氧化膜的部分区域中,所述第二接触孔的底部穿过层间膜和所述保护环氧化膜并实现和所述P型环的接触;

令所述第一接触孔的深度和最小横向尺寸的比值为第一高宽比,所述第二接触孔的深度和最小横向尺寸的比值为第二高宽比;所述第二高宽比大于等于所述第一高宽比,所述第一接触孔和所述第二接触孔都采用钨塞工艺填充,利用所述钨塞工艺对孔覆盖能力保证同时对具有不同高宽比的所述第一接触孔和所述第二接触孔的可靠填充;

在所述电荷流动区的所述超结结构的表面形成有由栅氧化膜和多晶硅栅叠加形成的平面栅结构,所述多晶硅栅的形成区域通过光刻工艺定义,各所述多晶硅栅覆盖对应的所述P型阱且被所述多晶硅栅覆盖的所述P型阱的表面用于形成沟道;

所述源区自对准形成于所述电荷流动区中的所述多晶硅栅两侧;

各所述多晶硅栅呈条状结构且各所述多晶硅栅的长度方向和所述沟槽的长度方向平行;

在所述终端区的所述保护环氧化膜表面形成有多晶硅总线,各所述多晶硅栅通过形成于所述过渡区的所述保护环氧化膜表面的多晶硅连线连接到所述多晶硅总线,所述多晶硅总线、所述多晶硅连线和所述多晶硅栅采用相同的多晶硅淀积和多晶硅刻蚀工艺同时形成;所述多晶硅连线的宽度小于等于所述多晶硅栅的宽度;

各所述第一接触孔呈条状结构且各所述第一接触孔的长度方向和所述沟槽的长度方向平行;各所述第一接触孔的宽度为最小横向尺寸;

每两条相邻的所述多晶硅栅之间包括一条呈条状结构的所述第一接触孔或者两条以上平行排列的呈条状结构的所述第一接触孔或者多个俯视面为矩形的所述第一接触孔排列形成的阵列结构；

各所述第二接触孔的俯视面为矩形，所述第二接触孔的宽度大于等于所述第一接触孔的宽度，每两条相邻的所述多晶硅连线之间包括一个所述第二接触孔或者包括由多个所述第二接触孔排列形成的阵列结构。

2. 如权利要求1所述的超结器件，其特征在于：所述P型环将所述第二接触孔完全包住且保证的余量大于等于1微米。

3. 如权利要求1所述的超结器件，其特征在于：在所述多晶硅总线的顶部形成有第三接触孔，所述第一接触孔和所述第三接触孔的光刻刻蚀工艺相同；

所述第三接触孔的顶部都连接到由正面金属层组成的栅极；

所述第三接触孔的底部穿过层间膜并进入到所述多晶硅总线中且所述第三接触孔的底部停留在所述多晶硅总线中或将所述多晶硅总线穿过。

4. 如权利要求1所述的超结器件，其特征在于：所述第二接触孔还延伸分布到所述过渡区的表面未覆盖所述保护环氧化膜的部分区域中，该部分区域中的所述第二接触孔的底部穿过所述层间膜实现和所述P型环的接触。

5. 如权利要求1所述的超结器件，其特征在于：在各所述第一接触孔和各所述第二接触孔的底部形成有P+接触区。

6. 如权利要求1所述的超结器件，其特征在于：所述P型阱和所述P型环的工艺条件相同且同时形成；或者，所述P型环和所述P型阱的工艺条件互为独立且分开形成。

7. 如权利要求1所述的超结器件，其特征在于：在所述电荷流动区的所述超结结构表面形成有JFET区，所述JFET区的形成区域由所述保护环氧化膜自对准定义。

8. 一种超结器件的制造方法，超结器件的中间区域为电荷流动区，终端区环绕于所述电荷流动区的外周，过渡区位于所述电荷流动区和所述终端区之间；其特征在于，包括如下步骤：

步骤一、提供N型外延层，进行第一次光刻工艺定义出沟槽的形成区域，之后对所述N型外延层进行干法刻蚀形成多个沟槽；

在所述沟槽中填充P型外延层形成P型柱，由各所述P型柱之间的所述N型外延层组成N型柱，由多个交替排列的所述N型柱和所述P型柱组成的超结结构；

步骤二、进行第二次光刻工艺在所述电荷流动区中定义出P型阱的形成区域，之后进行P型离子注入形成所述P型阱；

所述电荷流动区中各所述P型柱的顶部都形成有一个所述P型阱且各所述P型阱延伸到对应的所述P型柱两侧的所述N型柱的表面；

在形成所述P型阱的同时采用相同的工艺在所述过渡区中的所述超结结构的表面形成环绕在所述电荷流动区的周侧的P型环；各所述P型阱和所述P型环相接触；

步骤三、在形成有所述P型阱和所述P型环的所述超结结构表面进行第一氧化膜生长，进行第三次光刻工艺定义出所述第一氧化膜的刻蚀区域，之后对所述第一氧化膜进行刻蚀形成保护环氧化膜，所述保护环氧化膜将所述电荷流动区露出以及至少将所述过渡区的部分区域覆盖，所述保护环氧化膜还延伸到所述终端区表面并将所述终端区全部覆盖或仅将

所述终端区的最外周部分露出,所述保护环氧化膜环绕在所述电荷流动区的周侧;

以所述保护环氧化膜为自对准条件进行全面的第N型离子注入在所述电荷流动区中形成JFET区域,同时在所述保护环氧化膜覆盖区域之外的所述终端区中或外侧形成终端第一N型注入区;

步骤四、依次形成栅氧化膜和N型重掺杂的第一层多晶硅,进行第四次光刻工艺定义出多晶硅栅的形成区域,之后对所述第一层多晶硅进行刻蚀形成多晶硅栅,各所述多晶硅栅为平面栅结构,各所述多晶硅栅覆盖对应的所述P型阱且被所述多晶硅栅覆盖的所述P型阱的表面用于形成沟道;

以所述多晶硅栅和所述保护环氧化膜为自对准条件进行全面的第二次N型离子注入在所述电荷流动区中的所述多晶硅栅两侧分别形成源区,同时在所述保护环氧化膜覆盖区域之外的所述终端区中或外侧形成终端第二N型注入区;

步骤五、淀积层间膜,进行第五次光刻工艺定义出第一接触孔、第二接触孔和第三接触孔的形成区域;之后进行刻蚀形成所述第一接触孔、所述第二接触孔和所述第三接触孔的开口;在所述第一接触孔、所述第二接触孔和所述第三接触孔的开口中填充金属形成所述第一接触孔、所述第二接触孔和所述第三接触孔;

所述第一接触孔的底部穿过所述层间膜和所述源区并实现和所述源区以及所述P型阱的接触;

所述第二接触孔分布在所述过渡区的表面覆盖有所述保护环氧化膜的部分区域中,所述第二接触孔的底部穿过层间膜和所述保护环氧化膜并实现和所述P型环的接触;

令所述第一接触孔的深度和最小横向尺寸的比值为第一高宽比,所述第二接触孔的深度和最小横向尺寸的比值为第二高宽比;所述第二高宽比大于等于所述第一高宽比,所述第一接触孔、所述第二接触孔和所述第三接触孔都采用钨塞工艺填充,利用所述钨塞工艺对孔覆盖能力保证同时实现对具有不同高宽比的所述第一接触孔和所述第二接触孔的可靠填充;

步骤六、进行正面金属淀积形成正面金属层,进行第六次光刻工艺定义出栅极和源极的形成区域,之后对所述正面金属层进行刻蚀形成所述栅极和所述源极,所述电荷流动区中的各所述源区和对应的所述P型阱通过顶部相同的所述第一接触孔连接到所述源极,所述过渡区中的所述P型环也通过顶部的所述第二接触孔连接到所述源极,所述多晶硅栅通过所述第三接触孔连接到栅极。

9.如权利要求8所述的超结器件的制造方法,其特征在于:步骤五中所述第一接触孔、所述第二接触孔和所述第三接触孔的开口形成后金属填充前还包括在所述第一接触孔和所述第二接触孔的底部进行P<sup>+</sup>离子注入形成P<sup>+</sup>接触区的步骤。

10.如权利要求9所述的超结器件的制造方法,其特征在于:所述层间膜由氧化膜组成,步骤五中刻蚀形成所述第一接触孔、所述第二接触孔和所述第三接触孔的开口时先进行氧化膜的刻蚀,在所述第一接触孔区域的所述层间膜完全去除并暴露出底部的所述源区时停止氧化膜的刻蚀,进行外延层材料的刻蚀;进行所述外延层材料的刻蚀时所述第一接触孔的底部的外延层产生过刻蚀,同时所述第二接触孔区域的氧化膜会部分刻蚀;在所述第二接触孔区域的氧化膜未被完全去除之前进行所述P<sup>+</sup>接触区的P<sup>+</sup>离子注入,使所述第二接触孔区域的所述P<sup>+</sup>接触区的P<sup>+</sup>离子注入的峰值位于氧化膜中,使得所述第一接触孔、所述第

二接触孔和所述第三接触孔的开口以及金属填充完全后,所述第二接触孔底部的所述P+接触区的掺杂浓度的峰值小于所述第一接触孔底部的所述P+接触区的掺杂浓度的峰值。

11. 如权利要求10所述的超结器件的制造方法,其特征在于:通过调节述P+接触区的P+离子注入时位于所述第二接触孔区域底部的氧化膜的厚度调节所述第二接触孔底部的所述P+接触区的掺杂浓度,且使所述第二接触孔底部的所述P+接触区的掺杂浓度的峰值为所述第一接触孔底部的所述P+接触区的掺杂浓度的峰值的 $1/2\sim 1/10$ 。

12. 如权利要求8所述的超结器件的制造方法,其特征在于:步骤二中采用单独的光刻和离子注入工艺形成所述P型环,且所述P型环的形成工艺位于所述P型阱的形成工艺之前。

13. 如权利要求9所述的超结器件的制造方法,其特征在于:步骤四中在形成所述多晶硅栅的同时在所述终端区的所述保护环氧化膜表面形成多晶硅总线以及在所述过渡区的所述保护环氧化膜表面形成多晶硅连线,各所述多晶硅栅通过所述多晶硅连线连接到所述多晶硅总线,所述多晶硅连线的宽度小于等于所述多晶硅栅的宽度;

步骤五中所述第三接触孔位于所述多晶硅总线的顶部,所述第三接触孔的底部穿过层间膜并进入到所述多晶硅总线中且所述第三接触孔的底部停留在所述多晶硅总线中或将所述多晶硅总线穿过;

步骤五中进行所述P+接触区的P+离子注入时采用光刻工艺将所述第三接触孔区域保护。

## 超结器件及其制造方法

### 技术领域

[0001] 本发明涉及半导体集成电路制造领域,特别是涉及一种超结(super junction)器件;本发明还涉及一种超结器件的制造方法。

### 背景技术

[0002] 现有超结器件中,在电荷流动区中,有交替排列的P型柱和N型柱,以条状的P-N柱即交替排列的P型柱和N型柱的结构为例,每个N柱的上方有一个多晶硅栅,该多晶硅栅可以部分覆盖周边的P柱,也可以不覆盖,每个P柱的上方有一个P型阱(PWell),在P型阱里有一个N+源区,有一个接触孔,源极金属通过接触孔与源区相连,源极金属通过经过一个高浓度的P+接触区与P区即P型阱相连,源极金属即为组成源极的正面金属层。

[0003] 在电荷流动区和承受电压的终端区域之间,存在一个过渡区,过渡区中有一个和电荷流动区的P型阱相连的P型环区域,该P型环区域上形成有接触孔,该接触孔之下也有一个高浓度的P+接触区,因此P型环也通过P+接触区和顶部的接触孔连接到源极金属。

[0004] 为了易于设计,或者为了减少光刻的次数,在利用厚场氧化膜作为自对准而进行源区离子注入的情况下,过渡区的P型环至少有部分区域需要被厚场氧化膜所覆盖,因此被厚氧化膜所覆盖的区域上的接触孔的高宽比会大于电荷流动区的接触孔的最小高宽比,其中电荷流动区的接触孔仅需穿过层间膜,而过渡区中被厚氧化膜所覆盖的区域上的接触孔则需要同时穿过层间膜和厚氧化膜,所以有被厚氧化膜所覆盖的区域上的接触孔的高宽比会大于电荷流动区的接触孔的最小高宽比;而现有工艺中,在金属淀积是采用Ti、TiN和ALCu,Ti、TiN和ALSiCu的制造工艺时,该金属对金属接触孔的覆盖能力有限,对高宽比较高如大于0.5的孔,在进行金属填充时会出现金属针孔,造成器件的性能和可靠性问题。

### 发明内容

[0005] 本发明所要解决的技术问题是提供一种超结器件,能在过渡区中接触孔采用较高的高宽比时进行无针孔填充,从而能在过渡区中形成保护环氧化膜并利用保护环氧化膜减少光刻层次,还有利于对接触孔按照器件需要进行布局,同时保证器件的抗雪崩击穿能力不受过渡区的接触孔工艺的影响。为此,本发明还提供一种超结器件的制造方法。

[0006] 为解决上述技术问题,本发明提供的超结器件的中间区域为电荷流动区,终端区环绕于所述电荷流动区的外周,过渡区位于所述电荷流动区和所述终端区之间;包括:

[0007] N型外延层,所述N型外延层进行干法刻蚀形成多个沟槽;在所述沟槽中填充由P型外延层并组成P型柱,由各所述P型柱之间的所述N型外延层组成N型柱,由多个交替排列的所述N型柱和所述P型柱组成的超结结构。

[0008] 在所述电荷流动区中各所述P型柱的顶部都形成有一个P型阱且各所述P型阱延伸到对应的所述P型柱两侧的所述N型柱的表面。

[0009] 在所述过渡区中所述超结结构的表面形成有环绕在所述电荷流动区的周侧的P型环;各所述P型阱和所述P型环相接触。

[0010] 在形成有所述P型阱和所述P型环的所述超结结构表面形成有第一氧化膜,保护环氧化膜通过对所述第一氧化膜进行光刻刻蚀形成,所述保护环氧化膜将所述电荷流动区露出以及至少将所述过渡区的部分区域覆盖,所述保护环氧化膜还延伸到所述终端区表面并将所述终端区全部覆盖或仅将所述终端区的最外周部分露出,所述保护环氧化膜环绕在所述电荷流动区的周侧。

[0011] 所述电荷流动区的所述P型阱的表面形成有由N<sup>+</sup>区组成的源区,所述源区的注入区域由所述保护环氧化膜自对准定义。

[0012] 所述电荷流动区中形成有第一接触孔,在所述过渡区中形成有第二接触孔,所述第一接触孔和所述第二接触孔的光刻刻蚀工艺相同。

[0013] 所述第一接触孔和所述第二接触孔的顶部都连接到由正面金属层组成的源极。

[0014] 所述第一接触孔的底部穿过层间膜和所述源区并实现和所述源区以及所述P型阱的接触。

[0015] 所述第二接触孔分布在所述过渡区的表面覆盖有所述保护环氧化膜的部分区域中,所述第二接触孔的底部穿过层间膜和所述保护环氧化膜并实现和所述P型环的接触。

[0016] 令所述第一接触孔的深度和最小横向尺寸的比值为第一高宽比,所述第二接触孔的深度和最小横向尺寸的比值为第二高宽比;所述第二高宽比大于等于所述第一高宽比,所述第一接触孔和所述第二接触孔都采用钨塞工艺填充,利用所述钨塞工艺对孔覆盖能力保证同时实现对具有不同高宽比的所述第一接触孔和所述第二接触孔的可靠填充。

[0017] 进一步的改进是,在所述电荷流动区的所述超结结构的表面形成有由栅氧化膜和多晶硅栅叠加形成的平面栅结构,所述多晶硅栅的形成区域通过光刻工艺定义,各所述多晶硅栅覆盖对应的所述P型阱且被所述多晶硅栅覆盖的所述P型阱的表面用于形成沟道。

[0018] 所述源区自对准形成于所述电荷流动区中的所述多晶硅栅两侧。

[0019] 各所述多晶硅栅呈条状结构且各所述多晶硅栅的长度方向和所述沟槽的长度方向平行。

[0020] 在所述终端区的所述保护环氧化膜表面形成有多晶硅总线,各所述多晶硅栅通过形成于所述过渡区的所述保护环氧化膜表面的多晶硅连线连接到所述多晶硅总线,所述多晶硅总线、所述多晶硅连线和所述多晶硅栅采用相同的多晶硅淀积和多晶硅刻蚀工艺同时形成;所述多晶硅连线的宽度小于等于所述多晶硅栅的宽度。

[0021] 进一步的改进是,各所述第一接触孔呈条状结构且各所述第一接触孔的长度方向和所述沟槽的长度方向平行;各所述第一接触孔的宽度为最小横向尺寸。

[0022] 每两条相邻的所述多晶硅栅之间包括一条呈条状结构的所述第一接触孔或者两条以上平行排列的呈条状结构的所述第一接触孔或者多个俯视图为矩形的所述第一接触孔排列形成的阵列结构。

[0023] 各所述第二接触孔的俯视图为矩形,所述第二接触孔的宽度大于等于所述第一接触孔的宽度,每两条相邻的所述多晶硅连线之间包括一个所述第二接触孔或者包括由多个所述第二接触孔排列形成的阵列结构。

[0024] 进一步的改进是,所述P型环将所述第二接触孔完全包住且保证的余量大于等于1微米。

[0025] 进一步的改进是,在所述多晶硅总线的顶部形成有第三接触孔,所述第一接触孔

和所述第三接触孔的光刻刻蚀工艺相同。

[0026] 所述第三接触孔的顶部都连接到由正面金属层组成的栅极。

[0027] 所述第三接触孔的底部穿过层间膜并进入到所述多晶硅总线中且所述第三接触孔的底部停留在所述多晶硅总线中或将所述多晶硅总线穿过。

[0028] 进一步的改进是,所述第二接触孔还延伸分布到所述过渡区的表面未覆盖所述保护环氧化膜的部分区域中,该部分区域中的所述第二接触孔的底部穿过所述层间膜实现和所述P型环的接触。

[0029] 进一步的改进是,在各所述第一接触孔和各所述第二接触孔的底部形成有P+接触区。

[0030] 进一步的改进是,所述P型阱和所述P型环的工艺条件相同且同时形成;或者,所述P型环和所述P型阱的工艺条件互为独立且分开形成。

[0031] 进一步的改进是,在所述电荷流动区的所述超结结构表面形成有JFET区,所述JFET区的形成区域由所述保护环氧化膜自对准定义。

[0032] 为解决上述技术问题,本发明提供的超结器件的制造方法的超结器件的中间区域为电荷流动区,终端区环绕于所述电荷流动区的外周,过渡区位于所述电荷流动区和所述终端区之间;包括如下步骤:

[0033] 步骤一、提供N型外延层,进行第一次光刻工艺定义出沟槽的形成区域,之后对所述N型外延层进行干法刻蚀形成多个沟槽。

[0034] 在所述沟槽中填充P型外延层形成P型柱,由各所述P型柱之间的所述N型外延层组成N型柱,由多个交替排列的所述N型柱和所述P型柱组成的超结结构。

[0035] 步骤二、进行第二次光刻工艺在所述电荷流动区中定义出P型阱的形成区域,之后进行P型离子注入形成所述P型阱。

[0036] 所述电荷流动区中各所述P型柱的顶部都形成有一个所述P型阱且各所述P型阱延伸到对应的所述P型柱两侧的所述N型柱的表面。

[0037] 在形成所述P型阱的同时采用相同的工艺在所述过渡区中的所述超结结构的表面形成环绕在所述电荷流动区的周侧的P型环;各所述P型阱和所述P型环相接触。

[0038] 步骤三、在形成有所述P型阱和所述P型环的所述超结结构表面进行第一氧化膜生长,进行第三次光刻工艺定义出所述第一氧化膜的刻蚀区域,之后对所述第一氧化膜进行刻蚀形成保护环氧化膜,所述保护环氧化膜将所述电荷流动区露出以及至少将所述过渡区的部分区域覆盖,所述保护环氧化膜还延伸到所述终端区表面并将所述终端区全部覆盖或仅将所述终端区的最外周部分露出,所述保护环氧化膜环绕在所述电荷流动区的周侧。

[0039] 以所述保护环氧化膜为自对准条件进行全面的第二次N型离子注入在所述电荷流动区中形成JFET区域,同时在所述保护环氧化膜覆盖区域之外的所述终端区中或外侧形成终端第一N型注入区。

[0040] 步骤四、依次形成栅氧化膜和N型重掺杂的第一层多晶硅,进行第四次光刻工艺定义出多晶硅栅的形成区域,之后对所述第一层多晶硅进行刻蚀形成多晶硅栅,各所述多晶硅栅为平面栅结构,各所述多晶硅栅覆盖对应的所述P型阱且被所述多晶硅栅覆盖的所述P型阱的表面用于形成沟道。

[0041] 以所述多晶硅栅和所述保护环氧化膜为自对准条件进行全面的第二次N型离子注



入在所述电荷流动区中的所述多晶硅栅两侧分别形成源区,同时在所述保护环氧化膜覆盖区域之外的所述终端区中或外侧形成终端第二N型注入区。

[0042] 步骤五、淀积层间膜,进行第五次光刻工艺定义出第一接触孔、第二接触孔和第三接触孔的形成区域;之后进行刻蚀形成所述第一接触孔、所述第二接触孔和所述第三接触孔的开口;在所述第一接触孔、所述第二接触孔和所述第三接触孔的开口中填充金属形成所述第一接触孔、所述第二接触孔和所述第三接触孔。

[0043] 所述第一接触孔的底部穿过所述层间膜和所述源区并实现和所述源区以及所述P型阱的接触。

[0044] 所述第二接触孔分布在所述过渡区的表面覆盖有所述保护环氧化膜的部分区域中,所述第二接触孔的底部穿过层间膜和所述保护环氧化膜并实现和所述P型环的接触。

[0045] 令所述第一接触孔的深度和最小横向尺寸的比值为第一高宽比,所述第二接触孔的深度和最小横向尺寸的比值为第二高宽比;所述第二高宽比大于等于所述第一高宽比,所述第一接触孔、所述第二接触孔和所述第三接触孔都采用钨塞工艺填充,利用所述钨塞工艺对孔覆盖能力保证同时实现对具有不同高宽比的所述第一接触孔和所述第二接触孔的可靠填充。

[0046] 步骤六、进行正面金属淀积形成正面金属层,进行第六次光刻工艺定义出栅极和源极的形成区域,之后对所述正面金属层进行刻蚀形成所述栅极和所述源极,所述电荷流动区中的各所述源区和对应的所述P型阱通过顶部相同的所述第一接触孔连接到所述源极,所述过渡区中的所述P型环也通过顶部的所述第二接触孔连接到所述源极,所述多晶硅栅通过所述第三接触孔连接到栅极。

[0047] 进一步的改进是,步骤五中所述第一接触孔、所述第二接触孔和所述第三接触孔的开口形成后金属填充前还包括在所述第一接触孔和所述第二接触孔的底部进行P<sup>+</sup>离子注入形成P<sup>+</sup>接触区的步骤。

[0048] 进一步的改进是,所述层间膜由氧化膜组成,步骤五中刻蚀形成所述第一接触孔、所述第二接触孔和所述第三接触孔的开口时先进行氧化膜的刻蚀,在所述第一接触孔区域的所述层间膜完全去除并暴露出底部的所述源区时停止氧化膜的刻蚀,进行外延层材料的刻蚀;进行所述外延层材料的刻蚀时所述第一接触孔的底部的外延层产生过刻蚀,同时所述第二接触孔区域的氧化膜会部分刻蚀;在所述第二接触孔区域的氧化膜未被完全去除之前进行所述P<sup>+</sup>接触区的P<sup>+</sup>离子注入,使所述第二接触孔区域的所述P<sup>+</sup>接触区的P<sup>+</sup>离子注入的峰值位于氧化膜中,使得所述第一接触孔、所述第二接触孔和所述第三接触孔的开口以及金属填充完全后,所述第二接触孔底部的所述P<sup>+</sup>接触区的掺杂浓度的峰值小于所述第一接触孔底部的所述P<sup>+</sup>接触区的掺杂浓度的峰值。

[0049] 进一步的改进是,通过调节所述P<sup>+</sup>接触区的P<sup>+</sup>离子注入时位于所述第二接触孔区域底部的氧化膜的厚度调节所述第二接触孔底部的所述P<sup>+</sup>接触区的掺杂浓度,且使所述第二接触孔底部的所述P<sup>+</sup>接触区的掺杂浓度的峰值为所述第一接触孔底部的所述P<sup>+</sup>接触区的掺杂浓度的峰值的1/2~1/10。

[0050] 进一步的改进是,步骤二中采用单独的光刻和离子注入工艺形成所述P型环,且所述P型环的形成工艺位于所述P型阱的形成工艺之前。

[0051] 进一步的改进是,步骤四中在形成所述多晶硅栅的同时在所述终端区的所述保护

环氧化膜表面形成多晶硅总线以及在所述过渡区的所述保护环氧化膜表面形成多晶硅连线,各所述多晶硅栅通过所述多晶硅连线连接到所述多晶硅总线,所述多晶硅连线的宽度小于等于所述多晶硅栅的宽度。

[0052] 步骤五中所述第三接触孔位于所述多晶硅总线的顶部,所述第三接触孔的底部穿过层间膜并进入到所述多晶硅总线中且所述第三接触孔的底部停留在所述多晶硅总线中或将所述多晶硅总线穿过。

[0053] 步骤五中进行所述P+接触区的P+离子注入时采用光刻工艺将所述第三接触孔区域保护。

[0054] 本发明对接触孔的填充工艺做了特别的设计,专门采用钨塞填充工艺来填充接触孔,相对于现有采用金属AlCu或AlSiCu的填充接触孔的工艺,本发明的钨塞填充工艺能对各种高宽比的接触孔进行无针孔填充,这样本发明能够在过渡区上采用比电荷流动区具有更高高宽比的接触孔即第二接触孔,在纵向上第二接触孔能够同时穿过保护环氧化膜和层间膜,同时能保证没有针孔。

[0055] 由于本发明能保证第二接触孔没有针孔填充,所以本发明能够在保证接触孔实现良好填充的条件下在过渡区中设置保护环氧化膜,利于保护环氧化膜能够实现源区以及JFET区域的自对准注入,从而能使本发明采用节省光刻层次的工艺,即本发明能节省形成源区和JFET区的光刻工艺,从而能降低制作成本,缩短生产周期。

[0056] 另外,在俯视面的横向结构上,第二接触孔的横向尺寸和分布能够按照器件的需要进行布局,所以本发明能实现对第二接触孔进行很方便的设置,最后能使得器件的抗雪崩击穿能力不受影响或提高。

## 附图说明

[0057] 下面结合附图和具体实施方式对本发明作进一步详细的说明:

[0058] 图1是本发明第一实施例超结器件的沟槽形成区域的俯视图;

[0059] 图2是本发明第一实施例超结器件的P型阱的形成区域的俯视图;

[0060] 图3是本发明第一实施例超结器件的保护环氧化膜的形成区域的俯视图;

[0061] 图4是本发明第一实施例超结器件的多晶硅栅的形成区域的俯视图;

[0062] 图5是本发明第一实施例超结器件的接触孔的形成区域的俯视图;

[0063] 图6是本发明第一实施例超结器件的正面金属层形成的源极和栅极的形成区域的俯视图;

[0064] 图7是本发明第一实施例超结器件的沿图6的A1A2线的截面示意图;

[0065] 图8是本发明第一实施例超结器件的沿图6的B1B2线的截面示意图;

[0066] 图9是本发明第一实施例超结器件的沿图6的C1C2线的截面示意图;

[0067] 图10是本发明第一实施例超结器件的沿图6的D1D2线的截面示意图;

[0068] 图11是本发明第二实施例超结器件的接触孔的形成区域的俯视图;

[0069] 图12是本发明第三实施例超结器件的接触孔的形成区域的俯视图;

[0070] 图13是本发明第四实施例超结器件的接触孔的形成区域的俯视图;

[0071] 图14是本发明第五实施例超结器件的接触孔的形成区域的俯视图;

[0072] 图15是本发明第一实施例超结器件的制造方法的流程图;

[0073] 图16A-图16D是本发明第一实施例方法中钨塞工艺各步骤中的接触孔的结构图。

### 具体实施方式

[0074] 本发明第一实施例超结器件：

[0075] 如图6所示，是本发明第一实施例超结器件的正面金属层形成的源极7a和栅极7b的形成区域的俯视图；为了更加清楚的了解说明本发明第一实施例器件的结构，本处还结合了图1至图5以及图7至图10进行说明，详细内容说明如下：

[0076] 本发明第一实施例超结器件以超结MOSFET为例进行说明，本发明第一实施例超结器件的中间区域为电荷流动区，终端区环绕于所述电荷流动区的外周，过渡区位于所述电荷流动区和所述终端区之间；本发明第一实施例超结器件包括：

[0077] N型外延层1，所述N型外延层1进行干法刻蚀形成多个沟槽；在所述沟槽中填充由P型外延层并组成P型柱2，由各所述P型柱2之间的所述N型外延层1组成N型柱，由多个交替排列的所述N型柱和所述P型柱2组成的超结结构。超结结构的版图也即俯视面图请参考图1所示，图1中清楚显示了所述N型柱和所述P型柱2的交替排列结构。

[0078] 在所述电荷流动区中各所述P型柱2的顶部都形成有一个P型阱3且各所述P型阱3延伸到对应的所述P型柱2两侧的所述N型柱的表面。

[0079] 在所述过渡区中所述超结结构的表面形成有环绕在所述电荷流动区的周侧的P型环4；各所述P型阱3和所述P型环4相接触。所述P型阱3和所述P型环4的俯视面结构请参考图2所示，图2仅为一个局部俯视图，实际上P型环4会呈环绕结构。本发明第一实施例中，所述P型阱3和所述P型环4的工艺条件相同且同时形成。在其它实施例中，也能为：所述P型环4和所述P型阱3的工艺条件互为独立且分开形成。

[0080] 在形成有所述P型阱3和所述P型环4的所述超结结构表面形成有第一氧化膜，保护环氧化膜103通过对所述第一氧化膜进行光刻刻蚀形成，所述保护环氧化膜103将所述电荷流动区露出以及至少将所述过渡区的部分区域覆盖，所述保护环氧化膜103还延伸到所述终端区表面并将所述终端区全部覆盖或仅将所述终端区的最外周部分露出，所述保护环氧化膜103环绕在所述电荷流动区的周侧。所述保护环氧化膜103的具体结构请参考图7所示，所述保护环氧化膜103的俯视面的形成区域请参考图3所示，图3中线M1M2标出了所述保护环氧化膜103的形成区域，在线M1M2的左侧为所述保护环氧化膜103的形成区域，在线M1M2的右侧则未形成所述保护环氧化膜103，实际上线M1M2的左侧为指向终端区的方向，线M1M2的右侧为指向电荷流动区的方向。由图3所示可知，所述保护环氧化膜103并未将所述P型环4完全覆盖。

[0081] 在所述电荷流动区的所述超结结构的表面形成有由栅氧化膜和多晶硅栅5a叠加形成的平面栅结构，所述多晶硅栅5a的形成区域通过光刻工艺定义，各所述多晶硅栅5a覆盖对应的所述P型阱3且被所述多晶硅栅5a覆盖的所述P型阱3的表面用于形成沟道。

[0082] 所述源区106自对准形成于所述电荷流动区中的所述多晶硅栅5a两侧。

[0083] 各所述多晶硅栅5a呈条状结构且各所述多晶硅栅5a的长度方向和所述沟槽的长度方向平行。

[0084] 在所述终端区的所述保护环氧化膜103表面形成有多晶硅总线5c，各所述多晶硅栅5a通过形成于所述过渡区的所述保护环氧化膜103表面的多晶硅连线5b连接到所述多晶

硅总线5c,所述多晶硅总线5c、所述多晶硅连线5b和所述多晶硅栅5a采用相同的多晶硅淀积和多晶硅刻蚀工艺同时形成;所述多晶硅连线5b的宽度小于等于所述多晶硅栅5a的宽度。

[0085] 所述多晶硅总线5c、所述多晶硅连线5b和所述多晶硅栅5a的俯视面结构请参考图4所示。

[0086] 所述电荷流动区的所述P型阱3的表面形成有由N+区组成的源区106,所述源区106请参考图10,所述源区106自对准形成于所述电荷流动区中的所述多晶硅栅5a两侧;所以所述源区106的形成区域会通过多晶硅栅5a和所述保护环氧化膜103自对准定义,其中所述保护环氧化膜103能够将所述电荷流动区域外保护,而所述多晶硅栅5a则将所述源区106自对准于所述多晶硅栅5a的两侧,所以本发明第一实施例不需要额外采用光刻工艺定义所述源区106,能节省一层定义所述源区106的光罩。

[0087] 如图5所示,所述电荷流动区中形成有第一接触孔6a,在所述过渡区中形成有第二接触孔6b,在所述多晶硅总线5c的顶部形成有第三接触孔6c,所述第一接触孔6a、所述第二接触孔6b和所述第三接触孔6c的光刻刻蚀工艺相同,即三者是同时形成的。

[0088] 如图6所示,所述第一接触孔6a和所述第二接触孔6b的顶部都连接到由正面金属层组成的源极7a。所述第三接触孔6c的顶部都连接到由正面金属层组成的栅极7b。图6中为了显示底层结构源极7a和栅极7b仅用线框画出了形成区域,并未填充相应的图形,在图7中源极7a和栅极7b的示意区域中采用填充图形表示。

[0089] 所述第一接触孔6a的底部穿过层间膜104和所述源区106并实现和所述源区106以及所述P型阱3的接触。

[0090] 所述第二接触孔6b分布在所述过渡区的表面覆盖有所述保护环氧化膜103的部分区域中,所述第二接触孔6b的底部穿过层间膜104和所述保护环氧化膜103并实现和所述P型环4的接触。

[0091] 所述第三接触孔6c的底部穿过层间膜104并进入到所述多晶硅总线5c中且所述第三接触孔6c的底部停留在所述多晶硅总线5c中,在其它实施例中也能所述第三接触孔6c的底部将所述多晶硅总线5c穿过。图7中同时显示了所述第一接触孔6a、所述第二接触孔6b和所述第三接触孔6c的截面结构,图8中则单独显示了所述第三接触孔6c的截面结构,图9中则单独显示了所述第二接触孔6b的截面结构,图10中则单独显示了所述第一接触孔6a的截面结构。

[0092] 令所述第一接触孔6a的深度和最小横向尺寸的比值为第一高宽比,所述第二接触孔6b的深度和最小横向尺寸的比值为第二高宽比;所述第二高宽比大于等于所述第一高宽比,所述第一接触孔6a和所述第二接触孔6b都采用钨塞工艺填充,利用所述钨塞工艺对孔覆盖能力保证同时实现对具有不同高宽比的所述第一接触孔6a和所述第二接触孔6b的可靠填充。

[0093] 如图6所示,各所述第一接触孔6a呈条状结构且各所述第一接触孔6a的长度方向和所述沟槽的长度方向平行;各所述第一接触孔6a的宽度为最小横向尺寸。

[0094] 每两条相邻的所述多晶硅栅5a之间包括一条呈条状结构的所述第一接触孔6a。

[0095] 各所述第二接触孔6b的俯视面为矩形,所述第二接触孔6b的宽度等于所述第一接触孔6a的宽度,每两条相邻的所述多晶硅连线5b之间包括多个所述第二接触孔6b排列形成

的阵列结构。所述第二接触孔6b的宽度等于所述第一接触孔6a的宽度是现有技术中采用的结构,在其它实施例中,也能采用所述第二接触孔6b的宽度大于所述第一接触孔6a的宽度的结构。每两条相邻的所述多晶硅连线5b之间的多个所述第二接触孔6b排列形成的阵列结构能够提高总的过渡区的接触孔的面积,从而能提高所述过渡区的收集载流子的能力。

[0096] 本发明第一实施例中,要求保证所述P型环4将所述第二接触孔6b完全包住且保证的余量大于等于1微米,也即各所述第二接触孔6b的外侧边沿在对应的所述P型环4的边沿内侧且各所述第二接触孔6b的外侧边沿和对应的所述P型环4的边沿之间的间隔大于等于1微米。

[0097] 本发明第一实施例器件中,各所述第二接触孔6b和相邻的多晶硅间的间隔大于等于0.2微米;和所述第二接触孔6b相邻的多晶硅包括所述多晶硅总线5c、所述多晶硅连线5b和所述多晶硅栅5a。

[0098] 如图10所示,在各所述第一接触孔6a和各所述第二接触孔6b的底部形成有P+接触区107。

[0099] 在所述电荷流动区的所述超结结构表面形成有JFET区102,所述JFET区102的形成区域由所述保护环氧化膜103自对准定义,JFET区102为一离子注入区,在图10中用一根虚线表示注入位置。

[0100] 如图7所示,所述N型外延层1形成于半导体衬底101如硅衬底的表面,硅衬底采用N型重掺杂的结构并位于超结器件的漏区,在漏区的背面形成有由背面金属层组成的漏极105。

[0101] 本发明第一实施例超结器件中,以一个600V的超结MOSFET为例进行参数的详细说明:

[0102] 所述半导体衬底101的电阻率 $0.001\text{ohm}\cdot\text{cm}\sim 0.003\text{ohm}\cdot\text{cm}$ ;所述N型外延层1的电阻 $1\text{ohm}\cdot\text{cm}\sim 2\text{ohm}\cdot\text{cm}$ ,厚度为30微米~70微米,较佳为40微米~60微米。本发明第一实施例中,半导体衬底101为硅衬底,所述N型外延层1为硅外延层。

[0103] 比较图9和图10所示可知,所述第一接触孔6a所穿过的介质膜仅为层间膜104,而第二接触孔6b所穿过的介质膜则包括层间膜104和保护环氧化膜103,故所述第一接触孔6a所穿过的介质膜更加薄,由于所述第一接触孔6a和所述第二接触孔6b采用相同的光刻刻蚀工艺同时形成,本发明第一实施例中,所述第一接触孔6a需要在穿过层间膜104之后对底部的硅即所述N型外延层1的硅进行过刻蚀,同时其蚀量需要达到或超过所述源区106的深度;而所述第二接触孔6b则仅需将层间膜104和保护环氧化膜103都穿过从而露出所述P型环4的表面即可,所述第二接触孔6b对底部的硅是否进行过刻蚀并没有限制。

[0104] 本发明第一实施例中,所述层间膜104的厚度为8000埃~10000埃,所述保护环氧化膜的厚度为8000埃~10000埃。当所述第一接触孔6a的宽度取0.6微米时,则所述第二接触孔6b的宽度也为0.6微米。

[0105] 本发明第一实施例超结器件中,特别采用了钨塞工艺来填充所述第一接触孔6a和所述第二接触孔6b,利用所述钨塞工艺对孔覆盖能力保证同时实现对具有不同高宽比的所述第一接触孔6a和所述第二接触孔6b的可靠填充。对于钨塞工艺和现有工艺中采用AlCu填充接触孔的工艺的区别说明如下:

[0106] 1、不采用W塞工艺时,一般高宽比大于0.5时,就容易出现AlCu针孔,这个针孔的

存在,可能造成接触孔中的金属局域ALCU金属薄,造成产品的可靠性问题。

[0107] 2、本发明实施例器件中,采用W塞工艺之后,由于钨塞工艺对接触孔具有良好的覆盖能力,故钨塞工艺填充接触孔后能在接触孔的顶部形成一个平坦化的表面,这样在后续进行ALCu淀积形成正面金属层时,ALCu是淀积在已经平坦化的表面,因此ALCU的厚度到处是均匀的,不会出现接触孔中的金属局域ALCU金属薄的问题,从而也就保证了接触孔的可靠性。

[0108] 3、对于W塞工艺本身,事实上一般是有针孔的,W塞中心一般会有一条很细的缝,也可能中间有空洞(Void)。但这个不影响接触孔的可靠性,因为ALCu淀积时,在一个较平的面上,W塞中间有些Void不会有影响,W塞中心得小缝,一般在Ti和TiN淀积时就填好了,ALCU能够很好的淀积。

[0109] 通过采用钨塞工艺,对于高宽比小于10的接触孔,一定不会出现填充问题,本发明第一实施例中:所述第一接触孔6a的宽度为0.6微米,层间膜104的厚度为8000Å,那么所述第一接触孔6a的高宽比为1.33;如果厚场氧化膜即保护环氧化膜103的厚度为8000 Å,过渡区的接触孔即所述第二接触孔6b的最小尺寸即宽度是0.6微米,那么该处接触孔的高宽比为2.67,都小于10,故不存在填充问题,能实现无针孔填充。

[0110] 本发明第二实施例超结器件:

[0111] 如图11所示,是本发明第二实施例超结器件的接触孔的形成区域的俯视图;本发明第二实施例超结器件和本发明第一实施例超结器件的区别之处为:图11中的所述第二接触孔6a全部放在到形成有所述保护环氧化膜103的所述过渡区中,也即在图11的俯视图上所有的所述第二接触孔6a都为边界线M1M2的左侧,图12所示的结构方便设计。

[0112] 本发明第三实施例超结器件:

[0113] 如图12所示,是本发明第三实施例超结器件的接触孔的形成区域的俯视图;本发明第三实施例超结器件和本发明第一实施例超结器件的区别之处为:图12中将所述第二接触孔6a扩展到没有所述保护环氧化膜103的所述过渡区中,如图12中虚线圈13区域中所示的所述第二接触孔6a,该部分区域中的所述第二接触孔6b的底部穿过所述层间膜104实现和所述P型环4的接触。图12所示的结构能将所述第二接触孔6a的区域最大化。

[0114] 本发明第四实施例超结器件:

[0115] 如图13所示,是本发明第四实施例超结器件的接触孔的形成区域的俯视图;本发明第四实施例超结器件和本发明第一实施例超结器件的区别之处为:图13中所述多晶硅连线5b的宽度和所述多晶硅栅5a的宽度相同且直接由所述多晶硅栅5a延伸形成。

[0116] 本发明第五实施例超结器件:

[0117] 如图14所示,是本发明第五实施例超结器件的接触孔的形成区域的俯视图;本发明第五实施例超结器件和本发明第四实施例超结器件的区别之处为:图14中每两条相邻的所述多晶硅栅5a之间包括两条以上平行排列的呈条状结构的所述第一接触孔6a排列而成。在其它实施例中,也能为:每两条相邻的所述多晶硅栅5a之间包括多个俯视图为矩形的所述第一接触孔6a排列形成的阵列结构。

[0118] 本发明第一实施例超结器件的制造方法:

[0119] 如图15所示,是本发明第一实施例超结器件的制造方法的流程图;本发明第一实施例超结器件的制造方法用于制造前面所述的本发明第一实施例超结器件,超结器件的中

间区域为电荷流动区,终端区环绕于所述电荷流动区的外周,过渡区位于所述电荷流动区和所述终端区之间;包括如下步骤:

[0120] 步骤一、如图1所示,提供N型外延层1,进行第一次光刻工艺定义出沟槽的形成区域,之后对所述N型外延层1进行干法刻蚀形成多个沟槽。

[0121] 在所述沟槽中填充P型外延层形成P型柱2,由各所述P型柱2之间的所述N型外延层1组成N型柱,由多个交替排列的所述N型柱和所述P型柱2组成的超结结构。

[0122] 本发明第一实施例方法中,以制作的超结器件为超结MOSFET为例进行详细说明:所述N型外延层1形成于半导体衬底101的表面上,所述半导体衬底101采用N型重掺杂的结构;较佳为,所述N型外延层1为硅外延层,所述半导体衬底101为硅衬底也即通常所说的硅片或硅晶圆片。超结MOSFET的漏区通常形成于所述半导体衬底101的背面,故直接采用重掺杂的半导体衬底101,本发明第一实施例方法中,所述半导体衬底101的电阻率 $0.001\text{ohm}\cdot\text{cm}\sim 0.003\text{ohm}\cdot\text{cm}$ ;所述N型外延层1的电阻 $1\text{ohm}\cdot\text{cm}\sim 2\text{ohm}\cdot\text{cm}$ ,厚度为30微米~70微米,较佳为40微米~60微米;P-N柱区域即超结结构区域:对应器件的源漏击穿电压 $BV_{ds}$ 为600V~700V时超结结构的高度为35微米~45微米。本发明第一实施例方法中,要保证所述沟槽和高浓度的所述半导体衬底101之间具有一定厚度如多于5微米的缓冲层,以保持器件具有较好的抗电流冲击能力,缓冲层一般直接以位于沟槽底部的所述N型外延层1组成。

[0123] 本发明第一实施例方法中,进行所述第一次光刻工艺之前还包括在所述N型外延层表面形成第一介质膜的步骤,在所述第一次光刻工艺之后依次对所述第一介质膜和所述N型外延层1进行干法刻蚀形成多个沟槽。

[0124] 在所述沟槽中填充所述P型外延层之后进行化学机械研磨(CMP)工艺将所述N型外延层1表面的所述P型外延层去除,使所述P型外延层仅填充于对应的所述沟槽1中并组成所述P型柱2;所述第一介质膜在所述化学机械研磨工艺完成后去除或者部分保留。

[0125] 本发明第一实施例方法中,所述第一介质膜的组成材料和对应的工艺方法能材料如下可选项:

[0126] 第一种选项为:所述第一介质膜是单一的氧化膜例如超过1微米厚度的氧化膜,该氧化膜可以在沟槽刻蚀时作为硬掩模,沟槽形成后还有一定厚度的氧化膜留下,例如厚度在0.1微米~0.2微米厚度的氧化膜,在外延填充完成,进行CMP的过程中,该氧化膜作为CMP时N型外延层1的保护层,以使该处的硅不会在CMP工艺中形成缺陷,造成漏电或质量问题。

[0127] 第二种选项为:所述第一介质膜是由一层0.1微米~0.15微米厚的氧化膜,一层厚0.1微米~0.2微米的SIN膜,和顶部一层厚大于1微米~的氧化膜组成,即为多层膜结构;这样可以在制作过程中更好地控制均匀性:例如在沟槽刻蚀完成后,至少保持有部分SIN膜留在其下的氧化膜上,在外延生长前,再把该SIN膜去除,这样外延生长前氧化膜的均匀性好,进行外延的CMP的均匀性也能提高。对上述多层膜结构的进一步的改善是,第一层氧化膜是通过热氧化形成的,这样进一步改进均匀性。

[0128] 步骤二、如图2所示,进行第二次光刻工艺在所述电荷流动区中定义出P型阱3的形成区域,之后进行P型离子注入形成所述P型阱3。

[0129] 所述电荷流动区中各所述P型柱2的顶部都形成有一个所述P型阱3且各所述P型阱3延伸到对应的所述P型柱2两侧的所述N型柱的表面。

[0130] 在形成所述P型阱3的同时采用相同的工艺在所述过渡区中的所述超结结构的表

面形成环绕在所述电荷流动区的周侧的P型环4;各所述P型阱3和所述P型环4相接触。

[0131] 所述P型阱6的P型离子注入完成后还包括对所述P型阱6进行退火工艺,该退火工艺的温度为1000℃以上、时间为30分钟以上。

[0132] 所述P型阱6的工艺条件需要满足器件阈值电压的要求,对于阈值电压要求在2伏~4伏的器件,可以采用B 30-100KEV,3-10E13/cm<sup>2</sup>的工艺条件,即注入杂质为硼(B),注入能量为30Kev~100Kev,注入剂量为3E13cm<sup>-2</sup>~10E13cm<sup>-2</sup>;同时要保证器件在击穿电压发生时,沟道处不要发生源漏穿通(Punch through),否则会造成器件漏电大,击穿电压变低。

[0133] 步骤三、如图3所示,在形成有所述P型阱3和所述P型环4的所述超结结构表面进行第一氧化膜生长,进行第三次光刻工艺定义出所述第一氧化膜的刻蚀区域,之后对所述第一氧化膜进行刻蚀形成保护环氧化膜103,所述保护环氧化膜103将所述电荷流动区露出以及至少将所述过渡区的部分区域覆盖,所述保护环氧化膜103还延伸到所述终端区表面并将所述终端区全部覆盖或仅将所述终端区的最外周部分露出,所述保护环氧化膜103环绕在所述电荷流动区的周侧。

[0134] 较佳为,所述第一氧化膜采用温度高于800℃的热氧化工艺形成,这样能在Si-SiO<sub>2</sub>界面处减少悬挂键和不稳定的界面态,进一步提高终端区域承受电压的能力,改善器件的击穿电压的一致性。所述第一氧化膜的厚度需要按照器件BV<sub>ds</sub>即源漏击穿电压的大小进行设定,一般BV<sub>ds</sub>越大,所述第一氧化膜的厚度需要越厚,一般600V以上器件需要的所述第一氧化膜的厚度超过0.8μm。

[0135] 以所述保护环氧化膜103为自对准条件进行全面的的第一次N型离子注入在所述电荷流动区中形成JFET区102域,同时在所述保护环氧化膜103覆盖区域之外的所述终端区中或外侧形成终端第一N型注入区。

[0136] 本发明第一实施例方法中,由于有保护环氧化膜7将过渡区和终端区进行了保护,因此JFET注入可以在没有光刻的情况下进行,节约了光刻工艺的成本,因为如果终端区域注入了JFET,会明显的造成器件BV<sub>ds</sub>下降,如果JFET注入到过渡区的区域,会降低器件的抗电流冲击能力。

[0137] 本发明第一实施例方法中,所述JFET区域对应的所述第一次N型离子注入的工艺条件为磷(phos),30-100Kev 1-4E13/cm<sup>2</sup>,也即:注入杂质为磷,注入能量为30Kev~100Kev,注入剂量为1E13cm<sup>-2</sup>~4E13cm<sup>-2</sup>;或者,步骤三中所述JFET区域对应的所述第一次N型离子注入由注入能量为30Kev~60Kev和注入能量为1Mev~1.5Mev的两次注入的组合而成,高能量的注入能进一步减低器件的比导通电阻,并在P型阱6的周围改善了电荷平衡,提高器件的BV<sub>ds</sub>,进行实验验证可以得到:对于600V器件,BV<sub>ds</sub>能提高10V~20V。

[0138] 步骤四、如图4所示,依次形成栅氧化膜和N型重掺杂的第一层多晶硅,进行第四次光刻工艺定义出多晶硅栅5a的形成区域,之后对所述第一层多晶硅进行刻蚀形成多晶硅栅5a,各所述多晶硅栅5a为平面栅结构,各所述多晶硅栅5a覆盖对应的所述P型阱3且被所述多晶硅栅5a覆盖的所述P型阱3的表面用于形成沟道。

[0139] 在形成所述多晶硅栅5a的同时在所述终端区的所述保护环氧化膜103表面形成多晶硅总线5c以及在所述过渡区的所述保护环氧化膜103表面形成多晶硅连线5b,各所述多晶硅栅5a通过所述多晶硅连线5b连接到所述多晶硅总线5c,所述多晶硅连线5b的宽度小于等于所述多晶硅栅5a的宽度。当所述多晶硅连线5b的宽度小于所述多晶硅栅5a的宽度时能



方便使得过渡区的接触孔分布区域扩大,而不至于造成栅极和源极金属漏电。该即多晶硅总线(gate bus)也可以覆盖或部分覆盖在过渡区的保护环介质膜上,在终端区域中也可以有互相隔离的多晶用于作为终端平缓电场的场板。

[0140] 以所述多晶硅栅5a和所述保护环氧化膜103为自对准条件进行全面的第二次N型离子注入在所述电荷流动区中的所述多晶硅栅5a两侧分别形成源区106,同时在所述保护环氧化膜103覆盖区域之外的所述终端区中或外侧形成终端第二N型注入区。

[0141] 终端第二N型注入区能用于防止终端区的表面反型,更好的提高了器件的击穿特性的稳定性。终端第二N型注入区也能形成在器件的最外周的终端区,也成为截止区。

[0142] 较佳为,所述源区106对应的所述第二次N型离子注入的注入杂质为砷,磷,或者为砷和磷的组合,所述第二次N型离子注入中包括砷注入时砷注入的工艺条件为:注入能量为30Kev~100Kev,注入剂量为 $1E15cm^{-2} \sim 5E15cm^{-2}$ 。

[0143] 步骤五、如图6所示,淀积层间膜104,进行第五次光刻工艺定义出第一接触孔6a、第二接触孔6b和第三接触孔6c的形成区域;之后进行刻蚀形成所述第一接触孔6a、所述第二接触孔6b和所述第三接触孔6c的开口;在所述第一接触孔6a、所述第二接触孔6b和所述第三接触孔6c的开口中填充金属形成所述第一接触孔6a、所述第二接触孔6b和所述第三接触孔6c。

[0144] 所述第一接触孔6a的底部穿过所述层间膜104和所述源区106并实现和所述源区106以及所述P型阱3的接触。

[0145] 所述第二接触孔6b分布在所述过渡区的表面覆盖有所述保护环氧化膜103的部分区域中,所述第二接触孔6b的底部穿过层间膜104和所述保护环氧化膜103并实现和所述P型环4的接触。

[0146] 所述第三接触孔6c位于所述多晶硅总线5c的顶部,所述第三接触孔6c的底部穿过层间膜104并进入到所述多晶硅总线5c中且所述第三接触孔6c的底部停留在所述多晶硅总线5c中或将所述多晶硅总线5c穿过。

[0147] 令所述第一接触孔6a的深度和最小横向尺寸的比值为第一高宽比,所述第二接触孔6b的深度和最小横向尺寸的比值为第二高宽比;所述第二高宽比大于等于所述第一高宽比,所述第一接触孔6a、所述第二接触孔6b和所述第三接触孔6c都采用钨塞工艺填充,利用所述钨塞工艺对孔覆盖能力保证同时实现对具有不同高宽比的所述第一接触孔6a和所述第二接触孔6b的可靠填充。

[0148] 如图16A至图16D所示,是本发明第一实施例方法中钨塞工艺各步骤中的接触孔的结构图,钨塞工艺包括如下步骤:

[0149] 如图16A所示,在接触孔即所述第一接触孔6a、所述第二接触孔6b和所述第三接触孔6c的开口完成后,淀积一层Ti和TiN阻断层201。之后,如图16B所示,淀积金属钨202将接触孔填满,如果接触孔的开口宽度为0.6微米,则金属钨202的厚度能为4000埃。之后,如图16C所示,进行等离子干法回刻工艺将接触孔外的表面的金属全部去除。之后图16D为后续步骤六中形成的正面金属层203,正面金属层203会进行图形化形成源极7a和栅极7b。

[0150] 本发明第一实施例方法中,采用钨塞工艺能使不同高宽比的接触孔都能实现无针孔填充。

[0151] 本发明第一实施例方法中,层间膜104是不掺杂的氧化膜和BPSG膜的组合。层间膜

104的厚度为8000Å~10000Å。由于所述第二接触孔6b实现了后续正面金属层形成的源极7a和过渡区中保护环P型阱6区域的连接,保证了同样尺寸的器件终端结构在本发明第一实施例方法中工艺能够承受与现有工艺同样的电压。

[0152] 在接触孔的刻蚀中,电荷流动区中的第一接触孔6a的刻蚀需要将其底部的N+即源区106刻蚀掉即需要进行硅过刻蚀,硅过刻蚀量能够在2000埃至4000埃,具体需要按照所述源区106对应的所述第二次N型离子注入的注入条件即注入剂量和注入能量来定;在过渡区中,第二接触孔6b仅需穿过所述层间膜104和所述保护环氧化膜103,可以不进行硅过刻蚀,硅过刻蚀量为0埃至500埃。

[0153] 由于电荷流动区中的第一接触孔6a穿透了N+即源区106的范围,不会因为源区106在多晶硅栅5a之外区域的全面注入而造成P型阱3与金属之间的接触问题,保证了电学特性的正常。

[0154] 所述第一接触孔6a、所述第二接触孔6b和所述第三接触孔6c的开口形成后金属填充前还包括在所述第一接触孔6a和所述第二接触孔6b的底部进行P+离子注入形成P+接触区107的步骤。进行所述P+接触区107的P+离子注入时采用光刻工艺将所述第三接触孔6c区域保护。通过所述P+接触区107降低所述第一接触孔6a和所述第二接触孔6b的接触电阻。较佳为,这里的所述P+接触区107的P型注入的杂质是B,BF<sub>2</sub>,或者B和BF<sub>2</sub>的组合,一般注入能量在30Kev~80Kev,注入剂量在1E15cm<sup>-2</sup>~3E15cm<sup>-2</sup>,能通过优化该注入条件改善器件的抗电流冲击能力。为了更好的提高体二极管的反向恢复过程的软度,也可以降低该P+接触区107的P型注入的能量和剂量,例如能量可以取BF<sub>2</sub>,5Kev~40KEV,5E14 cm<sup>-2</sup>~2E15 cm<sup>-2</sup>,剂量的选择可以使为了保证形成欧姆接触的最低剂量,能量的选择主要是要考虑离子注入设备的能力。

[0155] 步骤六、进行正面金属淀积形成正面金属层,进行第六次光刻工艺定义出栅极7b和源极7a的形成区域,之后对所述正面金属层进行刻蚀形成所述栅极7b和所述源极7a,所述电荷流动区中的各所述源区106和对应的所述P型阱3通过顶部相同的所述第一接触孔6a连接到所述源极7a,所述过渡区中的所述P型环4也通过顶部的所述第二接触孔6b连接到所述源极7a,所述多晶硅栅5a通过所述第三接触孔6c连接到栅极7b。

[0156] 所述正面金属层14的材料能为ALSi,AlSiCu,能有阻挡层,阻挡层能是Ti/TiN,或者TiN。所述正面金属层14的总厚度一般在4μm~6μm。

[0157] 之后将所述半导体衬底101进行背面减薄并由减薄后形成于所述半导体衬底101中的N+区组成漏区,漏区可直接由重掺杂的所述半导体衬底101组成,或者由所述半导体衬底101加N型重掺杂离子注入组成。之后在所述半导体衬底101即漏区的背面淀积背面金属层形成漏极105。

[0158] 经过上述步骤后就形成了本发明第一实施例超结器件。

[0159] 在本发明第一实施例方法对应的上面的制造过程中,通过使用六次光刻,包括沟槽光刻即第一次光刻、P型阱光刻即第二次光刻、保护环氧化膜光刻即第三次光刻、多晶硅光刻即第四次光刻、接触孔光刻即第五次光刻和正面金属光刻即第六次光刻实现了现有技术需要8次光刻才能获得的器件,也即本发明第一实施例方法节省了JFET注入光刻和源注入光刻。所以,本发明第一实施例方法减低了制造成本。在生产中为了保证生产的稳定性,也可以在沟槽光刻之前增加一个0层光刻和或者标记层光刻,目的是通过光刻和刻蚀形成对

准标记和套刻精度测试标记;0层的工艺过程可以是淀积1000Å的氧化膜,之后光刻,将氧化膜刻蚀掉之后再在刻蚀硅500Å~1500Å形成台阶;为了更好的对器件的正面进行保护,提高器件的可靠性,可以在正面金属图形形成之后再淀积钝化层,之后通过钝化层光刻和刻蚀将需要打开的金属区域的钝化层刻蚀掉。而在别的区域即留下了钝化层保护器件,钝化层可以是SIN,SION,SIO<sub>2</sub>,一般厚度在0.8μm~2μm。

[0160] 通过采用钨塞工艺,对于高宽比小于10的接触孔,一定不会出现填充问题,本发明第一实施例中:所述第一接触孔6a的宽度为0.6微米,层间膜104的厚度为8000Å,那么所述第一接触孔6a的高宽比为1.33;如果厚场氧化膜即保护环氧化膜103的厚度为8000 Å,过渡区的接触孔即所述第二接触孔6b的最小尺寸即宽度是0.6微米,那么该处接触孔的高宽比为2.67,都小于10,故不存在填充问题,能实现无针孔填充。

[0161] 在过渡区接触孔即第二接触孔6b的分布区域放大的同时,需要保证P型环完全包住各所述接触孔6b,一般包住的容量需要1微米以上。

[0162] 本发明第一实施例方法中,步骤二中P型环是采用P型阱3的相同工艺且同时形成。在其它实施例方法中,也能为:采用单独的光刻和离子注入工艺形成所述P型环4,且所述P型环4的形成工艺位于所述P型阱3的形成工艺之前。例如:按照设计的要求,进行一次单独的P型环4的光刻和注入,例如在沟槽填充完成之后,先进行P型环4的光刻和注入,注入能量可以比P型阱3的注入能量更好,并且进行其后所有的高温过程,使得该P型环4的结比P型阱3的结更深,进一步改善器件的可靠性,并增加器件的体二极管反向恢复的软度因子,因为:结加深,收集到的空穴到达高浓度P型接触区的距离加大,从而使体二极管反向恢复的软度因子增加。P型环4的注入剂量也可以根据需求,小于,大于或等于P型阱3的剂量。

[0163] 在其它实施例方法中,也能在接触孔注入即P+接触区107的P+离子注入时分成两次注入形成,例如在接触孔工艺完成之后,可以先进行一次全面的注入,采用的能量和剂量按照过渡区的需求进行设定,之后进行一次光刻,将过渡区的接触孔即第二接触孔6b保护住,只对电荷流动区的接触孔即第一接触孔6a进行注入,这时可以按照电荷流动区对接触区107的P型杂质的要求进行设定,通过这样的工艺,使得这两个区域的接触区107的P型杂质都可以按照各自的需求进行设定,可以进一步优化器件的性能。

[0164] 本发明第二实施例超结器件的制造方法:

[0165] 本发明第二实施例方法和本发明第一实施例方法的区别之处为,本发明第二实施例方法中采用如下步骤形成接触孔以及接触孔底部的P+接触区107:

[0166] 所述层间膜104由氧化膜组成,步骤五中刻蚀形成所述第一接触孔6a、所述第二接触孔6b和所述第三接触孔6c的开口时先进行氧化膜的刻蚀,在所述第一接触孔6a区域的所述层间膜104完全去除并暴露出底部的所述源区106时停止氧化膜的刻蚀,进行外延层材料即硅材料的刻蚀。

[0167] 进行所述外延层材料的刻蚀时所述第一接触孔6a的底部的外延层产生过刻蚀,同时所述第二接触孔6b区域的氧化膜会部分刻蚀;在所述第二接触孔6b区域的氧化膜未被完全去除之前进行所述P+接触区107的P+离子注入,使所述第二接触孔6b区域的所述P+接触区107的P+离子注入的峰值位于氧化膜中,使得所述第一接触孔6a、所述第二接触孔6b和所述第三接触孔6c的开口以及金属填充完全后,所述第二接触孔6b底部的所述P+接触区107

的掺杂浓度的峰值小于所述第一接触孔6a底部的所述P+接触区107的掺杂浓度的峰值。

[0168] 通过调节述P+接触区107的P+离子注入时位于所述第二接触孔6b区域底部的氧化膜的厚度调节所述第二接触孔6b底部的所述P+接触区107的掺杂浓度,且使所述第二接触孔6b底部的所述P+接触区107的掺杂浓度的峰值为所述第一接触孔6a底部的所述P+接触区107的掺杂浓度的峰值的 $1/2\sim 1/10$ 。

[0169] 以上通过具体实施例对本发明进行了详细的说明,但这些并非构成对本发明的限制。在不脱离本发明原理的情况下,本领域的技术人员还可做出许多变形和改进,这些也应视为本发明的保护范围。

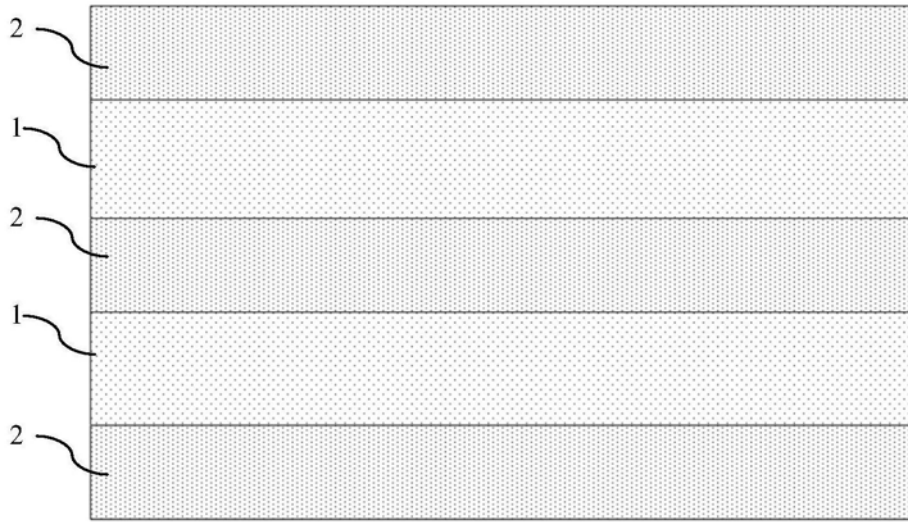


图1

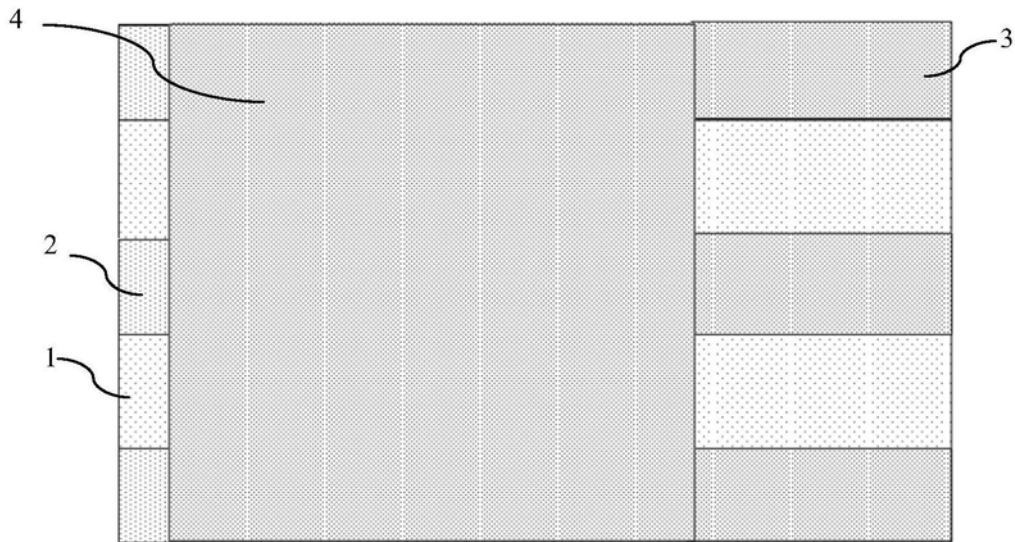


图2

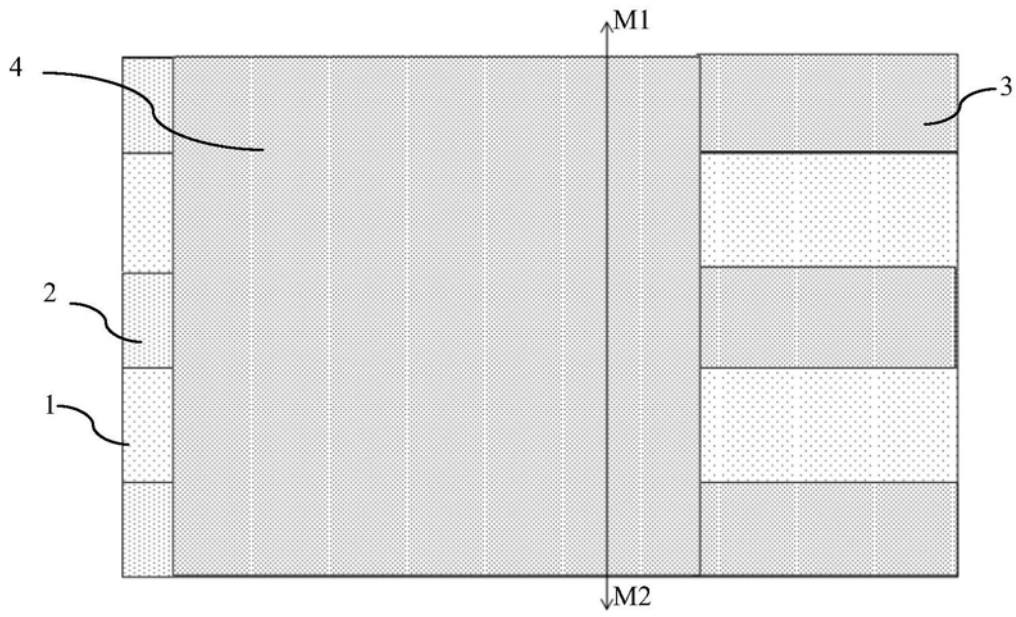


图3

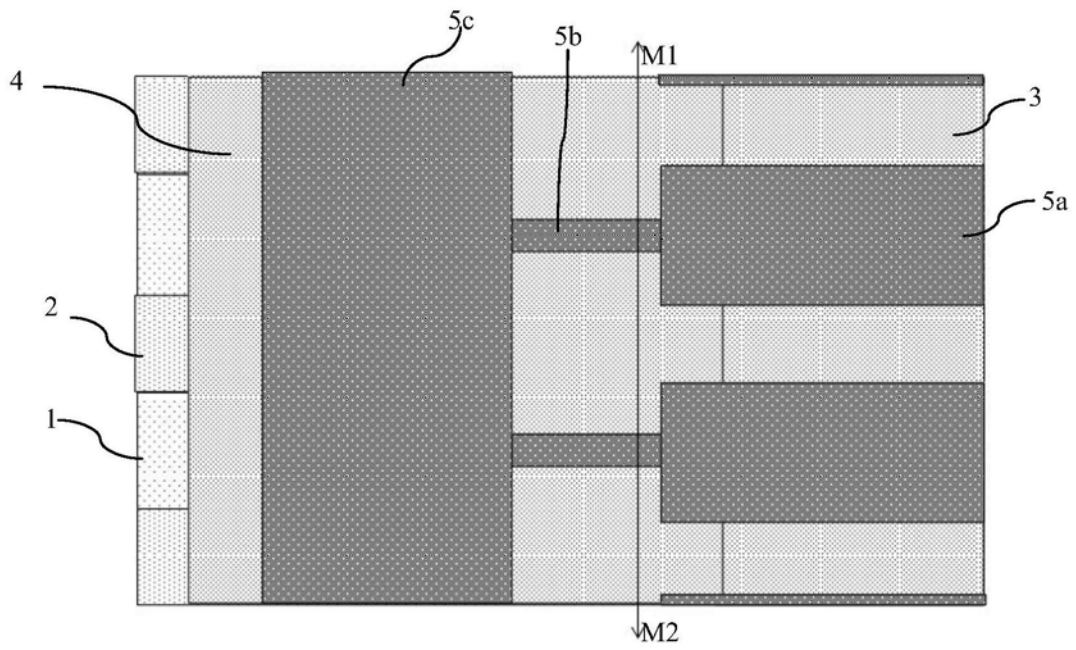


图4

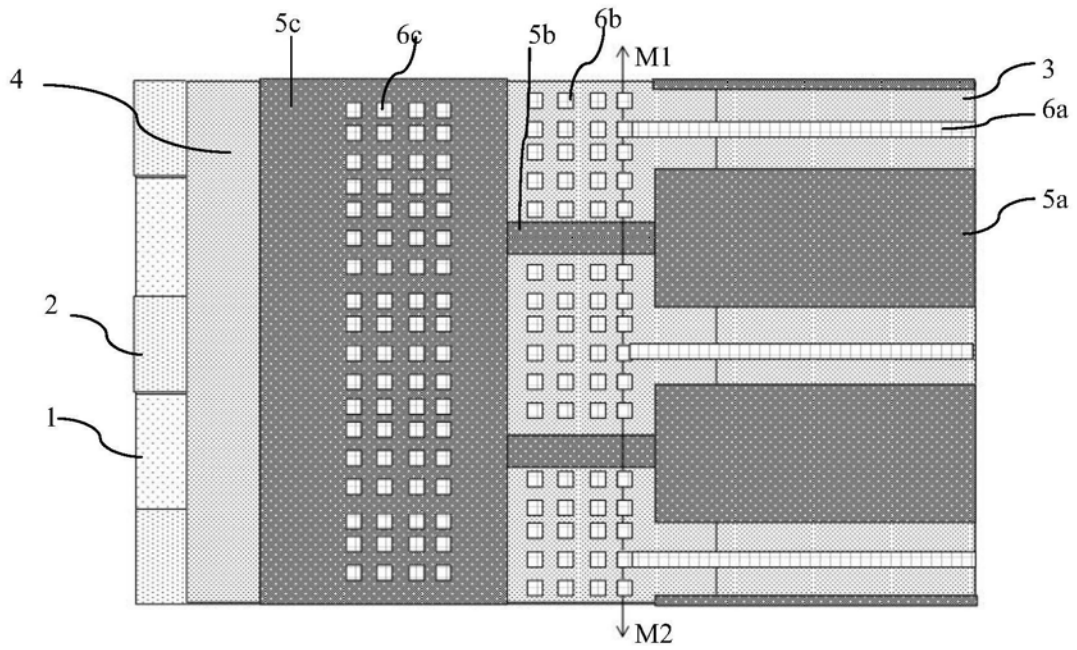


图5

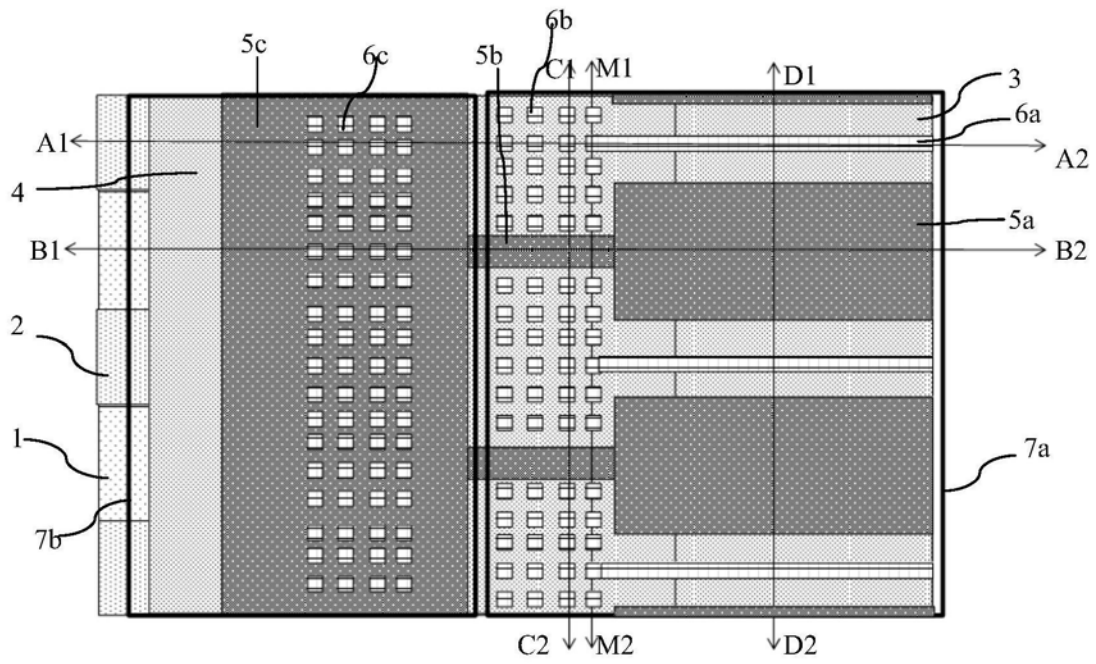


图6

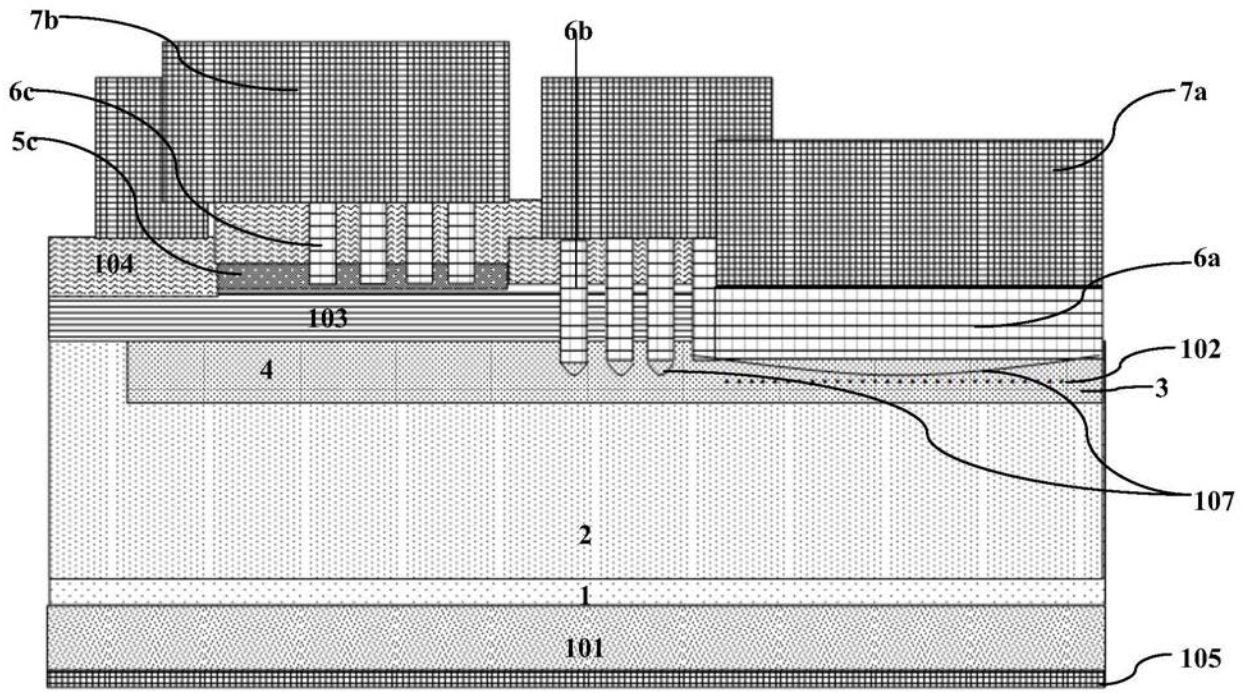


图7

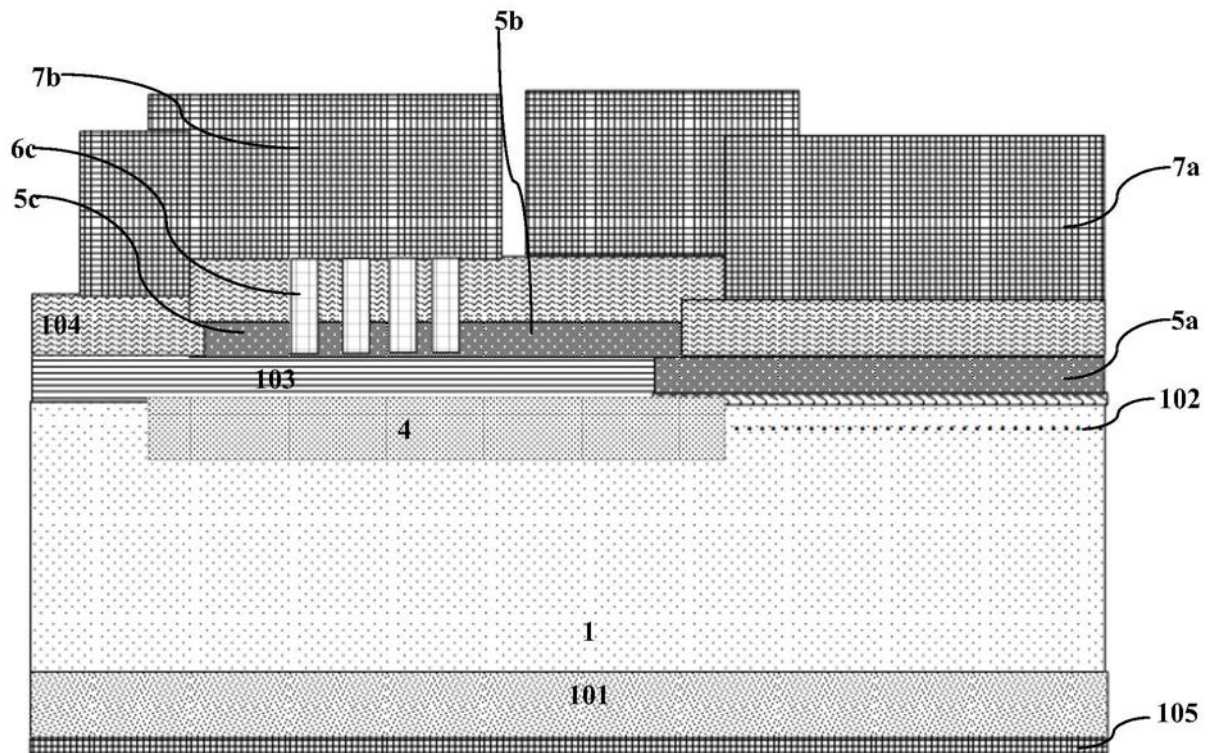


图8



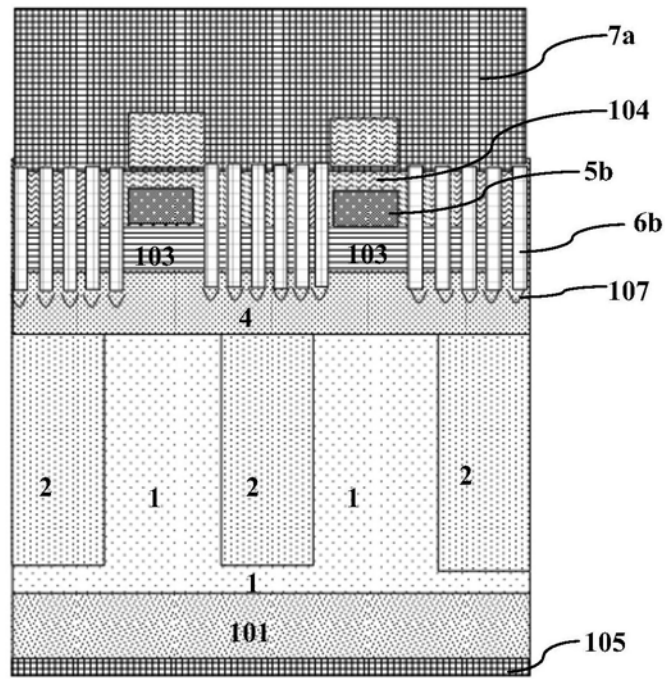


图9

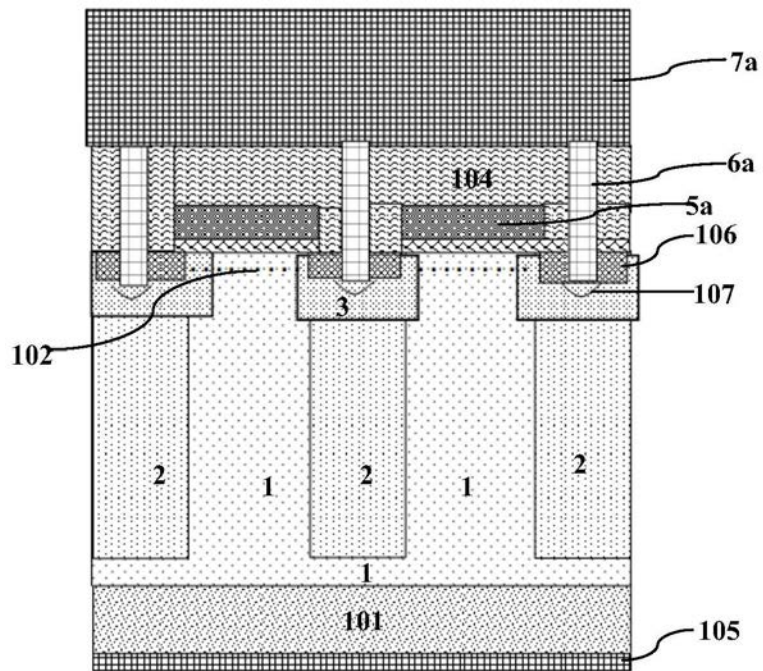


图10

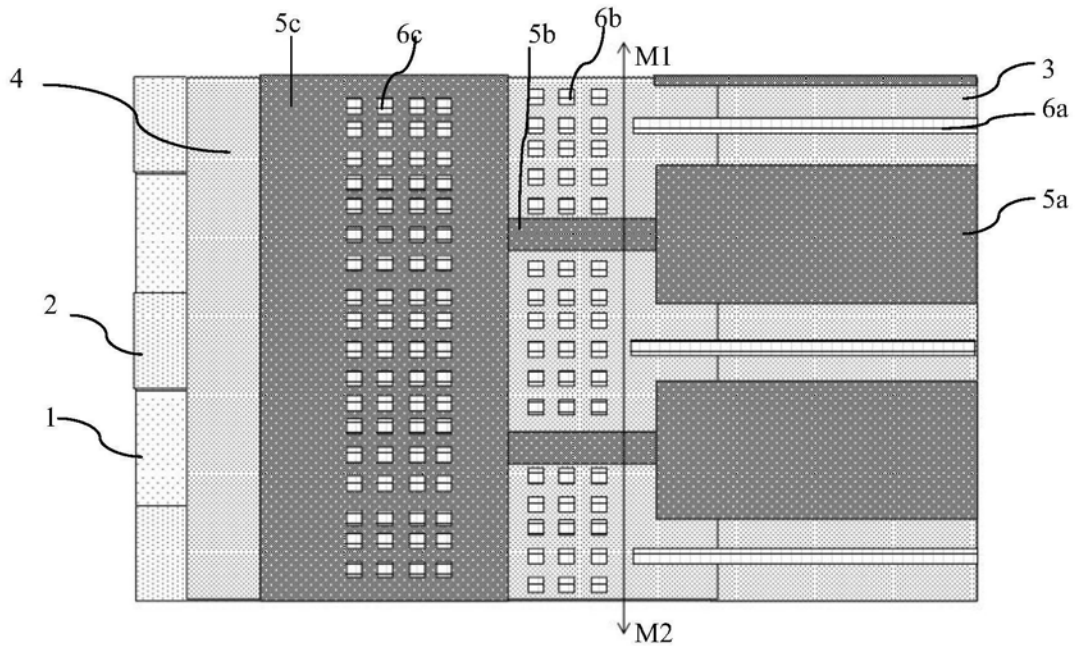


图11

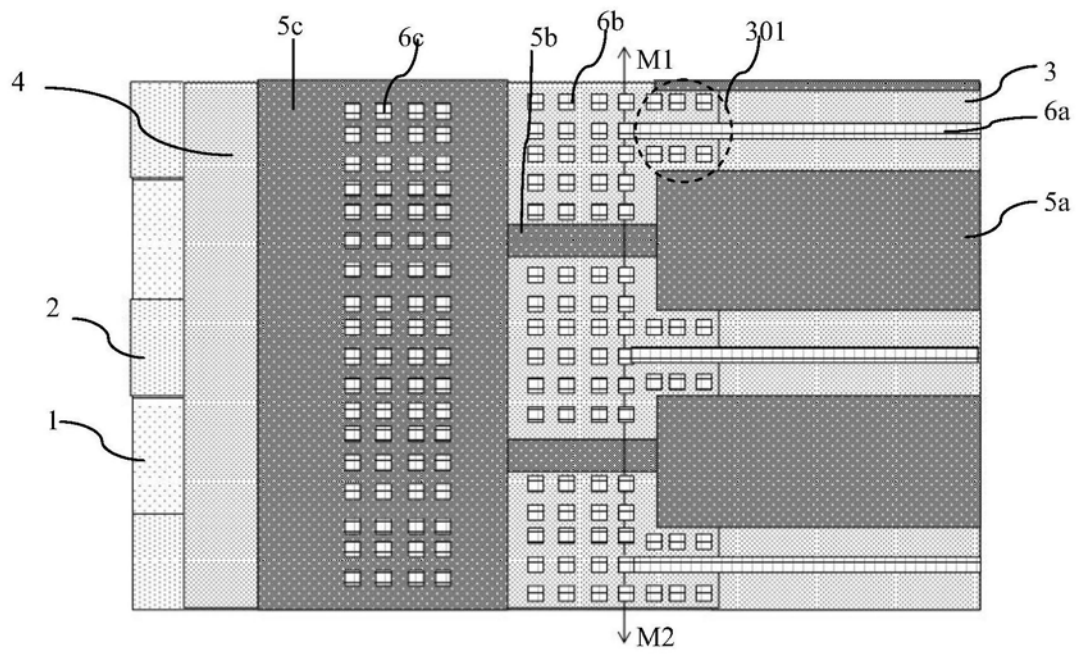


图12

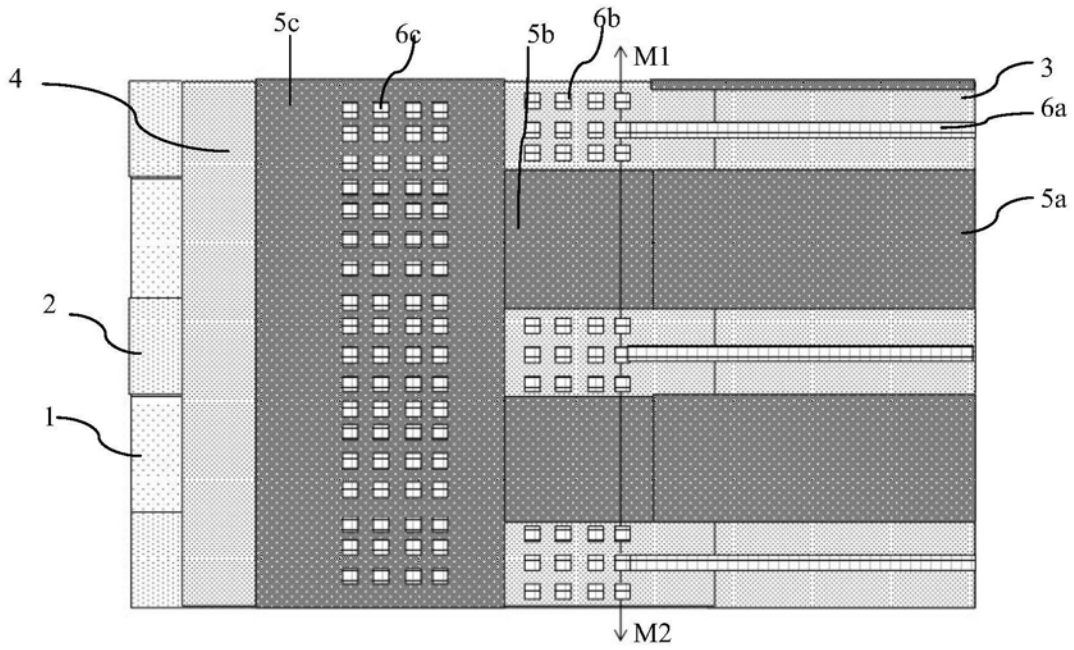


图13

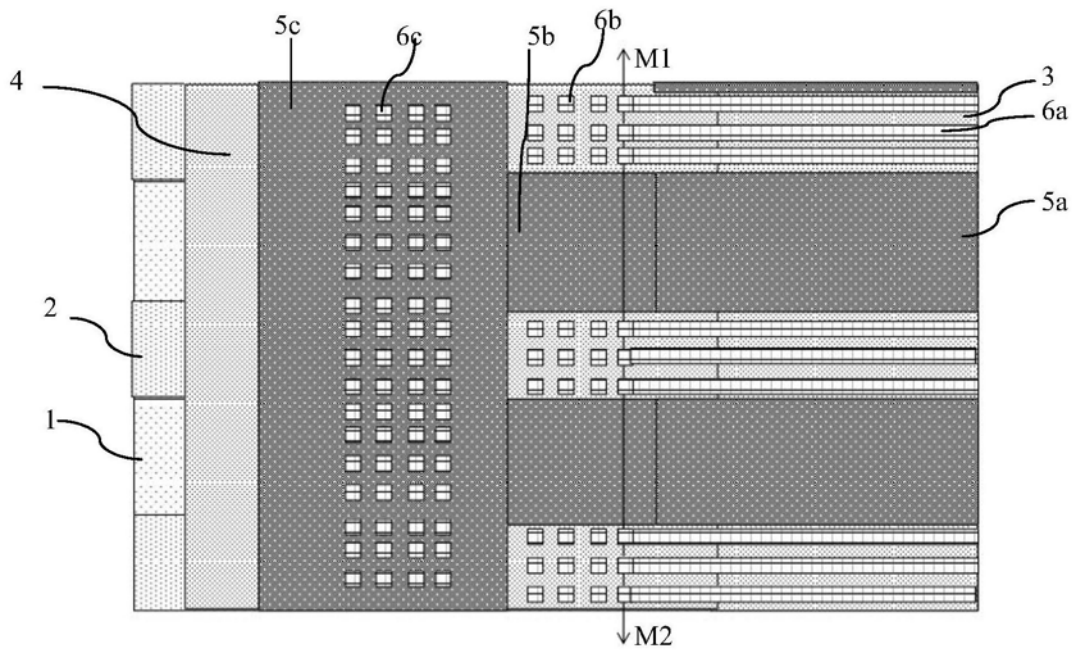


图14

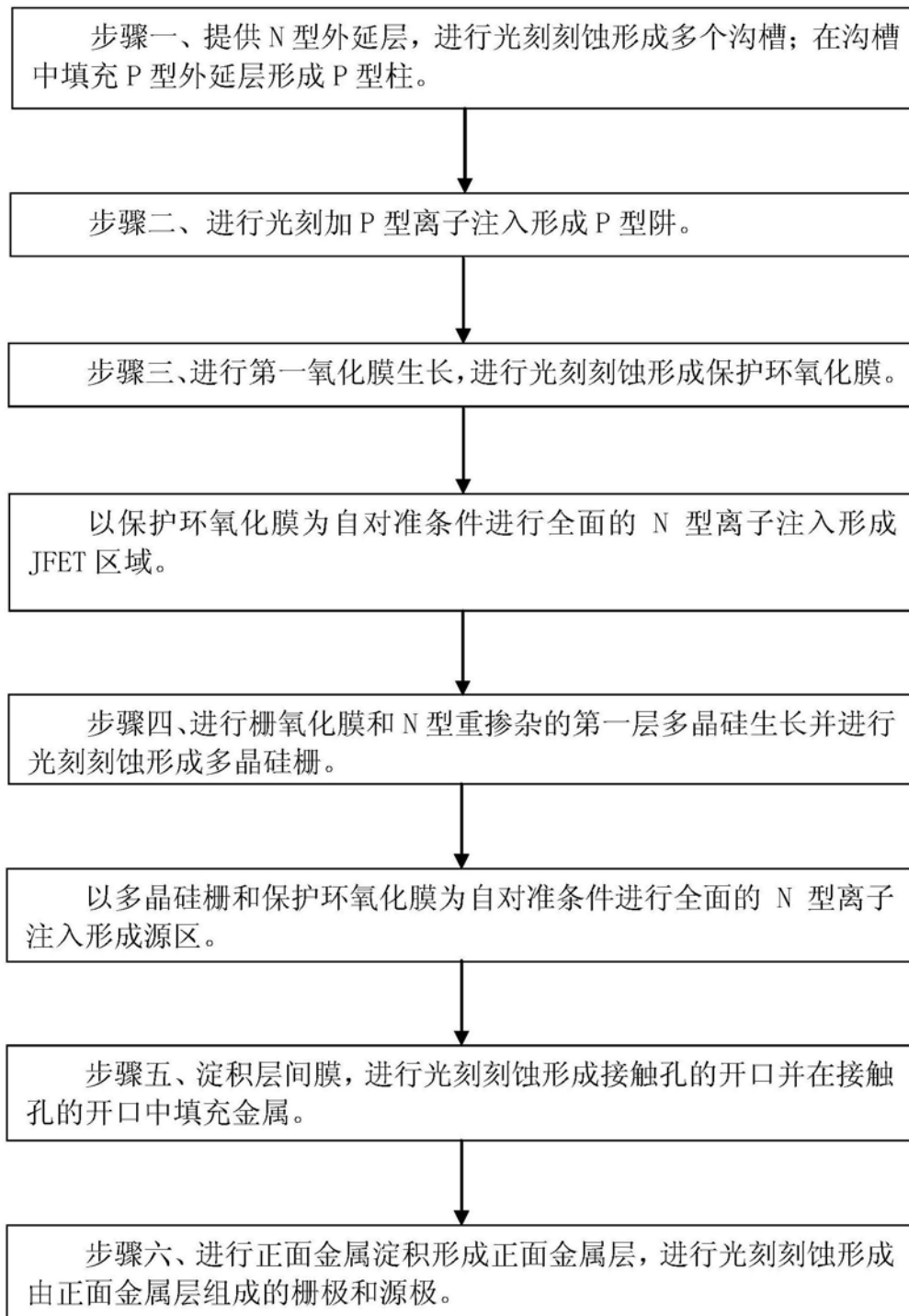


图15

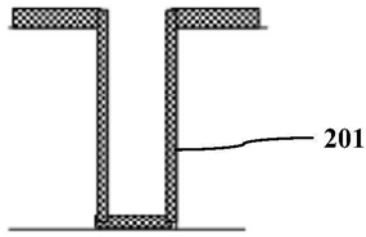


图16A

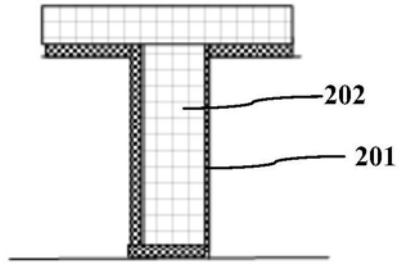


图16B

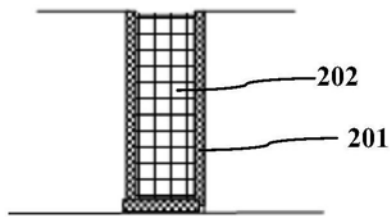


图16C

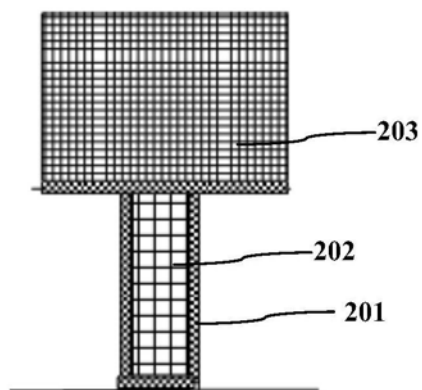


图16D