

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3917228号
(P3917228)

(45) 発行日 平成19年5月23日(2007.5.23)

(24) 登録日 平成19年2月16日(2007.2.16)

(51) Int. Cl. F I
G 1 1 C 11/4074 (2006.01) G 1 1 C 11/34 3 5 4 F
G 1 1 C 11/413 (2006.01) G 1 1 C 11/34 3 3 5 A

請求項の数 3 (全 11 頁)

<p>(21) 出願番号 特願平9-48 (22) 出願日 平成9年1月6日(1997.1.6) (65) 公開番号 特開平9-320268 (43) 公開日 平成9年12月12日(1997.12.12) 審査請求日 平成14年9月11日(2002.9.11) (31) 優先権主張番号 1995 P 67794 (32) 優先日 平成7年12月30日(1995.12.30) (33) 優先権主張国 韓国(KR)</p>	<p>(73) 特許権者 390019839 三星電子株式会社 Samsung Electronics Co., Ltd. 大韓民国京畿道水原市靈通区梅灘洞416 (74) 代理人 100076428 弁理士 大塚 康德 (74) 代理人 100112508 弁理士 高柳 司郎 (74) 代理人 100115071 弁理士 大塚 康弘 (74) 代理人 100116894 弁理士 木村 秀二</p>
--	---

最終頁に続く

(54) 【発明の名称】 半導体メモリ装置の昇圧電圧発生回路

(57) 【特許請求の範囲】

【請求項1】

アクティブ状態で所定のマスタクロックを出力するアクティブキッカイネーブル回路と、

前記アクティブキッカイネーブル回路から出力されるマスタクロックを順に遅延させるように直列接続された複数の遅延器と、

所定周期のパルス信号を出力するオシレータと、

前記オシレータから出力される前記パルス信号にしたがって複数の制御信号を発生するシフトレジスタと、

前記アクティブキッカイネーブル回路から出力されるマスタクロック及び前記複数の遅延器の出力信号を論理和演算したアクティブ状態又はスタンバイ状態を示す信号にしたがって、アクティブ状態では前記オシレータから前記シフトレジスタへの前記パルス信号の供給を遮断して前記シフトレジスタを停止させ、スタンバイ状態では前記オシレータから前記シフトレジスタへの前記パルス信号の供給を許して前記シフトレジスタを動作させる手段と、

前記複数の制御信号と前記複数の遅延器のうち前記複数の制御信号と同数の遅延器のそれぞれの出力信号とをそれぞれ論理和演算して複数のイネーブル信号を生成する手段と、

前記複数のイネーブル信号にそれぞれ応答して入力電圧をポンピングして、ポンピングされた電圧を共通の出力端に供給する複数のポンピング手段と、

前記複数のポンピング手段の前記共通の出力端から前記オシレータへのフィードバック

10

20

経路に接続された検出器と、

を含んで構成されることを特徴とする半導体メモリ装置の昇圧電圧発生回路。

【請求項 2】

前記ポンピング手段の個数は 4 つである請求項 1 記載の半導体メモリ装置の昇圧電圧発生回路。

【請求項 3】

アクティブ状態で所定のマスタクロックを出力するアクティブキッカイネーブル回路と、

前記アクティブキッカイネーブル回路から出力されるマスタクロックを順に遅延させるように直列接続された複数の遅延器と、

所定周期のパルス信号を出力するオシレータと、

複数の制御信号を発生するシフトレジスタと、

前記アクティブキッカイネーブル回路から出力されるマスタクロックと前記複数の遅延器のうちの 1 つの出力信号とにしたがって、アクティブ状態であるかスタンバイ状態であるかを示す信号を生成するオシレータ制御回路と、

前記オシレータ制御回路から出力される信号がスタンバイ状態であることを示しているときは、前記オシレータから出力されるパルス信号を前記シフトレジスタに供給し、前記オシレータ制御回路から出力される信号がアクティブ状態であることを示しているときは、前記複数の遅延器の一部の出力信号を論理和演算した信号を前記シフトレジスタに供給する手段と、

前記シフトレジスタから出力される前記複数の制御信号にしたがって複数のイネーブル信号を発生する複数のパルス発生手段と、

前記複数のイネーブル信号にตอบสนองしてそれぞれ入力電圧をポンピングして、ポンピングされた電圧を共通の出力端に供給する複数のポンピング手段と、

前記複数のポンピング手段の前記共通の出力端から前記オシレータへのフィードバック経路に接続された検出器と、

を含んで構成されることを特徴とする半導体メモリ装置の昇圧電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はメモリ装置の動作電源電圧より高い電圧を発生する半導体メモリ装置の昇圧電圧発生回路に関する。

【0002】

【従来の技術】

D R A M (Dynamic Random Access Memory) のような半導体メモリ装置の高集積化は急速に進歩している。高集積半導体メモリ装置において、外部電源電圧を半導体メモリ装置内にそのまま印加する場合、電源電圧により発生する強電界のために半導体素子が激しいストレスにより破壊される可能性がある。そのために高集積半導体メモリ装置では、外部電源電圧を降下させて動作電圧にすることは必須である。

【0003】

しかし、降下した電源電圧を使用する場合にも高電圧が必要な場合があり、このような場合には、チップ外部の電源電圧を高電圧レベルが必要な回路及び素子に直接印加するか、または高電圧を発生する昇圧電圧発生回路をチップ内に設けて使用する。イネーブル動作時にワードラインに供給されるワードライン電圧や、共有センスアンプ構造のメモリ装置において分離ゲートの選択的な接続に使用される分離ゲート制御信号は、昇圧電圧発生回路で発生する高電圧を使用する代表的な例である。

【0004】

昇圧電圧発生回路は、スタンバイ昇圧電圧発生回路とアクティブ昇圧電圧発生回路とに分けられ、スタンバイ状態とアクティブ状態で異なる電圧を供給する。実際には、アクティブ状態で使用される電圧がスタンバイ状態で使用される電圧に比べて高電圧である。

10

20

30

40

50

【0005】

図1は従来の半導体メモリ装置のスタンバイ昇圧電圧発生回路のブロック図、図2はアクティブ昇圧電圧発生回路のブロック図である。

【0006】

図1に示すスタンバイ昇圧電圧発生回路では、まず、オシレータ10の出力はポンピング手段12へ入力される。ポンピング手段12の電源電圧には第1電源電圧、例えばチップ内部の動作電源電圧として使用される内部電源電圧が入力される。ポンピング手段12の出力は第2電源電圧、例えば外部電源電圧レベル以上の所望の高電圧である。ポンピング手段12の出力とオシレータ10とのフィードバック経路には、検出器14が接続される。

10

【0007】

図2に示すアクティブ昇圧電圧発生回路では、アクティブキックイネーブル回路16の出力がポンピング手段18へ入力される。ポンピング手段18の電源電圧にはスタンバイ昇圧電圧発生回路と同様に第1電源電圧が入力される。ポンピング手段18の出力は第2電源電圧、例えば外部電源電圧レベル以上の高電圧である。

【0008】

図1において、オシレータ10はパルスを発生し、ポンピング手段12は、オシレータ10から出力されるパルスにより第1電源電圧レベルを第2電源電圧レベルに昇圧する。検出器14は、ポンピング手段12から出力される第2電源電圧レベルを感知し、第2電源電圧レベルが予め設定された電圧レベル以上となることを防止するようにオシレータ10の動作を制御する。このようなスタンバイ昇圧電圧発生回路は、半導体メモリ装置がスタンバイ状態にある時、第1電源電圧レベルを第2電源電圧レベルにポンピングさせる。

20

【0009】

図2において、アクティブキックイネーブル回路16は、半導体メモリ装置内部で高電圧を使用する回路の使用状態に応じた周期のマスククロックを発生する。そして、ポンピング手段18は、アクティブキックイネーブル回路16から出力されるマスククロックにตอบสนองして第1電源電圧レベルを第2電源電圧レベルに昇圧する。このようなアクティブ昇圧電圧発生回路は、メモリ装置がアクティブ状態にある時、メモリ装置の電圧の使用程度によって高電圧を発生する。

【0010】

【発明が解決しようとする課題】

しかし、このような従来の昇圧電圧発生回路には下記のような問題がある。

30

【0011】

1つ目に昇圧電圧発生回路は、スタンバイ状態とアクティブ状態とで異なる2つの回路が使用される。このように2つに分けられた理由は、スタンバイ状態とアクティブ状態とで供給する電圧が異なるためである。アクティブ状態では動作させる回路及び素子の数が増えるため、供給する電圧がスタンバイ状態より増えることになる。2つ目として、高電圧を発生する大容量のアクティブ昇圧電圧発生回路が一つのマスククロックにより動作するので、一時的に充放電される電荷量が多くなることによりパワーノイズ(power noise)が大きくなる。3つ目に、アクティブ昇圧電圧発生回路のポンピング手段が、高電圧を一時に供給するために大容量キャパシタが必要となる。この大容量キャパシタを充放電させるためにポンピング効率が低下し、また、大容量キャパシタを配置するために高集積化が妨げられる。最後に、ポンピング動作時、大容量キャパシタが動作するためにポンピングに要求される時間が長くなって高速動作を阻害する。

40

【0012】

本発明の目的は、スタンバイ状態とアクティブ状態のどちらでも使用でき、パワーノイズが少なく、ポンピング効率が低下せず、高速、高集積化に対応した半導体メモリ装置の昇圧電圧発生回路を提供することにある。

【0013】

【課題を解決するための手段】

50

以上のような課題を解決する本発明の昇圧電圧発生回路は、アクティブ状態で所定のマスタクロックを出力するアクティブキッカイネーブル回路と、アクティブキッカイネーブル回路の出力を遅延する遅延器と、所定周期のパルス信号を出力するオシレータと、アクティブキッカイネーブル回路及び遅延器の出力信号の論理演算した信号とオシレータの出力とを論理演算して制御信号を出力し、この制御信号と遅延器の出力信号とを論理演算してイネーブル信号を生成するポンピング駆動手段と、このイネーブル信号により入力電圧をポンピングするポンピング手段と、ポンピング手段からオシレータへのフィードバック経路に接続された検出器と、を含んで構成されることを特徴とする。ここでポンピング駆動手段は、アクティブキッカイネーブル回路及び遅延器の出力信号を論理演算する第1ゲーティング手段と、第1ゲーティング手段とオシレータの出力信号を論理演算する第2ゲーティング手段と、第2ゲーティング手段の出力に応答して制御信号を出力するシフトレジスタと、この制御信号と遅延器の出力信号とを論理演算する第3ゲーティング手段と、を含んで構成される。このような第1、第2及び第3ゲーティング手段は、それぞれNORゲート、ANDゲート及びORゲートである。また、ポンピング手段は複数で4つであることが望ましい。

10

【0014】

また他の例として、アクティブ状態で所定のマスタクロックを出力するアクティブキッカイネーブル回路と、アクティブキッカイネーブル回路の出力を遅延する遅延器と、所定周期のパルス信号を出力するオシレータと、アクティブキッカイネーブル回路及び遅延器の出力信号により制御される信号とオシレータの出力とを論理演算した出力信号と遅延器の出力信号を論理演算した出力信号とを論理演算して制御信号を出力し、この制御信号によりパルス形態のイネーブル信号を出力するポンピング駆動手段と、このイネーブル信号により入力電圧をポンピングするポンピング手段と、ポンピング手段からオシレータへのフィードバック経路に接続された検出器と、を含んで構成されることを特徴とする。ここでポンピング駆動手段は、アクティブキッカイネーブル回路の出力信号と遅延器の出力信号とを入力してオシレータを制御する信号を生成するオシレータ制御回路と、オシレータ制御回路の出力信号とオシレータの出力信号とを論理演算する第1ゲーティング手段と、遅延器の出力を論理演算する第2ゲーティング手段と、第1ゲーティング手段及び第2ゲーティング手段の出力を論理演算する第3ゲーティング手段と、第3ゲーティング手段の出力により制御信号を出力するシフトレジスタと、この制御信号によりイネーブル信号を出力するパルス発生手段と、を含んで構成される。このような第1ゲーティング手段はANDゲート、第2及び第3ゲーティング手段がORゲートである。

20

30

【0015】

さらにその他の例として、アクティブ状態で所定のマスタクロックを出力するアクティブキッカイネーブル回路と、アクティブキッカイネーブル回路の出力により可変周期のパルス信号を出力する可変オシレータと、可変オシレータの出力により生成する制御信号によりパルス形態のイネーブル信号を出力するポンピング駆動手段と、このイネーブル信号により入力電圧をポンピングするポンピング手段と、ポンピング手段からオシレータへのフィードバック経路に接続された検出器と、を含んで構成されることを特徴とする。ここでポンピング駆動手段は、可変オシレータの出力から制御信号を出力するシフトレジスタと、この制御信号によりパルス形態のイネーブル信号を出力するパルス発生回路と、を含んで構成される。

40

【0016】**【発明の実施の形態】**

以下、本発明に従う半導体メモリ装置の昇圧電圧発生回路の好適な実施形態を添付図面を参照しつつ説明する。

【0017】

図3は、本発明の第1実施形態の半導体メモリ装置の昇圧電圧発生回路の回路図である。

【0018】

図3に示すように、パルス信号P0は、アクティブキッカイネーブル回路20から出力さ

50

れ、遅延器 2 2 及び第 1 ゲーティング手段、つまり NOR ゲート 3 2 に入力される。パルス信号 P 1 は、遅延器 2 2 から出力され、遅延器 2 4 及び NOR ゲート 3 2 に入力される。パルス信号 P 2 は、遅延器 2 4 から出力され、遅延器 2 6 及び NOR ゲート 3 2 に入力される。パルス信号 P 3 は、遅延器 2 6 から出力され、遅延器 2 8 及び NOR ゲート 3 2 に入力される。パルス信号 P 4 は、遅延器 2 8 から出力され、遅延器 3 0 及び NOR ゲート 3 2 に入力される。パルス信号 P 5 は、遅延器 3 0 から出力され、NOR ゲート 3 2 に入力される。

【 0 0 1 9 】

第 1 ゲーティング手段、つまり NOR ゲート 3 2 の出力は第 2 ゲーティング手段、つまり AND ゲート 3 6 に入力される。パルス形態の出力信号 OSC は、オシレータ 3 4 から出力され、AND ゲート 3 6 に入力される。クロック信号 CLK は、AND ゲート 3 6 から出力され、シフトレジスタ 3 8 の出力イネーブル端子 OE とクロック入力端子 CLK に入力される。シフトレジスタ 3 8 の出力信号 s 1 ~ s 4 は、第 3 ゲーティング手段、つまり OR ゲート 4 0 ~ 4 6 にそれぞれ入力される。OR ゲート 4 0 ~ 4 6 には、遅延器 2 2 ~ 2 8 の出力であるパルス信号 P 1 ~ P 4 も入力される。イネーブル信号 e 1 ~ e 4 は、OR ゲート 4 0 ~ 4 6 からそれぞれ出力され、ポンピング手段 4 8 ~ 5 4 にそれぞれ入力される。これらの NOR ゲート 3 2、AND ゲート 3 6、シフトレジスタ 3 8 及び OR ゲート 4 0 ~ 4 6 は、ポンピング手段 4 8 ~ 5 4 を制御する。

【 0 0 2 0 】

ポンピング手段 4 8 ~ 5 4 の電源端子には第 1 電源電圧、例えばチップ内部の動作電源電圧として使用される内部電源電圧が印加される。ポンピング手段 4 8 ~ 5 4 の出力端は互いに接続され、第 2 電源電圧、例えば外部電源電圧レベル以上のポンピング電圧を出力する。また、ポンピング電圧は検出器 5 6 に入力され、検出器 5 6 は、オシレータ 3 4 にポンピング電圧をフィードバックする。

【 0 0 2 1 】

図 4 は、図 3 に示す回路のタイムチャートである。

【 0 0 2 2 】

スタンバイ状態で、アクティブキッカイネーブル回路 2 0 及び遅延器 2 2 ~ 3 0 の出力は全て論理 “ロー” 状態になる。従って、NOR ゲート 3 2 の出力、つまり制御信号 ODB は論理 “ハイ” 状態になる。この状態で、オシレータ 3 4 からパルス形態の信号 OSC が出力されると、AND ゲート 3 6 は、オシレータ 3 4 の出力信号 OSC と同じパルス形態の出力信号 CLK を出力する。これによりシフトレジスタ 3 8 では、出力信号 CLK に対応する出力信号をイネーブルする。

【 0 0 2 3 】

ここでは出力信号 S 2 と S 3 がイネーブルされる。この出力信号 S 2 と S 3 は、OR ゲート 4 2 と OR ゲート 4 4 に入力されてパルス信号 P 2 とパルス信号 P 3 と論理和をとる。これにより、OR ゲート 4 2、4 4 では、イネーブルされた信号 e 2、e 3 が出力され、ポンピング手段 5 0、5 2 にそれぞれ入力されてポンピングされる。その結果、ポンピング手段 5 0、5 2 の出力によりポンピングされた第 2 電源電圧が出力される。

【 0 0 2 4 】

一方アクティブ状態では、アクティブキッカイネーブル回路 2 0 からパルス信号 P 0 が出力される。パルス信号 P 0 により、パルス信号 P 1 ~ P 5 が遅延器 2 2 ~ 3 0 から出力される。パルス信号 P 0 ~ P 5 は NOR ゲート 3 2 に入力され、NOR ゲート 3 2 から出力される制御信号 ODB は、この間、論理 “ロー” 状態になる。このとき、アクティブキッカイネーブル回路 2 0 から出力されるマスタクロックのパルス幅は、最も長い遅延器の遅延時間より長くなければならない。

【 0 0 2 5 】

制御信号 ODB は、論理 “ロー” 状態でシフトレジスタ 3 8 を停止させる。従って、シフトレジスタ 3 8 の出力信号 s 1 ~ s 4 は論理 “ロー” 状態を維持する。一方パルス信号 P

10

20

30

40

50

1 ~ P 4 は、シフトレジスタ 3 8 の出力信号 s 1 ~ s 4 と O R ゲート 4 0 ~ 4 6 で論理和をとる。これにより、パルス信号 P 1 ~ P 4 に対応する信号は、イネーブル信号 e 1 ~ e 4 として出力される。その結果、出力ラインに伝達される出力信号は、4 回のポンピング動作を行って大電荷を発生する。

【 0 0 2 6 】

図 5 は、本発明の第 2 実施形態の半導体メモリ装置の昇圧電圧発生回路の回路図である。

【 0 0 2 7 】

図 5 に示すように、パルス信号 P 0 は、アクティブキックイネーブル回路 6 0 から出力され、遅延器 6 2 とオシレータ制御回路 7 2 のセット端子に入力される。パルス信号 P 1 は、遅延器 6 2 から出力され、遅延器 6 4 に入力される。パルス信号 P 2 は、遅延器 6 4 から出力され、遅延器 6 6 に入力される。パルス信号 P 3 は、遅延器 6 6 から出力され、遅延器 6 8 に入力される。パルス信号 P 4 は、遅延器 6 8 から出力され、遅延器 7 0 に入力される。パルス信号 P 5 は、遅延器 7 0 から出力され、オシレータ制御回路 7 2 のリセット端子に入力される。

【 0 0 2 8 】

オシレータ制御回路 7 2 の出力は、第 1 ゲーティング手段、つまり A N D ゲート 7 6 に入力される。オシレータ 7 4 の出力もまた A N D ゲート 7 6 に入力される。A N D ゲート 7 6 の出力は第 3 ゲーティング手段、つまり O R ゲート 8 0 に入力される。遅延器 6 2 ~ 6 8 の出力信号であるパルス信号 P 1 ~ P 4 は、第 2 ゲーティング手段、つまり O R ゲート 7 8 にそれぞれ入力される。クロック信号 C L K は、O R ゲート 8 0 から出力され、シフトレジスタ 8 2 のクロック入力端子に入力される。出力信号 s 1 ~ s 4 は、シフトレジスタ 8 2 から出力され、パルス発生回路 8 4 ~ 9 0 にそれぞれ入力される。イネーブル信号 e 1 ~ e 4 は、パルス発生回路 8 4 ~ 9 0 から出力され、ポンピング手段 9 2 ~ 9 8 にそれぞれ入力される。これらのオシレータ制御回路 7 2、A N D ゲート 7 6、O R ゲート 7 8、8 0、シフトレジスタ 8 2 及びパルス発生回路 8 4 ~ 9 0 は、ポンピング手段 9 2 ~ 9 8 を制御する。

【 0 0 2 9 】

ポンピング手段 9 2 ~ 9 8 の電源端子には第 1 電源電圧、例えばチップ内部の動作電源電圧として使用される内部電源電圧が印加される。ポンピング手段 9 2 ~ 9 8 の出力端は互いに接続され、第 2 電源電圧、例えば外部電源電圧レベル以上のポンピング電圧を出力する。また、ポンピング電圧は検出器 1 0 0 に入力され、検出器 1 0 0 は、オシレータ 7 4 にポンピング電圧をフィードバックする。

【 0 0 3 0 】

図 6 は、図 5 に示す回路のタイムチャートである。

【 0 0 3 1 】

スタンバイ状態で、アクティブキックイネーブル回路 6 0 及び遅延器 6 2 ~ 7 0 の出力は全て論理 “ ロウ ” 状態になる。従って、オシレータ制御回路 7 2 の出力、つまり制御信号 O D B は論理 “ ハイ ” 状態になる。この状態で、オシレータ 7 4 からパルス形態の信号 O S C が出力されると、A N D ゲート 7 6 は、オシレータ 7 4 の出力信号 O S C と同じパルス形態の信号を出力し、パルス信号 P 1 ~ P 4 の出力が全て論理 “ ロウ ” 状態であるので、O R ゲート 7 8 の出力は、常に論理 “ ロウ ” 状態をとる。このために、O R ゲート 8 0 の出力は A N D ゲート 7 6 の出力と同じクロック信号 C L K が出力される。これにより、シフトレジスタ 8 2 から O R ゲート 8 0 のクロック信号 C L K に対応して出力信号 s 2、s 3 をイネーブルする。この出力信号 s 2、s 3 は、パルス発生回路 8 6、8 8 に入力されてイネーブル信号 e 2、e 3 が出力され、これによりポンピング手段 9 4、9 6 からポンピングされた第 2 電源電圧が出力される。

【 0 0 3 2 】

ここでアクティブ状態になると、アクティブキックイネーブル回路 6 0 からパルス信号 P 0 が出力される。パルス信号 P 0 により、遅延器 6 2 ~ 7 0 からパルス信号 P 1 ~ P 5 が出力される。パルス信号 P 0 及び P 5 は、オシレータ制御回路 7 2 のセット端子及びリセ

10

20

30

40

50

ット端子にそれぞれ入力される。従って、オシレータ制御回路 72 の出力である制御信号 ODB は、パルス信号 P0 が入力されてからパルス信号 P5 が入力されるまでの間論理 “ロー” 状態になる。このとき、アクティブキックイネーブル回路 60 から出力されるマスタクロックのパルス幅は、最も短い遅延器の遅延時間より短くなければならない。

【0033】

制御信号 ODB は、論理 “ロー” 状態でシフトレジスタ 82 の出力を断続する。同時に、パルス信号 P1 ~ P4 の論理和が OR ゲート 78 でとられてシフトレジスタ 82 に入力され、シフトレジスタ 82 から出力信号 s1 ~ s4 が順次論理 “ハイ” 状態で出力される。このような出力信号 s1 ~ s4 は、パルス発生回路 84 ~ 90 に入力されて、所定幅を有するイネーブル信号 e1 ~ e4 が出力される。これにより、出力ラインに伝達される出力信号は、4 回のポンピング動作を行って大電荷を発生する。

10

【0034】

図 7 は、本発明の第 3 実施形態の半導体メモリ装置の昇圧電圧発生回路の回路図である。

【0035】

図 7 に示すように、アクティブキックイネーブル回路 110 の出力は、可変オシレータ 112 に入力される。可変オシレータ 112 からは CLK が出力され、シフトレジスタ 114 のクロック入力端子に入力される。シフトレジスタ 114 からは出力信号 s1 ~ s4 が出力され、パルス発生回路 116 ~ 122 にそれぞれ入力される。パルス発生回路 116 ~ 122 からはイネーブル信号 e1 ~ e4 が出力され、ポンピング手段 124 ~ 130 に入力される。シフトレジスタ 114 及びパルス発生回路 116 ~ 122 は、可変オシレータ 112 によってポンピング手段 124 ~ 130 を制御する。

20

【0036】

ポンピング手段 124 ~ 130 の電源端子には、第 1 電源電圧が印加される。ポンピング手段 124 ~ 130 の出力端は互いに接続されて第 2 電源電圧を出力する。また、ポンピング手段 124 ~ 130 の出力端は、検出器 132 に入力され、検出器 132 は、可変オシレータ 112 に第 2 電源電圧をフィードバックする。

【0037】

図 8 は、図 7 に示す回路のタイムチャートである。

【0038】

図 7 の回路では、可変オシレータ 112 を使用してパルス区間幅を可变的に設定する。即ち、スタンバイ状態では CLK のパルス区間（論理 “ハイ” 状態）が広く、アクティブ状態ではパルス区間が狭くなる。パルス発生回路 116 ~ 122 の出力信号 e1 ~ e4 は CLK により決まり、スタンバイ状態では 1 回のポンピング動作によりポンピング電圧を供給し、アクティブ状態では連続的に 4 回のポンピング動作を行って大電荷を発生する。その他の動作過程は、図 3 及び図 5 に示した回路と類似する。

30

【0039】

本発明では、アクティブ状態とスタンバイ状態でポンピング電圧の供給が一つの昇圧電圧発生回路により実現される。この回路では、スタンバイ状態でオシレータの出力にตอบสนองして順次 1 回又は 2 回のポンピング動作を行い、アクティブ状態で連続して多数回ポンピング動作を行う。

40

【0040】

【発明の効果】

本発明の半導体メモリ装置の昇圧電圧発生回路により、ポンピング電圧をチップ内部に供給することにより、従来のような大容量キャパシタが不要になる。これにより、急激な電荷の充放電を抑制してパワーノイズを減らすことができる。又、小容量キャパシタを多数設け、アクティブ状態時に複数回ポンピング動作を遂行するのでポンピング効率面にも有利であり、小容量キャパシタのために高集積化もより一層進む。また、ポンピング動作の所要時間が短くなることにより、半導体メモリ装置のより一層の高速動作が可能になる。

【図面の簡単な説明】

【図 1】従来技の半導体メモリ装置のスタンバイ昇圧電圧発生回路のブロック図。

50

- 【図2】従来の半導体メモリ装置のアクティブ昇圧電圧発生回路のブロック図。
- 【図3】本発明の第1実施形態の半導体メモリ装置の昇圧電圧発生回路の回路図。
- 【図4】図3に示す回路のタイムチャート。
- 【図5】本発明の第2実施形態の半導体メモリ装置の昇圧電圧発生回路の回路図。
- 【図6】図5に示す回路のタイムチャート。
- 【図7】本発明の第3実施形態の半導体メモリ装置の昇圧電圧発生回路の回路図。
- 【図8】図7に示す回路のタイムチャート。

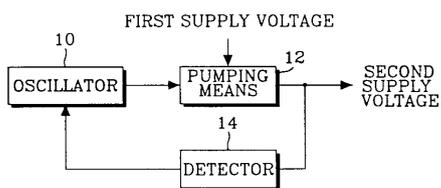
【符号の説明】

- 20、60、110 アクティブキッカー回路
- 22、24、26、28、30、62、64、66、68、70 遅延器
- 32 NORゲート
- 34、74 オシレータ
- 36、76 ANDゲート
- 38、82、114 シフトレジスタ
- 40、42、44、46、78、80 ORゲート
- 48、50、52、54、92、94、96、98 ポンプング手段
- 56、100、132 検出器
- 72 オシレータ制御回路
- 84、86、88、90、116、118、120、122 パルス発生回路
- 112 可変オシレータ
- 124、126、128、130 ポンプング手段

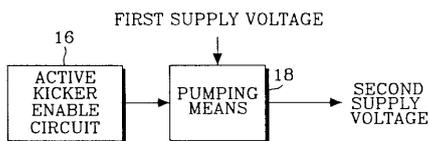
10

20

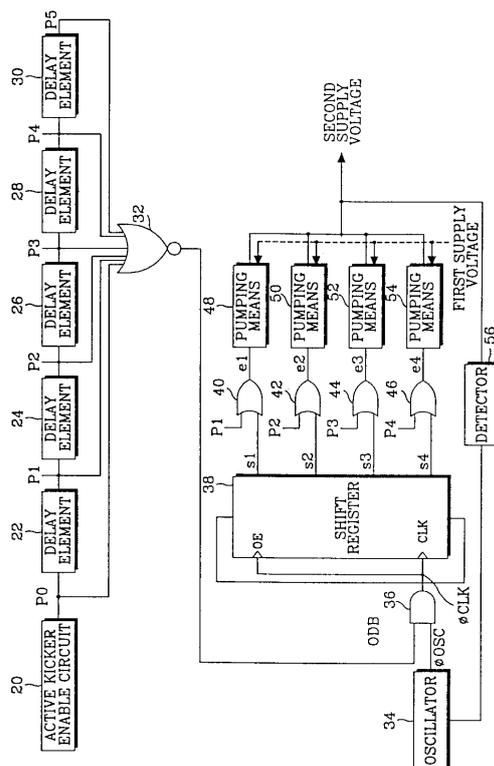
【図1】



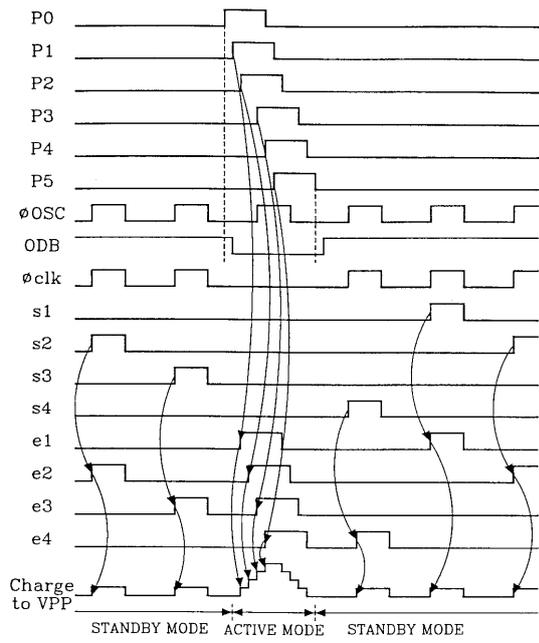
【図2】



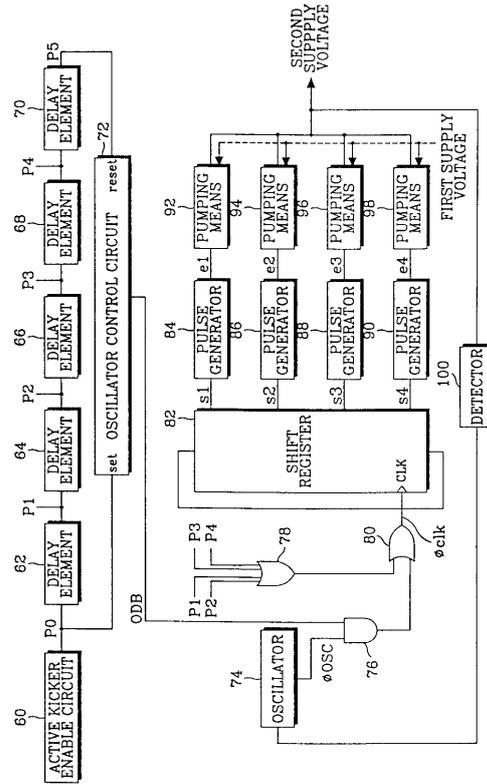
【図3】



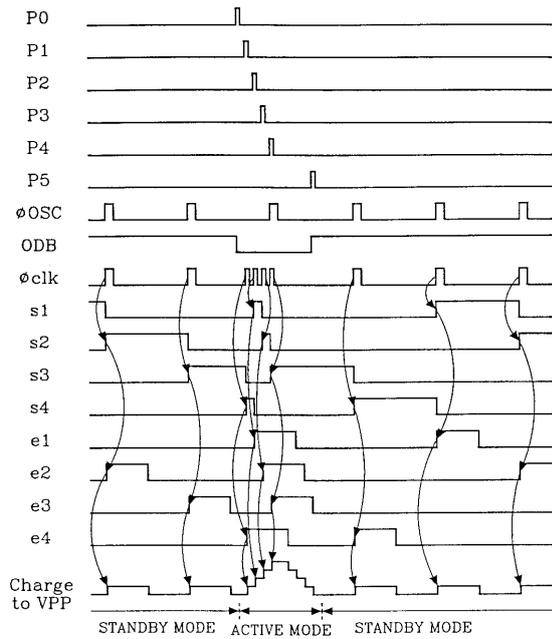
【 図 4 】



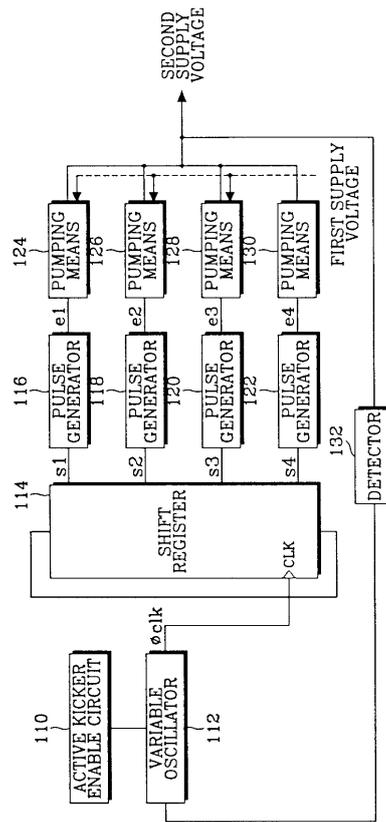
【 図 5 】



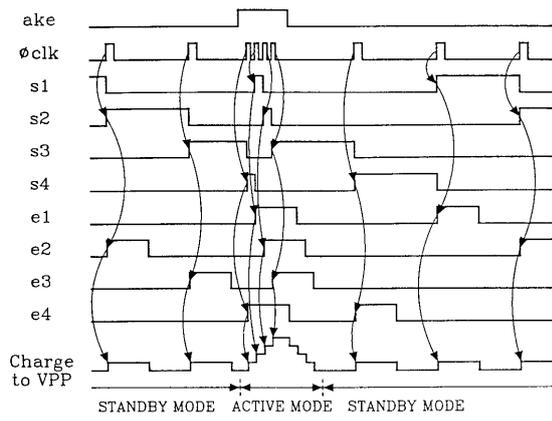
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(72)発明者 慶 桂顯

大韓民国京畿道安養市東安区新村洞無窮花進興アパート503棟702号

審査官 園田 康弘

(56)参考文献 特開平06-309868(JP,A)

特開平02-076253(JP,A)

特開平07-105681(JP,A)

特開平03-023659(JP,A)

特開平06-290588(JP,A)

特開平06-318391(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/407

G11C 11/413