

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4684297号  
(P4684297)

(45) 発行日 平成23年5月18日(2011.5.18)

(24) 登録日 平成23年2月18日(2011.2.18)

(51) Int.Cl. F I  
**G 1 1 C 13/00 (2006.01)** G 1 1 C 13/00 A  
**H O 1 L 27/10 (2006.01)** H O 1 L 27/10 4 5 1

請求項の数 5 (全 25 頁)

(21) 出願番号	特願2007-540863 (P2007-540863)	(73) 特許権者	000005223 富士通株式会社
(86) (22) 出願日	平成17年10月19日(2005.10.19)		神奈川県川崎市中原区上小田中4丁目1番1号
(86) 国際出願番号	PCT/JP2005/019236	(74) 代理人	100087479 弁理士 北野 好人
(87) 国際公開番号	W02007/046145	(72) 発明者	田村 哲朗 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(87) 国際公開日	平成19年4月26日(2007.4.26)	(72) 発明者	木下 健太郎 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
審査請求日	平成20年3月21日(2008.3.21)	審査官	加藤 俊哉

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置の書き込み方法

(57) 【特許請求の範囲】

【請求項1】

高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子を有する不揮発性半導体記憶装置の書き込み方法であって、

前記抵抗記憶素子の一方の端部に一方の端部が接続されたトランジスタを設け、

前記トランジスタを介して前記抵抗記憶素子に電圧を印加して前記低抵抗状態から前記高抵抗状態に切り換える際に、前記トランジスタのゲート電圧を、前記抵抗記憶素子のリセット電圧と前記トランジスタの閾値電圧との合計以上、前記抵抗記憶素子のセット電圧と前記閾値電圧との合計未満の値に設定し、前記抵抗記憶素子にかかる電圧が、前記リセット電圧以上、前記セット電圧未満の値となるようにする

ことを特徴とする不揮発性半導体記憶装置の書き込み方法。

【請求項2】

請求の範囲第1項記載の不揮発性半導体記憶装置の書き込み方法において、

前記トランジスタのゲート端子に、前記リセット電圧と前記閾値電圧との合計以上、前記セット電圧と前記閾値電圧との合計未満の電圧を印加した状態で、前記トランジスタの他方の端部に、前記リセット電圧以上のパルス電圧を印加する

ことを特徴とする不揮発性半導体記憶装置の書き込み方法。

【請求項3】

請求の範囲第1項記載の不揮発性半導体記憶装置の書き込み方法において、

前記トランジスタの他方の端部に、前記リセット電圧以上の電圧を印加した状態で、前記トランジスタのゲート端子に、前記リセット電圧と前記閾値電圧との合計以上、前記セット電圧と前記閾値電圧との合計未満のパルス電圧を印加する

ことを特徴とする不揮発性半導体記憶装置の書き込み方法。

【請求項 4】

高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子と、前記抵抗記憶素子の一方の端部に一方の端部が接続された選択トランジスタとをそれぞれ有し、マトリクス状に配置された複数のメモリセルと；第 1 の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第 1 の方向に並ぶ前記メモリセルの前記選択トランジスタのゲート電極に接続された複数の第 1 の信号線と；第 1 の方向と交差する第 2 の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第 2 の方向に並ぶ前記メモリセルの前記選択トランジスタの他方の端部側に接続された複数の第 2 の信号線とを有する不揮発性半導体記憶装置の書き込み方法であって、

10

複数の前記メモリセルのうち、前記抵抗記憶素子を前記低抵抗状態から前記高抵抗状態に書き換える書き換え対象のメモリセルに接続された前記第 1 の信号線に、前記抵抗記憶素子のリセット電圧と前記選択トランジスタの閾値電圧との合計以上、前記抵抗記憶素子のセット電圧と前記閾値電圧との合計未満の電圧を印加し、

前記書き換え対象のメモリセルに接続された前記第 1 の信号線に、前記リセット電圧と前記閾値電圧との合計以上、前記セット電圧と前記閾値電圧との合計未満の前記電圧が印加された状態で、前記書き換え対象のメモリセルに接続された前記第 2 の信号線に、前記リセット電圧以上のパルス電圧を印加することにより、前記書き換え対象のメモリセルの前記抵抗記憶素子を前記低抵抗状態から前記高抵抗状態に書き換える

20

ことを特徴とする不揮発性半導体記憶装置の書き込み方法。

【請求項 5】

高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子と、前記抵抗記憶素子の一方の端部に一方の端部が接続された選択トランジスタとをそれぞれ有し、マトリクス状に配置された複数のメモリセルと；第 1 の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第 1 の方向に並ぶ前記メモリセルの前記選択トランジスタのゲート電極に接続された複数の第 1 の信号線と；第 1 の方向と交差する第 2 の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第 2 の方向に並ぶ前記メモリセルの前記選択トランジスタの他方の端部側に接続された複数の第 2 の信号線とを有する不揮発性半導体記憶装置の書き込み方法であって、

30

複数の前記メモリセルのうち、前記抵抗記憶素子を前記低抵抗状態から前記高抵抗状態に書き換える書き換え対象のメモリセルに接続された前記第 2 の信号線に、前記抵抗記憶素子のリセット電圧以上の電圧を印加し、

前記書き換え対象のメモリセルに接続された前記第 2 の信号線に、前記リセット電圧以上の前記電圧が印加された状態で、前記書き換え対象のメモリセルに接続された前記第 1 の信号線に、前記リセット電圧と前記選択トランジスタの閾値電圧との合計以上、前記抵抗記憶素子のセット電圧と前記閾値電圧との合計未満のパルス電圧を印加することにより、前記書き換え対象のメモリセルの前記抵抗記憶素子を前記低抵抗状態から前記高抵抗状態に書き換える

40

ことを特徴とする不揮発性半導体記憶装置の書き込み方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性半導体記憶装置の書き込み方法に係り、特に、抵抗値が異なる複数の抵抗状態を有する抵抗記憶素子を用いた不揮発性半導体記憶装置の書き込み方法に関する。

50

## 【背景技術】

## 【0002】

近年、新たなメモリ素子として、R R A M (Resistance Random Access Memory) と呼ばれる不揮発性半導体記憶装置が注目されている。R R A Mは、抵抗値が異なる複数の抵抗状態を有し、外部から電氣的刺激を与えることにより抵抗状態が変化する抵抗記憶素子を用い、抵抗記憶素子の高抵抗状態と低抵抗状態とを例えば情報の“0”と“1”とに対応づけることにより、メモリ素子として利用するものである。R R A Mは、高速性、大容量性、低消費電力性等、そのポテンシャルの高さから、その将来性が期待されている。

## 【0003】

抵抗記憶素子は、電圧の印加により抵抗状態が変化する抵抗記憶材料を一对の電極間に挟持したものである。抵抗記憶材料としては、代表的なものとして遷移金属を含む酸化物材料が知られている。

10

## 【0004】

抵抗記憶素子を用いた不揮発性半導体記憶装置は、例えば特許文献1～5、非特許文献1～3等に記載されている。

【特許文献1】米国特許第6473332号明細書

【特許文献2】特開2005-025914号公報

【特許文献3】特開2004-272975号公報

【特許文献4】特開2004-110867号公報

【特許文献5】特開2004-355670号公報

20

【非特許文献1】A. Beck et al., Appl. Phys. Lett. Vol. 77, p. 139 (2001)

【非特許文献2】W. W. Zhuang et al., Tech. Digest IEDM 2002, p.193

【非特許文献3】I. G. Baek et al., Tech. Digest IEDM 2004, p.587

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

しかしながら、抵抗記憶素子に電圧を単に印加して抵抗記憶材料を低抵抗状態から高抵抗状態に変化させる従来の手法では、抵抗記憶素子の抵抗値の増大によって、過大な電圧が抵抗記憶素子にかかってしまう。このような過大な電圧により、抵抗記憶素子が高抵抗状態から再び低抵抗状態に変化し、高抵抗状態を維持することができない虞がある。

30

## 【0006】

本発明の目的は、抵抗記憶素子を低抵抗状態から高抵抗状態にスイッチさせる際、抵抗記憶素子に過大な電圧がかかり抵抗記憶素子が再び低抵抗状態に変化するのを防止し、抵抗記憶素子への正確なデータの書き込みを実現しうる不揮発性半導体記憶装置の書き込み方法を提供することにある。

## 【課題を解決するための手段】

## 【0007】

本発明の一観点によれば、高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子を有する不揮発性半導体記憶装置の書き込み方法であって、前記抵抗記憶素子の一方の端部に一方の端部が接続されたトランジスタを設け、前記トランジスタを介して前記抵抗記憶素子に電圧を印加して前記低抵抗状態から前記高抵抗状態に切り換える際に、前記トランジスタのゲート電圧を、前記抵抗記憶素子のリセット電圧と前記トランジスタの閾値電圧との合計以上、前記抵抗記憶素子のセット電圧と前記閾値電圧との合計未満の値に設定し、前記抵抗記憶素子にかかる電圧が、前記リセット電圧以上、前記セット電圧未満の値となるようにする不揮発性半導体記憶装置の書き込み方法が提供される。

40

## 【0008】

また、本発明の他の観点によれば、高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子と、前記抵抗記憶素子の一方の端部に一方の端部が接続された選択トランジスタとをそれぞれ有し、マトリク

50

ス状に配置された複数のメモリセルと；第 1 の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第 1 の方向に並ぶ前記メモリセルの前記選択トランジスタのゲート電極に接続された複数の第 1 の信号線と；第 1 の方向と交差する第 2 の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第 2 の方向に並ぶ前記メモリセルの前記選択トランジスタの他方の端部側に接続された複数の第 2 の信号線とを有する不揮発性半導体記憶装置の書き込み方法であって、複数の前記メモリセルのうち、前記抵抗記憶素子を前記低抵抗状態から前記高抵抗状態に書き換える書き換え対象のメモリセルに接続された前記第 1 の信号線に、前記抵抗記憶素子のリセット電圧と前記選択トランジスタの閾値電圧との合計以上、前記抵抗記憶素子のセット電圧と前記閾値電圧との合計未満の電圧を印加し、前記書き換え対象のメモリセルに接続された前記第 1 の信号線に、前記リセット電圧と前記閾値電圧との合計以上、前記セット電圧と前記閾値電圧との合計未満の前記電圧が印加された状態で、前記書き換え対象のメモリセルに接続された前記第 2 の信号線に、前記リセット電圧以上のパルス電圧を印加することにより、前記書き換え対象のメモリセルの前記抵抗記憶素子を前記低抵抗状態から前記高抵抗状態に書き換える不揮発性半導体記憶装置の書き込み方法が提供される。

10

【 0 0 0 9 】

また、本発明の更に他の観点によれば、高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子と、前記抵抗記憶素子の一方の端部に一方の端部が接続された選択トランジスタとをそれぞれ有し、マトリクス状に配置された複数のメモリセルと；第 1 の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第 1 の方向に並ぶ前記メモリセルの前記選択トランジスタのゲート電極に接続された複数の第 1 の信号線と；第 1 の方向と交差する第 2 の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第 2 の方向に並ぶ前記メモリセルの前記選択トランジスタの他方の端部側に接続された複数の第 2 の信号線とを有する不揮発性半導体記憶装置の書き込み方法であって、複数の前記メモリセルのうち、前記抵抗記憶素子を前記低抵抗状態から前記高抵抗状態に書き換える書き換え対象のメモリセルに接続された前記第 2 の信号線に、前記抵抗記憶素子のリセット電圧以上の電圧を印加し、前記書き換え対象のメモリセルに接続された前記第 2 の信号線に、前記リセット電圧以上の前記電圧が印加された状態で、前記書き換え対象のメモリセルに接続された前記第 1 の信号線に、前記リセット電圧と前記選択トランジスタの閾値電圧との合計以上、前記抵抗記憶素子のセット電圧と前記閾値電圧との合計未満のパルス電圧を印加することにより、前記書き換え対象のメモリセルの前記抵抗記憶素子を前記低抵抗状態から前記高抵抗状態に書き換える不揮発性半導体記憶装置の書き込み方法が提供される。

20

30

【 0 0 1 0 】

また、本発明の更に他の観点によれば、高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子を有する不揮発性半導体記憶装置であって、前記抵抗記憶素子の一方の端部に一方の端部が接続されたトランジスタを有し、前記トランジスタを介して前記抵抗記憶素子に電圧を印加して前記低抵抗状態から前記高抵抗状態に切り換える際に、前記トランジスタのゲート電圧を、前記抵抗記憶素子のリセット電圧と前記トランジスタの閾値電圧との合計以上、前記抵抗記憶素子のセット電圧と前記閾値電圧との合計未満の値に設定し、前記抵抗記憶素子にかかる電圧が、前記リセット電圧以上、前記セット電圧未満の値となるようにする不揮発性半導体記憶装置が提供される。

40

【 発明の効果 】

【 0 0 1 1 】

本発明によれば、トランジスタを介して抵抗記憶素子に電圧を印加して低抵抗状態から高抵抗状態に切り換える際に、トランジスタのゲート電圧を、抵抗記憶素子のリセット電圧とトランジスタの閾値電圧との合計以上、抵抗記憶素子のセット電圧と閾値電圧との合計未満の値に設定し、抵抗記憶素子にかかる電圧が、リセット電圧以上、セット電圧未満の値となるようにするので、抵抗記憶素子に過大な電圧がかかり抵抗記憶素子が再び低抵

50

抗状態に変化するのを防止することができる。これにより、抵抗記憶素子にデータを正確に書き込むことができ、抵抗記憶素子を用いた不揮発性半導体記憶装置の信頼性を向上することができる。

【図面の簡単な説明】

【0012】

【図1】図1は、単極性抵抗記憶材料を用いた抵抗記憶素子の電流 - 電圧特性を示すグラフである。

【図2】図2は、抵抗記憶素子に対する電圧の印加を説明する図（その1）である。

【図3】図3は、抵抗記憶素子に対する電圧の印加を説明する図（その2）である。

【図4】図4は、本発明の第1実施形態による抵抗記憶素子のリセット方法を行うための回路構成を示す回路図である。

10

【図5】図5は、本発明の第1実施形態による抵抗記憶素子のリセット方法において抵抗記憶素子にかかる電圧の時間変化を測定した結果を示すグラフである。

【図6】図6は、本発明の第2実施形態による抵抗記憶素子のリセット方法を行うための回路構成を示す回路図である。

【図7】図7は、本発明の第2実施形態による抵抗記憶素子のリセット方法において抵抗記憶素子にかかる電圧の時間変化を測定した結果を示すグラフである。

【図8】図8は、本発明の第3実施形態による不揮発性半導体記憶装置の構造を示す回路図（その1）である。

【図9】図9は、本発明の第3実施形態による不揮発性半導体記憶装置の構造を示す回路図（その2）である。

20

【図10】図10は、本発明の第3実施形態による不揮発性半導体記憶装置の書き込み方法を示すタイムチャート（その1）である。

【図11】図11は、本発明の第3実施形態による不揮発性半導体記憶装置の書き込み方法を示すタイムチャート（その2）である。

【図12】図12は、本発明の第3実施形態による不揮発性半導体記憶装置の読み出し方法を示すタイムチャートである。

【図13】図13は、本発明の第4実施形態による不揮発性半導体記憶装置の書き込み方法を示すタイムチャート（その1）である。

【図14】図14は、本発明の第4実施形態による不揮発性半導体記憶装置の書き込み方法を示すタイムチャート（その2）である。

30

【図15】図15は、本発明の第4実施形態の変形例による不揮発性半導体記憶装置の書き込み方法を示すタイムチャートである。

【図16】図16は、本発明の第5実施形態による不揮発性半導体記憶装置の構造を示す概略図である。

【図17】図17は、本発明の第5実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図（その1）である。

【図18】図18は、本発明の第5実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図（その2）である。

【図19】図19は、本発明の第5実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図（その3）である。

40

【符号の説明】

【0013】

10 ... 抵抗記憶素子

12 ... パルスジェネレータ

14 ... NMOSトランジスタ

16 ... メモリセル

18 ... 抵抗記憶素子

20 ... セル選択トランジスタ

22 ... シリコン基板

50

2 4 ...素子分離膜	
2 6 ...ゲート電極	
2 8、3 0 ...ソース/ドレイン領域	
3 2 ...コンタクトプラグ	
3 4 ...コンタクトプラグ	
3 6 ...層間絶縁膜	
3 8 ...下部電極	
4 0 ...抵抗記憶材料層	
4 2 ...上部電極	
4 4 ...抵抗記憶素子	10
4 6 ...コンタクトプラグ	
4 8 ...コンタクトプラグ	
5 0 ...層間絶縁膜	
5 2 ...中継配線	
5 4 ...ソース線	
5 6 ...コンタクトプラグ	
5 8 ...層間絶縁膜	
6 0 ...ビット線	
【発明を実施するための最良の形態】	
【0 0 1 4】	20
[第1実施形態]	
本発明の第1実施形態による抵抗記憶素子のリセット方法について図1乃至図5を用いて説明する。	
【0 0 1 5】	
図1は単極性抵抗記憶材料を用いた抵抗記憶素子の電流 - 電圧特性を示すグラフ、図2及び図3は抵抗記憶素子に対する電圧の印加を説明する図、図4は本実施形態による抵抗記憶素子のリセット方法を行うための回路構成を示す回路図、図5は本実施形態による抵抗記憶素子のリセット方法において抵抗記憶素子にかかる電圧の時間変化を測定した結果を示すグラフである。	
【0 0 1 6】	30
はじめに、抵抗記憶素子の基本動作について図1を用いて説明する。	
【0 0 1 7】	
抵抗記憶素子は、一对の電極間に抵抗記憶材料が挟持されたものである。抵抗記憶材料は、その多くが遷移金属を含む酸化物材料であり、電気的特性の違いから大きく2つに分類することができる。	
【0 0 1 8】	40
1つは、高抵抗状態と低抵抗状態との間で抵抗値を変化するために、極性の同じ電圧を必要とする材料であり、例えば $NiO_x$ や $TiO_x$ のような単一の遷移金属の酸化物等が該当する。以下、抵抗状態の書き換えに極性が同じ電圧を要するこのような抵抗記憶材料を、単極性抵抗記憶材料と呼ぶ。	
【0 0 1 9】	
他方は、高抵抗状態と低抵抗状態との間で抵抗状態を変化するために互いに異なる極性の電圧を用いるものであり、クロム(Cr)等の不純物を微量にドーブした $SrTiO_3$ や $SrZrO_3$ 、或いは超巨大磁気抵抗(CMR: Colossal Magneto-Resistance)を示す $Pr_{1-x}Ca_xMnO_3$ や $La_{1-x}Ca_xMnO_3$ 等が該当する。以下、抵抗状態の書き換えに極性の異なる電圧を要するこのような抵抗記憶材料を、双極性抵抗記憶材料と呼ぶ。	
【0 0 2 0】	
以下の説明では、単極性抵抗記憶材料を用いた抵抗記憶素子について説明する。	
【0 0 2 1】	50

図 1 は、単極性抵抗記憶材料を用いた抵抗記憶素子の電流 - 電圧特性を示すグラフである。このグラフは、典型的な単極性抵抗記憶材料である  $TiO_x$  を用いた場合である。

【 0 0 2 2 】

初期状態において、抵抗記憶素子は高抵抗状態であると考える。

【 0 0 2 3 】

印加電圧を 0 V から徐々に増加していくと、電流は曲線 a に沿って矢印の方向に変化し、その絶対値は徐々に増加する。印加電圧が更に大きくなり所定の値を超えると、抵抗記憶素子が高抵抗状態から低抵抗状態にスイッチする。なお、以下の説明では、抵抗記憶素子を高抵抗状態から低抵抗状態へ変化する動作を「セット」と呼ぶ。これに伴い、電流の絶対値が急激に増加し、電流 - 電圧特性は点 A から点 B に遷移する。図 1 において点 B における電流値が一定になっているのは、急激な電流の増加による素子の破壊を防止するために電流制限を施しているためである。

10

【 0 0 2 4 】

点 B の状態から徐々に電圧を減少していくと、電流は曲線 b に沿って矢印の方向に変化し、その絶対値は徐々に減少する。印加電圧が 0 V に戻ると、電流も 0 A となる。

【 0 0 2 5 】

次に、電流制限を解除して、印加電圧を 0 V から再度徐々に増加していくと、電流は曲線 c に沿って矢印の方向に変化し、その絶対値は徐々に増加する。印加する電圧が更に大きくなり所定の値を超えると、抵抗記憶素子が低抵抗状態から高抵抗状態にスイッチする。なお、以下の説明では、抵抗記憶素子を低抵抗状態から高抵抗状態へ変化する動作を「リセット」と呼ぶ。これに伴い、電流の絶対値が急激に減少し、電流 - 電圧特性は点 C から点 D に遷移する。

20

【 0 0 2 6 】

点 D の状態から徐々に電圧を減少していくと、その絶対値は徐々に減少する。印加電圧が 0 V に戻ると、電流も 0 A となる。

【 0 0 2 7 】

それぞれの抵抗状態は、所定の電圧値以下で安定であり、電源を切っても保たれる。すなわち、高抵抗状態では、印加電圧が点 A の電圧よりも低ければ、電流 - 電圧特性は曲線 a に沿って線形的に変化し、高抵抗状態が維持される。同様に、低抵抗状態では、印加電圧が点 C の電圧よりも低ければ、電流 - 電圧特性は曲線 c に沿って変化し、低抵抗状態が維持される。

30

【 0 0 2 8 】

上述のように、抵抗記憶素子をセット、或いはリセットする場合には、それぞれの場合に応じて必要な電圧を抵抗記憶素子に印加すればよい。しかしながら、実際の動作においては、抵抗記憶素子を低抵抗状態から高抵抗状態にリセットする場合において、単に電圧を印加したのでは、以下に述べる不都合が生じる。

【 0 0 2 9 】

図 2 ( a ) は、抵抗記憶素子に電圧を印加するための回路構成を示す回路図である。図示するように、抵抗記憶素子 1 0 の一端に、パルス電圧を印加するためのパルスジェネレータ 1 2 が接続されている。抵抗記憶素子 1 0 の他端は、基準電位、例えば接地電位である 0 V に接続されている。図 2 ( b ) は、パルスジェネレータ 1 2 により抵抗記憶素子 1 0 に印加される電圧値  $V_{pulse}$  のパルス電圧を示している。

40

【 0 0 3 0 】

図 2 に示す回路構成において、抵抗記憶素子 1 0 にパルス電圧を印加した場合に、抵抗記憶素子 1 0 にかかる電圧  $V_1$  のタイムチャートを示したものが図 3 ( a ) 及び図 3 ( b ) である。図 3 ( a ) は、抵抗記憶素子 1 0 を高抵抗状態から低抵抗状態にセットする場合における電圧  $V_1$  の時間変化を示している。図 3 ( b ) は、抵抗記憶素子 1 0 を低抵抗状態から高抵抗状態にリセットする場合における電圧  $V_1$  の時間変化を示している。

【 0 0 3 1 】

抵抗記憶素子 1 0 をセットする場合は、パルスジェネレータ 1 2 により、抵抗記憶素子

50

10をセットするのに要する電圧値(セット電圧 $V_{set}$ )のパルス電圧を抵抗記憶素子10に印加する。このパルス電圧を抵抗記憶素子10に印加した時点では、所望の電圧が抵抗記憶素子10にかかる。これにより、抵抗記憶素子10が高抵抗状態から低抵抗状態に変化する(図3(a))。抵抗記憶素子10が低抵抗状態に変化すると、印加した電圧の大部分は、パルスジェネレータ12の内部抵抗、或いはパルスジェネレータ12と抵抗記憶素子10とを接続する配線の抵抗にかかることになる。この結果、抵抗記憶素子10にかかる電圧は低下する。

【0032】

他方、抵抗記憶素子10をリセットする場合は、パルスジェネレータ12により、抵抗記憶素子10をリセットするのに要する電圧値(リセット電圧 $V_{reset}$ )のパルス電圧を抵抗記憶素子10に印加する。このパルス電圧を抵抗記憶素子10に印加した時点では、所望の電圧が抵抗記憶素子10にかかる。これにより、抵抗記憶素子10が低抵抗状態から高抵抗状態に変化する(図3(b))。しかしながら、抵抗記憶素子10をリセットする場合には、抵抗記憶素子10が高抵抗状態に変化した瞬間に、印加した電圧のほぼすべてが、抵抗記憶素子10にかかることになる。このため、抵抗記憶素子10にかかる電圧がセット電圧を超え、抵抗記憶素子10が高抵抗状態から再び低抵抗状態に変化してしまい、高抵抗状態を維持することができない虞がある。

【0033】

本実施形態による抵抗記憶素子のリセット方法は、抵抗記憶素子を低抵抗状態から高抵抗状態にスイッチさせる際、抵抗記憶素子に過大な電圧がかかり抵抗記憶素子が再び低抵抗状態に変化するのを防止することを可能にするものである。

【0034】

まず、本実施形態による抵抗記憶素子のリセット方法を行うための回路構成について図4を用いて説明する。

【0035】

図示するように、NMOSトランジスタ14のドレイン端子に、パルス電圧を印加するためのパルスジェネレータ12が接続されている。NMOSトランジスタ14のソース端子には、抵抗記憶素子10の一端が接続されている。抵抗記憶素子10の他端は、基準電位、例えば接地電位である0Vに接続されている。

【0036】

抵抗記憶素子10は、一对の電極間に単極性抵抗記憶材料が挟持されたものである。一对の電極はともに例えばPtよりなるものである。単極性抵抗記憶材料は、例えば $TiO_x$ よりなるものである。

【0037】

次に、図4に示す回路構成を用いた本実施形態による抵抗記憶素子のリセット方法について説明する。

【0038】

抵抗記憶素子10は、低抵抗状態にあるものとする。

【0039】

まず、NMOSトランジスタ14のゲート端子に、電圧値 $V_g$ の直流電圧を印加する。ここで、電圧値 $V_g$ は、抵抗記憶素子10をセットするのに要する電圧値を $V_{set}$ 、抵抗記憶素子10をリセットするのに要する電圧値を $V_{reset}$ 、NMOSトランジスタ14の閾値電圧の値を $V_{th}$ として、 $V_{reset} + V_{th} < V_g < V_{set} + V_{th}$ の関係を満たすものとする。これにより、NMOSトランジスタ14のゲート電圧の値は、 $V_{reset} + V_{th} < V_g < V_{set} + V_{th}$ の関係を満たす $V_g$ に設定される。

【0040】

次いで、NMOSトランジスタ14のゲート端子に、 $V_{reset} + V_{th} < V_g < V_{set} + V_{th}$ の関係を満たす電圧値 $V_g$ の直流電圧を印加した状態で、パルスジェネレータ12により、NMOSトランジスタ14のドレイン端子に、電圧値 $V_{pulse}$ のパルス電圧を印加する。ここで、電圧値 $V_{pulse}$ は、抵抗記憶素子10をリセットする

10

20

30

40

50

のに要する電圧値  $V_{reset}$  以上のものとする。

【0041】

こうして、ゲート電圧の値が  $V_{reset} + V_{th} < V_g < V_{set} + V_{th}$  の関係を満たす  $V_g$  に設定された NMOS トランジスタ 14 のドレイン端子に、 $V_{reset}$  以上の電圧値  $V_{pulse}$  のパルス電圧を印加することにより、NMOS トランジスタ 14 のソース端子に接続された抵抗記憶素子 10 にパルス電圧が印加される。これにより、抵抗記憶素子 10 の抵抗値は上昇し、抵抗記憶素子 10 は低抵抗状態から高抵抗状態にリセットされる。

【0042】

このように、本実施形態による抵抗記憶素子のリセット方法は、ゲート電圧の値が  $V_{reset} + V_{th} < V_g < V_{set} + V_{th}$  の関係を満たす  $V_g$  に設定された NMOS トランジスタ 14 のドレイン端子に、 $V_{reset}$  以上の電圧値  $V_{pulse}$  のパルス電圧を印加することにより、NMOS トランジスタ 14 のソース端子に接続された抵抗記憶素子 10 にパルス電圧を印加することに主たる特徴がある。

10

【0043】

パルスジェネレータ 12 により  $V_{reset}$  以上の電圧値  $V_{pulse}$  のパルス電圧が NMOS トランジスタ 14 のドレイン端子に印加されると、抵抗記憶素子 10 の抵抗値は上昇する。これに伴い、抵抗記憶素子 10 にかかる電圧  $V_1$  も上昇する。

【0044】

ここで、本実施形態による抵抗記憶素子のリセット方法では、NMOS トランジスタ 14 を介して、抵抗記憶素子 10 にパルス電圧を印加している。このため、抵抗記憶素子 10 にかかる電圧  $V_1$  の上限は、NMOS トランジスタ 14 のゲート電圧の値によって決定される。すなわち、NMOS トランジスタ 14 のゲート電圧の値は、 $V_{reset} + V_{th} < V_g < V_{set} + V_{th}$  の関係を満たす  $V_g$  に設定されているため、抵抗記憶素子 10 にかかる電圧  $V_1$  は、 $V_{reset}$  以上であるが、 $V_{set}$  以上となることはない。したがって、抵抗記憶素子 10 を低抵抗状態から高抵抗状態にリセットする際に、低抵抗状態から高抵抗状態に変化した抵抗記憶素子 10 が再び低抵抗状態に変化することなく、高抵抗状態を維持することができる。

20

【0045】

なお、金属酸化物よりなる抵抗記憶材料を用いた抵抗記憶素子 10 は、セットに要する時間よりもリセットに要する時間が長い。抵抗記憶素子 10 がその抵抗状態を変化する時間は、抵抗記憶素子 10 にかかる電圧が大きいほど短くなる。したがって、抵抗記憶素子 10 をリセットする際に、抵抗記憶素子 10 にかかる電圧が  $V_{set}$  未満の範囲でできるだけ大きくなるようにすれば、リセットに要する時間を短縮することができる。このためには、抵抗記憶素子 10 をリセットする際に、NMOS トランジスタ 14 のゲート電圧  $V_g$  を、 $V_{set} + V_{th}$  未満の範囲でできるだけ大きく設定すればよい。

30

【0046】

図 5 は、本実施形態による抵抗記憶素子のリセット方法において抵抗記憶素子にかかる電圧  $V_1$  の時間変化を測定した結果を示すグラフである。グラフ中、横軸は時間、縦軸は抵抗記憶素子にかかる電圧  $V_1$  である。測定に用いた試料は、Pt よりなる下部電極と、膜厚 20 nm の  $TiO_x$  よりなる抵抗記憶材料層と、Pt よりなる上部電極とを有する直径 5  $\mu m$  の抵抗記憶素子とした。この試料は、図 1 に示す電流 - 電圧特性を有し、セット電圧  $V_{set}$  が約 1.8 V、リセット電圧  $V_{reset}$  が約 0.7 V のものである。また、NMOS トランジスタの閾値電圧の値  $V_{th}$  は約 1.7 V である。NMOS トランジスタのゲート端子に印加する直流電圧の値  $V_g$  は 3 V とした。また、NMOS トランジスタのドレイン端子に印加するパルス電圧の電圧値  $V_{pulse}$  は 5 V、パルス幅は 5 ms とした。

40

【0047】

図 5 に示すように、NMOS トランジスタのドレイン端子にパルス電圧を印加して約 3 ms 後に抵抗記憶素子はリセットしている。これに伴い、抵抗記憶素子にかかる電圧  $V_1$

50

が上昇し、その後パルス電圧の印加が終了するまで、抵抗記憶素子には1.3Vの電圧がかかっている。この1.3Vの電圧は、抵抗記憶素子のセット電圧よりも小さいため、抵抗記憶素子が再びセットされることはない。この結果から、本実施形態によれば、抵抗記憶素子を低抵抗状態から高抵抗状態に確実にリセットすることができることが確認された。なお、図5に示す電圧変化の測定後の試料の抵抗値を測定すると、高抵抗状態の抵抗値が測定された。

【0048】

このように、本実施形態によれば、抵抗記憶素子を低抵抗状態から高抵抗状態にスイッチさせる際、所定の電圧値にゲート電圧が設定されたトランジスタを介して抵抗記憶素子に電圧を印加するので、抵抗記憶素子に過大な電圧がかかり抵抗記憶素子が再び低抵抗状態に変化するのを防止することができる。

10

【0049】

[第2実施形態]

本発明の第2実施形態による抵抗記憶素子のリセット方法について図6及び図7を用いて説明する。なお、第1実施形態による抵抗記憶素子のリセット方法と同様の構成要素には、同一の符号を付し説明を省略或いは簡略にする。

【0050】

図6は本実施形態による抵抗記憶素子のリセット方法を行うための回路構成を示す回路図、図7は本実施形態による抵抗記憶素子のリセット方法において抵抗記憶素子にかかる電圧の時間変化を測定した結果を示すグラフである。

20

【0051】

まず、本実施形態による抵抗記憶素子のリセット方法を行うための回路構成について図6を用いて説明する。

【0052】

図示するように、NMOSトランジスタ14のゲート端子に、パルス電圧を印加するためのパルスジェネレータ12が接続されている。NMOSトランジスタ14のソース端子には、抵抗記憶素子10の一端が接続されている。抵抗記憶素子10の他端は、基準電位、例えば接地電位である0Vに接続されている。

【0053】

抵抗記憶素子10は、一对の電極間に単極性抵抗記憶材料が挟持されたものである。一对の電極はともに例えばPtよりなるものである。単極性抵抗記憶材料は、例えばTiO<sub>x</sub>よりなるものである。

30

【0054】

次に、図6に示す回路構成を用いた本実施形態による抵抗記憶素子のリセット方法について説明する。

【0055】

抵抗記憶素子10は、低抵抗状態にあるものとする。

【0056】

まず、NMOSトランジスタ14のドレイン端子に、電圧値 $V_d$ の直流電圧を印加する。ここで、電圧値 $V_d$ は、抵抗記憶素子10をリセットするのに要する電圧値 $V_{reset}$ 以上のものとする。

40

【0057】

次いで、NMOSトランジスタ14のドレイン端子に、 $V_{reset}$ 以上の電圧値 $V_d$ の直流電圧を印加した状態で、パルスジェネレータ12により、NMOSトランジスタ14のゲート端子に、電圧値 $V_{pulse}$ のパルス電圧を印加する。ここで、電圧値 $V_{pulse}$ は、抵抗記憶素子10をセットするのに要する電圧値を $V_{set}$ 、抵抗記憶素子10をリセットするのに要する電圧値を $V_{reset}$ 、NMOSトランジスタ14の閾値電圧の値を $V_{th}$ として、 $V_{reset} + V_{th} < V_{pulse} < V_{set} + V_{th}$ の関係を満たすものとする。これにより、ゲート端子にパルス電圧が印加されている間、NMOSトランジスタ14のゲート電圧の値は、 $V_{reset} + V_{th} < V_{pulse} < V_{set} + V_{th}$

50

$t + V_{th}$  の関係を満たす  $V_{pulse}$  に設定される。

【0058】

こうして、NMOSトランジスタ14のドレイン端子に  $V_{reset}$  以上の電圧値  $V_d$  の直流電圧が印加された状態で、 $V_{reset} + V_{th} < V_{pulse} < V_{set} + V_{th}$  の関係を満たす電圧値  $V_{pulse}$  のパルス電圧をNMOSトランジスタ14のゲート端子に印加することにより、NMOSトランジスタ14のソース端子に接続された抵抗記憶素子10にパルス電圧が印加される。これにより、抵抗記憶素子10の抵抗値は上昇し、抵抗記憶素子10は低抵抗状態から高抵抗状態にリセットされる。

【0059】

このように、本実施形態による抵抗記憶素子のリセット方法は、NMOSトランジスタ14のドレイン端子に  $V_{reset}$  以上の電圧値  $V_d$  の直流電圧が印加された状態で、 $V_{reset} + V_{th} < V_{pulse} < V_{set} + V_{th}$  の関係を満たす電圧値  $V_{pulse}$  のパルス電圧をNMOSトランジスタ14のゲート端子に印加することにより、NMOSトランジスタ14のソース端子に接続された抵抗記憶素子10にパルス電圧を印加することに主たる特徴がある。

【0060】

パルスジェネレータ12により  $V_{reset} + V_{th} < V_{pulse} < V_{set} + V_{th}$  の関係を満たす電圧値  $V_{pulse}$  のパルス電圧がNMOSトランジスタ14のゲート端子に印加されると、NMOSトランジスタ14のドレイン端子に  $V_{reset}$  以上の電圧値  $V_d$  の直流電圧が印加されているため、抵抗記憶素子10の抵抗値は上昇する。これに伴い、抵抗記憶素子10にかかる電圧  $V_1$  も上昇する。

【0061】

ここで、本実施形態による抵抗記憶素子のリセット方法では、NMOSトランジスタ14を介して、抵抗記憶素子10にパルス電圧を印加している。このため、抵抗記憶素子10にかかる電圧  $V_1$  の上限は、NMOSトランジスタ14のゲート電圧の値によって決定される。すなわち、NMOSトランジスタ14のゲート電圧の値は、パルスジェネレータ12によりゲート端子にパルス電圧が印加されている間、 $V_{reset} + V_{th} < V_{pulse} < V_{set} + V_{th}$  の関係を満たす  $V_{pulse}$  に設定されている。このため、抵抗記憶素子10にかかる電圧  $V_1$  は、 $V_{reset}$  以上、 $V_{set}$  未満の値となり、 $V_{set}$  以上となることはない。したがって、抵抗記憶素子10を低抵抗状態から高抵抗状態にリセットする際に、低抵抗状態から高抵抗状態に変化した抵抗記憶素子10が再び低抵抗状態に変化することなく、高抵抗状態を維持することができる。

【0062】

なお、本実施形態においても、第1実施形態と同様に、抵抗記憶素子10をリセットする際に、NMOSトランジスタ14のゲート電圧  $V_g$  を、 $V_{set} + V_{th}$  未満の範囲でできるだけ大きく設定することにより、 $V_{set}$  未満の範囲でできるだけ大きな電圧を抵抗記憶素子10にかけることができる。これにより、リセットに要する時間を短縮することができる。

【0063】

図7は、本実施形態による抵抗記憶素子のリセット方法において抵抗記憶素子にかかる電圧  $V_1$  の時間変化を測定した結果を示すグラフである。グラフ中、横軸は時間、縦軸は抵抗記憶素子にかかる電圧  $V_1$  である。測定に用いた試料である抵抗記憶素子、及びNMOSトランジスタは、図5に示す第1実施形態の場合と同様とした。NMOSトランジスタのドレイン端子に印加する直流電圧の値  $V_d$  は5Vとした。また、NMOSトランジスタのゲート端子に印加するパルス電圧の電圧値  $V_{pulse}$  は3V、パルス幅は5msとした。

【0064】

図7に示すように、NMOSトランジスタのゲート端子にパルス電圧を印加して約300 $\mu$ s後に抵抗記憶素子はリセットしている。これに伴い、抵抗記憶素子にかかる電圧  $V_1$  が上昇し、その後パルス電圧の印加が終了するまで、抵抗記憶素子には1.3Vの電圧

10

20

30

40

50

がかかっている。この1.3Vの電圧は、抵抗記憶素子のセット電圧よりも小さいため、抵抗記憶素子が再びセットされることはない。この結果から、本実施形態によれば、抵抗記憶素子を低抵抗状態から高抵抗状態に確実にリセットすることができることが確認された。なお、図7に示す電圧変化の測定後の試料の抵抗値を測定すると、高抵抗状態の抵抗値が測定された。

【0065】

このように、本実施形態によれば、抵抗記憶素子を低抵抗状態から高抵抗状態にスイッチさせる際、所定の電圧値にゲート電圧が設定されたトランジスタを介して抵抗記憶素子に電圧を印加するので、抵抗記憶素子に過大な電圧がかかり抵抗記憶素子が再び低抵抗状態に変化するのを防止することができる。

10

【0066】

なお、本実施形態では、パルスジェネレータ12によりNMOSトランジスタ14のゲート端子に印加する電圧パルスの電圧値 $V_{pulse}$ を、パルス電圧の立ち上がり後の初期の期間、すなわち抵抗記憶素子10が低抵抗状態から高抵抗状態に変化する前の所定の期間において $V_{set} + V_{th}$ 以上に設定し、その後、抵抗記憶素子10が低抵抗状態から高抵抗状態に変化する前に、上記と同様に、 $V_{reset} + V_{th} < V_{pulse} < V_{set} + V_{th}$ の関係を満たす値に設定してもよい。

【0067】

このようなパルス電圧を印加することにより、抵抗記憶素子10にかかる電圧は、抵抗記憶素子10が低抵抗状態から高抵抗状態に変化する前に十分に大きくすることができる。具体的には、NMOSトランジスタ14のドレイン端子に印加する直流電圧の電圧値 $V_d$ を $V_{set}$ 以上とすれば、抵抗記憶素子10にかかる電圧を $V_{set}$ 以上とすることができる。このため、抵抗記憶素子10へ流れる電流量を十分に確保することができ、抵抗記憶素子10のリセットに要する時間を短縮することができる。その後は、抵抗記憶素子10が低抵抗状態から高抵抗状態に変化する前に、抵抗記憶素子10にかかる電圧は、 $V_{reset}$ 以上、 $V_{set}$ 未満となる。これにより、上記と同様に、抵抗記憶素子10が高抵抗状態から再び低抵抗状態に変化するのを防止することができる。

20

【0068】

[第3実施形態]

本発明の第3実施形態による不揮発性半導体記憶装置及びその書き込み方法について図8乃至図12を用いて説明する。

30

【0069】

図8及び図9は本実施形態による不揮発性半導体記憶装置の構造を示す回路図、図10及び図11は本実施形態による不揮発性半導体記憶装置の書き込み方法を示すタイムチャート、図12は本実施形態による不揮発性半導体記憶装置の読み出し方法を示すタイムチャートである。

【0070】

本実施形態による不揮発性半導体記憶装置のメモリセル16は、図8に示すように、抵抗記憶素子18と、セル選択トランジスタ20とを有している。抵抗記憶素子18は、その一端がセル選択トランジスタ20のドレイン端子に接続され、他端がソース線SLに接続されている。セル選択トランジスタ20のソース端子はビット線BLに接続され、ゲート端子はワード線WLに接続されている。抵抗記憶素子18は、一对の電極間に例えば $TiO_x$ よりなる単極性抵抗記憶材料が挟持されたものである。セル選択トランジスタ20は、例えば閾値電圧が0.3~1VのMOSトランジスタである。

40

【0071】

図9は、図8に示すメモリセル16をマトリクス状に配置したメモリセルアレイを示す回路図である。複数のメモリセル16が、列方向(図面縦方向)及び行方向(図面横方向)に隣接して形成されている。

【0072】

列方向には、複数のワード線WL0、WL1、...が配されており、列方向に並ぶメモリ

50

セル 16 に共通の信号線を構成している。また、列方向には、ソース線  $SL_0$ 、 $SL_1 \dots$  が配され、列方向に並ぶメモリセル 16 に共通の信号線を構成している。

【0073】

行方向（図面横方向）には、複数のビット線  $BL_0$ 、 $BL_1 \dots$  が配されており、行方向に並ぶメモリセル 16 に共通の信号線を構成している。

【0074】

次に、図 9 に示す本実施形態による不揮発性半導体記憶装置の書き込み方法について図 10 及び図 11 を用いて説明する。

【0075】

はじめに、高抵抗状態から低抵抗状態への書き換え動作、すなわちセットの動作について図 10 を用いて説明する。書き換え対象のメモリセル 16 は、ワード線  $WL_0$  及びビット線  $BL_0$  に接続されたメモリセル 16 であるものとする。図 10 (a) はワード線  $WL_0$  の電圧の時間変化を示している。図 10 (b) はビット線  $BL_0$  の電圧の時間変化を示している。図 10 (c) は書き換え対象のメモリセル 16 における抵抗記憶素子 18 にかかる電圧  $V_0$  の時間変化を示している。図 10 (d) は書き換え対象のメモリセル 16 における抵抗記憶素子 18 に流れる電流（ビット線  $BL_0$  に流れる電流）の時間変化を示している。

10

【0076】

まず、ワード線  $WL_0$  に所定の電圧を印加し、セル選択トランジスタ 20 をオン状態にする。このとき、ワード線  $WL_0$  に印加する電圧は、抵抗記憶素子 18 をセットするのに要するセット電圧を  $V_{set}$ 、セル選択トランジスタ 20 の閾値電圧を  $V_{th}$  として、 $V_{set} + V_{th}$  に制御する（図 10 (a)）。こうして、セル選択トランジスタ 20 のゲート電圧を  $V_{set} + V_{th}$  に設定し、抵抗記憶素子 18 をセットするのに十分な電圧が抵抗記憶素子 18 にかかるようにした状態とする。

20

【0077】

ソース線  $SL_0$  は、基準電位、例えば接地電位である 0 V に接続する。

【0078】

次いで、ビット線  $BL_0$  に、抵抗記憶素子 18 をセットするのに要する電圧  $V_{set}$  以上の電圧  $V_c$  を印加する（図 10 (b)）。

【0079】

ビット線  $BL_0$  に電圧が印加されると、抵抗記憶素子 18 には、ゲート電圧が  $V_{set} + V_{th}$  に設定されたセル選択トランジスタ 20 を介してビット線  $BL_0$  から電圧が印加される。このため、抵抗記憶素子 18 にかかる電圧  $V_0$  はまず  $V_{set}$  となる。これにより、抵抗記憶素子 18 の抵抗値は減少し、抵抗記憶素子 18 は、高抵抗状態から低抵抗状態に変化する。抵抗記憶素子 18 の抵抗値の減少に伴い、抵抗記憶素子 18 にかかる電圧  $V_0$  は  $V_{set}$  から減少する（図 10 (c)）。抵抗記憶素子 18 に流れる電流は、抵抗記憶素子 18 の抵抗値の減少に伴い増加する（図 10 (d)）。

30

【0080】

次いで、ビット線  $BL_0$  に印加する電圧をゼロに戻した後、ワード線  $WL_0$  に印加する電圧をオフにし、セットの動作を完了する。

40

【0081】

次に、低抵抗状態から高抵抗状態への書き換え動作、すなわちリセットの動作について図 11 を用いて説明する。書き換え対象のメモリセル 16 は、ワード線  $WL_0$  及びビット線  $BL_0$  に接続されたメモリセル 16 であるものとする。図 11 (a) はワード線  $WL_0$  の電圧の時間変化を示している。図 11 (b) はビット線  $BL_0$  の電圧の時間変化を示している。図 11 (c) は書き換え対象のメモリセル 16 における抵抗記憶素子 18 にかかる電圧  $V_0$  の時間変化を示している。図 11 (d) は書き換え対象のメモリセル 16 における抵抗記憶素子 18 に流れる電流（ビット線  $BL_0$  に流れる電流）の時間変化を示している。

【0082】

50

本実施形態による低抵抗状態から高抵抗状態への書き換え動作は、第1実施形態による抵抗記憶素子のリセット方法を用いて行うものである。

【0083】

まず、ワード線WL0に所定の電圧を印加し、セル選択トランジスタ20をオン状態にする。このとき、ワード線WL0に印加する電圧 $V_{WL}$ は、抵抗記憶素子18をセットするのに要するセット電圧を $V_{set}$ 、抵抗記憶素子18をリセットするのに要するリセット電圧を $V_{reset}$ 、セル選択トランジスタ20の閾値電圧を $V_{th}$ として、 $V_{reset} + V_{th} < V_{WL} < V_{set} + V_{th}$ の関係を満たす値とする(図11(a))。こうして、セル選択トランジスタ20のゲート電圧 $V_g$ を $V_{reset} + V_{th}$ 、 $V_g < V_{set} + V_{th}$ の関係を満たす値に設定し、抵抗記憶素子18をリセットするのに十分な電圧が抵抗記憶素子18にかかり、かつ抵抗記憶素子18の抵抗値が上昇しても抵抗記憶素子18がセットされないようにした状態とする。

10

【0084】

ソース線SL0は、基準電位、例えば接地電位である0Vに接続する。

【0085】

次いで、ビット線BL0に、抵抗記憶素子18をリセットするのに要する電圧 $V_{reset}$ 以上の電圧 $V_c$ を印加する(図11(b))。

【0086】

ビット線BL0に $V_{reset}$ 以上の電圧が印加されると、抵抗記憶素子18には、ゲート電圧 $V_g$ が $V_{reset} + V_{th}$ 、 $V_g < V_{set} + V_{th}$ の関係を満たす値に設定されたセル選択トランジスタ20を介してビット線BL0から電圧が印加される。このため、抵抗記憶素子18にかかる電圧 $V_0$ は $V_{reset}$ 以上、 $V_{set}$ 未満の値となり、 $V_{set}$ 以上となることはない(図11(c))。これにより、抵抗記憶素子18の抵抗値は上昇し、抵抗記憶素子18は、低抵抗状態から高抵抗状態に変化する。

20

【0087】

上記リセット過程においては、抵抗記憶素子18の抵抗値が上昇した瞬間、抵抗記憶素子18に流れる電流は減少し、抵抗記憶素子18にかかる電圧 $V_0$ は上昇する(図11(c)及び図11(d))。しかしながら、本実施形態によれば、抵抗記憶素子18の抵抗値が上昇しても、抵抗記憶素子18にかかる電圧 $V_0$ は $V_{set}$ 未満に抑えられるため、低抵抗状態から高抵抗状態に変化した抵抗記憶素子18が再び低抵抗状態に変化することなく、高抵抗状態を維持することができる。

30

【0088】

次いで、ビット線BL0に印加する電圧をゼロに戻した後、ワード線WL0に印加する電圧をオフにし、リセットの動作を完了する。

【0089】

次に、図9に示す本実施形態による不揮発性半導体記憶装置の読み出し方法について図12を用いて説明する。読み出し対象のメモリセル16は、ワード線WL0及びビット線BL0に接続されたメモリセル16であるものとする。図12(a)はワード線WL0の電圧の時間変化を示している。図12(b)はビット線BL0の電圧の時間変化を示している。図12(c)は書き換え対象のメモリセル16における抵抗記憶素子18にかかる電圧 $V_0$ の時間変化を示している。図12(d)は書き換え対象のメモリセル16における抵抗記憶素子18に流れる電流(ビット線BL0に流れる電流)の時間変化を示している。

40

【0090】

まず、ビット線BL0に、所定の電圧を印加する(図12(b))。ビット線BL0に印加する電圧 $V_{read}$ は、抵抗記憶素子18がいずれの抵抗状態にあるときも印加電圧によってセットやリセットが生じないように設定する。

【0091】

ソース線SL1は、基準電位、例えば接地電位である0Vに接続する。

【0092】

50

次いで、ワード線WL0に所定の電圧を印加し、セル選択トランジスタ20をオン状態にする(図12(a))。

【0093】

ワード線WL0にこのような電圧が印加されると、抵抗記憶素子18に電圧 $V_{read}$ がかかり(図12(c))、ビット線BL0には、抵抗記憶素子18の抵抗値に応じた電流が流れる(図12(d))。

【0094】

したがって、ビット線BL0に流れるこの電流値を検出することにより、抵抗記憶素子18が高抵抗状態及び低抵抗状態のいずれの状態にあるかを読み出すことができる。すなわち、読み出し対象のメモリセル16に保持されたデータが“0”及び“1”のいずれのデータなのかを読み出すことができる(図12(d))。

10

【0095】

このように、本実施形態によれば、抵抗記憶素子を低抵抗状態から高抵抗状態にスイッチさせる際、所定の電圧値にゲート電圧が設定されたトランジスタを介して抵抗記憶素子に電圧を印加するので、抵抗記憶素子に過大な電圧がかかり抵抗記憶素子が再び低抵抗状態に変化するのを防止することができる。これにより、抵抗記憶素子にデータを正確に書き込むことができ、抵抗記憶素子を用いた不揮発性半導体記憶装置の信頼性を向上することができる。

【0096】

[第4実施形態]

20

本発明の第4実施形態による不揮発性半導体記憶装置及びその書き込み方法について図13及び図14を用いて説明する。なお、第3実施形態による不揮発性半導体記憶装置及びその書き込み方法と同様の構成要素には、同一の符号を付し説明を省略或いは簡略にする。

【0097】

図13及び図14は本実施形態による不揮発性半導体記憶装置の書き込み方法を示すタイムチャートである。

【0098】

本実施形態による不揮発性半導体記憶装置は、図8及び図9に示す第3実施形態による不揮発性半導体記憶装置と同様である。以下、本実施形態による不揮発性半導体記憶装置の書き込み方法について図13及び図14を用いて説明する。

30

【0099】

はじめに、高抵抗状態から低抵抗状態への書き換え動作、すなわちセットの動作について図13を用いて説明する。書き換え対象のメモリセル16は、ワード線WL0及びビット線BL0に接続されたメモリセル16であるものとする。図13(a)はワード線WL0の電圧の時間変化を示している。図13(b)はビット線BL0の電圧の時間変化を示している。図13(c)は書き換え対象のメモリセル16における抵抗記憶素子18にかかる電圧 $V_0$ の時間変化を示している。図13(d)は書き換え対象のメモリセル16における抵抗記憶素子18に流れる電流(ビット線BL0に流れる電流)の時間変化を示している。

40

【0100】

まず、ビット線BL0に、抵抗記憶素子18をセットするのに要する電圧 $V_{set}$ 以上の電圧 $V_{cc}$ を印加する(図13(b))。

【0101】

ソース線SL0は、基準電位、例えば接地電位である0Vに接続する。

【0102】

次いで、ワード線WL0に所定の電圧を印加し、セル選択トランジスタ20をオン状態にする。このとき、ワード線WL0に印加する電圧は、抵抗記憶素子18をセットするのに要するセット電圧を $V_{set}$ 、セル選択トランジスタ20の閾値電圧を $V_{th}$ として、 $V_{set} + V_{th}$ に制御する(図13(a))。

50

## 【0103】

セル選択トランジスタ20がオン状態になると、抵抗記憶素子18には、ゲート電圧が $V_{set} + V_{th}$ に設定されたセル選択トランジスタ20を介してビット線BL0から電圧が印加される。このため、抵抗記憶素子18にかかる電圧 $V_0$ はまず $V_{set}$ となる。これにより、抵抗記憶素子18の抵抗値は減少し、抵抗記憶素子18は、高抵抗状態から低抵抗状態に変化する。抵抗記憶素子18の抵抗値の減少に伴い、抵抗記憶素子18にかかる電圧 $V_0$ は $V_{set}$ から減少する(図13(c))。抵抗記憶素子18に流れる電流は、抵抗記憶素子18の抵抗値の減少に伴い増加する(図13(d))。

## 【0104】

次いで、ビット線BL0に印加する電圧をゼロに戻した後、ワード線WL0に印加する電圧をオフにし、セットの動作を完了する。

10

## 【0105】

次に、低抵抗状態から高抵抗状態への書き換え動作、すなわちリセットの動作について図14を用いて説明する。書き換え対象のメモリセル16は、ワード線WL0及びビット線BL0に接続されたメモリセル16であるものとする。図14(a)はワード線WL0の電圧の時間変化を示している。図14(b)はビット線BL0の電圧の時間変化を示している。図14(c)は書き換え対象のメモリセル16における抵抗記憶素子18にかかる電圧 $V_0$ の時間変化を示している。図14(d)は書き換え対象のメモリセル16における抵抗記憶素子18に流れる電流(ビット線BL0に流れる電流)の時間変化を示している。

20

## 【0106】

本実施形態による低抵抗状態から高抵抗状態への書き換え動作は、第2実施形態による抵抗記憶素子のリセット方法を用いて行うものである。

## 【0107】

まず、ビット線BL0に、抵抗記憶素子18をリセットするのに要する電圧 $V_{reset}$ 以上の電圧 $V_{cc}$ を印加する(図14(b))。

## 【0108】

ソース線SL0は、基準電位、例えば接地電位である0Vに接続する。

## 【0109】

次いで、ワード線WL0に所定の電圧を印加し、セル選択トランジスタ20をオン状態にする。このとき、ワード線WL0に印加する電圧 $V_{WL}$ は、抵抗記憶素子18をセットするのに要するセット電圧を $V_{set}$ 、抵抗記憶素子18をリセットするのに要するリセット電圧を $V_{reset}$ 、セル選択トランジスタ20の閾値電圧を $V_{th}$ として、 $V_{reset} + V_{th} < V_{WL} < V_{set} + V_{th}$ の関係を満たす値とする(図14(a))。

30

## 【0110】

セル選択トランジスタ20がオン状態になると、抵抗記憶素子18には、ゲート電圧 $V_g$ が $V_{reset} + V_{th} < V_g < V_{set} + V_{th}$ の関係を満たす値に設定されたセル選択トランジスタ20を介してビット線BL0から電圧が印加される。このため、抵抗記憶素子18にかかる電圧 $V_0$ は $V_{reset}$ 以上、 $V_{set}$ 未満の値となり、 $V_{set}$ 以上となることはない(図14(c))。これにより、抵抗記憶素子18の抵抗値は上昇し、抵抗記憶素子18は、低抵抗状態から高抵抗状態に変化する。

40

## 【0111】

上記リセット過程においては、抵抗記憶素子18の抵抗値が上昇した瞬間、抵抗記憶素子18に流れる電流は減少し、抵抗記憶素子18にかかる電圧 $V_0$ は上昇する(図14(c)及び図14(d))。しかしながら、本実施形態によれば、抵抗記憶素子18にかかる電圧 $V_0$ は $V_{set}$ 未満に抑えられるため、低抵抗状態から高抵抗状態に変化した抵抗記憶素子18が再び低抵抗状態に変化することなく、高抵抗状態を維持することができる。

## 【0112】

次いで、ワード線WL0に印加する電圧をゼロに戻した後、ビット線BL0に印加する

50

電圧をオフにし、リセットの動作を完了する。

【0113】

なお、本実施形態による不揮発性半導体記憶装置の読み出し方法は、第3実施形態による場合と同様である。

【0114】

このように、本実施形態によれば、抵抗記憶素子を低抵抗状態から高抵抗状態にスイッチさせる際、所定の電圧値にゲート電圧が設定されたトランジスタを介して抵抗記憶素子に電圧を印加するので、抵抗記憶素子に過大な電圧がかかり抵抗記憶素子が再び低抵抗状態に変化するのを防止することができる。これにより、抵抗記憶素子にデータを正確に書き込むことができ、抵抗記憶素子を用いた不揮発性半導体記憶装置の信頼性を向上することができる。

10

【0115】

(変形例)

本実施形態の変形例による不揮発性半導体記憶装置の書き込み方法について図15を用いて説明する。図15は本変形例による不揮発性半導体記憶装置の書き込み方法を示すタイムチャートである。

【0116】

本変形例による不揮発性半導体記憶装置の書き込み方法は、上記の低抵抗状態から高抵抗状態への書き換え動作において、ワード線WL0に印加する電圧を、電圧印加開始から抵抗記憶素子18のリセットする前において $V_{set} + V_{th}$ 以上に設定し、抵抗記憶素子18のリセットに要する時間を短縮するものである。

20

【0117】

以下、本変形例による低抵抗状態から高抵抗状態への書き換え動作、すなわちリセット動作について図15を用いて説明する。書き換え対象のメモリセル16は、ワード線WL0及びビット線BL0に接続されたメモリセル16であるものとする。図15(a)はワード線WL0の電圧の時間変化を示している。図15(b)はビット線BL0の電圧の時間変化を示している。図15(c)は書き換え対象のメモリセル16における抵抗記憶素子18にかかる電圧 $V_0$ の時間変化を示している。図15(d)は書き換え対象のメモリセル16における抵抗記憶素子18に流れる電流(ビット線BL0に流れる電流)の時間変化を示している。

30

【0118】

まず、ビット線BL0に、抵抗記憶素子18をセットするのに要する電圧 $V_{set}$ 以上の電圧 $V_{cc}$ を印加する(図15(b))。

【0119】

ソース線SL0は、基準電位、例えば接地電位である0Vに接続する。

【0120】

次いで、ワード線WL0に所定の電圧を印加し、セル選択トランジスタ20をオン状態にする。このとき、本変形例では、ワード線WL0に印加する電圧 $V_{WL}$ を、電圧印加開始後の初期の期間(パルス電圧の立ち上がり後の初期の期間)、すなわち抵抗記憶素子18が低抵抗状態から高抵抗状態へ変化する前の所定の期間において、 $V_{set} + V_{th}$ 以上に設定し、その後、抵抗記憶素子18が低抵抗状態から高抵抗状態へ変化する前に、上記と同様に、 $V_{reset} + V_{th} < V_{WL} < V_{set} + V_{th}$ の関係を満たす値に設定する(図15(a))。

40

【0121】

これにより、抵抗記憶素子18にかかる電圧は、抵抗記憶素子18が低抵抗状態から高抵抗状態へ変化する前において $V_{set}$ 以上となり、その後、抵抗記憶素子18が低抵抗状態から高抵抗状態へ変化する前に、 $V_{reset}$ 以上、 $V_{set}$ 未満となる(図15(c))。

【0122】

このように、本変形例では、抵抗記憶素子18にかかる電圧は、抵抗記憶素子18が低

50

抵抗状態から高抵抗状態へ変化する前において  $V_{set}$  以上となるので、抵抗記憶素子 18 へ流れる電流量を十分に確保することができる。これにより、抵抗記憶素子 18 のリセットに要する時間を短縮することができる。

【0123】

[第5実施形態]

本発明の第5実施形態による不揮発性半導体記憶装置及びその製造方法について図16乃至図19を用いて説明する。

【0124】

図16(a)は本実施形態による不揮発性半導体記憶装置の構造を示す平面図、図16(b)は本実施形態による不揮発性半導体記憶装置の構造を示す概略断面図、図17乃至図19は本実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図である。

10

【0125】

本実施形態では、上記第3実施形態による不揮発性半導体記憶装置の具体的な構造及びその製造方法について説明する。

【0126】

はじめに、本実施形態による不揮発性半導体記憶装置の構造について図16を用いて説明する。

【0127】

図16(b)に示すように、シリコン基板22には、素子領域を画定する素子分離膜24が形成されている。シリコン基板22の素子領域には、ゲート電極26及びソース/ドレイン領域28、30を有するセル選択トランジスタが形成されている。

20

【0128】

ゲート電極26は、図16(a)に示すように、列方向(図面縦方向)に隣接するセル選択トランジスタのゲート電極26を共通接続するワード線WLとしても機能する。

【0129】

セル選択トランジスタが形成されたシリコン基板22上には、ソース/ドレイン領域28に電氣的に接続されたコンタクトプラグ32と、ソース/ドレイン領域30に電氣的に接続されたコンタクトプラグ34とが埋め込まれた層間絶縁膜36が形成されている。

【0130】

コンタクトプラグ32、34が埋め込まれた層間絶縁膜36上には、コンタクトプラグ34を介してソース/ドレイン領域30に電氣的に接続された抵抗記憶素子44が形成されている。

30

【0131】

抵抗記憶素子44は、コンタクトプラグ34に電氣的に接続された下部電極38と、下部電極38上に形成された抵抗記憶材料層40と、抵抗記憶材料層40上に形成された上部電極42とを有している。

【0132】

抵抗記憶素子44が形成された層間絶縁膜36上には、コンタクトプラグ32に電氣的に接続されたコンタクトプラグ46と、抵抗記憶素子44の上部電極42に電氣的に接続されたコンタクトプラグ48とが埋め込まれた層間絶縁膜50が形成されている。

40

【0133】

コンタクトプラグ46、48が埋め込まれた層間絶縁膜50上には、コンタクトプラグ46に電氣的に接続された中継配線52と、コンタクトプラグ48を介して抵抗記憶素子44の上部電極42に電氣的に接続されたソース線54が形成されている。

【0134】

中継配線52及びソース線54が形成された層間絶縁膜50上には、中継配線52に電氣的に接続されたコンタクトプラグ56が埋め込まれた層間絶縁膜58が形成されている。

【0135】

層間絶縁膜58上には、層間絶縁膜58、50、36に埋め込まれたコンタクトプラグ

50

56、中継配線52、コンタクトプラグ46、及びコンタクトプラグ32を介してソース/ドレイン領域28に電氣的に接続されたビット線60が形成されている。

【0136】

こうして、図9に示す第3実施形態による不揮発性半導体記憶装置が構成されている。

【0137】

次に、本実施形態による不揮発性半導体記憶装置の製造方法について図17乃至図19を用いて説明する。

【0138】

まず、シリコン基板22内に、素子領域を画定する素子分離膜24を形成する。

【0139】

次いで、シリコン基板22の素子領域上に、通常のMOSトランジスタの製造方法と同様にして、ゲート電極26及びソース/ドレイン領域28、30を有するセル選択トランジスタを形成する(図17(a))。

【0140】

次いで、セル選択トランジスタが形成されたシリコン基板22上に、例えばCVD法によりシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜36を形成する。

【0141】

次いで、リソグラフィ及びドライエッチングにより、層間絶縁膜36に、ソース/ドレイン領域28、30に達するコンタクトホールを形成する。

【0142】

次いで、例えばCVD法によりバリアメタル及びタングステン膜を堆積後、これら導電膜をエッチバックし、層間絶縁膜36内に、ソース/ドレイン領域28、30に電氣的に接続されたコンタクトプラグ32、34を形成する(図17(b))。

【0143】

次いで、コンタクトプラグ32、34が埋め込まれた層間絶縁膜36上に、Pt膜38と、TiO<sub>x</sub>膜40と、Pt膜42とを順次成膜する(図17(c))。

【0144】

次いで、フォトリソグラフィ及びドライエッチングにより、Pt膜38、TiO<sub>x</sub>膜40、及びPt膜42をパターンニングし、Ptよりなる下部電極38と、TiO<sub>x</sub>よりなる抵抗記憶材料層40と、Ptよりなる上部電極42とを有する抵抗記憶素子44を形成する(図18(a))。

【0145】

次いで、抵抗記憶素子44が形成された層間絶縁膜36上に、例えばCVD法によりシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜50を形成する。

【0146】

次いで、リソグラフィ及びドライエッチングにより、層間絶縁膜50に、コンタクトプラグ32に達するコンタクトホール、及び抵抗記憶素子44の上部電極42に達するコンタクトホールを形成する。

【0147】

次いで、例えばCVD法によりバリアメタル及びタングステン膜を堆積後、これら導電膜をエッチバックし、層間絶縁膜50内に、コンタクトプラグ32に電氣的に接続されたコンタクトプラグ46と、抵抗記憶素子44の上部電極42に電氣的に接続されたコンタクトプラグ48とを形成する(図18(b))。

【0148】

次いで、コンタクトプラグ46、48が埋め込まれた層間絶縁膜50上に導電膜を堆積後、フォトリソグラフィ及びドライエッチングによりこの導電膜をパターンニングし、コンタクトプラグ46に電氣的に接続された中継配線52と、コンタクトプラグ48を介して抵抗記憶素子44の上部電極42に電氣的に接続されたソース線54を形成する(図18(c))。

【0149】

10

20

30

40

50

次いで、中継配線 5 2 及びソース線 5 4 が形成された層間絶縁膜 5 0 上に、例えば C V D 法によりシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜 5 8 を形成する。

【 0 1 5 0 】

次いで、リソグラフィ及びドライエッチングにより、層間絶縁膜 5 8 に、中継配線 5 2 に達するコンタクトホールを形成する。

【 0 1 5 1 】

次いで、例えば C V D 法によりバリアメタル及びタンゲステン膜を堆積後、これら導電膜をエッチバックし、層間絶縁膜 5 8 内に、中継配線 5 2 に電氣的に接続されたコンタクトプラグ 5 6 を形成する ( 図 1 9 ( a ) ) 。

10

【 0 1 5 2 】

次いで、コンタクトプラグ 5 6 が埋め込まれた層間絶縁膜 5 8 上に導電膜を堆積後、フォトリソグラフィ及びドライエッチングによりこの導電膜をパターンニングし、コンタクトプラグ 5 6、中継配線 5 2、コンタクトプラグ 4 6、及びコンタクトプラグ 3 2 を介してソース/ドレイン領域 2 8 に電氣的に接続されたビット線 6 0 を形成する ( 図 1 9 ( b ) ) 。

【 0 1 5 3 】

この後、必要に応じて更に上層の配線層を形成し、不揮発性半導体記憶装置を完成する。

【 0 1 5 4 】

20

[ 変形実施形態 ]

本発明は上記実施形態に限らず種々の変形が可能である。

【 0 1 5 5 】

例えば、上記実施形態では、抵抗記憶素子の抵抗記憶材料として  $TiO_x$  を用いたが、抵抗記憶素子の抵抗記憶材料はこれに限定されるものではない。例えば、抵抗記憶材料としては、 $NiO_x$  等を適用することができる。

【 0 1 5 6 】

また、上記実施形態では、抵抗記憶素子の電極を Pt により構成したが、電極の構成材料はこれに限定されるものではない。

【 0 1 5 7 】

30

また、上記第 3 及び第 4 実施形態では、セル選択トランジスタを介して抵抗記憶素子に電圧を印加することにより、抵抗記憶素子にかかる電圧をセット電圧よりも小さくしたが、セル選択トランジスタとは別個に、抵抗記憶素子にかかる電圧をセット電圧よりも小さくするためのトランジスタを設けて、不揮発性半導体記憶装置を構成してもよい。

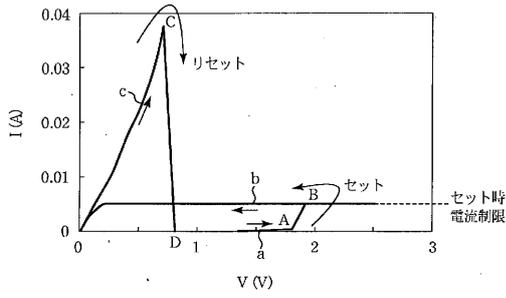
【 産業上の利用可能性 】

【 0 1 5 8 】

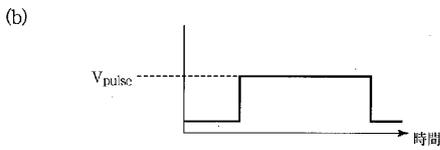
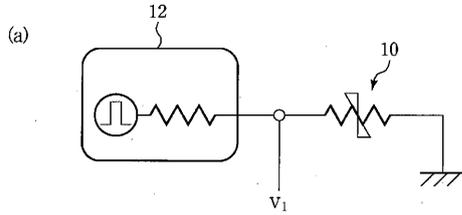
本発明による不揮発性半導体記憶装置の書き込み方法は、抵抗記憶素子を低抵抗状態から高抵抗状態にスイッチする際に、高抵抗状態に変化した抵抗素子が再び低抵抗状態に変化するのを確実に防止しうるものである。したがって、本発明による不揮発性半導体記憶装置の書き込み方法は、不揮発性半導体記憶装置の信頼性を向上するうえで極めて有用である。

40

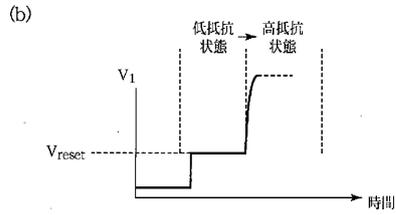
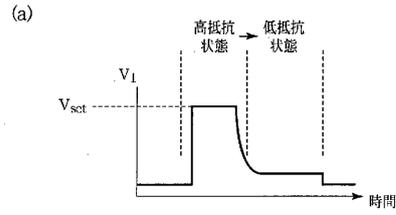
【図1】



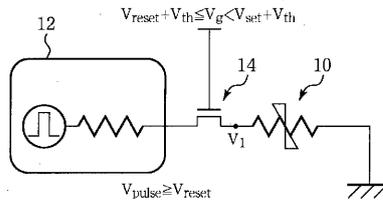
【図2】



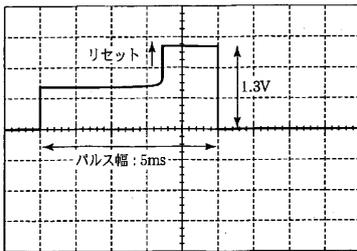
【図3】



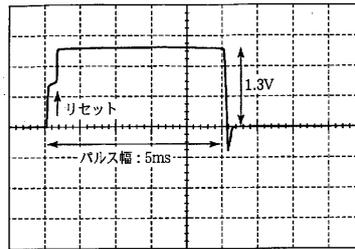
【図4】



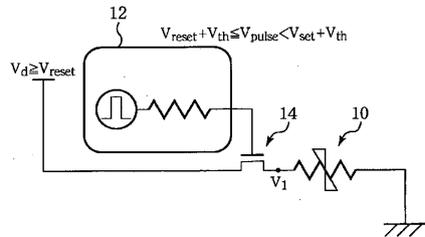
【図5】



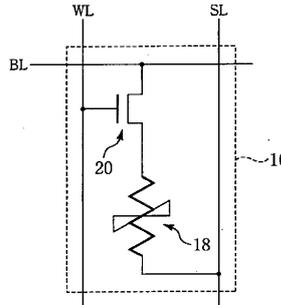
【図7】



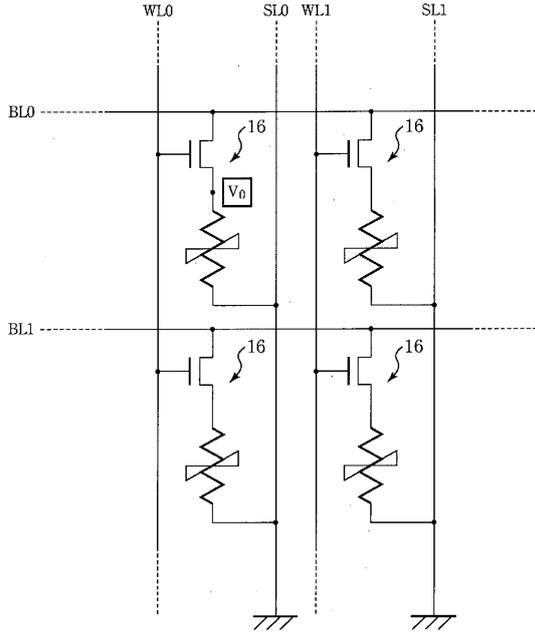
【図6】



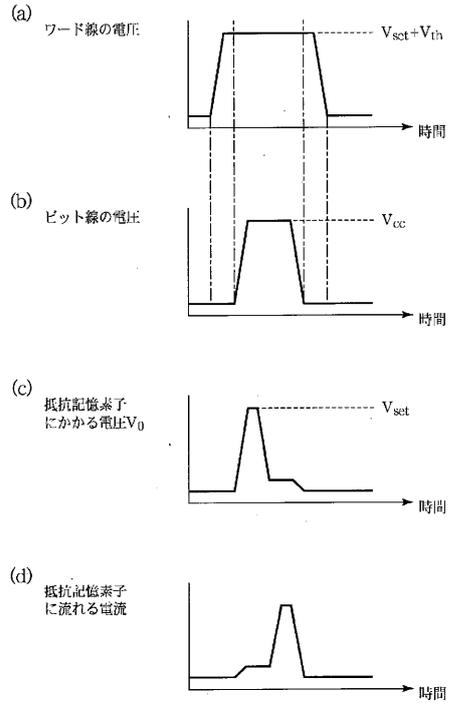
【図8】



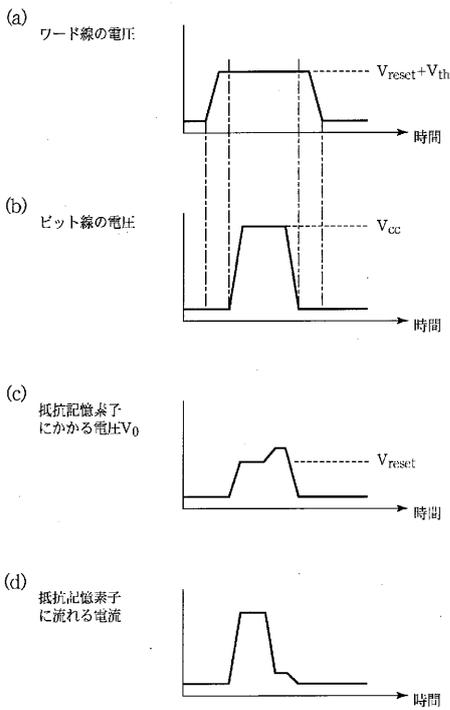
【図9】



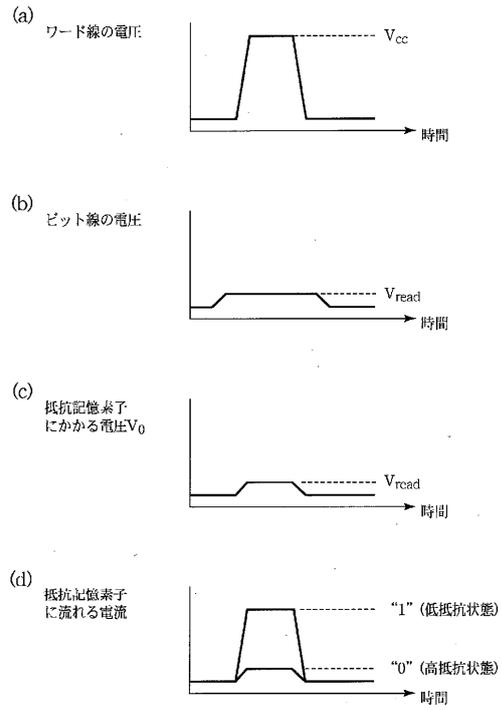
【図10】



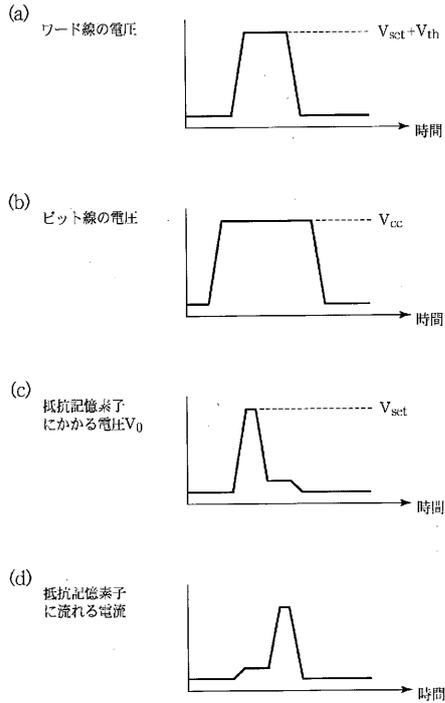
【図11】



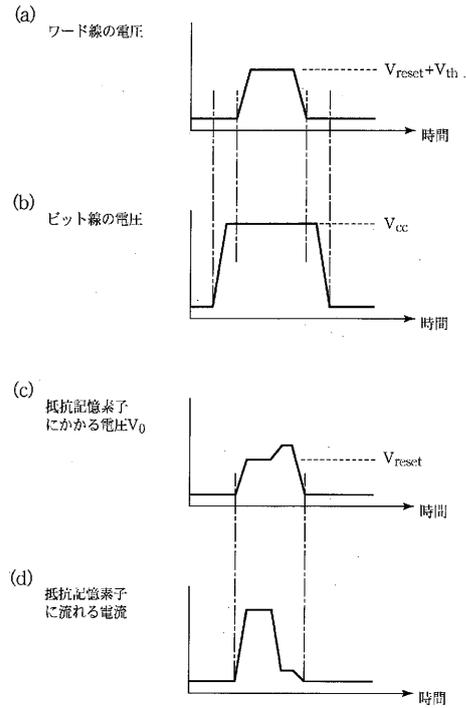
【図12】



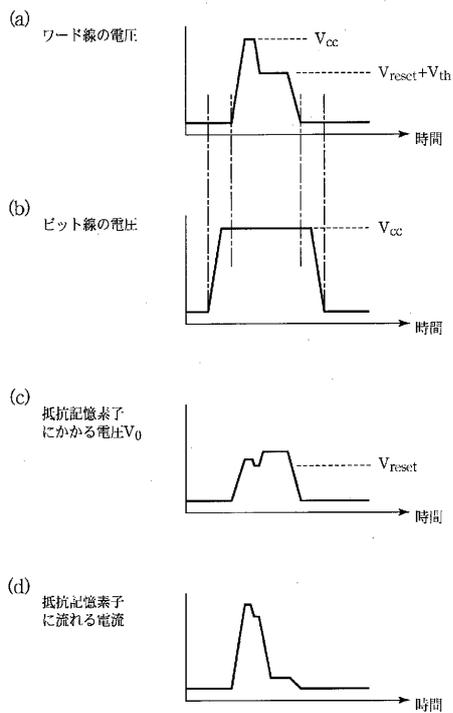
【図13】



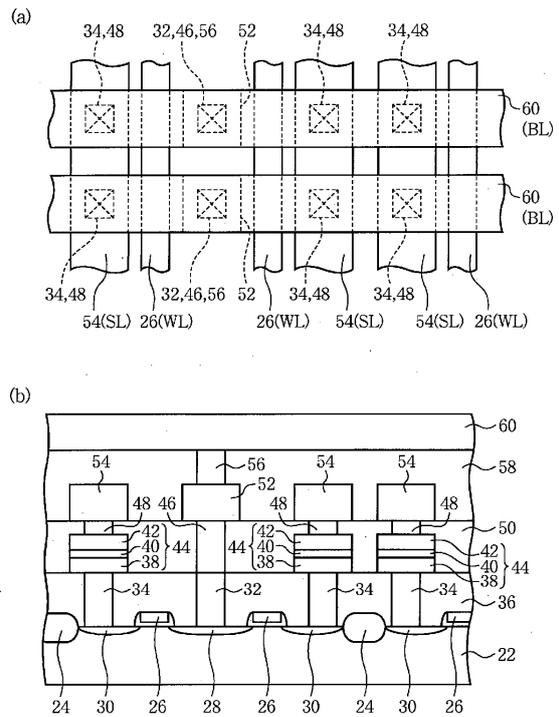
【図14】



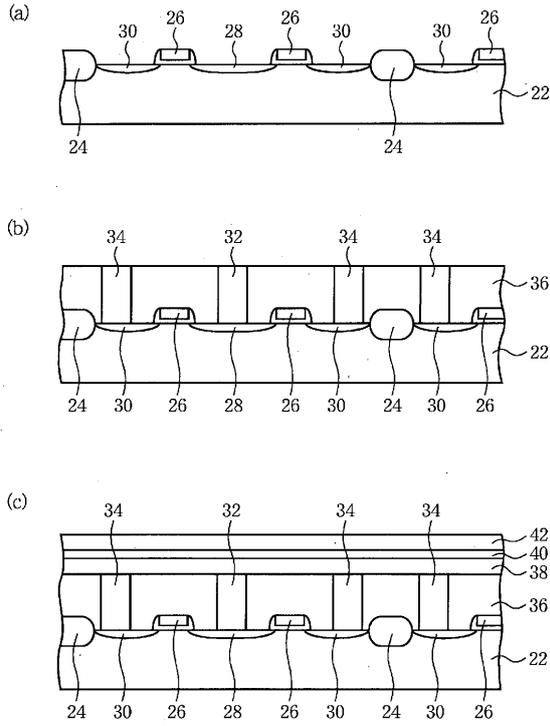
【図15】



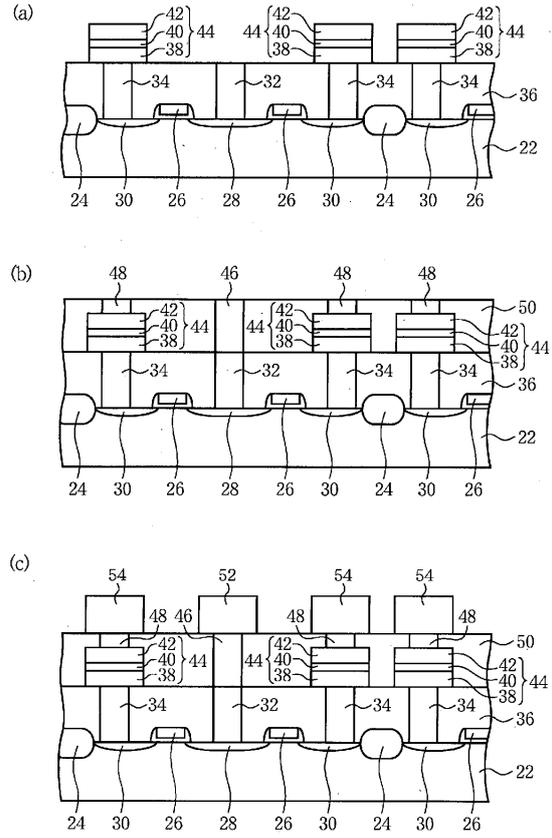
【図16】



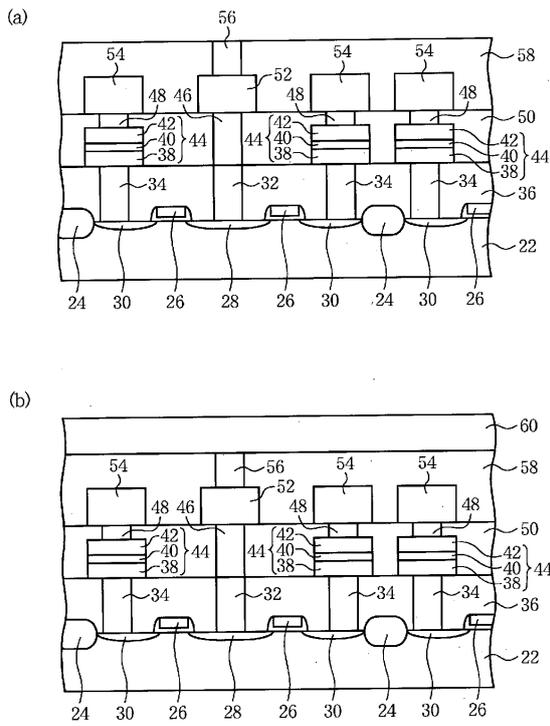
【 図 17 】



【 図 18 】



【 図 19 】



---

フロントページの続き

- (56)参考文献 特開2004-158119(JP,A)  
特開2005-216387(JP,A)  
特開2005-025914(JP,A)  
国際公開第2005/076355(WO,A1)

- (58)調査した分野(Int.Cl., DB名)  
G11C 13/00  
H01L 27/10