(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0110920
(43) 공개일자 2019년10월01일

(51) 국제특허분류(Int. Cl.)
G11C 16/26 (2006.01) *G06F 11/10* (2006.01)
G06F 13/16 (2006.01) *G11C 16/30* (2006.01)
(52) CPC특허분류
G11C 16/26 (2013.01)
G06F 11/1048 (2013.01)
(21) 출원번호 10-2018-0068031
(22) 출원일자 2018년06월14일
심사청구일자 없음
(30) 우선권주장
1020180032853 2018년03월21일 대한민국(KR)

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
홍지만
경기도 성남시 분당구 백현로 206, 416동 602호 (정자동, 한솔마을주공4단지아파트)
김태훈
경기도 성남시 분당구 느티로51번길 16-8, 101호 (정자동)
(74) 대리인
김두식, 문용호, 오종한

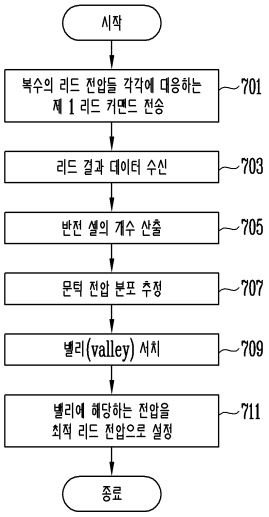
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 **메모리 컨트롤러 및 이를 포함하는 메모리 시스템**

(57) 요 약

본 발명은, 복수의 메모리 셀들 각각에 대하여 서로 다른 레벨을 갖는 복수의 리드 전압들 각각에 대응하는 제 1 리드 동작이 복수 회 수행될 수 있도록, 상기 복수의 리드 전압들 각각에 대응하는 제 1 리드 커맨드를 생성하여 메모리 장치에게 전송하는 커맨드 생성부; 및 상기 메모리 장치로부터 수신된 리드 결과 데이터를 기반으로, 상기 복수의 리드 전압들 각각에 대응하는 상기 복수의 제 1 리드 동작에서 서로 다른 비트 값을 나타내는 반전 셀의 개수를 산출하는 반전 셀 개수 산출부를 포함하는 메모리 컨트롤러 및 이를 포함하는 메모리 시스템을 포함한다.

대 표 도 - 도7



(52) CPC특허분류
G06F 13/1668 (2013.01)
G11C 16/30 (2013.01)

명 세 서

청구범위

청구항 1

복수의 메모리 셀들 각각에 대하여 서로 다른 레벨을 갖는 복수의 리드 전압들 각각에 대응하는 제 1 리드 동작이 복수 회 수행될 수 있도록, 상기 복수의 리드 전압들 각각에 대응하는 제 1 리드 커맨드를 생성하여 메모리 장치에게 전송하는 커맨드 생성부; 및

상기 메모리 장치로부터 수신된 리드 결과 데이터를 기반으로, 상기 복수의 리드 전압들 각각에 대응하는 상기 복수의 제 1 리드 동작에서 서로 다른 비트 값을 나타내는 반전 셀의 개수를 산출하는 반전 셀 개수 산출부

를 포함하는 메모리 컨트롤러.

청구항 2

제 1 항에 있어서, 상기 제 1 리드 동작은,

상기 복수의 리드 전압들 각각에 대응하여 두 번씩 수행되는

메모리 컨트롤러.

청구항 3

제 1 항에 있어서, 상기 커맨드 생성부는,

상기 복수의 리드 전압들 각각에 대응하여, 해당 리드 전압에 대응하는 제 1 리드 동작이 한 번 수행될 수 있도록 하는 A 타입의 제 1 리드 커맨드를 복수 회 전송하는

메모리 컨트롤러.

청구항 4

제 1 항에 있어서, 상기 커맨드 생성부는,

상기 복수의 리드 전압들 각각에 대응하여, 해당 리드 전압에 대응하는 제 1 리드 동작이 복수 회 수행될 수 있도록 하는 B 타입의 제 1 리드 커맨드를 한 번 전송하는

메모리 컨트롤러.

청구항 5

제 1 항에 있어서, 상기 메모리 장치로부터 수신된 리드 결과 데이터는,

상기 복수의 리드 전압들 각각에 대하여, 상기 복수 회 수행된 제 1 리드 동작 각각에 대응하는 리드 데이터인

메모리 컨트롤러.

청구항 6

제 1 항에 있어서, 상기 메모리 장치로부터 수신된 리드 결과 데이터는,

상기 복수의 리드 전압들 각각에 대하여, 상기 복수 회 수행된 제 1 리드 동작에서 각각의 메모리 셀에 대응하

는 리드 데이터가 반전되었는지 여부를 나타내는 데이터인

메모리 컨트롤러.

청구항 7

복수의 메모리 셀들 각각에 대하여 서로 다른 레벨을 갖는 복수의 리드 전압들 각각에 대응하는 제 1 리드 동작이 복수 회 수행될 수 있도록, 상기 복수의 리드 전압들 각각에 대응하는 제 1 리드 커맨드를 생성하여 메모리 장치에게 전송하는 커맨드 생성부;

상기 메모리 장치로부터 수신된 리드 결과 데이터를 기반으로, 상기 복수의 리드 전압들 각각에 대응하는 상기 복수의 제 1 리드 동작에서 서로 다른 비트 값을 나타내는 반전 셀의 개수를 산출하는 반전 셀 개수 산출부; 및

상기 복수의 리드 전압들 각각에 대응하여 산출된 반전 셀의 개수의 분포를 상기 메모리 셀들의 문턱 전압 분포로 추정하는 최적 리드 전압 결정부

를 포함하는 메모리 컨트롤러.

청구항 8

제 7 항에 있어서, 상기 최적 리드 전압 결정부는,

상기 복수의 리드 전압들 중 상기 추정된 문턱 전압 분포의 밸리(valley)에 대응하는 리드 전압을 최적 리드 전압으로 설정하는

메모리 컨트롤러.

청구항 9

제 8 항에 있어서, 상기 커맨드 생성부는,

상기 복수의 메모리 셀들 각각에 대하여 상기 최적 리드 전압을 사용하는 제 2 리드 동작이 수행될 수 있도록, 상기 최적 리드 전압에 대응하는 제 2 리드 커맨드를 생성하여 상기 메모리 장치에게 전송하는

메모리 컨트롤러.

청구항 10

복수의 메모리 셀들 각각에 대하여 서로 다른 레벨을 갖는 복수의 리드 전압들 각각에 대응하는 제 1 리드 동작이 복수 회 수행될 수 있도록, 상기 복수의 리드 전압들 각각에 대응하는 제 1 리드 커맨드를 생성하여 메모리 장치에게 전송하는 커맨드 생성부;

상기 메모리 장치로부터 수신된 리드 결과 데이터를 기반으로, 상기 복수의 리드 전압들 각각에 대응하는 상기 복수의 제 1 리드 동작에서 서로 다른 비트 값을 나타내는 반전 셀의 개수를 산출하는 반전 셀 개수 산출부;

상기 복수의 리드 전압들 각각에 대응하여 산출된 반전 셀의 개수의 분포를 상기 메모리 셀들의 문턱 전압 분포로 추정하고, 상기 복수의 리드 전압들 중 상기 추정된 문턱 전압 분포의 밸리(valley)에 대응하는 리드 전압을 최적 리드 전압으로 설정하는 최적 리드 전압 결정부; 및

상기 제 1 리드 동작에 대응하는 리드 결과 데이터들 중 상기 최적 리드 전압에 대응하는 리드 결과 데이터를 기반으로, 상기 최적 리드 전압에 대응하는 반전 셀의 인덱스를 저장하는 수정 대상 인덱스 관리부; 및

상기 최적 리드 전압에 대응하는 제 2 리드 동작의 결과로서 상기 메모리 장치로부터 수신되는 코드워드에 대한 에러 정정 디코딩을 수행하고, 상기 에러 정정 디코딩이 페일되는 경우 상기 저장된 반전 셀의 인덱스에 대응하는 파라미터를 수정하여 상기 에러 정정 디코딩을 재시도 하는 에러 정정 회로

를 포함하는 메모리 컨트롤러.

청구항 11

제 10 항에 있어서, 상기 커맨드 생성부는,

상기 복수의 메모리 셀들 각각에 대하여 상기 최적 리드 전압에 대응하는 상기 제 2 리드 동작이 수행될 수 있도록, 상기 최적 리드 전압에 대응하는 제 2 리드 커맨드를 생성하여 상기 메모리 장치에게 전송하는

메모리 컨트롤러.

청구항 12

제 10 항에 있어서, 상기 에러 정정 디코딩은,

경판정 디코딩 및 연판정 디코딩 중 적어도 하나를 포함하는

메모리 컨트롤러.

청구항 13

제 12 항에 있어서,

상기 경판정 디코딩은, BCH(Bose, Chaudhri, Hocquenghem) 코드, 리드 솔로몬(Reed Solomon) 코드, RM(Reed Muller) 코드 및 해밍 코드(Hamming) 중 적어도 하나를 기반으로 하는 에러 정정 디코딩이고,

상기 연판정 디코딩은, LDPC(Low Density Parity Check) 코드 및 컨볼루션(Convolution) 코드 중 적어도 하나를 기반으로 하는 에러 정정 디코딩인

메모리 컨트롤러.

청구항 14

제 12 항에 있어서, 상기 에러 정정 회로는,

상기 경판정 디코딩 시 상기 저장된 반전 셀의 인덱스에 대응하는 비트를 반전시키는

메모리 컨트롤러.

청구항 15

제 12 항에 있어서, 상기 에러 정정 회로는,

상기 연판정 디코딩 시 상기 저장된 반전 셀의 인덱스에 대응하는 LLR(Log Likelihood Ratio) 값의 크기 및 부호 중 적어도 하나를 수정하는

메모리 컨트롤러.

청구항 16

제 15 항에 있어서, 상기 에러 정정 회로는,

상기 저장된 반전 셀의 인덱스에 인접한 셀의 LLR 값의 크기 및 부호 중 적어도 하나를 수정하는

메모리 컨트롤러.

청구항 17

제 16 항에 있어서, 상기 에러 정정 회로는,

상기 저장된 반전 셀의 인덱스에 인접한 셀일수록 LLR 값의 크기를 더 많이 수정하는

메모리 컨트롤러.

청구항 18

복수의 메모리 셀들에 대한 리드 동작을 수행하는 메모리 장치; 및

상기 복수의 메모리 셀들 각각에 대하여 서로 다른 레벨을 갖는 복수의 리드 전압들 각각에 대응하는 리드 동작이 두 번씩 수행될 수 있도록 상기 복수의 리드 전압들 각각에 대응하는 리드 커맨드를 두 개씩 생성하여 상기 메모리 장치에게 전송하고, 상기 복수의 리드 전압들 각각에 대응하여 상기 복수의 메모리 셀들 각각에 대하여 두 번씩 수행된 리드 동작의 결과인 리드 데이터들을 상기 메모리 장치로부터 수신하고, 상기 수신된 리드 데이터들을 비교하여 상기 복수의 메모리 셀들 중 리드 데이터가 반전된 메모리 셀인 반전 셀이 있는지 확인하며, 상기 복수의 리드 전압들 각각에 대하여 확인된 반전 셀의 개수를 산출하는 메모리 컨트롤러

를 포함하는 메모리 시스템.

발명의 설명

기 술 분 야

[0001] 본 발명은, 메모리 컨트롤러 및 이를 포함하는 메모리 시스템에 관한 것으로, 보다 구체적으로는 복수의 리드 동작들을 통하여 반전 셀의 개수를 산출하는 메모리 컨트롤러 및 이를 포함하는 메모리 시스템에 관한 것이다.

배 경 기 술

[0003] 메모리 시스템(memory system)은 저장 장치(storage device) 및 메모리 컨트롤러(memory controller)를 포함할 수 있다.

[0004] 저장 장치는 다수의 메모리 장치들을 포함할 수 있으며, 메모리 장치들은 데이터를 저장하거나, 저장된 데이터를 출력할 수 있다. 예를 들면, 메모리 장치들은 전원 공급이 차단되면 저장된 데이터가 소멸되는 휘발성 메모리 장치들로 이루어지거나, 전원 공급이 차단되더라도 저장된 데이터가 유지되는 비휘발성 메모리 장치들로 이루어질 수 있다.

[0005] 메모리 컨트롤러는 호스트(host)와 저장 장치 사이에서 데이터 통신을 제어할 수 있다.

[0006] 호스트는 PCI-E(Peripheral Component Interconnect - Express), ATA(Advanced Technology Attachment), SATA(Serial ATA), PATA(Parallel ATA), 또는 SAS(serial attached SCSI)와 같은 인터페이스 프로토콜을 사용하여 메모리 컨트롤러를 통해 메모리 장치와 통신할 수 있다. 호스트와 메모리 시스템 간의 인터페이스 프로토콜들은 상술한 예에 한정되지 않으며, USB(Universal Serial Bus), MMC(Multi-Media Card), ESDI(Enhanced Small Disk Interface), 또는 IDE(Integrated Drive Electronics) 등과 같은 다양한 인터페이스들이 포함될 수 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명의 실시 예들은, 최적의 리드 전압을 찾기 위한 메모리 컨트롤러 및 이를 포함하는 메모리 시스템을 제

공한다.

과제의 해결 수단

[0010] 본 발명의 일 실시 예에 따른 메모리 컨트롤러는, 복수의 메모리 셀들 각각에 대하여 서로 다른 레벨을 갖는 복수의 리드 전압들 각각에 대응하는 제 1 리드 동작이 복수 회 수행될 수 있도록, 상기 복수의 리드 전압들 각각에 대응하는 제 1 리드 커맨드를 생성하여 메모리 장치에게 전송하는 커맨드 생성부; 및 상기 메모리 장치로부터 수신된 리드 결과 데이터를 기반으로, 상기 복수의 리드 전압들 각각에 대응하는 상기 복수의 제 1 리드 동작에서 서로 다른 비트 값을 나타내는 반전 셀의 개수를 산출하는 반전 셀 개수 산출부를 포함한다.

[0011] 본 발명의 일 실시 예에 따른 메모리 컨트롤러는, 복수의 메모리 셀들 각각에 대하여 서로 다른 레벨을 갖는 복수의 리드 전압들 각각에 대응하는 제 1 리드 동작이 복수 회 수행될 수 있도록, 상기 복수의 리드 전압들 각각에 대응하는 제 1 리드 커맨드를 생성하여 메모리 장치에게 전송하는 커맨드 생성부; 상기 메모리 장치로부터 수신된 리드 결과 데이터를 기반으로, 상기 복수의 리드 전압들 각각에 대응하는 상기 복수의 제 1 리드 동작에서 서로 다른 비트 값을 나타내는 반전 셀의 개수를 산출하는 반전 셀 개수 산출부; 및 상기 복수의 리드 전압들 각각에 대응하여 산출된 반전 셀의 개수의 분포를 상기 메모리 셀들의 문턱 전압 분포로 추정하는 최적 리드 전압 결정부를 포함한다.

[0012] 본 발명의 일 실시 예에 따른 메모리 컨트롤러는, 복수의 메모리 셀들 각각에 대하여 서로 다른 레벨을 갖는 복수의 리드 전압들 각각에 대응하는 제 1 리드 동작이 복수 회 수행될 수 있도록, 상기 복수의 리드 전압들 각각에 대응하는 제 1 리드 커맨드를 생성하여 메모리 장치에게 전송하는 커맨드 생성부; 상기 메모리 장치로부터 수신된 리드 결과 데이터를 기반으로, 상기 복수의 리드 전압들 각각에 대응하는 상기 복수의 제 1 리드 동작에서 서로 다른 비트 값을 나타내는 반전 셀의 개수를 산출하는 반전 셀 개수 산출부; 상기 복수의 리드 전압들 각각에 대응하여 산출된 반전 셀의 개수의 분포를 상기 메모리 셀들의 문턱 전압 분포로 추정하고, 상기 복수의 리드 전압들 중 상기 추정된 문턱 전압 분포의 밸리(valley)에 대응하는 리드 전압을 최적 리드 전압으로 설정하는 최적 리드 전압 결정부; 및 상기 제 1 리드 동작에 대응하는 리드 결과 데이터들 중 상기 최적 리드 전압에 대응하는 리드 결과 데이터를 기반으로, 상기 최적 리드 전압에 대응하는 반전 셀의 인덱스를 저장하는 수정 대상 인덱스 관리부; 및 상기 최적 리드 전압에 대응하는 제 2 리드 동작의 결과로서 상기 메모리 장치로부터 수신되는 코드워드에 대한 에러 정정 디코딩을 수행하고, 상기 에러 정정 디코딩이 페일되는 경우 상기 저장된 반전 셀의 인덱스에 대응하는 파라미터를 수정하여 상기 에러 정정 디코딩을 재시도 하는 에러 정정 회로를 포함한다.

[0013] 본 발명의 일 실시 예에 따른 메모리 시스템은, 복수의 메모리 셀들에 대한 리드 동작을 수행하는 메모리 장치; 및 상기 복수의 메모리 셀들 각각에 대하여 서로 다른 레벨을 갖는 복수의 리드 전압들 각각에 대응하는 리드 동작이 두 번씩 수행될 수 있도록 상기 복수의 리드 전압들 각각에 대응하는 리드 커맨드를 두 개씩 생성하여 상기 메모리 장치에게 전송하고, 상기 복수의 리드 전압들 각각에 대응하여 상기 복수의 메모리 셀들 각각에 대하여 두 번씩 수행된 리드 동작의 결과인 리드 데이터들을 상기 메모리 장치로부터 수신하고, 상기 수신된 리드 데이터들을 비교하여 상기 복수의 메모리 셀들 중 리드 데이터가 반전된 메모리 셀인 반전 셀이 있는지 확인하며, 상기 복수의 리드 전압들 각각에 대하여 확인된 반전 셀의 개수를 산출하는 메모리 컨트롤러를 포함한다.

발명의 효과

[0015] 본 기술에 따르면, 동일한 리드 전압을 사용하는 복수의 리드 동작들에서 비트가 반전된 셀의 개수를 산출하고, 반전 셀의 개수를 기반으로 메모리 셀들의 문턱 전압 분포를 추정할 수 있다. 또한, 본 기술에 따르면, 반전 셀의 개수를 기반으로 최적 리드 전압을 찾을 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 일 실시 예에 따른 메모리 시스템을 설명하기 위한 도면이다.

도 2는 도 1에 도시된 메모리 컨트롤러를 설명하기 위한 예시도이다.

도 3은 본 발명의 일 실시 예에 따른 메모리 장치를 설명하기 위한 도면이다.

도 4는 메모리 블록을 설명하기 위한 예시도이다.

도 5은 3차원으로 구성된 메모리 블록의 일 실시 예를 설명하기 위한 도면이다.

도 6은 3차원으로 구성된 메모리 블록의 다른 실시 예를 설명하기 위한 도면이다.

도 7은 도 1 및 도 2에 도시된 메모리 컨트롤러의 동작 방법을 설명하기 위한 흐름도이다.

도 8a는 본 발명의 일 실시 예에 따른 리드 결과 데이터를 설명하기 위한 예시도이다.

도 8b는 본 발명의 다른 실시 예에 따른 리드 결과 데이터를 설명하기 위한 예시도이다.

도 9는 본 발명의 실시 예들에 따른 반전 셀의 개수의 분포와 메모리 셀들의 문턱 전압 분포를 설명하기 위한 예시도이다.

도 10은 도 1 및 도 2에 도시된 메모리 컨트롤러의 동작 방법을 설명하기 위한 흐름도이다.

도 11a 및 도 11b는 본 발명의 일 실시 예에 따라 경판정 데이터를 수정하는 과정을 설명하기 위한 도면이다.

도 12a 내지 도 12e는 본 발명의 일 실시 예에 따라 연판정 데이터를 수정하는 과정을 설명하기 위한 도면이다.

도 13은 본 발명의 일 실시 예에 따른 프로그램 스텝 전압 변경 방법을 설명하기 위한 도면이다.

도 14 내지 도 17은 도 1 및 도 2에 도시된 메모리 컨트롤러를 포함하는 메모리 시스템의 다른 예를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0018] 본 발명의 이점 및 특징, 그리고 그것을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 통해 설명될 것이다. 그러나 본 발명은 여기에서 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 단지, 본 실시 예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 제공되는 것이다.

[0019] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "간접적으로 연결"되어 있는 경우도 포함한다. 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0020] 이하, 첨부되는 도면을 참조하여 본 발명의 실시 예들을 설명한다.

[0022] 도 1은 본 발명의 일 실시 예에 따른 메모리 시스템을 설명하기 위한 도면이다.

[0023] 도 1을 참조하면, 메모리 시스템(memory system; 2000)은, 데이터가 저장되는 메모리 장치(memory device; 2200) 및 호스트(host; 1000)의 제어에 따라 메모리 장치(2200)를 제어하는 메모리 컨트롤러(memory controller; 2100)를 포함할 수 있다.

[0024] 호스트(1000)는, PCI-E(Peripheral Component Interconnect-Express), ATA(Advanced Technology Attachment), SATA(Serial ATA), PATA(Parallel ATA) 또는 SAS(serial attached SCSI) 등의 인터페이스 프로토콜을 이용하여 메모리 시스템(2000)과 통신할 수 있다. 호스트(1000)와 메모리 시스템(2000) 간에 이용되는 인터페이스 프로토콜들은 상술한 예에 한정되지 않으며, USB(Universal Serial Bus), MMC(Multi-Media Card), ESDI(Enhanced Small Disk Interface) 또는 IDE(Integrated Drive Electronics) 등의 인터페이스 프로토콜이 이용될 수도 있다.

[0025] 메모리 컨트롤러(2100)는, 메모리 시스템(2000)의 동작을 전반적으로 제어하며, 호스트(1000)와 메모리 장치(2200) 사이의 데이터 교환을 제어할 수 있다. 프로그램 동작 시, 메모리 컨트롤러(2100)는 커맨드(command), 어드레스(address) 및 데이터(data) 등을 메모리 장치(2200)에 전송할 수 있다. 리드 동작 시, 메모리 컨트롤러(2100)는, 커맨드 및 어드레스 등을 메모리 장치(2200)에게 전송할 수 있다.

[0026] 메모리 컨트롤러(2100)는, 메모리 장치(2200)에 포함된 복수의 메모리 셀들에 대한 리드 동작이 수행되도록 메

모리 장치(2200)를 제어할 수 있다. 복수의 메모리 셀들에 대한 리드 동작은, 제 1 리드 동작 및 제 2 리드 동작을 포함할 수 있다.

[0027] 제 1 리드 동작은, 서로 다른 레벨을 갖는 복수의 리드 전압들 각각에 대응하여 수행될 수 있다. 제 1 리드 동작은, 각각의 리드 전압마다 복수 회 수행될 수 있다. 즉, 메모리 컨트롤러(2100)는, 서로 다른 레벨을 갖는 복수의 리드 전압들을 이용하여 메모리 셀들에 대한 리드 동작을 수행하도록 메모리 장치(2200)를 제어하되, 각각의 리드 전압에 대응하는 제 1 리드 동작을 복수 회 수행하도록 메모리 장치(2200)를 제어할 수 있다. 다시 말해, 메모리 컨트롤러(2100)는, 리드 전압을 변경시키면서 각각의 리드 전압에 대응하는 제 1 리드 동작을 복수 회 수행하도록 메모리 장치(2200)를 제어할 수 있다. 예를 들어, 메모리 컨트롤러(2100)는, 0V~10V의 전압 구간에서 10mV씩 리드 전압을 스윕(sweep)하면서, 각각의 리드 전압에 대응하는 제 1 리드 동작을 복수 회 수행하도록 메모리 장치(2200)를 제어할 수 있다. 일 실시 예에서, 제 1 리드 동작은, 복수의 리드 전압들 각각에 대응하여 2회씩 이루어질 수 있다. 제 1 리드 동작의 대상이 되는 메모리 셀들은, 하나의 페이지를 구성하는 메모리 셀들일 수 있다. 즉, 제 1 리드 동작은, 하나의 페이지에 대하여 이루어질 수 있다. 실시 예에 따라, 제 1 리드 동작은, 복수의 리드 전압들 각각에 대응하여 3회 이상 이루어질 수도 있다.

[0028] 메모리 컨트롤러(2100)는, 복수의 리드 전압들 각각에 대응하는 제 1 리드 커맨드를 메모리 장치(2200)에게 전송할 수 있다. 여기서, 제 1 리드 커맨드는 A 타입의 제 1 리드 커맨드 및 B 타입의 제 1 리드 커맨드 중 어느 하나일 수 있다. 일 실시 예에서, A 타입의 제 1 리드 커맨드는, 복수의 리드 전압들 중 어느 하나의 리드 전압을 이용한 제 1 리드 동작을 1회 수행할 것을 지시하는 커맨드일 수 있다. 일 실시 예에서, B 타입의 제 1 리드 커맨드는, 복수의 리드 전압들 중 어느 하나의 리드 전압을 이용한 제 1 리드 동작을 복수 회(예를 들어, 2회) 수행할 것을 지시하는 커맨드일 수 있다.

[0029] 메모리 컨트롤러(2100)는, 메모리 장치(2200)로부터 제 1 리드 동작에 대응하는 리드 결과 데이터를 수신할 수 있다.

[0030] 일 실시 예에서, 리드 결과 데이터는, 복수의 제 1 리드 동작들 각각에 대응하는 리드 데이터일 수 있다. 예를 들어, 복수의 리드 전압들 각각에 대응하는 제 1 리드 동작이 하나의 페이지에 대하여 2회씩 수행되는 경우, 복수의 리드 전압들 각각에 대응하는 1회의 제 1 리드 동작마다 하나의 페이지에 대응하는 리드 데이터가 1회 수신될 수 있다. 즉, 동일한 리드 전압을 이용한 제 1 리드 동작이 하나의 페이지에 대하여 2회 수행되는 경우, 동일한 리드 전압을 이용한 2회의 제 1 리드 동작의 결과로서, 하나의 페이지에 대응하는 리드 데이터가 2회 수신될 수 있다.

[0031] 일 실시 예에서, 리드 결과 데이터는, 동일한 리드 전압을 이용한 복수의 제 1 리드 동작들 각각에 대응하는 리드 데이터들을 비교한 결과 데이터로서, 각각의 메모리 셀에 대응하는 리드 데이터가 반전되었는지 여부를 나타내는 데이터일 수 있다. 예를 들어, 복수의 리드 전압들 각각에 대응하는 제 1 리드 동작이 하나의 페이지에 대하여 2회씩 수행되는 경우, 복수의 리드 전압들 각각에 대응하는 2회의 제 1 리드 동작마다 하나의 페이지에 대응하는 리드 결과 데이터가 1회 수신될 수 있다. 즉, 동일한 리드 전압을 이용한 제 1 리드 동작이 하나의 페이지에 대하여 2회 수행되는 경우, 해당 동일 리드 전압을 이용한 2회의 제 1 리드 동작의 결과로서, 하나의 페이지에 대응하는 리드 결과 데이터가 1회 수신될 수 있다.

[0032] 메모리 컨트롤러(2100)는, 메모리 장치(2200)로부터 수신된 리드 결과 데이터를 기반으로 복수의 리드 전압들 각각에 대응하는 반전 셀의 개수를 산출할 수 있다. 반전 셀은, 동일한 리드 전압을 이용한 복수의 제 1 리드 동작에서 리드 데이터가 반전된 셀을 의미한다. 다시 말해, 반전 셀은, 동일한 리드 전압을 이용한 복수의 제 1 리드 동작에서 서로 다른 비트 값을 나타내는 셀을 의미한다.

[0033] 일 실시 예에서, 메모리 장치(2200)로부터 수신된 리드 결과 데이터가 복수의 제 1 리드 동작들 각각에 대응하는 리드 데이터인 경우, 메모리 컨트롤러(2100)는, 동일한 리드 전압에 대응하는 리드 데이터들을 비교하여 복수의 메모리 셀들 중 반전 셀이 있는지 확인하고, 확인된 반전 셀의 개수를 산출할 수 있다. 이 때, 메모리 컨트롤러(2100)는, 확인된 반전 셀의 인덱스를 저장할 수 있다. 반전 셀의 인덱스는, 반전 셀의 칼럼 어드레스에 대응할 수 있다. 즉, 메모리 컨트롤러(2100)는, 하나의 페이지 내에 포함된 복수의 메모리 셀들 중 반전 셀들의 위치 정보를 저장할 수 있다.

[0034] 일 실시 예에서, 메모리 장치(2200)로부터 수신된 리드 결과 데이터가 각각의 메모리 셀에 대응하는 리드 데이터가 반전되었는지 여부를 나타내는 데이터인 경우, 메모리 컨트롤러(2100)는, 리드 결과 데이터를 기반으로 반전 셀의 개수를 산출할 수 있다. 예를 들어, 리드 결과 데이터는, 하나의 페이지에 대응하는 길이를 갖는 비트

열(bit sequence) 형태로 수신될 수 있으며, 비트열에 포함된 각 비트는 해당 비트에 대응하는 위치의 메모리 셀이 반전되었는지 여부를 나타낼 수 있다. 예를 들어, 비트열에 포함된 n(n은 자연수) 번째 비트는 n번 인덱스에 해당하는 메모리 셀이 반전되었는지 여부를 나타낼 수 있다. 예를 들어, n번째 비트가 1인 경우 n번 인덱스에 해당하는 메모리 셀이 반전 셀임을 의미할 수 있고, n번째 비트가 0인 경우 n번 인덱스에 해당하는 메모리 셀은 비반전 셀임을 의미할 수 있다. 이러한 경우, 메모리 컨트롤러(2100)는, 비트열에 포함된 1의 개수를 산출함으로써, 반전 셀의 개수를 산출할 수 있다. 이 때, 메모리 컨트롤러(2100)는, 반전 셀의 인덱스를 저장할 수 있다. 앞선 예와 마찬가지로, 반전 셀의 인덱스는, 반전 셀의 칼럼 어드레스에 대응할 수 있다.

[0035] 메모리 컨트롤러(2100)는, 복수의 리드 전압들 각각에 대응하여 산출된 반전 셀의 개수에 따라 메모리 셀들의 문턱 전압 분포를 추정할 수 있다. 메모리 셀들에 대한 리드 데이터는, RTN(Random Telegraph Noise)에 의하여, 리드 동작이 수행될 때마다 달라질 수 있다. RTN은 리드 동작 시 문턱 전압의 변동에 영향을 미치는 노이즈를 의미할 수 있다. 따라서, RTN에 의하여, 리드 동작이 수행될 때마다 리드된 데이터가 달라지는 메모리 셀들의 개수, 즉 반전 셀들의 개수는 메모리 셀들의 문턱 전압 분포에 비례할 수 있다. 예를 들어, 특정 문턱 전압을 갖는 메모리 셀들의 개수가 1000개 라면 해당 특정 문턱 전압에 대응하는 복수의 리드 동작 시 RTN에 의하여 그 값이 반전되는 셀은 100개일 수 있고, 특정 문턱 전압을 갖는 메모리 셀들의 개수가 100개 라면 해당 특정 문턱 전압에 대응하는 복수의 리드 동작 시 RTN에 의하여 그 값이 반전되는 셀은 10개일 수 있다. 따라서, 본 발명의 일 실시 예에 따라 산출된 반전 셀의 개수의 분포는 메모리 셀들의 문턱 전압 분포로 추정될 수 있다.

[0036] 메모리 컨트롤러(2100)는, 추정된 문턱 전압 분포를 기반으로(또는 산출된 반전 셀의 개수의 분포를 기반으로) 밸리 서치(valley search) 동작을 수행할 수 있다. 예를 들어, 메모리 셀들이 n-비트 MLC(Multi Level Cell)인 경우, 각각의 메모리 셀은 소거 상태 또는 2^n-1개의 프로그램 상태 중 어느 하나의 상태를 가질 수 있다. 이러한 경우, 메모리 컨트롤러(2100)는, 추정된 문턱 전압 분포 상에서 2^n-1개의 밸리를 찾을 수 있다. 각각의 밸리는, 인접한 두 개의 상태가 중첩되는 영역에 존재할 수 있으며, 인접한 두 개의 상태 사이에서 반전 셀의 개수가 가장 적게 산출된 리드 전압에 대응할 수 있다.

[0037] 메모리 컨트롤러(2100)는, 추정된 문턱 전압 분포의 밸리(valley)에 대응하는 리드 전압을 최적 리드 전압으로 설정할 수 있다. 예를 들어, 메모리 셀들이 n-비트 MLC(Multi Level Cell)인 경우, 2^n-1개의 밸리 각각에 하나씩 대응되는 2^n-1개의 최적 리드 전압이 설정될 수 있다. 예를 들어, 메모리 컨트롤러(2100)는, 제 1 프로그램 상태와 제 2 프로그램 상태 간의 밸리에 대응하는 리드 전압을, 제 1 프로그램 상태와 제 2 프로그램 상태를 구분하기 위한 최적 리드 전압으로 설정할 수 있다.

[0038] 메모리 컨트롤러(2100)는, 최적 리드 전압에 대응하는 반전 셀의 인덱스를 저장 및 관리할 수 있다. 즉, 메모리 컨트롤러(2100)는, 제 1 리드 동작에 이용된 복수의 리드 전압들 중 최적 리드 전압에 해당하는 리드 전압에서 반전된 셀의 인덱스를 저장 및 관리 할 수 있다. 최적 리드 전압에 해당하는 리드 전압에서 반전된 셀의 인덱스는, 추후 에러 정정 디코딩의 성능 향상을 위하여 파라미터를 수정하는 데 이용될 수 있다. 이하, 설명의 편의를 위하여, "제 1 리드 동작에 이용된 복수의 리드 전압들 중 최적 리드 전압에 해당하는 리드 전압에서 반전된 셀의 인덱스"를 "수정 대상 인덱스"라 한다.

[0039] 제 2 리드 동작은, 최적 리드 전압을 이용하여 수행될 수 있다. 즉, 메모리 컨트롤러(2100)는, 최적 리드 전압을 이용하여 복수의 메모리 셀들에 대한 제 2 리드 동작을 수행하도록 메모리 장치(2200)를 제어할 수 있다. 이를 위하여, 메모리 컨트롤러(2100)는, 최적 리드 전압에 대응하는 제 2 리드 동작을 수행할 것을 지시하는 제 2 리드 커맨드를 생성하여 메모리 장치(2200)에게 전송할 수 있다.

[0040] 메모리 컨트롤러(2100)는, 메모리 장치(2200)로부터 제 2 리드 커맨드에 대응하여 코드워드를 수신할 수 있다.

[0041] 메모리 컨트롤러(2100)는, 메모리 장치(2200)로부터 수신된 코드워드에 대한 에러 정정 디코딩을 수행할 수 있다. 수신된 코드워드는, 하나의 페이지에 대응할 수 있다. 에러 정정 디코딩에는, 경판정(hard decision) 디코딩 및 연판정(soft decision) 디코딩 중 적어도 하나가 이용될 수 있다. 경판정 디코딩에는, 예를 들어, BCH(Bose, Chaudhri, Hocquenghem) 코드, 리드 솔로몬(Reed Solomon) 코드, RM(Reed Muller) 코드 및 해밍 코드(Hamming) 중 적어도 하나를 이용하는 에러 정정 디코딩이 이용될 수 있다. 연판정 디코딩에는, 예를 들어, LDPC(Low Density Parity Check) 코드 및 컨볼루션(Convolution) 코드 중 적어도 하나를 이용하는 에러 정정 디코딩이 이용될 수 있다. 일 실시 예에서, 연접 코드(concatenated code)가 이용되는 경우, 연판정 디코딩은, 경판정 디코딩이 페일(fail)된 경우에 수행될 수 있다.

[0042] 메모리 컨트롤러(2100)는, 코드워드에 대한 에러 정정 디코딩이 페일되는 경우, 수정 대상 인덱스에 대응하는 파라미터를 수정한 후 에러 정정 디코딩을 재시도할 수 있다. 예를 들어, 경판정 디코딩을 수행하는 경우, 메모리 컨트롤러(2100)는, 수신된 코드워드 중 수정 대상 인덱스에 대응하는 비트를 반전시킬 수 있다. 예를 들어, 연판정 디코딩을 수행하는 경우, 메모리 컨트롤러(2100)는, 수신된 코드워드 중 수정 대상 인덱스에 대응하는 비트의 LLR(Log Likelihood Ratio) 값을 수정할 수 있다. LLR 값을 수정한다는 것은, LLR 값의 크기(magnitude) 및 부호(sign) 중 적어도 하나를 수정하는 것을 의미할 수 있다. 여기서, 수정되는 LLR 값은, 코드워드에 대응하는 초기 LLR 값일 수 있다. 일 실시 예에서, 메모리 컨트롤러(2100)는, 수정 대상 인덱스에 대응하는 비트에 인접한 비트의 LLR 값을 수정할 수도 있다. 이 때, 메모리 컨트롤러(2100)는, 상기 수정 대상 인덱스에 대응하는 비트에 인접한 비트일수록 LLR 값의 크기를 많이 수정할 수 있다.

[0043] 메모리 장치(2200)는 전원 공급이 차단되면 저장된 데이터가 소멸되는 휘발성 메모리 장치, 또는 전원 공급이 차단되더라도 저장된 데이터가 유지되는 비휘발성 메모리 장치로 이루어질 수 있다. 메모리 장치(2200)는, 메모리 컨트롤러(2100)의 제어에 따라 프로그램 동작, 리드 동작, 소거 동작, 데이터 압축 동작 및 카피백 동작 등을 수행할 수 있다.

[0044] 메모리 장치(2200)는, 메모리 컨트롤러(2100)로부터 수신되는 제 1 리드 커맨드에 따라 복수의 메모리 셀들에 대한 리드 동작을 수행하고, 리드 결과 데이터를 메모리 컨트롤러(2100)에게 전송할 수 있다. 일 실시 예에서, 메모리 장치(2200)는, 메모리 컨트롤러(2100)로부터 A 타입의 제 1 리드 커맨드가 수신될 때마다, 제 1 리드 커맨드에 대응하는 제 1 리드 동작을 한 번 수행할 수 있다. 일 실시 예에서, 메모리 장치(2200)는, 메모리 컨트롤러(2100)로부터 B 타입의 제 1 리드 커맨드가 수신되는 경우, 제 1 리드 커맨드에 대응하는 제 1 리드 동작을 복수 회(예를 들어, 2 회) 수행할 수 있다.

[0045] 메모리 장치(2200)는, 제 1 리드 동작에 대응하는 리드 결과 데이터를 메모리 컨트롤러(2100)에게 전송할 수 있다.

[0046] 메모리 장치(2200)는, 메모리 컨트롤러(2100)로부터 수신되는 제 2 리드 커맨드에 따라 복수의 메모리 셀들에 대한 제 2 리드 동작을 수행하고, 제 2 리드 동작의 결과인 코드워드를 메모리 컨트롤러(2100)에게 전송할 수 있다.

[0047] 일 실시 예에서, 메모리 장치(2200)는, 메모리 컨트롤러(2100)로부터 제 3 리드 커맨드가 수신되는 경우, 제 3 리드 커맨드에 대응하는 제 3 리드 동작을 복수 회(예를 들어, 2회) 수행할 수 있다. 제 3 리드 커맨드는, 제 2 리드 커맨드와 동일한 커맨드일 수도 있고, 제 1 및 제 2 리드 커맨드와는 다른 리드 커맨드일 수도 있다. 메모리 장치(2200)는, 복수의 제 3 리드 동작들 각각에 대응하는 리드 데이터를 비교하여, 복수의 제 3 리드 동작에서 반전된 셀의 개수를 산출할 수 있다. 이 때, 반전 셀의 개수가 설정된 개수 이상인 경우, 메모리 장치(2200)는, 리드 데이터를 메모리 컨트롤러(2100)에게 출력하지 않고, 제 3 리드 커맨드에 대응하는 리드 동작이 페일되었음을 메모리 컨트롤러에 통지할 수 있다.

[0048] 한편, 실시 예에 따라, 메모리 컨트롤러(2100)가 최적 리드 전압을 설정하는 대신, 메모리 장치(2200)가 자체적으로 최적 리드 전압을 설정할 수도 있다. 예를 들어, 메모리 장치(2200)는, 복수의 리드 전압들 각각에 대응하는 리드 동작을 복수 회 수행하고, 복수의 리드 동작들 각각에 대응하는 리드 데이터들을 비교하여 반전 셀의 개수를 산출할 수 있다. 그리고, 메모리 장치(2200)는, 산출된 반전 셀의 개수의 분포를 기반으로 밸리 서치 동작을 수행할 수 있다. 그리고 메모리 장치(2200)는, 서치된 밸리(valley)에 대응하는 리드 전압을 최적 리드 전압으로 설정할 수 있다.

[0050] 도 2는 도 1에 도시된 메모리 컨트롤러를 설명하기 위한 예시도이다.

[0051] 도 2를 참조하면, 메모리 컨트롤러(2100)는, 호스트 인터페이스(host interface; 2110), 중앙 처리 장치(Central Processing Unit; 2120), 메모리 인터페이스(memory interface; 2130), 버퍼 메모리(buffer memory; 2140), 에러 정정 회로(2150) 및 내부 메모리(2160)를 포함할 수 있다. 호스트 인터페이스(2110), 메모리 인터페이스(2130), 버퍼 메모리(2140), 에러 정정 회로(2150) 및 내부 메모리(2160)는, CPU(2120)에 의해 제어될 수 있다.

[0052] 호스트 인터페이스(2110)는, 통신 프로토콜을 이용하여 호스트(1000)와 데이터 교환을 수행할 수 있다.

[0053] CPU(2120)는, 메모리 장치(2200)를 제어하기 위하여, 각종 연산을 수행하거나 커맨드 및 어드레스를 생성할 수

있다. 예를 들어, CPU(2120)는, 프로그램 동작, 리드 동작, 소거 동작, 데이터 압축 동작 및 카피백 동작들에 필요한 다양한 커맨드들(commands)을 생성할 수 있다.

[0054] CPU(2120)는, 커맨드 생성부(2120a), 반전 셀 개수 산출부(2120b), 최적 리드 전압 결정부(2120c) 및 수정 대상 인덱스 관리부(2120d)를 포함할 수 있다.

[0055] 커맨드 생성부(2120a)는, 메모리 장치(2200)가 복수의 메모리 셀들에 대하여 서로 다른 레벨을 갖는 복수의 리드 전압들 각각을 이용한 제 1 리드 동작을 복수 회 수행할 수 있도록 하기 위한 제 1 리드 커맨드를 생성할 수 있다. 즉, 커맨드 생성부(2120a)는, 리드 전압을 변경시키면서 해당 리드 전압에 대응하는 제 1 리드 커맨드를 생성할 수 있다. 예를 들어, 커맨드 생성부(2120a)는, 설정된 전압 구간을 등분하고, 등분된 각 전압 구간에 대응하는 제 1 리드 커맨드를 생성하여 메모리 장치(2200)에게 전송할 수 있다.

[0056] 커맨드 생성부(2120a)는, A 타입의 제 1 리드 커맨드 및 B 타입의 제 1 리드 커맨드 중 어느 하나를 생성하여 메모리 장치(2200)에게 전송할 수 있다. 일 실시 예에서, A 타입의 제 1 리드 커맨드는, 해당 리드 전압을 이용한 제 1 리드 동작을 1회 수행할 것을 지시하는 리드 커맨드일 수 있다. A 타입의 제 1 리드 커맨드가 이용되는 경우, 커맨드 생성부(2120a)는, 해당 리드 전압에 대응하는 복수(예를 들어, 2)의 제 1 리드 커맨드를 생성하여 메모리 장치(2200)에게 전송할 수 있다. 일 실시 예에서, B 타입의 제 1 리드 커맨드는, 해당 리드 전압을 이용한 제 1 리드 동작을 복수 회(예를 들어, 2회) 수행할 것을 지시하는 리드 커맨드일 수 있다. B 타입의 제 1 리드 커맨드가 이용되는 경우, 커맨드 생성부(2120a)는, 해당 리드 전압에 대응하는 제 1 리드 커맨드를 하나만 생성하여 메모리 장치(2200)에게 전송할 수 있다.

[0057] 반전 셀 개수 산출부(2120b)는, 제 1 리드 커맨드에 대응하여 메모리 장치(2200)로부터 수신된 리드 결과 데이터를 기반으로 반전 셀의 개수를 산출할 수 있다.

[0058] 일 실시 예에서, 메모리 장치(2200)로부터 수신되는 리드 결과 데이터는, 복수의 제 1 리드 동작들 각각에 대응하는 리드 데이터일 수 있다. 반전 셀 개수 산출부(2120b)는, 동일한 리드 전압을 이용한 복수의 제 1 리드 동작들에 대응하는 복수의 리드 데이터를 비교하여, 복수의 메모리 셀들 중 동일한 리드 전압을 이용한 복수의 제 1 리드 동작에서 서로 다른 비트 값을 나타내는 셀인 반전 셀이 있는지 확인하고, 반전 셀의 개수를 산출할 수 있다. 반전 셀 개수 산출부(2120b)는, 복수의 리드 전압들 각각에 대하여 산출된 반전 셀의 개수 정보를 최적 리드 전압 결정부(2120c)에 제공할 수 있다. 또한, 반전 셀 개수 산출부(2120b)는, 복수의 리드 전압들 각각에 대응하는 반전 셀의 인덱스를 확인하고, 각각의 리드 전압에 대응하는 반전 셀의 인덱스를 수정 대상 인덱스 관리부(2120d)에 제공할 수 있다.

[0059] 일 실시 예에서, 메모리 장치(2200)로부터 수신되는 리드 결과 데이터는, 동일한 리드 전압을 이용한 복수의 제 1 리드 동작들 각각에 대응하는 리드 데이터들을 비교한 결과 데이터로서, 각각의 메모리 셀에 대응하는 리드 데이터가 반전되었는지 여부를 나타내는 데이터일 수 있다. 전술한 바와 같이, 리드 결과 데이터는, 하나의 페이지에 대응하는 길이를 갖는 비트열(bit sequence) 형태로 수신될 수 있으며, 비트열에 포함된 각 비트는 해당 비트에 대응하는 위치의 메모리 셀이 반전되었는지 여부를 나타낼 수 있다. 예를 들어, 비트열에 포함된 n(n은 자연수) 번째 비트는 n번 인덱스에 해당하는 메모리 셀이 반전되었는지 여부를 나타낼 수 있다. 예를 들어, n번째 비트가 1인 경우 n번 인덱스에 해당하는 메모리 셀이 반전 셀임을 의미할 수 있고, n번째 비트가 0인 경우 n번 인덱스에 해당하는 메모리 셀은 비반전 셀임을 의미할 수 있다. 이러한 경우, 반전 셀 개수 산출부(2120b)는, 비트열에 포함된 1의 개수를 산출함으로써, 반전 셀의 개수를 산출할 수 있다. 반전 셀 개수 산출부(2120b)는, 복수의 리드 전압들 각각에 대하여 산출된 반전 셀의 개수 정보를 최적 리드 전압 결정부(2120c)에 제공할 수 있다. 또한, 반전 셀 개수 산출부(2120b)는, 각각의 리드 전압에 대응하는 반전 셀의 인덱스를 수정 대상 인덱스 관리부(2120d)에 제공할 수 있다.

[0060] 최적 리드 전압 결정부(2120c)는, 반전 셀 개수 산출부(2120b)로부터 수신되는 반전 셀의 개수 정보를 기반으로 메모리 셀들의 문턱 전압 분포를 추정할 수 있다. 최적 리드 전압 결정부(2120c)는, 추정된 문턱 전압 분포를 기반으로 밸리 서치 동작을 수행하고, 서치된 밸리에 대응하는 리드 전압을 최적 리드 전압으로 결정할 수 있다. 최적 리드 전압 결정부(2120c)는, 결정된 최적 리드 전압에 대한 정보를 수정 대상 인덱스 관리부(2120d)에 제공할 수 있다.

[0061] 수정 대상 인덱스 관리부(2120d)는, 반전 셀 개수 산출부(2120b)로부터 수신되는 각각의 리드 전압에 대응하는 반전 셀의 인덱스와 최적 리드 전압 결정부(2120c)로부터 수신되는 최적 리드 전압에 대한 정보를 기반으로, 수정 대상 인덱스를 확인하고 확인된 수정 대상 인덱스를 저장할 수 있다. 예를 들어, 수정 대상 인덱스 관리부

(2120d)는, 반전 셀 개수 산출부(2120b)로부터 수신된 인덱스들 중, 최적 리드 전압 결정부(2120c)로부터 수신된 최적 리드 전압에 대응하는 인덱스를 수정 대상 인덱스로 저장할 수 있다. 수정 대상 인덱스는, 에러 정정 디코딩을 위하여 에러 정정 회로(2150)에 제공될 수 있다.

[0062] 메모리 인터페이스(2130)는, 통신 프로토콜을 이용하여 메모리 장치(2200)와 통신을 수행할 수 있다.

[0063] 버퍼 메모리(2140)는, 메모리 컨트롤러(2100)가 메모리 장치(2200)를 제어하는 동안 데이터를 임시로 저장할 수 있다. 예를 들면, 프로그램 동작이 완료될 때까지 호스트로부터 수신된 데이터는 버퍼 메모리(2140)에 임시로 저장될 수 있다. 또한, 리드 동작 시 메모리 장치(2200)로부터 리드된 데이터가 버퍼 메모리(2140)에 임시로 저장될 수도 있다.

[0064] 에러 정정 회로(2150)는, 프로그램 동작 또는 리드 동작 시 에러 검출을 위한 에러 정정 인코딩 및 에러 정정 디코딩을 수행할 수 있다. 에러 정정 회로(2150)는, 에러 정정 디코더(2150a) 및 포스트 프로세서(2150b)를 포함할 수 있다.

[0065] 에러 정정 디코더(2150a)는, 제 2 리드 동작의 결과 데이터인 코드워드에 대하여 에러 정정 디코딩을 수행할 수 있다. 에러 정정 디코더(2150a)는, 경판정 디코더 및 연판정 디코더 중 적어도 하나를 포함할 수 있다. 예를 들어, 에러 정정 디코더(2150a)는, 경판정 디코더이거나, 연판정 디코더일 수 있다. 예를 들어, 에러 정정 디코더(2150a)는, 경판정 디코더와 연판정 디코더로 이루어진 연접 디코더일 수 있다.

[0066] 에러 정정 디코더(2150a)는, 제 2 리드 동작에 따른 코드워드에 대하여 에러 정정 디코딩을 수행하고, 에러 정정 디코딩이 성공하는 경우, 디코딩된 코드워드를 출력할 수 있다.

[0067] 에러 정정 디코더(2150a)는, 코드워드에 대한 에러 정정 디코딩이 페일되는 경우, 포스트 프로세서(2150b)의 제어에 따라 에러 정정 디코딩에 이용되는 파라미터를 수정할 수 있다. 예를 들어, 에러 정정 디코더(2150a)는, 코드워드 중 임의의 비트가 반전된 코드워드를 이용하여 에러 정정 디코딩을 수행하거나, 수정된 LLR 값을 이용하여 에러 정정 디코딩을 수행할 수 있다.

[0068] 포스트 프로세서(2150b)는, 에러 정정 디코더(2150a)에서 에러 정정 디코딩이 페일되는 경우, CPU(2120)로부터 수정 대상 인덱스를 수신할 수 있다. 경판정 디코딩이 이용되는 경우, 포스트 프로세서(2150b)는, 코드워드 중 수정 대상 인덱스에 대응하는 비트를 반전시키도록 에러 정정 디코더(2150a)를 제어할 수 있다. 연판정 디코딩이 이용되는 경우, 포스트 프로세서(2150b)는, 코드워드 중 수정 대상 인덱스에 해당하는 LLR 값을 수정하도록 에러 정정 디코더(2150a)를 제어할 수 있다. 예를 들어, 포스트 프로세서(2150b)는, LLR 값의 부호(sign) 및 크기(magnitude) 중 적어도 하나를 수정하도록 에러 정정 디코더(2150a)를 제어할 수 있다. 또한, 포스트 프로세서(2150b)는, 수정 대상 인덱스에 인접한 셀의 LLR 값의 부호 및 크기 중 적어도 하나를 수정하도록 에러 정정 디코더(2150a)를 제어할 수 있다. 여기서, 포스트 프로세서(2150b)는, 수정 대상 인덱스에 인접한 셀일수록 LLR 값의 크기를 더 많이 수정하도록 에러 정정 디코더(2150a)를 제어할 수 있다.

[0069] 에러 정정 디코더(2150a)는, 포스트 프로세서(2150b)의 제어에 따라 파라미터를 수정하고, 파라미터가 수정된 코드워드에 대한 에러 정정 디코딩을 수행할 수 있다. 에러 정정 디코딩이 성공하는 경우, 에러 정정 디코더(2150a)는, 디코딩된 코드워드를 출력할 수 있다.

[0070] 내부 메모리(2160)는, 메모리 컨트롤러(2100)의 동작에 필요한 다양한 정보들을 저장하는 저장부(storage unit)로서 사용될 수 있다. 내부 메모리(2160)는, 다수의 테이블들을 저장할 수 있다. 예를 들어, 내부 메모리(2160)는, 논리적 어드레스(logical address)와 물리적 어드레스(physical address)의 맵핑 테이블을 저장할 수 있다.

[0072] 도 3은 본 발명의 일 실시 예에 따른 메모리 장치를 설명하기 위한 도면이다. 도 3에 도시된 메모리 장치는 도 1 및 도 2에 도시된 메모리 시스템에 적용될 수 있다.

[0073] 메모리 장치(2200)는, 제어 로직(2210), 주변 회로들(2220) 및 메모리 셀 어레이(2240)를 포함할 수 있다. 주변 회로들(2220)은, 전압 생성 회로(voltage generation circuit; 2222), 로우 디코더(row decoder; 2224), 입출력 회로(input/output circuit; 2226), 칼럼 디코더(column decoder; 2228), 페이지 버퍼 그룹(page buffer group; 2232) 및 전류 센싱 회로(current sensing circuit; 2234)를 포함할 수 있다.

[0074] 제어 로직(2210)은, 도 1 및 도 2에 도시된 메모리 컨트롤러(2100)의 제어 하에 주변 회로들(2220)을 제어할 수

있다.

[0075] 제어 로직(2210)은, 입출력 회로(2226)를 통하여 메모리 컨트롤러(2100)로부터 수신되는 커맨드(CMD) 및 어드레스(ADD)에 응답하여 주변 회로들(2220)을 제어할 수 있다. 예를 들어, 제어 로직(2210)은, 커맨드(CMD) 및 어드레스(ADD)에 응답하여 동작 신호(OP_CMD), 로우 어드레스(RADD), 페이지 버퍼 제어 신호들(PBSIGNALS) 및 허용 비트(VRY_BIT<#>)를 출력할 수 있다. 제어 로직(2210)은, 전류 센싱 회로(2234)로부터 수신되는 패스 신호(PASS) 또는 페일 신호(FAIL)에 응답하여 검증 동작이 패스되었는지 또는 페일되었는지 여부를 판단할 수 있다.

[0076] 제어 로직(2210)은, A 타입의 제 1 리드 커맨드가 수신되는 경우 제 1 리드 동작을 한번 수행할 수 있고, B 타입의 제 1 리드 커맨드가 수신되는 경우 제 1 리드 동작을 복수 회(예를 들어, 2회) 수행할 수 있다.

[0077] 제어 로직(2210)은, 제 1 리드 커맨드에 대응하는 리드 결과 데이터를 메모리 컨트롤러(2100)에게 전송할 수 있다. 일 실시 예에서, 제어 로직(2210)은, 제 1 리드 커맨드에 대응하는 리드 데이터를 그대로 메모리 컨트롤러(2100)에게 전송할 수 있다. 일 실시 예에서, 제어 로직(2210)은, 반전 셀 정보 생성부(2212)를 포함할 수 있다. 반전 셀 정보 생성부(2212)는 제 1 리드 커맨드에 대응하는 복수의 리드 데이터들을 비교하고, 동일한 리드 전압을 이용한 복수의 리드 동작에서 서로 다른 비트 값을 나타내는 반전 셀의 인덱스를 나타내는 데이터를 생성하고, 생성된 데이터를 메모리 컨트롤러(2100)에게 전송할 수 있다.

[0078] 주변 회로들(2220)은 메모리 셀 어레이(2240)에 데이터를 저장하기 위한 프로그램 동작(program operation), 메모리 셀 어레이(2240)에 저장된 데이터를 출력하기 위한 리드 동작(read operation), 메모리 셀 어레이(2240)에 저장된 데이터를 소거하기 위한 소거 동작(erase operation)을 수행할 수 있다.

[0079] 전압 생성 회로(2222)는, 제어 로직(2210)으로부터 수신되는 동작 신호(OP_CMD)에 응답하여 프로그램 동작, 리드 동작 및 소거 동작에 이용되는 다양한 동작 전압들(Vop)을 생성할 수 있다. 예를 들어, 전압 생성 회로(2222)는, 프로그램 전압, 검증 전압, 패스 전압, 리드 전압, 소거 전압 및 턴-온 전압 등을 로우 디코더(2224)로 전달할 수 있다.

[0080] 로우 디코더(2224)는, 제어 로직(2210)으로부터 수신되는 로우 어드레스(RADD)에 응답하여 메모리 셀 어레이(2240)에 포함된 메모리 블록들 중 선택된 메모리 블록에 연결된 로컬 라인들(Local Lines; LL)에 동작 전압들(Vop)을 전달할 수 있다. 로컬 라인들(LL)은, 로컬 워드 라인들(local word lines), 로컬 드레인 셀렉트 라인들(local drain select lines) 및 로컬 소스 셀렉트 라인들(local source select lines)을 포함할 수 있다. 이 외에도, 로컬 라인들(LL)은 소스 라인(source line) 등 메모리 블록에 연결된 다양한 라인들을 포함할 수 있다.

[0081] 입출력 회로(2226)는, 입출력 라인들(IO)을 통해 메모리 컨트롤러로부터 수신되는 커맨드(CMD) 및 어드레스(ADD)를 제어 로직(2210)에 전달하거나, 칼럼 디코더(2228)와 데이터(DATA)를 주고 받을 수 있다.

[0082] 칼럼 디코더(2228)는, 제어 로직(2210)으로부터 수신되는 칼럼 어드레스(CADD)에 응답하여 입출력 회로(2226)와 페이지 버퍼 그룹(2232) 사이에서 데이터를 전달할 수 있다. 예를 들어, 칼럼 디코더(2228)는, 데이터 라인들(DL)을 통해 페이지 버퍼들(PB1~PBm)과 데이터를 주고 받거나, 칼럼 라인들(CL)을 통해 입출력 회로(2226)와 데이터를 주고 받을 수 있다.

[0083] 페이지 버퍼 그룹(2232)은, 메모리 블록들(BLK1~BLKi)에 공통으로 연결된 비트 라인들(BL1~BLm)에 연결될 수 있다. 페이지 버퍼 그룹(2232)은, 비트 라인들(BL1~BLm)에 연결된 복수의 페이지 버퍼들(PB1~PBm)을 포함할 수 있다. 예를 들어, 각각의 비트 라인마다 하나의 페이지 버퍼가 연결될 수 있다. 페이지 버퍼들(PB1~PBm)은, 제어 로직(2210)으로부터 수신되는 페이지 버퍼 제어 신호들(PBSIGNALS)에 응답하여 동작할 수 있다. 예를 들어, 페이지 버퍼들(PB1~PBm)은, 프로그램 동작 시 메모리 컨트롤러로부터 수신된 프로그램 데이터를 임시로 저장하고, 프로그램 데이터에 따라 비트 라인들(BL1~BLm)에 인가되는 전압을 조절할 수 있다. 또한, 페이지 버퍼들(PB1~PBm)은, 리드 동작 시 비트 라인들(BL1~BLm)을 통하여 수신되는 데이터를 임시로 저장하거나, 비트 라인들(BL1~BLm)의 전압 또는 전류를 센싱할 수 있다.

[0084] 전류 센싱 회로(2234)는, 리드 동작 또는 검증 동작 시 제어 로직(2210)으로부터 수신되는 허용 비트(VRY_BTI<#>)에 응답하여 기준 전류를 생성하고, 기준 전류에 의하여 생성된 기준 전압과 페이지 버퍼 그룹(2232)으로부터 수신되는 센싱 전압(VPB)을 비교하여 패스 신호(PASS) 또는 페일 신호(FAIL)를 출력할 수 있다.

[0085] 메모리 셀 어레이(2240)는, 데이터가 저장되는 복수의 메모리 블록들(BLK1~BLKi)을 포함할 수 있다. 메모리 블록들(BLK1~BLKi)에는 사용자 데이터(user data) 및 메모리 장치(2200)의 동작에 필요한 다양한 정보가 저장될 수 있다. 메모리 블록들(BLK1~BLKi)은, 2차원 구조로 구현되거나 3차원 구조로 구현될 수 있으며, 서로 동일하

게 구성될 수 있다.

[0086]

[0087] 도 4는 메모리 블록을 설명하기 위한 예시도이다.

[0088] 메모리 셀 어레이는 복수의 메모리 블록들을 포함할 수 있으며, 도 4에는 설명의 편의를 위하여 복수의 메모리 블록들 중 어느 하나의 메모리 블록(BLKi)이 도시되었다.

[0089] 메모리 블록(BLKi)은 제 1 셀렉트 라인과 제 2 셀렉트 라인 사이에 서로 평행하게 배열된 복수의 워드 라인들이 연결될 수 있다. 여기서, 제 1 셀렉트 라인은 소스 셀렉트 라인(SSL)일 수 있고, 제 2 셀렉트 라인은 드레인 셀렉트 라인(DSL)일 수 있다. 구체적으로, 메모리 블록(BLKi)은, 비트 라인들(BL1~BLn)과 소스 라인(SL) 사이에 연결된 복수의 스트링들(strings; ST)을 포함할 수 있다. 비트 라인들(BL1~BLn)은 스트링들(ST)에 각각 연결될 수 있고, 소스 라인(SL)은 스트링들(ST)에 공통으로 연결될 수 있다. 스트링들(ST)은 서로 동일하게 구성될 수 있으므로, 제 1 비트 라인(BL1)에 연결된 스트링(ST)을 예를 들어 구체적으로 설명하도록 한다.

[0090] 스트링(ST)은 소스 라인(SL)과 제 1 비트 라인(BL1) 사이에서 서로 직렬로 연결된 소스 셀렉트 트랜지스터(SST), 복수의 메모리 셀들(F1~F16) 및 드레인 셀렉트 트랜지스터(DST)를 포함할 수 있다. 하나의 스트링(ST)에는 소스 셀렉트 트랜지스터(SST)와 드레인 셀렉트 트랜지스터(DST)가 적어도 하나 이상씩 포함될 수 있으며, 메모리 셀들(F1~F16) 또한 도면에 도시된 개수보다 더 많이 포함될 수 있다.

[0091] 소스 셀렉트 트랜지스터(SST)의 소스(source)는 소스 라인(SL)에 연결될 수 있고, 드레인 셀렉트 트랜지스터(DST)의 드레인(drain)은 제 1 비트 라인(BL1)에 연결될 수 있다. 메모리 셀들(F1~F16)은 소스 셀렉트 트랜지스터(SST)와 드레인 셀렉트 트랜지스터(DST) 사이에서 직렬로 연결될 수 있다. 서로 다른 스트링들(ST)에 포함된 소스 셀렉트 트랜지스터들(SST)의 게이트들은 소스 셀렉트 라인(SSL)에 연결될 수 있고, 드레인 셀렉트 트랜지스터들(DST)의 게이트들은 드레인 셀렉트 라인(DSL)에 연결될 수 있고, 메모리 셀들(F1~F16)의 게이트들은 복수의 워드 라인들(WL1~WL16)에 연결될 수 있다. 서로 다른 스트링들(ST)에 포함된 메모리 셀들 중에서 동일한 워드 라인에 연결된 메모리 셀들의 그룹을 물리 페이지(physical page; PPG)라 할 수 있다. 따라서, 메모리 블록(BLKi)에는 워드 라인들(WL1~WL16)의 개수만큼의 물리 페이지들(PPG)이 포함될 수 있다.

[0092] 하나의 메모리 셀은 1비트 데이터를 저장할 수 있다. 이를 싱글 레벨 셀(single level cell; SLC)이라고 부른다. 이 경우 하나의 물리 페이지(PPG)는 하나의 논리 페이지(logical page; LPG) 데이터를 저장할 수 있다. 하나의 논리 페이지(LPG) 데이터는 하나의 물리 페이지(PPG)에 포함된 셀 개수만큼의 데이터 비트들을 포함할 수 있다. 예를 들면, 하나의 메모리 셀에 2 이상의 비트 데이터가 저장되는 경우, 하나의 물리 페이지(PPG)는 2 이상의 논리 페이지(logical page; LPG) 데이터를 저장할 수 있다. 예를 들면, MLC 타입으로 구동되는 메모리 장치에서는 하나의 물리 페이지(PPG)에 2개의 논리 페이지 데이터가 저장될 수 있고, TLC 타입으로 구동되는 메모리 장치에서는 하나의 물리 페이지(PPG)에 3개의 논리 페이지 데이터가 저장될 수 있다.

[0094] 도 5은 3차원으로 구성된 메모리 블록의 일 실시 예를 설명하기 위한 도면이다.

[0095] 메모리 셀 어레이(2240)는 복수의 메모리 블록들(BLK1~BLKi)을 포함할 수 있다. 제 1 메모리 블록(BLK1)을 예를 들어 설명하면, 제 1 메모리 블록(BLK1)은 복수의 스트링들(ST11~ST1m, ST21~ST2m)을 포함할 수 있다. 실시 예로서, 복수의 스트링들(ST11~ST1m, ST21~ST2m) 각각은 'U'자형으로 형성될 수 있다. 제 1 메모리 블록(BLK1) 내에서, 행 방향(X 방향)으로 m개의 스트링들이 배열될 수 있다. 도 5에서, 열 방향(Y 방향)으로 2개의 스트링들이 배열되는 것으로 도시되었으나, 이는 설명의 편의를 위한 것으로서 열 방향(Y 방향)으로 3개 이상의 스트링들이 배열될 수 있다.

[0096] 복수의 스트링들(ST11~ST1m, ST21~ST2m) 각각은 적어도 하나의 소스 셀렉트 트랜지스터(SST), 제 1 내지 제 n 메모리 셀들(MC1~MCn), 파이프 트랜지스터(PT) 및 적어도 하나의 드레인 셀렉트 트랜지스터(DST)를 포함할 수 있다.

[0097] 소스 및 드레인 셀렉트 트랜지스터들(SST 및 DST)과 메모리 셀들(MC1~MCn)은 서로 유사한 구조를 가질 수 있다. 예를 들면, 소스 및 드레인 셀렉트 트랜지스터들(SST 및 DST)과 메모리 셀들(MC1~MCn) 각각은 채널막, 터널 절연막, 전하 트랩막 및 블로킹 절연막을 포함할 수 있다. 예를 들면, 채널막을 제공하기 위한 필라(pillar)가 각 스트링에 제공될 수 있다. 예를 들면, 채널막, 터널 절연막, 전하 트랩막 및 블로킹 절연막 중 적어도 하나를

제공하기 위한 필라가 각 스트링에 제공될 수 있다.

[0098] 각 스트링의 소스 셀렉트 트랜지스터(SST)는 소스 라인(SL)과 메모리 셀들(MC1~MCp) 사이에 연결될 수 있다.

[0099] 실시 예로서, 동일한 행에 배열된 스트링들의 소스 셀렉트 트랜지스터들은 행 방향으로 연장되는 소스 셀렉트 라인에 연결될 수 있고, 상이한 행에 배열된 스트링들의 소스 셀렉트 트랜지스터들은 상이한 소스 셀렉트 라인들에 연결될 수 있다. 도 5에서, 제 1 행의 스트링들(ST11~ST1m)의 소스 셀렉트 트랜지스터들은 제 1 소스 셀렉트 라인(SSL1)에 연결될 수 있다. 제 2 행의 스트링들(ST21~ST2m)의 소스 셀렉트 트랜지스터들은 제 2 소스 셀렉트 라인(SSL2)에 연결될 수 있다.

[0100] 다른 실시 예로서, 스트링들(ST11~ST1m, ST21~ST2m)의 소스 셀렉트 트랜지스터들은 하나의 소스 셀렉트 라인에 공통으로 연결될 수 있다.

[0101] 각 스트링의 제 1 내지 제 n 메모리 셀들(MC1~MCn)은 소스 셀렉트 트랜지스터(SST)와 드레인 셀렉트 트랜지스터(DST) 사이에 연결될 수 있다.

[0102] 제 1 내지 제 n 메모리 셀들(MC1~MCn)은 제 1 내지 제 p 메모리 셀들(MC1~MCp)과 제 p+1 내지 제 n 메모리 셀들(MCp+1~MCn)로 구분될 수 있다. 제 1 내지 제 p 메모리 셀들(MC1~MCp)은 수직 방향(Z 방향)으로 순차적으로 배열될 수 있으며, 소스 셀렉트 트랜지스터(SST)와 파이프 트랜지스터(PT) 사이에서 서로 직렬로 연결될 수 있다. 제 p+1 내지 제 n 메모리 셀들(MCp+1~MCn)은 수직 방향(Z 방향)으로 순차적으로 배열될 수 있으며, 파이프 트랜지스터(PT)와 드레인 셀렉트 트랜지스터(DST) 사이에서 서로 직렬로 연결될 수 있다. 제 1 내지 제 p 메모리 셀들(MC1~MCp)과 제 p+1 내지 제n 메모리 셀들(MCp+1~MCn)은 파이프 트랜지스터(PT)를 통해 서로 연결될 수 있다. 각 스트링의 제 1 내지 제 n 메모리 셀들(MC1~MCn)의 게이트들은 각각 제 1 내지 제n 워드 라인들(WL1~WLn)에 연결될 수 있다.

[0103] 실시 예로서, 제 1 내지 제 n 메모리 셀들(MC1~MCn) 중 적어도 하나는 더미 메모리 셀로서 이용될 수 있다. 더미 메모리 셀이 제공되는 경우, 해당 스트링의 전압 또는 전류는 안정적으로 제어될 수 있다. 각 스트링의 파이프 트랜지스터(PT)의 게이트는 파이프 라인(PL)에 연결될 수 있다.

[0104] 각 스트링의 드레인 셀렉트 트랜지스터(DST)는 비트 라인과 메모리 셀들(MCp+1~MCn) 사이에 연결될 수 있다. 행 방향으로 배열되는 스트링들은 행 방향으로 연장되는 드레인 셀렉트 라인에 연결될 수 있다. 제 1 행의 스트링들(ST11~ST1m)의 드레인 셀렉트 트랜지스터들은 제 1 드레인 셀렉트 라인(DSL1)에 연결될 수 있다. 제 2 행의 스트링들(ST21~ST2m)의 드레인 셀렉트 트랜지스터들은 제 2 드레인 셀렉트 라인(DSL2)에 연결될 수 있다.

[0105] 열 방향으로 배열되는 스트링들은 열 방향으로 연장되는 비트 라인들에 연결될 수 있다. 도 5에서 제 1 열의 스트링들(ST11, ST21)은 제 1 비트 라인(BL1)에 연결될 수 있다. 제 m 열의 스트링들(ST1m, ST2m)은 제 m 비트 라인(BLm)에 연결될 수 있다.

[0106] 행 방향으로 배열되는 스트링들 중에서 동일한 워드 라인에 연결되는 메모리 셀들은 하나의 페이지(page)를 구성할 수 있다. 예를 들면, 제 1 행의 스트링들(ST11~ST1m) 중 제 1 워드 라인(WL1)에 연결된 메모리 셀들은 하나의 페이지를 구성할 수 있다. 제 2 행의 스트링들(ST21~ST2m) 중 제 1 워드 라인(WL1)에 연결된 메모리 셀들은 다른 하나의 페이지를 구성할 수 있다. 드레인 셀렉트 라인들(DSL1, DSL2) 중 어느 하나가 선택됨으로써 하나의 행 방향으로 배열되는 스트링들이 선택될 것이다. 워드 라인들(WL1~WLn) 중 어느 하나가 선택됨으로써 선택된 스트링들 중 하나의 페이지가 선택될 것이다.

[0108] 도 6은 3차원으로 구성된 메모리 블록의 다른 실시 예를 설명하기 위한 도면이다.

[0109] 메모리 셀 어레이(2240)는 복수의 메모리 블록들(BLK1~BLKi)을 포함할 수 있다. 제 1 메모리 블록(BLK1)을 예를 들어 설명하면, 제 1 메모리 블록(BLK1)은 복수의 스트링들(ST11'~ST1m', ST21'~ST2m')을 포함할 수 있다. 복수의 스트링들(ST11'~ST1m', ST21'~ST2m') 각각은 수직 방향(Z 방향)을 따라 연장될 수 있다. 메모리 블록(BLKi) 내에서, 행 방향(X 방향)으로 m개의 스트링들이 배열될 수 있다. 도 6에서는 열 방향(Y 방향)으로 2개의 스트링들이 배열되는 것으로 도시되어 있으나, 이는 설명의 편의를 위한 것으로서 열 방향(Y 방향)으로 3개 이상의 스트링들이 배열될 수 있다.

[0110] 복수의 스트링들(ST11'~ST1m', ST21'~ST2m') 각각은, 적어도 하나의 소스 선택 트랜지스터(SST), 제 1 내지 제 n 메모리 셀들(MC1~MCn), 그리고 적어도 하나의 드레인 선택 트랜지스터(DST)를 포함할 수 있다.

[0111] 각 스트링의 소스 선택 트랜지스터(SST)는 소스 라인(SL)과 메모리 셀들(MC1~MCn) 사이에 연결될 수 있다. 동일한 행에 배열된 스트링들의 소스 선택 트랜지스터들은 동일한 소스 선택 라인에 연결될 수 있다. 제 1 행에 배열된 스트링들(ST11'~ST1m')의 소스 선택 트랜지스터들은 제 1 소스 선택 라인(SSL1)에 연결될 수 있다. 제 2 행에 배열된 스트링들(ST21'~ST2m')의 소스 선택 트랜지스터들은 제 2 소스 선택 라인(SSL2)에 연결될 수 있다. 다른 실시 예로서, 스트링들(ST11'~ST1m', ST21'~ST2m')의 소스 선택 트랜지스터들은 하나의 소스 선택 라인에 공통으로 연결될 수 있다.

[0112] 각 스트링의 제 1 내지 제 n 메모리 셀들(MC1~MCn)은 소스 선택 트랜지스터(SST)와 드레인 선택 트랜지스터(DST) 사이에서 서로 직렬로 연결될 수 있다. 제 1 내지 제 n 메모리 셀들(MC1~MCn)의 게이트들은 각각 제 1 내지 제 n 워드 라인들(WL1~WLn)에 연결될 수 있다.

[0113] 실시 예로서, 제 1 내지 제 n 메모리 셀들(MC1~MCn) 중 적어도 하나는 더미 메모리 셀로서 이용될 수 있다. 더미 메모리 셀이 제공되는 경우, 해당 스트링의 전압 또는 전류는 안정적으로 제어될 수 있다. 이에 따라 제 1 메모리 블록(BLK1)에 저장된 데이터의 신뢰성이 향상될 수 있다.

[0114] 각 스트링의 드레인 선택 트랜지스터(DST)는 비트 라인과 메모리 셀들(MC1~MCn) 사이에 연결될 수 있다. 행 방향으로 배열되는 스트링들의 드레인 선택 트랜지스터들(DST)은 행 방향으로 연장되는 드레인 선택 라인에 연결될 수 있다. 제 1 행의 스트링들(CS11'~CS1m')의 드레인 선택 트랜지스터들(DST)은 제 1 드레인 선택 라인(DSL1)에 연결될 수 있다. 제 2 행의 스트링들(CS21'~CS2m')의 드레인 선택 트랜지스터들(DST)은 제 2 드레인 선택 라인(DSL2)에 연결될 수 있다.

[0115] 즉, 각 스트링에 파이프 트랜지스터(PT)가 제외된 것을 제외하면 도 6의 제 1 메모리 블록(BLK1)은 도 5의 제 1 메모리 블록(BLK1)과 유사한 등가 회로를 가질 수 있다.

[0117] 도 7은 도 1 및 도 2에 도시된 메모리 컨트롤러의 동작 방법을 설명하기 위한 흐름도이다.

[0118] 단계(701)에서, 메모리 컨트롤러는, 리드 전압을 변경하면서 복수의 리드 전압들 각각에 대응하는 제 1 리드 동작이 복수 회 수행될 수 있도록, 복수의 리드 전압들 각각에 대응하는 제 1 리드 커맨드를 생성하고, 생성된 제 1 리드 커맨드들을 메모리 장치에게 전송할 수 있다. 여기서, 제 1 리드 커맨드는, A 타입의 제 1 리드 커맨드 또는 B 타입의 제 1 리드 커맨드 중 어느 하나일 수 있다. A 타입의 제 1 리드 커맨드는, 해당 리드 전압을 이용한 제 1 리드 동작을 1회 수행할 것을 지시하는 리드 커맨드일 수 있다. A 타입의 제 1 리드 커맨드는 각각의 리드 전압에 대응하여 복수 회 전송될 수 있다. B 타입의 제 1 리드 커맨드는, 해당 리드 전압을 이용한 제 1 리드 동작을 복수 회(예를 들어, 2회) 수행할 것을 지시하는 리드 커맨드일 수 있다. B 타입의 제 1 리드 커맨드는 각각의 리드 전압에 대응하여 1회 전송될 수 있다.

[0119] 단계(703)에서, 메모리 컨트롤러는, 메모리 장치로부터 제 1 리드 커맨드에 대응하는 리드 결과 데이터를 수신할 수 있다. 일 실시 예에서, 리드 결과 데이터는, 복수의 리드 동작들 각각에 대응하는 리드 데이터들일 수 있다. 일 실시 예에서, 리드 결과 데이터는, 동일한 리드 전압을 이용한 복수의 제 1 리드 동작에서 각각의 메모리 셀에 대응하는 리드 데이터가 반전되었는지 여부를 나타내는 데이터일 수 있다.

[0120] 단계(705)에서, 메모리 컨트롤러는, 메모리 장치로부터 수신된 리드 결과 데이터를 기반으로 반전 셀의 개수를 산출할 수 있다. 일 실시 예에서, 리드 결과 데이터가 복수의 리드 전압들 각각에 대응하는 리드 데이터들인 경우, 동일한 리드 전압에 대응하는 리드 데이터들을 비교하여 반전 셀을 확인하고, 확인된 반전 셀의 개수를 산출할 수 있다. 일 실시 예에서, 리드 결과 데이터가 동일한 리드 전압을 이용한 복수의 제 1 리드 동작에서 각각의 메모리 셀에 대응하는 리드 데이터가 반전되었는지 여부를 나타내는 데이터인 경우, 해당 데이터를 분석하여 반전 셀의 개수를 산출할 수 있다.

[0121] 단계(707)에서, 메모리 컨트롤러는, 산출된 반전 셀의 개수의 분포를 메모리 셀들의 문턱 전압 분포로 추정할 수 있다.

[0122] 단계(709)에서, 메모리 컨트롤러는, 추정된 문턱 전압 분포를 기반으로 밸리 서치 동작을 수행할 수 있다.

[0123] 단계(711)에서, 메모리 컨트롤러는, 밸리에 해당하는 리드 전압을 최적 리드 전압으로 설정할 수 있다. 예를 들어, 메모리 셀들이 n-비트 MLC(Multi Level Cell)인 경우, 메모리 컨트롤러는, 2^n-1개의 밸리 각각에 하나씩 대응되는 2^n-1개의 최적 리드 전압을 설정할 수 있다. 추후, 메모리 컨트롤러는, 최적 리드 전압을 이용하여 제 2

리드 동작을 수행하도록 메모리 장치를 제어할 수 있다.

[0125] 도 8a는 본 발명의 일 실시 예에 따른 리드 결과 데이터를 설명하기 위한 예시도이다.

[0126] 도 8a에는, 일 예로서, 동일한 리드 전압(V_1)을 이용한 2 회의 제 1 리드 동작 각각에 대응하는 리드 데이터가, 리드 결과 데이터로서 수신된 경우의 예를 도시하였다.

[0127] 도 8a를 참조하면, 첫 번째 제 1 리드 동작의 결과로서 리드 데이터 {110110...110110}가 수신되고, 두 번째 제 1 리드 동작의 결과로서 리드 데이터 {111110...100110}가 수신되었음을 알 수 있다.

[0128] 여기서, 첫 번째 리드 데이터와 두 번째 리드 데이터를 비교하면, 3번 인덱스에 해당하는 셀과 n-4번 인덱스에 해당하는 비트가 반전되었음을 알 수 있다. 즉, 메모리 컨트롤러는, 복수의 제 1 리드 동작에 대응하는 리드 데이터를 비교하여 반전 셀의 개수를 산출할 수 있고, 또한 몇 번째 비트가 반전되었는지 확인함으로써 반전 셀의 위치를 확인할 수 있다.

[0130] 도 8b는 본 발명의 다른 실시 예에 따른 리드 결과 데이터를 설명하기 위한 예시도이다.

[0131] 도 8b에는, 일 예로서, 동일한 리드 전압을 이용한 2회의 제 1 리드 동작에서 각각의 메모리 셀에 대응하는 리드 데이터가 반전되었는지 여부를 나타내는 데이터가, 리드 결과 데이터로서 수신된 경우의 예를 도시하였다.

[0132] 일 예로서, 도 8b에 도시된 비트열에서 1로 표시된 비트는 반전 셀을 나타내고, 0으로 표시된 비트는 비반전 셀을 나타낼 수 있다. 즉, 메모리 장치는, 동일한 리드 전압을 이용한 복수의 제 1 리드 동작에 대응하는 리드 데이터를 서로 비교하여 반전 셀의 인덱스를 확인하고, 반전 셀과 비반전 셀이 구분되도록 리드 결과 데이터를 생성하여 메모리 컨트롤러에게 전송할 수 있다.

[0133] 따라서, 메모리 컨트롤러는, 메모리 장치로부터 수신된 리드 결과 데이터를 분석하여, 반전 셀의 개수를 산출하고 반전 셀의 인덱스를 확인할 수 있다. 도 8b에 도시된 예에서, 메모리 컨트롤러는, 1로 표시된 비트의 개수를 산출함으로써 반전 셀의 개수를 산출할 수 있고, 또한 1로 표시된 비트가 비트열 내에서 몇 번째에 위치하는지를 확인함으로써 반전 셀의 인덱스를 확인할 수 있다.

[0135] 도 9는 본 발명의 실시 예들에 따른 반전 셀의 개수의 분포와 메모리 셀들의 문턱 전압 분포를 설명하기 위한 예시도이다.

[0136] 도 9에는, 복수의 메모리 셀들에 대한 실제 문턱 전압 분포와, 복수의 제 1 리드 동작을 통하여 추정된 문턱 전압 분포를 도시하였다. 도 9를 참조하면, 실제 문턱 전압 분포와 반전 셀의 개수의 분포가 거의 일치함을 알 수 있다.

[0137] 즉, 메모리 컨트롤러는, 반전 셀의 개수의 분포를 문턱 전압 분포로 추정하고, 추정된 문턱 전압 분포의 밸리를 찾을 수 있다. 그리고, 메모리 컨트롤러는, 복수의 밸리 각각에 대응하는 리드 전압을 최적 리드 전압으로 설정할 수 있다.

[0139] 도 10은 도 1 및 도 2에 도시된 메모리 컨트롤러의 동작 방법을 설명하기 위한 흐름도이다.

[0140] 단계(1001)에서, 메모리 컨트롤러는, 수정 대상 인덱스를 관리할 수 있다. 단계(1001)는, 도 7에 도시된 단계(711) 이후에 수행될 수 있다. 즉, 메모리 컨트롤러는, 최적 리드 전압이 결정되는 경우, 제 1 리드 동작에서 이용된 복수의 리드 전압들 중 최적 리드 전압에 해당하는 리드 전압에서 반전된 셀을 확인하고, 확인된 반전 셀의 인덱스를 관리할 수 있다.

[0141] 단계(1003)에서, 메모리 컨트롤러는, 최적 리드 전압에 대응하는 제 2 리드 커맨드를 메모리 장치에게 전송할 수 있다.

[0142] 단계(1005)에서, 메모리 컨트롤러는, 메모리 장치로부터 제 2 리드 동작에 대응하는 코드워드를 수신할 수 있다.

[0143] 단계(1007)에서, 메모리 컨트롤러는, 수신된 코드워드에 대한 에러 정정 디코딩을 수행할 수 있다. 에러 정정 디코딩에는, 경판정 디코딩 및 연판정 디코딩 중 적어도 하나가 이용될 수 있다. 예를 들어, 메모리 컨트롤러는, 수신된 코드워드에 대한 경판정 데이터를 이용하여 경판정 디코딩을 수행하거나, 수신된 코드워드에 대한 연판정 데이터를 이용하여 연판정 디코딩을 수행할 수 있다. 에러 정정 디코딩이 성공되는 경우 단계(1009)가 수행되고, 그렇지 않은 경우 단계(1011)가 수행될 수 있다.

[0144] 단계(1011)에서, 메모리 컨트롤러는, 수정 대상 인덱스에 해당하는 파라미터를 수정할 수 있다. 예를 들어, 경판정 디코딩이 이용되는 경우, 메모리 컨트롤러는, 수정 대상 인덱스에 해당하는 비트를 반전시킬 수 있다. 예를 들어, 연판정 디코딩이 이용되는 경우, 메모리 컨트롤러는, 수정 대상 인덱스에 해당하는 LLR 값을 수정할 수 있다. LLR 값을 수정한다는 것은, LLR 값의 부호 및 크기 중 적어도 하나를 수정하는 것을 의미할 수 있다.

[0145] 단계(1013)에서, 메모리 컨트롤러는, 파라미터가 수정된 경판정 데이터 또는 연판정 데이터를 이용하여 에러 정정 디코딩을 수행할 수 있다. 에러 정정 디코딩이 성공되는 경우 단계(1009)가 수행되고, 그렇지 않은 경우, 단계(1021)가 수행될 수 있다.

[0146] 단계(1109)에서, 메모리 컨트롤러는, 디코딩된 코드워드를 출력할 수 있다.

[0147] 단계(1021)에서, 메모리 컨트롤러는, 에러 정정 디코딩이 페일된 것으로 결정할 수 있다.

[0149] 도 11a 및 도 11b는 본 발명의 일 실시 예에 따라 경판정 데이터를 수정하는 과정을 설명하기 위한 도면이다.

[0150] 먼저, 도 11a에 도시된 바와 같이, 경판정 데이터 {111110...100110}에 대한 에러 정정 디코딩이 수행된 경우를 가정한다. 여기서, 경판정 데이터는 n개의 비트로 구성된 것을 가정한다. 만약, 경판정 데이터 {111110...100110}에 대한 에러 정정 디코딩이 페일되는 경우, 메모리 컨트롤러는, 경판정 데이터 {111110...100110}를 수정하여, 에러 정정 디코딩을 재시도 할 수 있다.

[0151] 만약, 수정 대상 인덱스가 3 및 n-4라고 가정하면, 메모리 컨트롤러는, 도 11b에 도시된 바와 같이 인덱스 3 및 n-4에 해당하는 비트를 반전시킨 후, 에러 정정 디코딩을 재시도할 수 있다. 여기서, 맨 좌측에 위치하는 비트가 인덱스 1에 해당하는 비트이고, 맨 우측에 위치하는 비트가 인덱스 n에 해당하는 비트인 것으로 가정한다. 도 11b를 참조하면, 도 11a에 비하여 인덱스 3 및 n-4에 해당하는 비트가 반전된 경판정 데이터 {110110...110110}를 이용하여 에러 정정 디코딩이 재시도되고 있음을 알 수 있다.

[0153] 도 12a 내지 도 12e는 본 발명의 일 실시 예에 따라 연판정 데이터를 수정하는 과정을 설명하기 위한 도면이다.

[0154] 도 12a 내지 도 12e에는 설명의 편의를 위하여 7비트의 연판정 데이터를 이용하는 경우를 도시하였다.

[0155] 먼저 도 12a에 도시된 바와 같이, 연판정 데이터 {+2 -3 +3 -3 -3 +3 -1}에 대한 에러 정정 디코딩이 수행된 경우를 가정한다. 여기서, 연판정 데이터 {+2 -3 +3 -3 -3 +3 -1}에 포함된 각 심볼들은 LLR 값인 것으로 가정한다. 만약, 연판정 데이터 {+2 -3 +3 -3 -3 +3 -1}에 대한 에러 정정 디코딩이 페일되는 경우, 메모리 컨트롤러는, 연판정 데이터{+2 -3 +3 -3 -3 +3 -1}를 수정하여 에러 정정 디코딩을 재시도할 수 있다.

[0156] 도 12a 내지 도 12e에서, 수정 대상 인덱스는 4라고 가정하며, 연판정 데이터 중 가장 좌측에 위치한 LLR 값의 인덱스가 1이고, 맨 우측에 위치하는 LLR 값의 인덱스는 7인 것으로 가정한다.

[0157] 이러한 경우, 메모리 컨트롤러는, 인덱스 4에 대응하는 LLR 값을 수정할 수 있다. 일 실시 예에서, 메모리 컨트롤러는, 인덱스 4에 대응하는 LLR 값의 부호를 변경할 수 있다. 도 12b에는, 일 예로서, 도 12a의 경우에 비하여, 인덱스 4에 대응하는 LLR 값의 부호가 마이너스(-)에서 플러스(+)로 변경된 예를 도시하였다. 일 실시 예에서, 메모리 컨트롤러는, 인덱스 4에 대응하는 LLR 값의 크기를 변경할 수 있다. 도 12c에는, 일 예로서, 도 12a의 경우에 비하여, 인덱스 4에 대응하는 LLR 값의 크기가 3에서 1로 변경된 예를 도시하였다.

[0158] 실시 예에 따라, 메모리 컨트롤러는, 인덱스 4에 인접한 인덱스에 대응하는 LLR 값을 수정할 수도 있다. 도 12d에는, 일 예로서, 도 12c의 경우에 비하여, 인덱스 4에 인접한 인덱스들인 인덱스 3 및 인덱스 5에 대응하는 LLR 값들의 크기가 3에서 2로 더 수정된 예를 도시하였다.

[0159] 실시 예에 따라, 메모리 컨트롤러는, 인덱스 4에 소정 거리 내에 인접한 인덱스들에 대응하는 LLR 값을 수정할 수도 있다. 도 12e에는, 도 12c에 비하여, 소정 거리(2) 내에 인접한 인덱스들인 인덱스 2, 인덱스 3, 인덱스 5

및 인덱스 6에 대응하는 LLR 값들의 크기가 수정된 예를 도시하였다. 여기서, 메모리 컨트롤러는, 인덱스 4에 더 인접할수록, 즉 인덱스 4와의 거리가 가까울수록 LLR 값의 크기를 더 크게 수정할 수 있다. 도 12e를 참조하면, 도 12c에 비하여, 인덱스 4와의 거리가 2인 인덱스 2 및 인덱스 6에 대응하는 LLR 값들의 크기는 3에서 2로 1만큼 수정되고, 인덱스 4와의 거리가 1인 인덱스 3 및 인덱스 5에 대응하는 LLR 값들의 크기는 3에서 1로 2만큼 수정되었음을 알 수 있다.

[0161] 도 13은 본 발명의 일 실시 예에 따른 프로그램 스텝 전압 변경 방법을 설명하기 위한 도면이다.

[0162] 프로그램 동작이 ISPP(Incremental Step Pulse Program) 방식으로 수행되는 경우, 메모리 장치는 프로그램 검증 결과에 따라 프로그램 스텝 전압을 다르게 조절할 수 있다.

[0163] 도 13에는, 각각의 프로그램 루프마다 동일한 검증 전압(Vf)을 이용한 복수의 프로그램 검증 동작이 수행되는 경우의 예를 도시하였다.

[0164] 첫 번째 프로그램 루프(PROGRAM LOOP 1)에서, 동일한 검증 전압(Vf)을 이용한 복수의 검증 동작들에 대응하는 검증 결과 데이터가 100개의 셀이 반전되었음을 나타내고, 두 번째 프로그램 루프(PROGRAM LOOP 2)에 적용할 프로그램 스텝 전압은 ΔV1으로 결정된 경우를 가정한다.

[0165] 한편, 두 번째 프로그램 루프(PROGRAM LOOP 2)에서, 동일한 검증 전압(Vf)를 이용한 복수의 검증 동작들에 대응하는 검증 결과 데이터가 20개의 셀이 반전되었음을 나타낸다고 가정할 때, 세 번째 프로그램 루프(PROGRAM LOOP 3)에 적용할 프로그램 스텝 전압인 ΔV2는, ΔV1에 비하여 작게 결정될 수 있다. 즉, 메모리 장치는, 동일한 검증 전압을 이용한 복수의 검증 동작에서 반전 셀의 개수가 많을수록 프로그램 스텝 전압을 높이고, 반전 셀의 개수가 적을수록 프로그램 스텝 전압을 낮출 수 있다.

[0167] 도 14는 도 1 및 도 2에 도시된 메모리 컨트롤러를 포함하는 메모리 시스템의 다른 예를 설명하기 위한 도면이다.

[0168] 도 14를 참조하면, 메모리 시스템(Memory System; 30000)은, 이동 전화기(cellular phone), 스마트폰(smart phone), 태블릿(tablet), PC(personal computer), PDA(personal digital assistant) 또는 무선 통신 장치로 구현될 수 있다. 메모리 시스템(30000)은, 메모리 장치(2200)와 상기 메모리 장치(2200)의 동작을 제어할 수 있는 메모리 컨트롤러(2100)를 포함할 수 있다.

[0169] 메모리 컨트롤러(2100)는, 프로세서(Processor; 3100)의 제어에 따라 메모리 장치(2200)의 데이터 액세스 동작, 예컨대 프로그램(program) 동작, 소거(erase) 동작 또는 리드(read) 동작 등을 제어할 수 있다.

[0170] 메모리 장치(2200)에 프로그램된 데이터는 메모리 컨트롤러(2100)의 제어에 따라 디스플레이(Display; 3200)를 통하여 출력될 수 있다.

[0171] 무선 송수신기(RADIO TRANSCEIVER; 3300)는, 안테나(ANT)를 통하여 무선 신호를 주고받을 수 있다. 예컨대, 무선 송수신기(3300)는, 안테나(ANT)를 통하여 수신된 무선 신호를 프로세서(3100)에서 처리(process)될 수 있는 신호로 변경할 수 있다. 따라서, 프로세서(3100)는, 무선 송수신기(3300)로부터 출력된 신호를 처리(process)하고 처리(process)된 신호를 메모리 컨트롤러(2100) 또는 디스플레이(3200)로 전송할 수 있다. 메모리 컨트롤러(2100)는, 프로세서(3100)에 의하여 처리(process)된 신호를 메모리 장치(2200)에 전송할 수 있다. 또한, 무선 송수신기(3300)는, 프로세서(3100)로부터 출력된 신호를 무선 신호로 변경하고 변경된 무선 신호를 안테나(ANT)를 통하여 외부 장치로 출력할 수 있다. 입력 장치(Input Device; 3400)는, 프로세서(3100)의 동작을 제어하기 위한 제어 신호 또는 프로세서(3100)에 의하여 처리(process)될 데이터를 입력할 수 있는 장치로서, 터치 패드(touch pad)와 컴퓨터 마우스(computer mouse)와 같은 포인팅 장치(pointing device), 키패드(keypad) 또는 키보드로 구현될 수 있다. 프로세서(3100)는, 메모리 컨트롤러(2100)로부터 출력된 데이터, 무선 송수신기(3300)로부터 출력된 데이터, 또는 입력 장치(3400)로부터 출력된 데이터가 디스플레이(3200)를 통하여 출력될 수 있도록 디스플레이(3200)의 동작을 제어할 수 있다.

[0172] 실시 예에 따라, 메모리 장치(2200)의 동작을 제어할 수 있는 메모리 컨트롤러(2100)는, 프로세서(3100)의 일부로서 구현될 수도 있고, 프로세서(3100)와는 별도의 칩으로 구현될 수 있다.

[0174] 도 15는 도 1 및 도 2에 도시된 메모리 컨트롤러를 포함하는 메모리 시스템의 다른 예를 설명하기 위한 도면이다.

[0175] 도 15를 참조하면, 메모리 시스템(Memory System; 40000)은 PC(personal computer), 태블릿(tablet), 넷-북(net-book), e-리더(e-reader), PDA(personal digital assistant), PMP(portable multimedia player), MP3 플레이어, 또는 MP4 플레이어로 구현될 수 있다.

[0176] 메모리 시스템(40000)은, 메모리 장치(2200)와 상기 메모리 장치(2200)의 데이터 처리 동작을 제어할 수 있는 메모리 컨트롤러(2100)를 포함할 수 있다.

[0177] 프로세서(Processor; 4100)는, 입력 장치(Input Device; 4200)를 통하여 입력된 데이터에 따라 메모리 장치(2200)에 저장된 데이터를 디스플레이(Display; 4300)를 통하여 출력할 수 있다. 예컨대, 입력 장치(4200)는, 터치 패드 또는 컴퓨터 마우스와 같은 포인팅 장치, 키패드, 또는 키보드로 구현될 수 있다.

[0178] 프로세서(4100)는, 메모리 시스템(40000)의 전반적인 동작을 제어할 수 있고 메모리 컨트롤러(2100)의 동작을 제어할 수 있다. 실시 예에 따라, 메모리 장치(2200)의 동작을 제어할 수 있는 메모리 컨트롤러(2100)는, 프로세서(4100)의 일부로서 구현되거나, 프로세서(4100)와는 별도의 칩으로 구현될 수 있다.

[0180] 도 16은 도 1 및 도 2에 도시된 메모리 컨트롤러를 포함하는 메모리 시스템의 다른 예를 설명하기 위한 도면이다.

[0181] 도 16을 참조하면, 메모리 시스템(50000)은, 이미지 처리 장치, 예컨대 디지털 카메라, 디지털 카메라가 부착된 이동 전화기, 디지털 카메라가 부착된 스마트 폰, 또는 디지털 카메라가 부착된 태블릿으로 구현될 수 있다.

[0182] 메모리 시스템(50000)은, 메모리 장치(2100)와 상기 메모리 장치(2100)의 데이터 처리 동작, 예컨대 프로그램 동작, 소거 동작 또는 리드 동작을 제어할 수 있는 메모리 컨트롤러(2200)를 포함한다.

[0183] 메모리 시스템(50000)의 이미지 센서(Image Sensor; 5200)는, 광학 이미지를 디지털 신호들로 변환할 수 있고, 변환된 디지털 신호들은 프로세서(Processor; 5100) 또는 메모리 컨트롤러(2200)로 전송될 수 있다. 프로세서(5100)의 제어에 따라, 상기 변환된 디지털 신호들은 디스플레이(Display; 5300)를 통하여 출력되거나 메모리 컨트롤러(2200)를 통하여 메모리 장치(2100)에 저장될 수 있다. 또한, 메모리 장치(2100)에 저장된 데이터는, 프로세서(5100) 또는 메모리 컨트롤러(2200)의 제어에 따라 디스플레이(5300)를 통하여 출력될 수 있다.

[0184] 실시 예에 따라, 메모리 장치(2100)의 동작을 제어할 수 있는 메모리 컨트롤러(2200)는, 프로세서(5100)의 일부로서 구현되거나 프로세서(5100)와는 별개의 칩으로 구현될 수 있다.

[0186] 도 17은 도 1 및 도 2에 도시된 메모리 컨트롤러를 포함하는 메모리 시스템의 다른 예를 설명하기 위한 도면이다.

[0187] 도 17을 참조하면, 메모리 시스템(Memory System; 70000)은, 메모리 카드(memory card) 또는 스마트 카드(smart card)로 구현될 수 있다. 메모리 시스템(70000)은 메모리 장치(2200), 메모리 컨트롤러(2100) 및 카드 인터페이스(Card Interface; 7100)를 포함할 수 있다.

[0188] 메모리 컨트롤러(2100)는, 메모리 장치(2200)와 카드 인터페이스(7100) 사이에서 데이터의 교환을 제어할 수 있다. 실시 예에 따라, 카드 인터페이스(7100)는, SD(secure digital) 카드 인터페이스 또는 MMC(multi-media card) 인터페이스일 수 있으나 이에 한정되는 것은 아니다.

[0189] 카드 인터페이스(7100)는, 호스트(HOST; 60000)의 프로토콜에 따라 호스트(60000)와 메모리 컨트롤러(2100) 사이에서 데이터 교환을 인터페이스할 수 있다. 실시 예에 따라, 카드 인터페이스(7100)는, USB(Universal Serial Bus) 프로토콜, IC(InterChip)-USB 프로토콜을 지원할 수 있다. 여기서, 카드 인터페이스(7100)는, 호스트(60000)가 이용하는 프로토콜을 지원할 수 있는 하드웨어, 상기 하드웨어에 탑재된 소프트웨어 또는 신호 전송 방식을 의미할 수 있다.

[0190] 메모리 시스템(70000)이 PC, 태블릿, 디지털 카메라, 디지털 오디오 플레이어, 이동 전화기, 콘솔 비디오 게임 하드웨어, 또는 디지털 셋-탑 박스와 같은 호스트(60000)의 호스트 인터페이스(6200)와 접속될 때, 호스트 인터페이스(6200)는 마이크로프로세서(Microprocessor; μP; 6100)의 제어에 따라 카드 인터페이스(7100)와 메모리

컨트롤러(2100)를 통하여 메모리 장치(2200)와 데이터 통신을 수행할 수 있다.

[0192] 본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나, 본 발명의 범위와 기술적 사상에서 벗어나지 않는 한도 내에서 다양한 변경이 가능하다. 그러므로 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

[0194] 1000: 호스트

2000 : 메모리 시스템

2100 : 메모리 컨트롤러

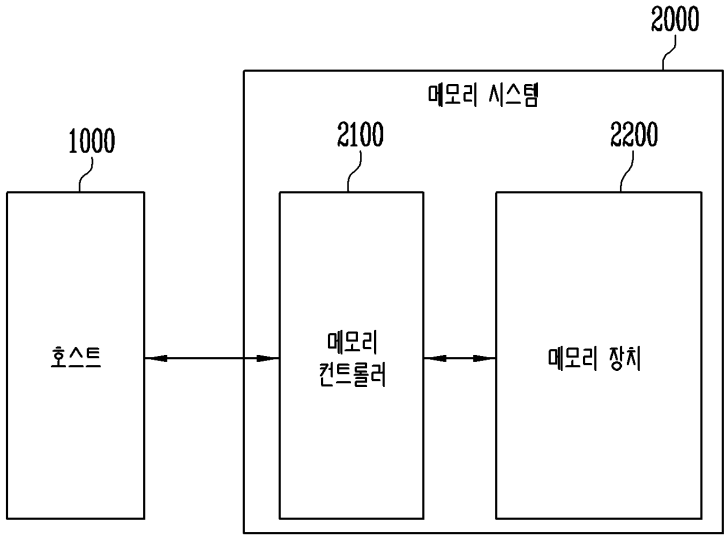
2120 : 중앙 처리 장치

2150 : 에러 정정 회로

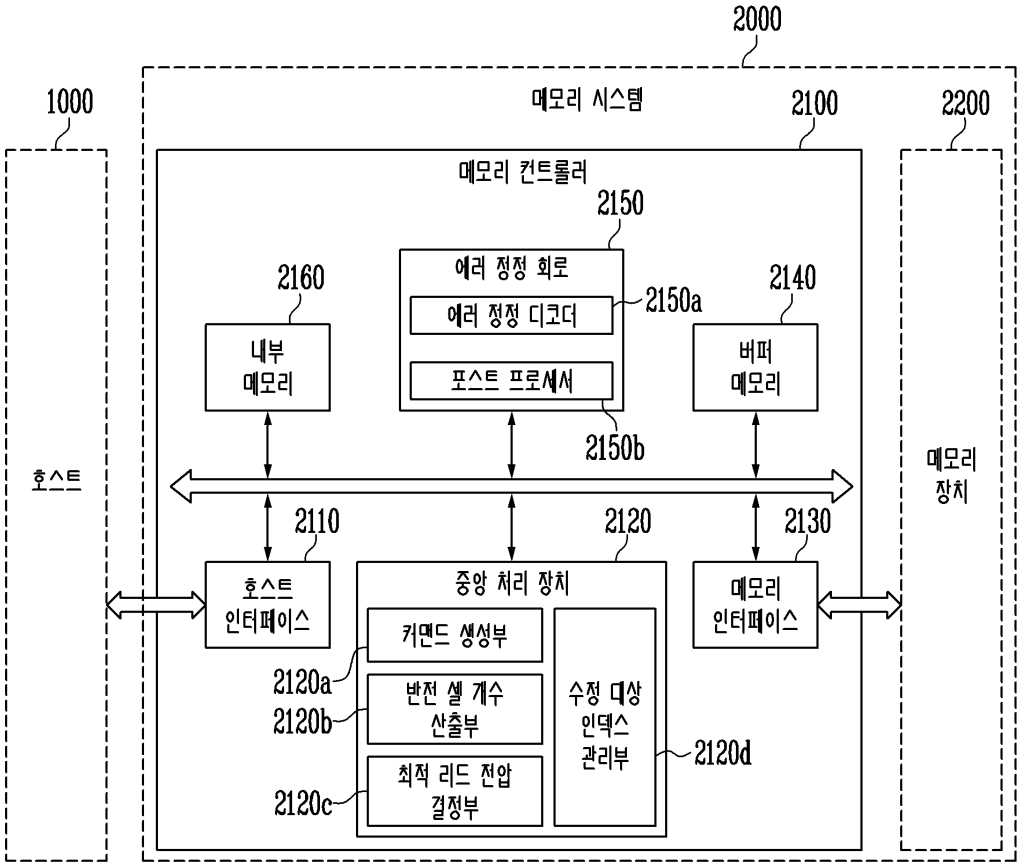
2200 : 메모리 장치

도면

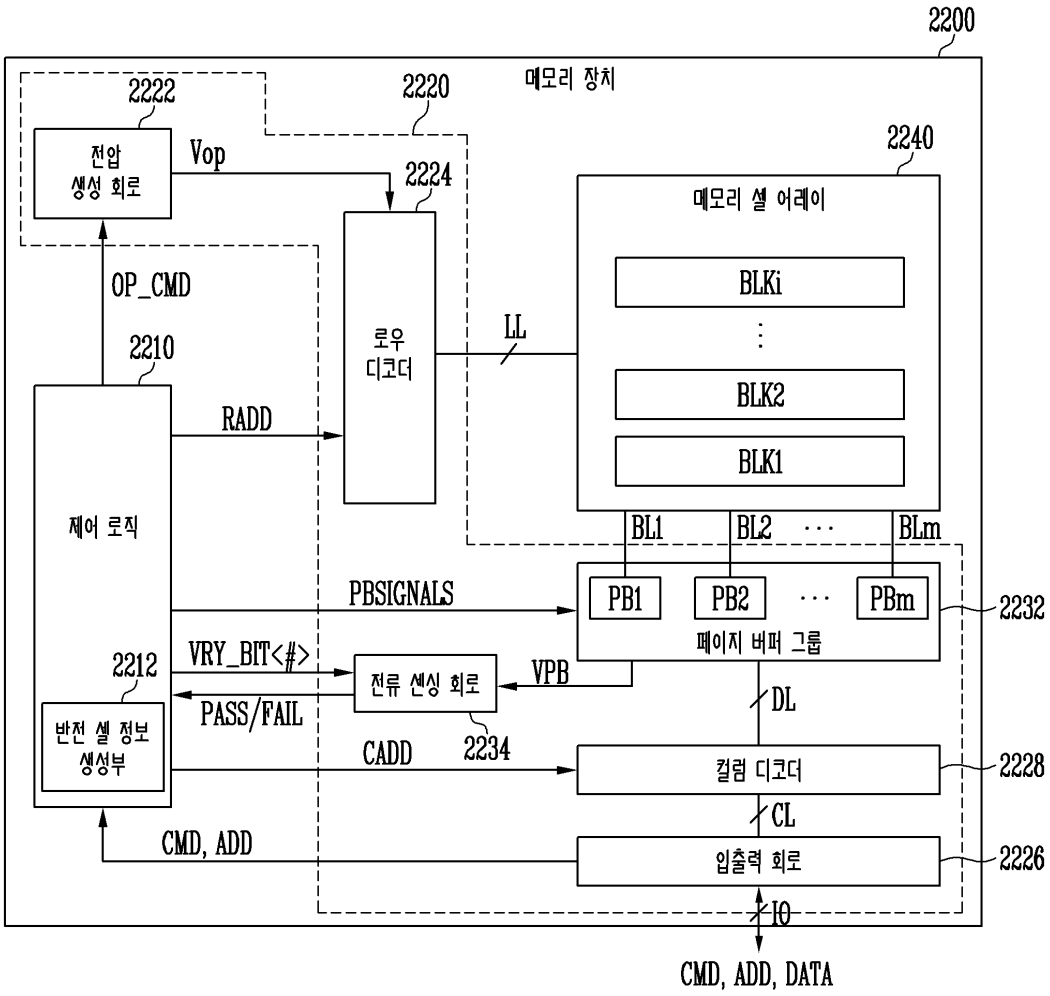
도면1



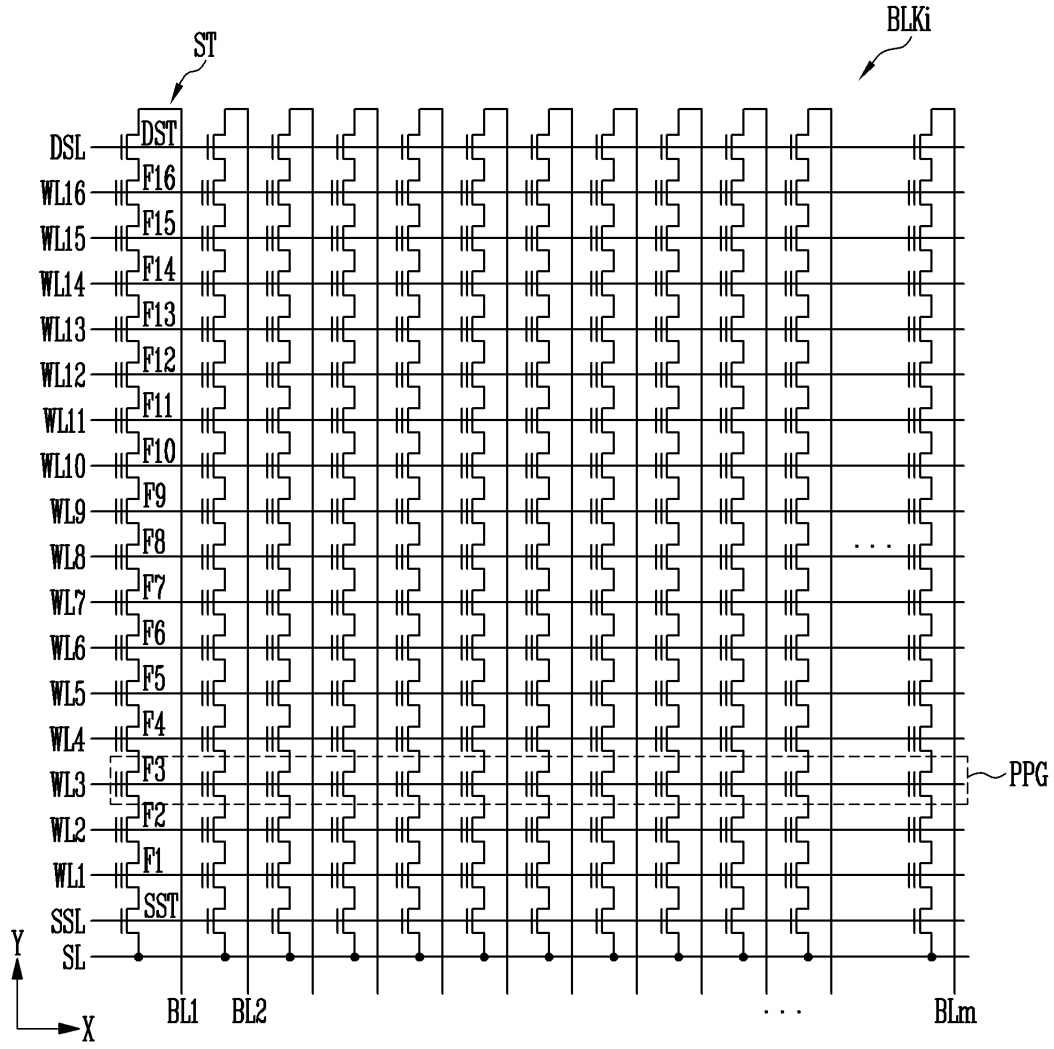
도면2


2000
1000
메모리 시스템
2100
2200
메모리 컨트롤러
2150
에러 정정 회로
2150a
에러 정정 디코더
포스트 프로세서
2150b
2160
내부 메모리
2140
버퍼 메모리
호스트
메모리 장치
2110
2120
2130
호스트 인터페이스
중앙 처리 장치
메모리 인터페이스
커맨드 생성부
2120a
반전 셀 개수 산출부
2120b
수정 대상 인덱스 관리부
2120d
최적 리드 전압 결정부
2120c

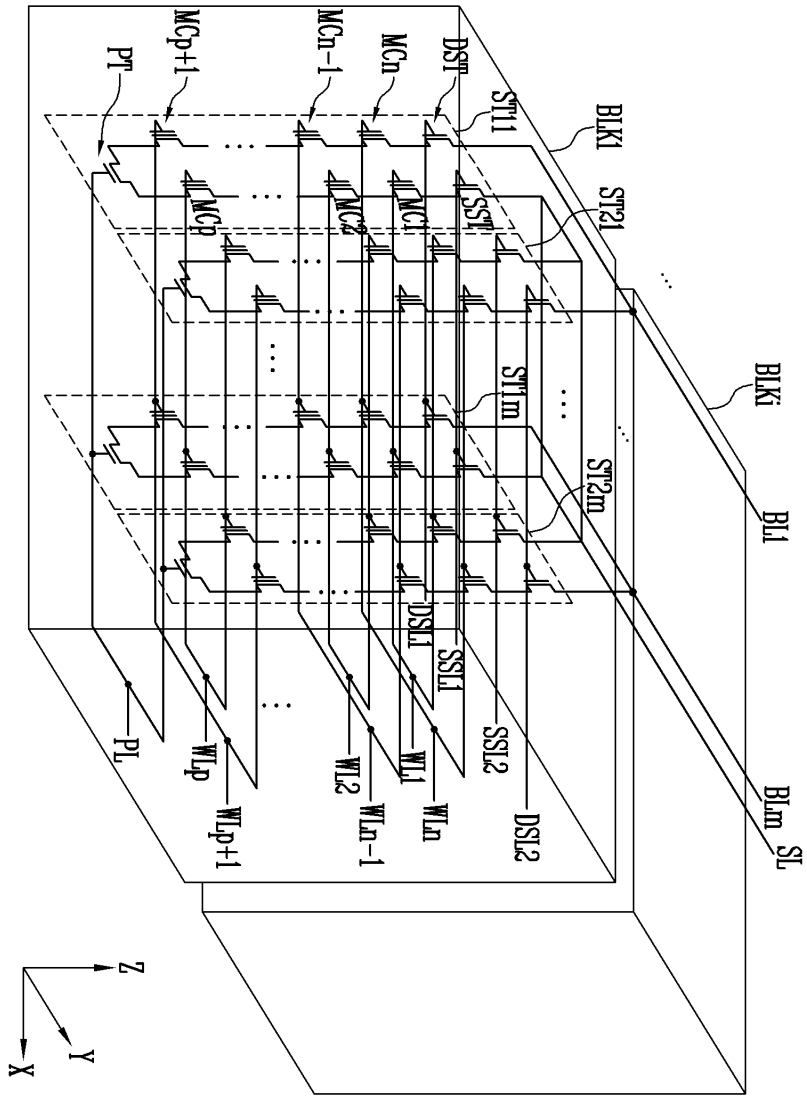
도면3


2200
메모리 장치
2222
전압
생성 회로
Vop
2220
2224
2240
메모리 셀 어레이
BLKi
BLK2
BLK1
OP_CMD
2210
로우
디코더
LL
RADD
제어 로직
BL1
BL2
BLm
PBSIGNALS
PB1
PB2
PBm
2232
페이지 버퍼 그룹
VRY_BIT<#>
2212
전류 센싱 회로
VPB
PASS/FAIL
2234
DL
CADD
반전 셀 정보
생성부
컬럼 디코더
2228
CL
CMD, ADD
입출력 회로
2226
IO
CMD, ADD, DATA

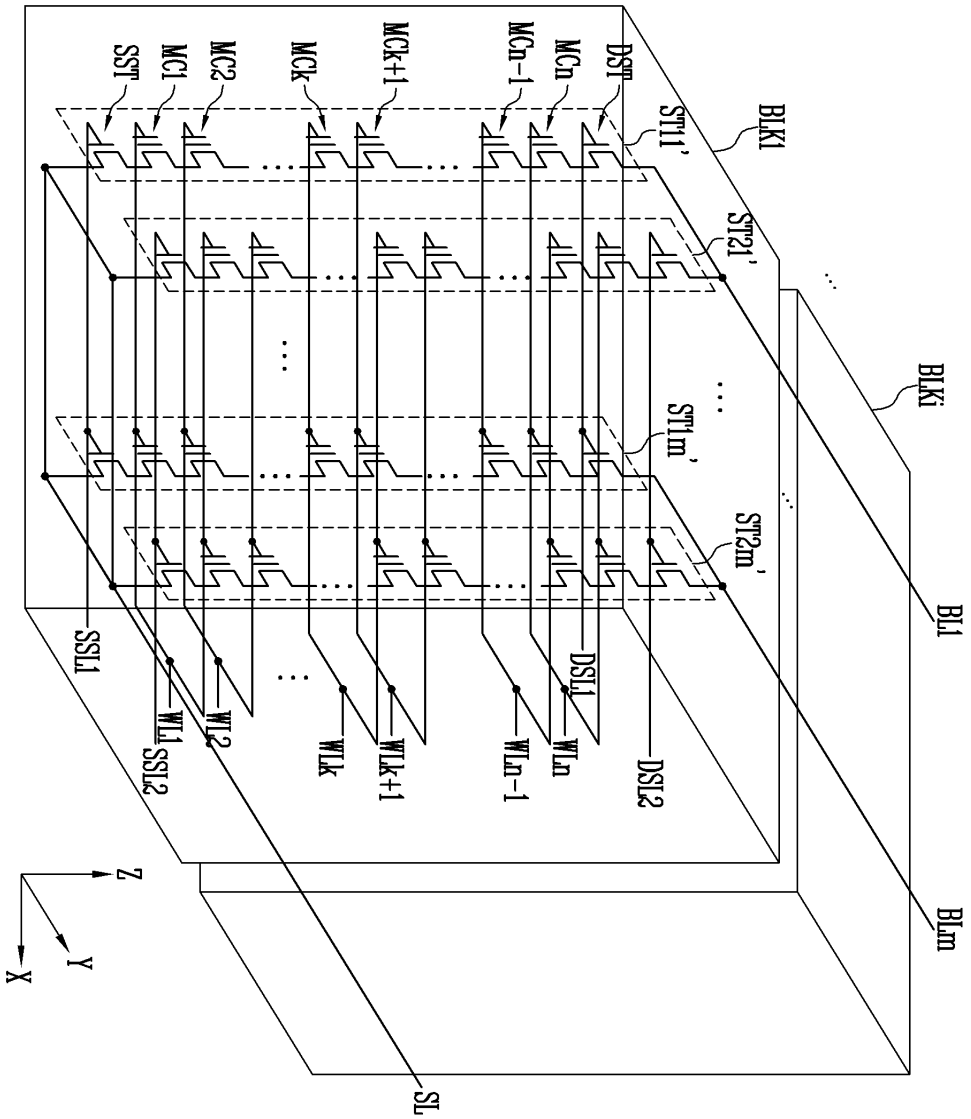
도면4


ST
BLKi
DSL
WL16
WL15
WL14
WL13
WL12
WL11
WL10
WL9
WL8
WL7
WL6
WL5
WL4
WL3
WL2
WL1
SSL
SL
DST
F16
F15
F14
F13
F12
F11
F10
F9
F8
F7
F6
F5
F4
F3
F2
F1
SST
PPG
Y
X
BL1
BL2
BLm

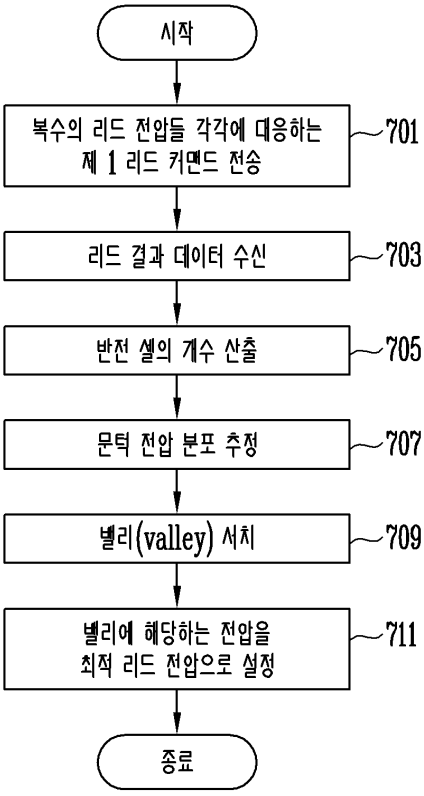
도면5


PL
MCp+1
MCn-1
MCn
DST
ST11
BLK1
ST21
SST
MCp
MC2
MC1
ST1m
BLKi
ST2m
BL1
DSL1
SSL1
SSL2
WLp
WL2
WL1
WLn
DSL2
BLm
SL
WLp+1
WLn-1
Z
Y
X

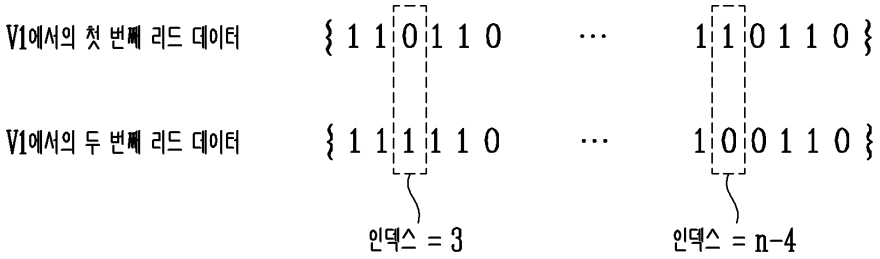
도면6


SSTm
MC1
MC2
MCk
MCk+1
MCn-1
MCn
DST
ST11'
ST21'
ST1m'
ST2m'
BLK1
BLKi
BL1
BLm
SSL1
SSL2
WL1
WL2
WLk
WLk+1
WLn-1
WLn
DSL1
DSL2
SL
Z
Y
X

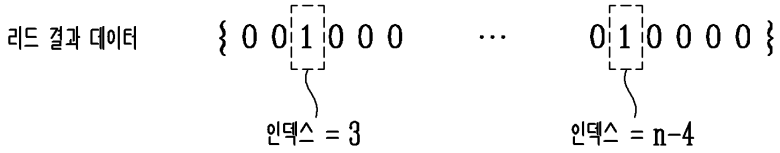
도면7



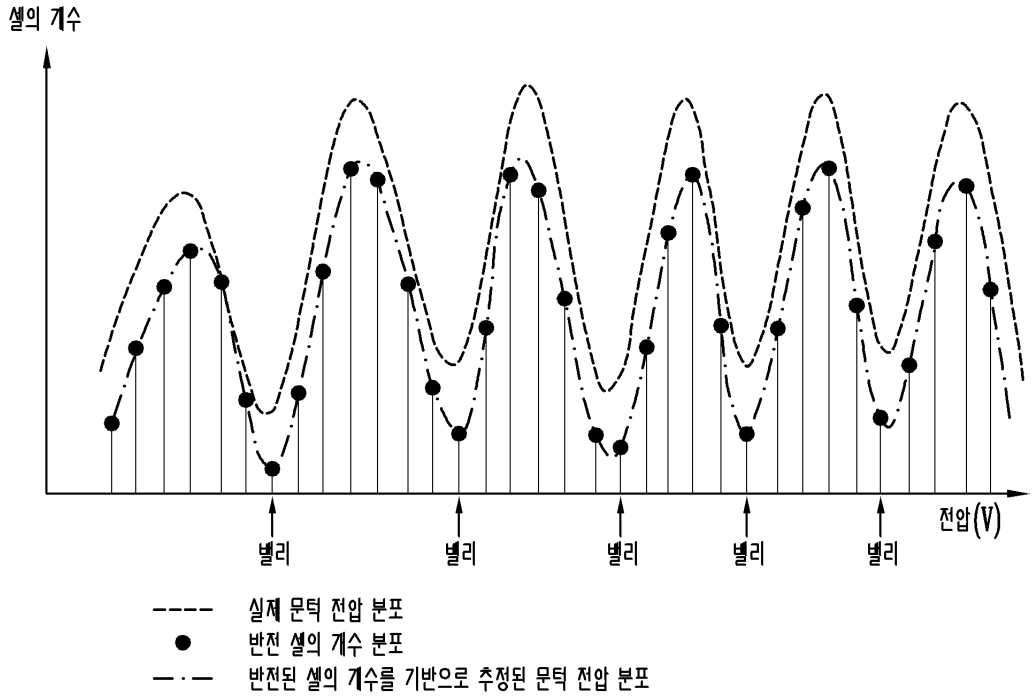
도면8a



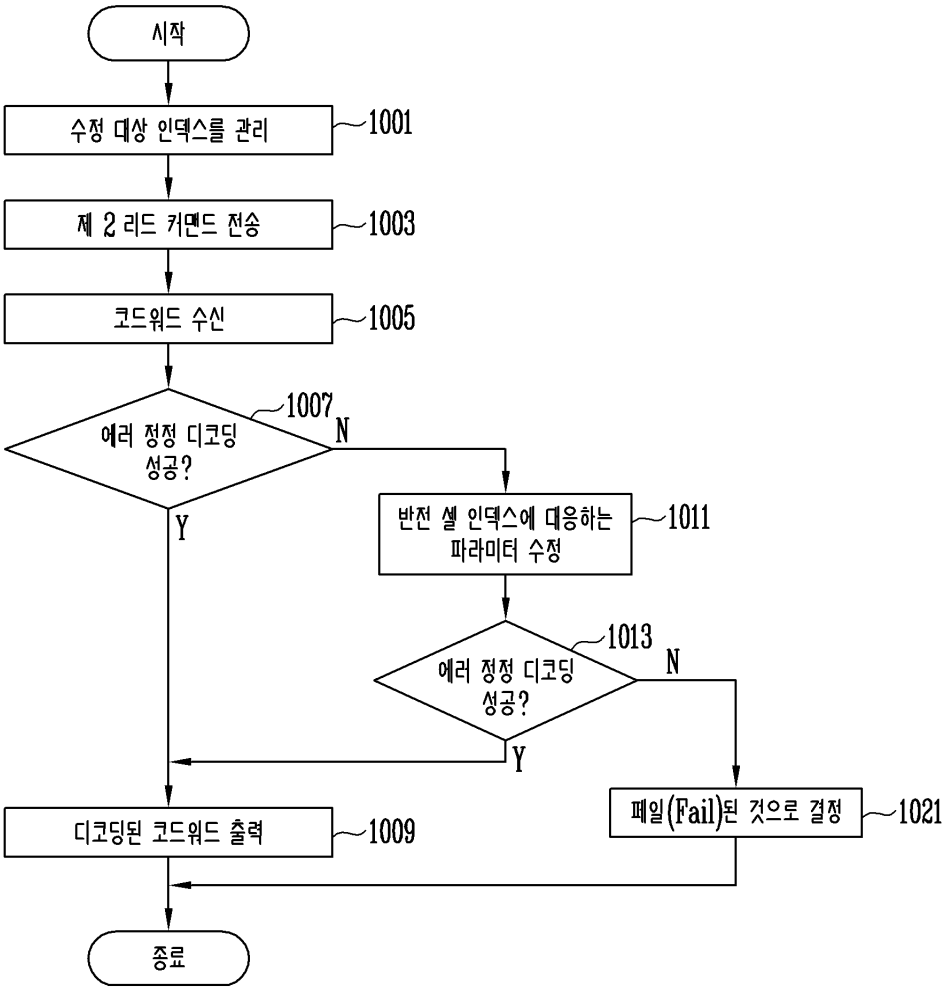
도면8b



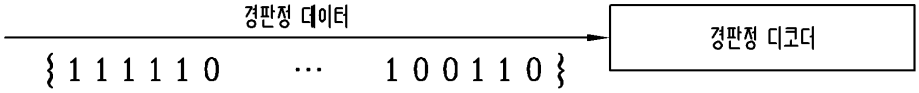
도면9


셀의 개수
전압(V)
벨리
벨리
벨리
벨리
벨리
실제 문턱 전압 분포
반전 셀의 개수 분포
반전된 셀의 개수를 기반으로 추정된 문턱 전압 분포

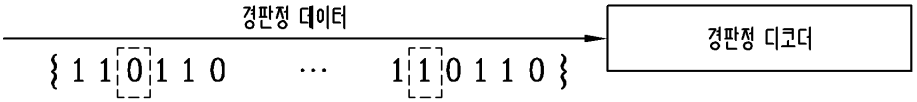
도면10


시작
수정 대상 인덱스를 관리
1001
제 2 리드 커맨드 전송
1003
코드워드 수신
1005
에러 정정 디코딩 성공?
1007
N
Y
반전 셀 인덱스에 대응하는 파라미터 수정
1011
에러 정정 디코딩 성공?
1013
N
Y
디코딩된 코드워드 출력
1009
페일(Fail)된 것으로 결정
1021
종료

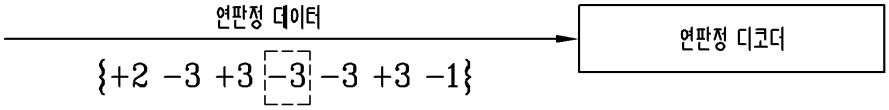
도면11a



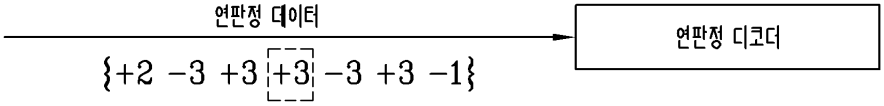
도면11b



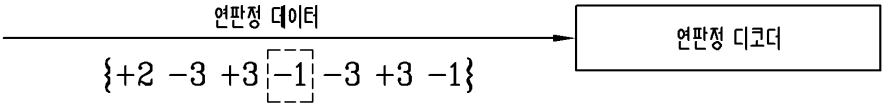
도면12a



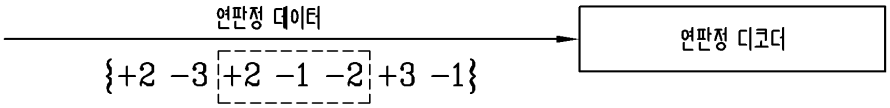
도면12b



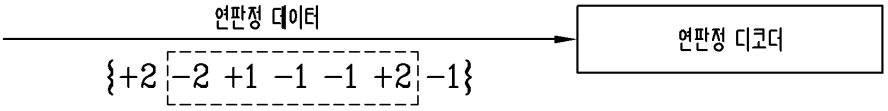
도면12c



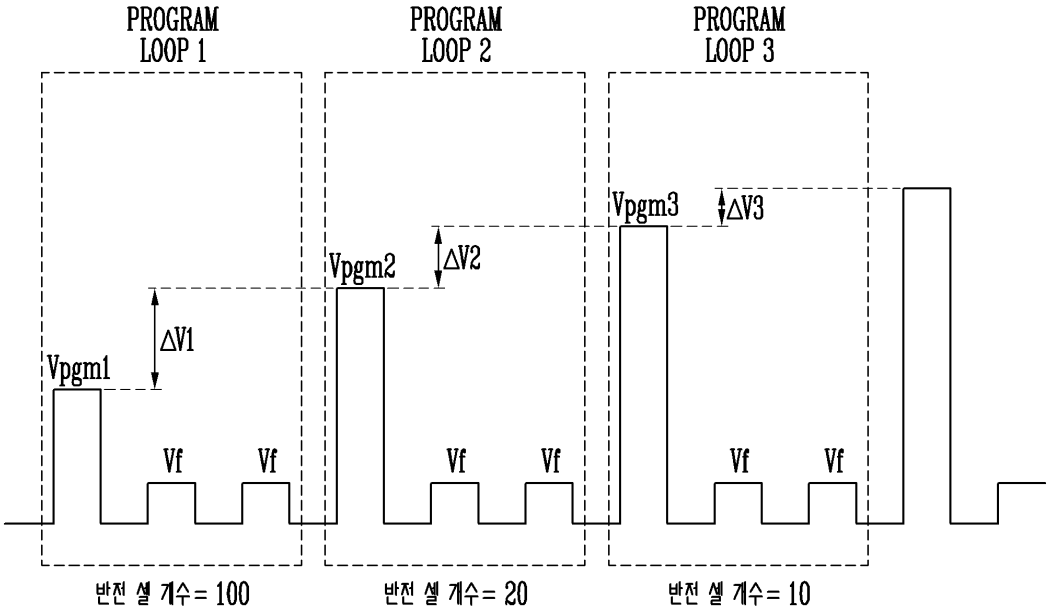
도면12d



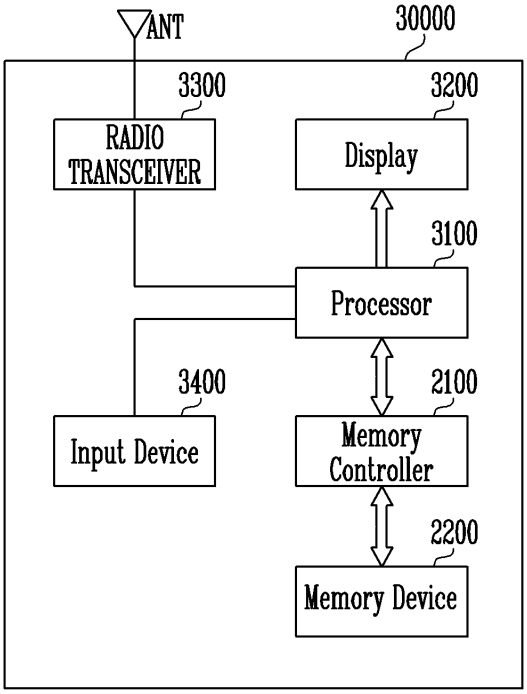
도면12e



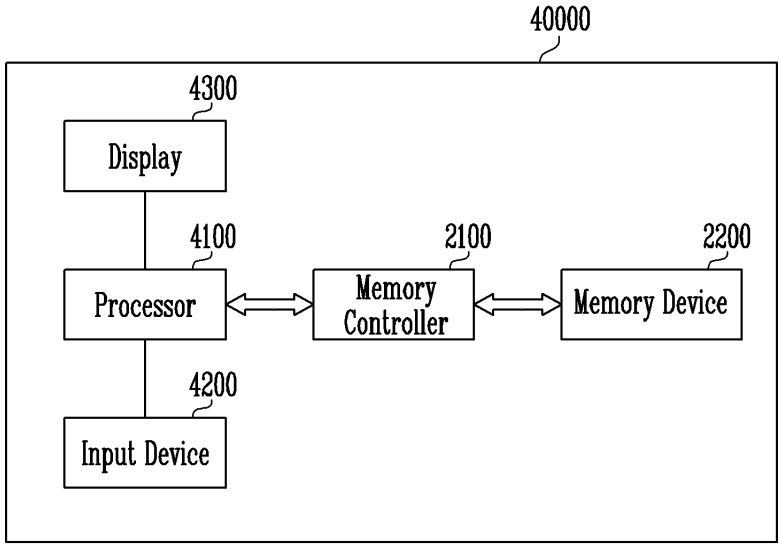
도면13


PROGRAM LOOP 1
PROGRAM LOOP 2
PROGRAM LOOP 3
Vpgm1
ΔV1
Vpgm2
ΔV2
Vpgm3
ΔV3
Vf
Vf
Vf
Vf
Vf
Vf
반전 셀 개수= 100
반전 셀 개수= 20
반전 셀 개수= 10

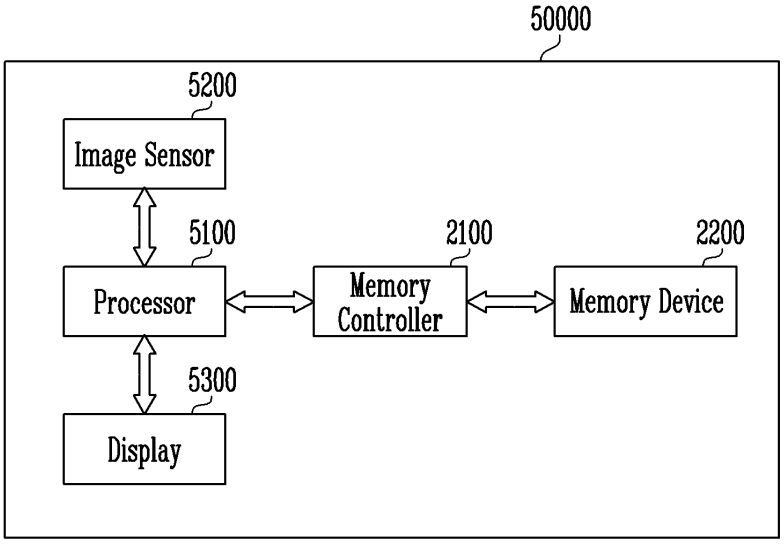
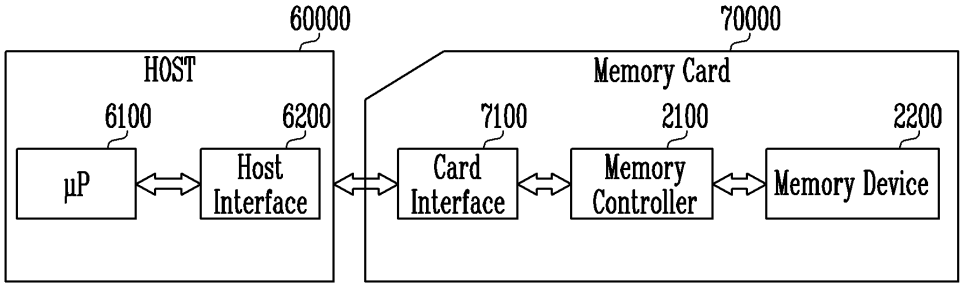
도면14


ANT
30000
3300
RADIO TRANSCEIVER
3200
Display
3100
Processor
3400
Input Device
2100
Memory Controller
2200
Memory Device

도면15



도면16



도면17