



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0067241
(43) 공개일자 2019년06월14일

- (51) 국제특허분류(Int. Cl.)
H01G 4/33 (2006.01) H01G 4/12 (2006.01)
- (52) CPC특허분류
H01G 4/33 (2013.01)
H01G 4/12 (2013.01)
- (21) 출원번호 10-2019-7014542
- (22) 출원일자(국제) 2018년02월13일
심사청구일자 2019년05월21일
- (85) 번역문제출일자 2019년05월21일
- (86) 국제출원번호 PCT/JP2018/004905
- (87) 국제공개번호 WO 2018/155257
국제공개일자 2018년08월30일
- (30) 우선권주장
JP-P-2017-030027 2017년02월21일 일본(JP)

- (71) 출원인
티디케이가부시기가이샤
일본 도쿄도 츄오쿠 니혼바시 2초메 5반 1고
- (72) 발명자
츠노다, 코이치
일본 도쿄 103-6128 츄오쿠 니혼바시 2-5-1 티디
케이가부시기가이샤 내
토미카와, 미츠히로
일본 도쿄 103-6128 츄오쿠 니혼바시 2-5-1 티디
케이가부시기가이샤 내
(뒷면에 계속)
- (74) 대리인
장훈

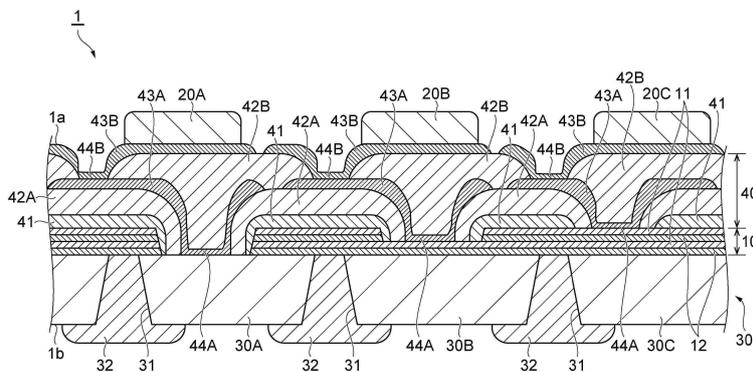
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 **박막 커패시터**

(57) 요약

박막 커패시터(1)에 있어서는, 전극 단자층(30) 및 용량부(10)의 전극층(11)이, 절연층(40)에 두께 방향을 따라 관설된 비아 도체(즉, 제 1 배선부(43A) 및 제 2 배선부(43B))에 의해 전극 단자(20A 내지 20C) 각각에 접속되어 있으며, 비아 도체(43A, 43B)에 의해 두께 방향을 따르는 짧은 회로 배선이 실현되어 있다. 박막 커패시터(1)에 서는, 복수의 전극 단자(20A 내지 20C)에서의 다단자화를 도모하면서, 회로 배선의 단축이 도모되고 있으며, 그 것에 의해, 저ESL화가 도모된 박막 커패시터가 얻어진다.

대표도



(72) 발명자

요시카와, 카즈히로

일본 도쿄 103-6128 츄오쿠 니혼바시 2-5-1 티디케
이가부시기가이샤 내

요시다, 케니치

일본 도쿄 103-6128 츄오쿠 니혼바시 2-5-1 티디케
이가부시기가이샤 내

명세서

청구범위

청구항 1

박막 커패시터의 한쪽면측에 위치하고, 외부와 전기적으로 접속되는 접속 영역을 갖는 층상의 전극 단자층과, 상기 전극 단자층의 상기 한쪽면측과는 반대측에 부분적으로 형성되고, 전극층과 유전체층이 교대로 적층된 적층 구조를 갖는 용량부와,

상기 전극 단자층의 상기 한쪽면측과는 반대측에서, 상기 용량부가 형성된 형성 영역 및 상기 용량부가 형성되어 있지 않은 비형성 영역을 덮는 절연층과,

상기 절연층 위에 설치된 복수의 전극 단자와,

상기 용량부의 적층 방향을 따라 상기 절연층에 관설되며, 상기 전극 단자층 및 상기 용량부의 전극층 중 어느 하나에 상기 복수의 전극 단자 각각을 접속하는 복수의 비아 도체를 구비하는, 박막 커패시터.

청구항 2

제 1 항에 있어서,

상기 전극 단자층이, 외부에 접속되는 복수의 접속 영역을 가지며, 또한, 상기 이웃하는 접속 영역 사이에 있어서의 상기 전극 단자층을 관통하여 양 접속 영역을 분단하는 관통부를 구비하는, 박막 커패시터.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 절연층의 두께가 상기 용량부의 두께보다 두꺼운, 박막 커패시터.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 전극 단자층의 두께가 상기 용량부의 두께보다 두꺼운, 박막 커패시터.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

전자 부품을 탑재 가능하며, 또한, 당해 전자 부품으로의 전력을 공급하는 배선판 위에 배치되어야 하는 박막 커패시터로서, 상기 박막 커패시터에 탑재되는 상기 전자 부품에 상기 복수의 전극 단자가 접속되며, 상기 배선판에 상기 전극 단자층이 접속되는, 박막 커패시터.

발명의 설명

기술 분야

[0001] 본 개시는 박막 커패시터에 관한 것이다.

배경 기술

[0002] 예를 들면 하기 인용문헌 1에는, 내부에 칩 콘덴서를 가지며, 또한, 당해 칩 콘덴서로부터 인출된 전극 단자가 양 주면에 설치된 콘덴서 내장 기관이 개시되어 있다.

선행기술문헌

특허문헌

- [0003] (특허문헌 0001) 일본 공개특허공보 제 2009-194096호
- (특허문헌 0002) 일본 공개특허공보 제 2007-81325호

발명의 내용

해결하려는 과제

- [0004] 상기 콘덴서 내장 기관에서는 회로 배선의 길이가 길기 때문에, 저ESL화를 도모하는 것이 곤란하다. 그래서, 박막 프로세스 기술을 사용하여 콘덴서 내장 기관의 구성을 실현하는 박막 커패시터(즉, 내부에 커패시터 구조를 가지며, 또한, 당해 커패시터 구조로부터 인출된 전극 단자가 양 주면에 설치된 박막 커패시터)의 개발이 진행되고 있다.
- [0005] 발명자들은, 상기의 박막 커패시터에 관해서 연구를 거듭하여, 이러한 박막 커패시터에 있어서 더욱 저ESL화를 도모할 수 있는 기술을 새롭게 밝혀내었다.
- [0006] 본 개시의 다양한 측면은, 저ESL화가 도모된 박막 커패시터를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0007] 본 개시의 일 형태에 따르는 박막 커패시터는, 박막 커패시터의 한쪽면측에 위치하고, 외부와 전기적으로 접속되는 접속 영역을 갖는 전극 단자층과, 전극 단자층의 한쪽면측과는 반대측에 부분적으로 형성되고, 전극층과 유전체층이 교대로 적층된 적층 구조를 갖는 용량부와, 전극 단자층의 한쪽면측과는 반대측에서, 용량부가 형성된 형성 영역 및 용량부가 형성되어 있는 비형성 영역을 덮는 절연층과, 절연층 위에 설치된 복수의 전극 단자와, 용량부의 적층 방향을 따라 절연층에 관설되며, 전극 단자층 및 용량부의 전극층 중 어느 하나에 복수의 전극 단자 각각을 접속하는 복수의 비아 도체를 구비한다.
- [0008] 상기 박막 커패시터에 있어서는, 전극 단자층 및 용량부의 전극층이, 절연층에 관설된 비아 도체에 의해 전극 단자 각각에 접속됨으로써, 회로 배선의 단축 및 다단자화의 양자가 도모되고 있으며, 그것에 의해, 저ESL화가 도모된 박막 커패시터가 얻어진다.
- [0009] 본 개시의 다른 형태에 따르는 박막 커패시터는, 전극 단자층이, 외부에 접속되는 복수의 접속 영역을 가지며, 또한, 이웃하는 접속 영역 사이에 있어서의 전극 단자층을 관통하여 양 접속 영역을 분단하는 관통부를 구비한다. 이 경우, 복수의 접속 영역 중의 일부와 그 잔부를, 상이한 극성의 전극 단자로서 사용할 수 있다.
- [0010] 본 개시의 다른 형태에 따르는 박막 커패시터는, 절연층의 두께가 용량부의 두께보다 두꺼우며, 또한, 전극 단자층의 두께가 용량부의 두께보다 두껍다.
- [0011] 본 개시의 다른 형태에 따르는 박막 커패시터는, 전자 부품을 탑재 가능하며, 또한, 당해 전자 부품으로의 전력을 공급하는 배선판 위에 배치되어야 하는 박막 커패시터로서, 박막 커패시터에 탑재되는 전자 부품에 복수의 전극 단자가 접속되며, 배선판에 전극 단자층이 접속된다.
- [0012] 본 개시의 일측면에 의하면, 저ESL화가 도모된 박막 커패시터가 제공된다.

도면의 간단한 설명

- [0013] 도 1은 본 개시의 일 실시형태에 따르는 박막 커패시터의 일부를 개략적으로 도시하는 단면도이다.
- 도 2의 (a) 내지 (e)는, 도 1에 도시하는 박막 커패시터의 제조 방법을 설명하기 위한 도면이다.
- 도 3의 (a) 내지 (e)는, 도 1에 도시하는 박막 커패시터의 제조 방법을 설명하기 위한 도면이다.
- 도 4는, 도 1과는 상이한 형태의 박막 커패시터의 일부를 개략적으로 도시하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하, 도면을 참조하여 다양한 실시형태에 관해서 상세하게 설명한다. 또한, 각 도면에 있어서 동일 또는 상당 부분에 대해서는 동일한 부호를 붙이고, 중복되는 설명을 생략한다.
- [0015] 도 1에 도시하는 바와 같이, 일 실시형태에 따르는 박막 커패시터(1)는, 그 내부에 커패시터 구조로서 용량부

(10)를 가지며, 또한, 그 양 주면에, 용량부(10)로부터 인출된 전극 단자로서 전극 단자(20A 내지 20C, 30A 내지 30C)를 가지고 있다.

- [0016] 박막 커패시터(1)의 한쪽 주면(a)에 설치된 전극 단자(20A 내지 20C)는, 박막 커패시터(1)에 탑재되는 도시하지 않는 전자 부품과 접속하기 위한 전자 단자이며, 전극 단자(20A 내지 20C)가 설치된 층의 주면(이하, 전자 부품 탑재면이라고도 한다.) 위에, 전자 부품이 탑재될 수 있다.
- [0017] 박막 커패시터(1)의 다른쪽 주면(1b)에 설치된 전극 단자(30A 내지 30C)는, 박막 커패시터(1) 위에 탑재되는 전자 부품에 박막 커패시터를 개재하여 전력을 공급하는 도시하지 않는 배선판과 접속하기 위한 전극 단자이며, 전극 단자(30A 내지 30C)가 설치된 층의 주면(이하, 배선판 탑재면이라고도 한다.)(1b)이 배선판과 대면하는 자세로 박막 커패시터(1)가 배선판 위에 탑재될 수 있다.
- [0018] 박막 커패시터(1)는, 보다 상세하게는, 배선판 탑재면(1b)측에 위치하고, 배선판과 전기적으로 접속되는 복수의 접속 영역을 갖는 전극 단자층(30)과, 전극 단자층(30)의 배선판측과는 반대측에 부분적으로 형성되고, 전극층(11)과 유전체층(12)이 서로 적층된 적층 구조를 갖는 용량부(10)와, 전극 단자층(30)의 배선판측과는 반대측에서, 용량부(10)가 형성된 형성 영역 및 용량부(10)가 형성되어 있지 않은 비형성 영역을 덮는 절연층(40)과, 절연층(40) 위에 설치되며, 전자 부품에 접속되어야 하는 복수의 전극 단자(20A 내지 20C)와, 용량부(10)의 적층 방향을 따라 관설되며, 전극 단자층(30) 및 용량부(10)의 전극층(11)의 어느 하나에 복수의 전극 단자(20A 내지 20C) 각각을 접속하는 복수의 비아 도체(43A, 43B)를 구비하고 있다.
- [0019] 전극 단자층(30)의 복수의 접속 영역은, 이웃하는 접속 영역 사이에 있어서의 전극 단자층(30)을 관통하여 양 접속 영역을 분단하는 관통부(31)를 구비하고 있으며, 관통부(31)로 분단된 각 접속 영역이 상기의 전극 단자(30A 내지 30C)로 되어 있다. 각 관통부(31)는, 전극 단자층(30)의 두께보다 두꺼운 절연 수지(32)에 의해 메워져 있으며, 전극 단자(30A 내지 30C) 사이의 높은 전기 절연성을 실현하고 있다.
- [0020] 전극 단자층(30)은 도전성을 갖는 재료로 형성되어 있다. 구체적으로는, 전극 단자층(30)을 형성하는 도전성 재료로서는, 주성분으로서 니켈(Ni)이나 백금(Pt)을 함유하는 합금이라도 좋고, 또한, 주성분으로서 Ni를 함유하는 합금이라도 좋다. 전극 단자층(30)을 구성하는 Ni의 순도는 높아도 좋고, 99.99중량% 이상이라도 좋다. 또한, 전극 단자층(30)에 미량의 불순물이 함유되어 있어도 좋다. 주성분으로서 Ni를 함유하는 합금으로 이루어지는 전극 단자층(30)에 함유될 수 있는 불순물로서는, 예를 들면, 철(Fe), 티탄(Ti), 구리(Cu), 알루미늄(Al), 마그네슘(Mg), 망간(Mn), 규소(Si) 또는 크롬(Cr), 바나듐(V), 아연(Zn), 니오븀(Nb), 탄탈럼(Ta), 이트륨(Y), 란타넘(La), 세슘(Ce) 등의 전이 금속 원소 또는 희토류 원소 등, 염소(Cl), 유황(S), 인(P) 등을 들 수 있다. 박막 커패시터의 제조 시에, 전극 단자층(30)으로부터 유전체막으로 상기의 불순물이 확산되면, 유전체층(12)의 절연 저항의 저하 등의 성능 저하를 야기할 가능성이 있다.
- [0021] 전극 단자층(30)의 두께는, 10nm 내지 100 μ m라도 좋고, 1 μ m 내지 70 μ m라도 좋다. 10 μ m 내지 30 μ m 정도라도 좋다. 전극 단자층(30)의 두께가 지나치게 얇은 경우, 박막 커패시터(1)의 제조 시에 전극 단자층(30)을 핸들링하기 어려워지는 경향이 있으며, 전극 단자층(30)의 두께가 지나치게 두꺼운 경우, 리크 전류를 억제하는 효과가 작아지는 경향이 있다. 또한, 전극 단자층(30)의 면적은, 예를 들면 1 \times 0.5mm² 정도이다. 또한, 상기의 전극 단자층(30)은 금속막으로 이루어져 있어도 좋고, 기판과 전극을 겸용할 수 있다. 이와 같이, 본 실시형태에 따르는 전극 단자층(30)은 기판으로서도 겸용하는 구성이라도 좋지만, Si나 알루미늄 등으로 이루어지는 기판 위에 전극 단자층(30)을 설치한 기판/전극막 구조를 채용해도 좋다.
- [0022] 용량부(10)는, 전극 단자층(30) 위에 서로 적층된 2층의 전극층(11) 및 2층의 유전체층(12)에 의해 구성되어 있다.
- [0023] 전극층(11)은 도전성을 갖는 재료로 형성되어 있다. 구체적으로는, 주성분으로서 니켈(Ni)이나 백금(Pt)을 함유하는 재료를 전극층(11)으로서 사용할 수 있으며, Ni를 사용할 수 있다. 전극층(11)에 주성분으로서 Ni를 함유하는 재료를 사용하는 경우, 그 함유량은, 전극층(11) 전체에 대해, 50mol% 이상이라도 좋다. 또한, 전극층(11)의 주성분이 Ni인 경우, 백금(Pt), 팔라듐(Pd), 이리듐(Ir), 로듐(Rh), 루테튬(Ru), 오스뮴(Os), 레늄(Re), 텅스텐(W), 크롬(Cr), 탄탈럼(Ta) 및 은(Ag)으로 이루어지는 그룹으로부터 선택되는 적어도 1종(이하, 「첨가 원소」라고 기재한다.)을 추가로 함유한다. 전극층(11)이 첨가 원소를 함유함으로써, 전극층(11)의 굽김이 방지된다. 또한, 전극층(11)은 복수종의 첨가 원소를 함유해도 좋다. 전극층(11)의 두께는, 예를 들면 10nm 내지 1000nm 정도이다.
- [0024] 유전체층(12)은, BaTiO₃(티탄산바륨), (Ba_{1-x}Sr_x)TiO₃(티탄산바륨스트론튬), (Ba_{1-x}Ca_x)TiO₃, PbTiO₃, Pb(Zr_xTi_{1-x}

x) O_3 등의 페로브스카이트 구조를 가진 (강) 유전체 재료나, $Pb(Mg_{1/3}Nb_{2/3})O_3$ 등으로 대표되는 복합 페로브스카이트 킬렉서형 강유전체 재료나, $Bi_4Ti_3O_{12}$, $SrBi_2Ta_2O_9$ 등으로 대표되는 비스머스층상 화합물, $(Sr_{1-x}Ba_x)Nb_2O_6$, $PbNb_2O_6$ 등으로 대표되는 텅스텐 브론즈형 강유전체 재료 등으로 구성된다. 여기서, 페로브스카이트 구조, 페로브스카이트 킬렉서형 강유전체 재료, 비스머스층상 화합물, 텅스텐 브론즈형 강유전체 재료에 있어서, A 사이트와 B 사이트비는, 통상 정수비이지만, 특성 향상을 위해, 의도적으로 정수비로부터 벗어나게 해도 좋다. 또한, 유전체층(12)의 특성 제어를 위해, 유전체층(12)에 적절히 부성분으로서 첨가 물질이 함유되어 있어도 좋다. 유전체층(12)의 두께는, 예를 들면 10nm 내지 1000nm이다.

[0025] 절연층(40)은, 용량부(10)가 형성된 형성 영역 및 용량부(10)가 형성되어 있지 않은 비형성 영역을 덮고 있으며, 패시베이션층(41), 제 1 절연층(42A) 및 제 2 절연층(42B)에 의해 구성되어 있다.

[0026] 패시베이션층(41)은, 각 용량부(10)를 직접 덮고 있으며, 무기 절연 재료(예를 들면, SiO_2)에 의해 구성되어 있다.

[0027] 제 1 절연층(42A)은, 전극 단자층(30)의 용량부(10)가 형성된 영역(형성 영역) 각각에 있어서 용량부(10)를 덮고 있다. 제 2 절연층(42B)은, 제 1 절연층(42A)이 형성되어 있지 않은 영역, 즉, 용량부(10)가 형성되어 있지 않은 영역(비형성 영역)을 덮는 동시에, 비형성 영역 주연의 제 1 절연층(42A)을 부분적으로 덮고 있다. 즉, 제 1 절연층(42A)과 제 2 절연층(42B)의 2단 구성에 의해 전극 단자층(30)이 덮여 있다.

[0028] 제 1 절연층(42A) 및 제 2 절연층(42B)은, 절연성을 갖는 재료이면 특별히 한정되지 않지만, 예를 들면, 폴리이미드 등의 비유전성 수지, SiO_2 , 알루미늄, SiN(질화규소) 등의 무기 재료, 또는 이들을 혼합 또는 적층시킨 절연 재료 등을 사용할 수 있다. 제 1 절연층(42A)의 두께(패시베이션층(41)의 상면과 제 1 절연층(42A)의 상면의 거리)는, 예를 들면, 0.5 μm 내지 10 μm 이며, 제 2 절연층(42B)의 두께(제 1 절연층(42A)의 상면과 제 2 절연층(42B)의 상면의 거리)는, 예를 들면 0.5 μm 내지 10 μm 이다.

[0029] 제 1 절연층(42A)과 제 2 절연층(42B)의 사이에는, 제 1 절연층(42A)의 상면을 따라 제 1 배선층(43A)이 형성되어 있다. 제 1 배선부(43A)는, 제 1 절연층(42A)의 상면을 따라 상하 방향으로 연신되는 동시에 그 하단에 전극 단자층(30) 또는 전극층(11)과 접하는 접촉부(44A)를 가진다. 또한, 제 2 절연층(42B) 위에는, 제 2 절연층(42B)의 상면을 따라 제 2 배선부(43B)가 형성되어 있다. 제 2 배선부(43B)는, 제 2 절연층(42B)을 따라 상하 방향으로 연신되는 동시에 그 하단에 제 1 배선부(43A)와 접하는 접촉부(44B)를 가진다. 그리고, 제 2 배선부(43B) 위에 전극 단자(20A 내지 20C)가 형성되어 있다.

[0030] 전극 단자(20A)가 형성된 제 2 배선부(43B)의 접촉부(44B)는, 전극 단자층(30)에 접하는 접촉부(44A)를 갖는 제 1 배선부(43A)에 접하고 있다. 전극 단자(20B)가 형성된 제 2 배선부(43B)의 접촉부(44B)는, 용량부(10)의 하층의 전극층(11)에 접하는 접촉부(44A)를 갖는 제 1 배선부(43A)에 접하고 있다. 전극 단자(20C)가 형성된 제 2 배선부(43B)의 접촉부(44B)는, 용량부(10)의 상층의 전극층(11)에 접하는 접촉부(44A)를 갖는 제 1 배선부(43A)에 접하고 있다.

[0031] 상기한 제 1 배선부(43A) 및 제 2 배선부(43B)가, 절연층(40)에 관설되며, 전극 단자층(30) 및 용량부(10)의 전극층(11) 중 어느 하나에 전극 단자(20A 내지 20C) 각각을 접속하는 비아 도체로 되어 있다. 제 1 배선부(43A) 및 제 2 배선부(43B)는, 예를 들면 구리(Cu) 등의 도전성을 갖는 재료로 구성되어 있다. 또한, 제 2 배선부(43B)와 전기적으로 접속되는 전극 단자(20A 내지 20C)도, 예를 들면 구리(Cu) 등의 도전성을 갖는 재료로 구성되어 있다.

[0032] 다음에, 도 2 및 도 3을 참조하여 박막 커패시터(1)의 제조 방법에 관해서 설명한다. 또한, 도 2 및 도 3은, 제조의 도중 단계에 있어서의 박막 커패시터(1)의 일부를 확대하여 도시하고 있는 것이다. 실제로는, 복수의 박막 커패시터(1)를 한번에 형성한 후, 각각의 박막 커패시터(1)로 개편화한다.

[0033] 우선, 도 2(a)에 도시하는 바와 같이, 가접착재(61)를 개재하여 지지재(60)로 지지된 전극 단자층(30)이 되는 금속박을 준비하고, 전극 단자층(30) 위에 용량부(10)가 되어야 하는 유전체층(12)과 전극층(11)을 교대로 형성한다. 전극 단자층(30)이 되는 금속박은, 필요에 따라 그 표면이 소정의 산술 평균 거칠기(Ra)가 되도록 연마된다. 이 연마는, CMP(Chemical Mechanical Polishing), 전해 연마, 버프 연마 등의 방법에 의해 행할 수 있다. 전극층(11)의 형성 방법으로서, DC 스퍼터링 등을 들 수 있다. 또한, 유전체층(12)의 형성 방법으로서, 용액법, 서퍼터링법 등의 PVD(Physical Vapor Deposition)법 또는 CVD(Chemical Vapor Deposition)법 등의 성막

기술을 사용할 수 있다.

- [0034] 다음에, 도 2(b)에 도시하는 바와 같이, 전극층(11) 및 유전체층(12)을 관통하는 소정의 개구(70)를 형성한다. 개구(70)의 형성은, 예를 들면 패터닝된 레지스트를 마스크로 한 드라이 에칭에 의해 행해진다. 이 공정에 의해, 전극층(11) 및 유전체층(12)에 2개의 개구(71, 72)가 형성된다. 개구(71)에서는, 저면에 전극 단자층(30)이 노출되는 동시에, 용량부(10)에 전극층(11) 및 유전체층(12)에 의한 연속된 측면이 형성된다. 또한, 개구(72)에서는 저면에 하층의 전극층(11)이 노출되는 동시에, 용량부(10)에 전극층(11) 및 유전체층(12)에 의한 연속된 측면이 형성된다.
- [0035] 그 후, 지지재(60)를 가접착재(61)와 함께 박리하고, 전극 단자층(30) 위에 전극층(11) 및 유전체층(12)이 적층된 적층체를 소성한다. 소성시의 온도는, 유전체층이 소결(결정화)되는 온도로 할 수 있으며, 구체적으로는 500 내지 1000℃로 할 수 있다. 또한, 소성 시간은 5분 내지 2시간 정도로 하면 좋다. 또한, 소성시의 분위기는, 특별히 한정되지 않으며, 산화성 분위기, 환원성 분위기, 중성 분위기 중 어느 것이더라도 좋지만, 적어도, 전극층(11)이 산화되지 않을 정도의 산소 분압하에서 소성할 수 있다. 또한, 소성의 타이밍은 이 타이밍으로 한정되지 않으며, 예를 들면, 개구(70)를 형성하기 전에 소성을 행해도 좋고, 개구(70)를 형성한 후에 행해도 좋다.
- [0036] 다음에, 도 2(c)에 도시하는 바와 같이, 전극 단자층(30)에 다시 가접착재(61)를 개재하여 지지재(60)를 첩부하고, 지지재(60)로 전극 단자층(30)을 유지한 상태로, 패시베이션층(41)이 되어야 하는 무기 절연층(예를 들면, SiO₂층)을 성막한다.
- [0037] 이어서, 도 2(d)에 도시하는 바와 같이, 전극층(11) 및 유전체층(12) 위에 제 1 절연층(42a)을 형성한다. 제 1 절연층(42A)은, 예를 들면, 미경화 상태의 열경화성 수지를 도포한 후, 가열하여 경화시킴으로써 형성된다. 또한, 제 1 절연층(42A)은, 미경화 상태의 광경화성 수지를 도포한 후, 특정한 파장의 광을 조사하여 경화시킴으로써 형성되어도 좋다. 제 1 절연층(42A)을 구성하는 절연성 재료를 경화시킨 후, 드라이에칭 등에 의해 제 1 배선부(43A)를 설치하기 위한 소정의 개구(73)를 형성한다. 본 실시형태에서는, 개구(73)로서, 3개의 개구(74, 75, 76)를 형성한다. 개구(74)는, 개구(71) 내의 제 1 절연층(42A)을 관통하도록 개구(71)의 중앙 부근에 형성된다. 또한, 개구(75)는, 개구(72) 내의 제 1 절연층(42A)을 관통하도록 개구(72) 내의 중앙 부근에 형성된다. 또한, 개구(76)는, 소정 영역의 제 1 절연층(42A)을 관통하도록 형성된다. 이 공정에 의해, 개구(74)에서는 저면에 전극 단자층(30)이 노출되고, 개구(75)에서는 저면에 하층의 전극층(11)이 노출되며, 개구(76)에서는 저면에 상층의 전극층(11)이 노출된다. 또한, 전극층(11) 및 유전체층(12)은 제 1 절연층(42A)에 의해 봉지된 상태가 된다.
- [0038] 다음에, 도 2(e)에 도시하는 바와 같이, 제 1 절연층(42A)의 개구(73) 내 및 개구 주변의 제 1 절연층(42A) 위에 제 1 배선부(43A)를 형성한다. 제 1 배선부(43A)는, 예를 들면, 구리(Cu) 등의 도전성 재료를 스퍼터 또는 증착한 후, 에칭에 의한 패터닝을 행함으로써 형성된다. 이 공정에 의해, 전기적으로 서로 독립된 복수의 제 1 배선부(43A)가 형성된다. 이 때, 개구(74) 주변에 형성된 제 1 배선부(43A)는 전극 단자층(30)과 전기적으로 접속되며, 개구(75) 주변에 형성된 제 1 배선부(43A)는 하층의 전극층(11)과 전기적으로 접속되며, 개구(76) 주변에 형성된 제 1 배선부(43A)는 상층의 전극층(11)과 전기적으로 접속된 상태가 된다.
- [0039] 다음에, 도 3(a)에 도시하는 바와 같이, 제 1 절연층(42A) 및 제 1 배선부(43A) 위에 제 2 절연층(42B)을 형성한다. 제 2 절연층(42B)은, 제 1 절연층(42A)과 같이, 예를 들면 미경화 상태의 열경화성 수지를 도포한 후, 가열하여 경화시킴으로써 형성된다. 제 2 절연층(42B)을 구성하는 절연성 재료를 경화시킨 후, 드라이에칭 등에 의해 제 2 배선부(43B)를 형성하기 위한 3개의 개구(77)를 형성한다. 이 공정에 의해, 개구(77) 각각으로부터 제 1 배선부(43A)가 노출된 상태가 된다.
- [0040] 다음에, 도 3(b)에 도시하는 바와 같이, 제 2 절연층(42B)의 개구(77) 내 및 개구 주변의 제 2 절연층(42B) 위에 제 2 배선부(43B)를 형성한다. 제 2 배선부(43B)도, 제 1 배선부(43A)와 같이, 예를 들면, 구리(Cu) 등의 도전성 재료를 스퍼터 또는 증착한 후, 에칭에 의한 패터닝을 행함으로써 형성된다. 이 공정에 의해, 전기적으로 서로 독립된 복수의 제 2 배선부(43B)가 형성된다. 이 때, 개구(77) 주변에 형성된 제 2 배선부(43B)는 각각 제 1 배선부(43A)와 전기적으로 접속된 상태가 된다.
- [0041] 다음에, 도 3(c)에 도시하는 바와 같이, 제 2 배선부(43) 위에, 박막 커패시터(1)를 외부의 전자 부품과 전기적으로 접속하기 위한 전극 단자(20A 내지 20C)를 형성한다. 전극 단자(20A 내지 20C)는, 예를 들면, 도금 등에 의해 구리(Cu) 등의 도전성 재료의 층을 형성한 후, 에칭 등을 행함으로써 형성된다.
- [0042] 마지막으로, 도 3(d)에 도시하는 바와 같이, 지지재(60)를 가접착재(61)와 함께 박리하고, 전극 단자층(30)에 관

통부(31)를 형성하여 각 전극 단자(30A 내지 30B)로 분할한다. 관통부(31)는, 예를 들면 웨트에칭법에 의해 형성한다. 또한, 각 관통부(31)에, 절연 수지(32)를 충전한다. 절연 수지(32)의 충전은, 예를 들면 라미네이트법에 의해 행해진다. 그 후, 다이싱 등에 의해 개편화를 행함으로써, 도 1에 도시하는 바와 같은 박막 커패시터(1)가 얻어진다.

[0043] 상기한 박막 커패시터(1)에 있어서는, 전극 단자층(30) 및 용량부(10)의 전극층(11)이, 용량부(10)의 적층 방향을 따라 절연층(40)에 관설된 비아 도체(즉, 제 1 배선부(43A) 및 제 2 배선부(43B))에 의해 전극 단자(20A 내지 20C) 각각에 접속되어 있다. 박막 커패시터의 두께 방향에 직교하는 면 내에 있어서 배선이 리드되는 경우에는, 회로 배선의 우회 등이 발생하여 배선이 길어지지만, 박막 커패시터(1)에서는 비아 도체(43A, 43B)에 의해 두께 방향을 따르는 짧은 회로 배선이 실현되어 있다. 즉, 박막 커패시터(1)에서는, 복수의 전극 단자(20A 내지 20C)에서의 다단자화를 도모하면서, 회로 배선의 단축이 도모되고 있으며, 그것에 의해, 저ESL화가 도모된 박막 커패시터가 얻어진다.

[0044] 또한, 박막 커패시터(1)에서는, 제 1 절연층(42A)과 제 2 절연층(42B)의 2단 구성을 채용함으로써, 재배선을 행하고 있다. 즉, 제 1 배선부(43A)의 위치는, 용량부(10)의 직상 또는 근방으로 제한되지만, 제 2 배선부(43B)의 위치는 그러한 위치로 제한되지 않으며, 자유롭게 위치를 결정할 수 있다. 이로 인해, 제 2 배선부(43B) 위에 형성되는 전극 단자(20A 내지 20C)의 위치에 관해서 설계 자유도가 높아지고 있다. 또한, 1개의 제 1 배선부(43A)로부터 복수의 제 2 배선부(43B)를 인출할 수도 있으며, 이 경우에는 용이하게 전극 단자(20A, 20B, 20C)의 다단자화를 도모할 수 있다.

[0045] 또한, 박막 커패시터(1)는, 절연층(40)의 두께가 용량부(10)의 두께보다 두꺼워져 있다. 이와 같이, 절연층(40)의 두께가 두꺼운 경우에는 ESL이 높아지는 경향이 되지만, 상기의 비아 도체(43A, 43B)에 의한 회로 배선의 단축으로, 효과적인 저ESL화를 도모할 수 있다. 전극 단자층(30)의 두께에 관해서도, 용량부(10)의 두께보다 두꺼워지고 있다.

[0046] 또한, 박막 커패시터(1)는, 관통부(31)로 분단된 전극 단자(30A 내지 30C)를 구비하고 있다. 이로 인해, 전극 단자(30A 내지 30B) 각각에 관해서 원하는 극성으로 사용할 수 있다. 예를 들면 도 4에 도시하는 바와 같이, 박막 커패시터(1)가, 관통공(31)으로 분단된 2개의 전극 단자(30A, 30D)를 구비하는 경우, 각각의 전극 단자(30A, 30D)의 극성을 상이하게 함으로써, 도 4의 화살표로 나타내는 바와 같이, 전극 단자(30A, 30D)와 전극 단자(20A, 20D) 사이에 개재하는 비아 도체(43A, 43B)에 역방향의 전류를 흐르게 할 수도 있다. 이 경우, 양극과 음극 양쪽에 있어서 두께 방향을 따르는 짧은 회로 배선이 실현되는 동시에, 양극과 음극 양쪽에 있어서 용이하게 다단자화를 도모할 수 있어, 더욱 저ESL화를 도모할 수 있다.

[0047] 또한, 박막 커패시터는, 상기한 실시형태로 한정되지 않으며, 다양하게 변형할 수 있다.

[0048] 예를 들면, 비아 도체는, 상기한 비아 도체(43A, 43B)의 구성으로 한정되지 않으며, 절연층의 두께 방향을 따라 똑바로 연신되는 관통공에 도체를 충전한 구성의 비아 도체라도 좋다. 또한, 박막 커패시터에서는, 절연층을 재배선을 위해 2단 구성으로 했지만, 3단 이상의 다단 구성으로 해도 좋고, 1단으로 구성해도 좋다. 용량부의 구성에 관해서도, 전극층 및 유전체층의 층수를 적절히 증감시킬 수 있다.

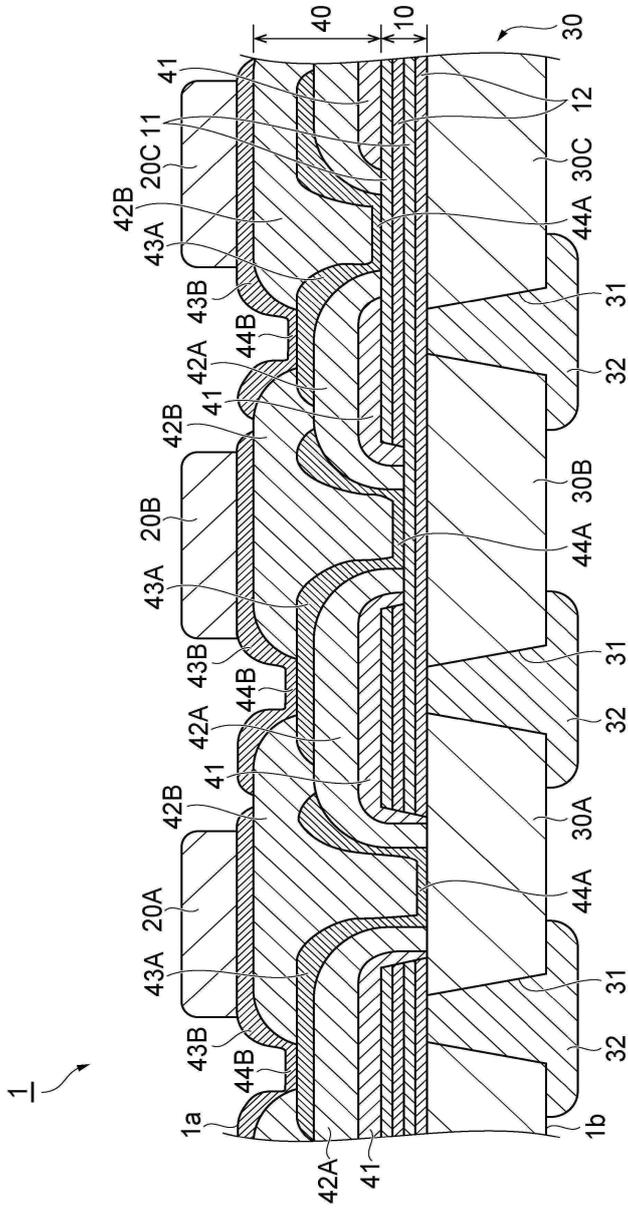
부호의 설명

- [0049]
- 1 박막 커패시터
 - 10 용량부
 - 11 전극층
 - 12 유전체층
 - 20A 내지 20D 전극 단자
 - 30 전극 단자층
 - 30A 내지 30D 전극 단자
 - 40 절연층
 - 43A 제 1 배선층

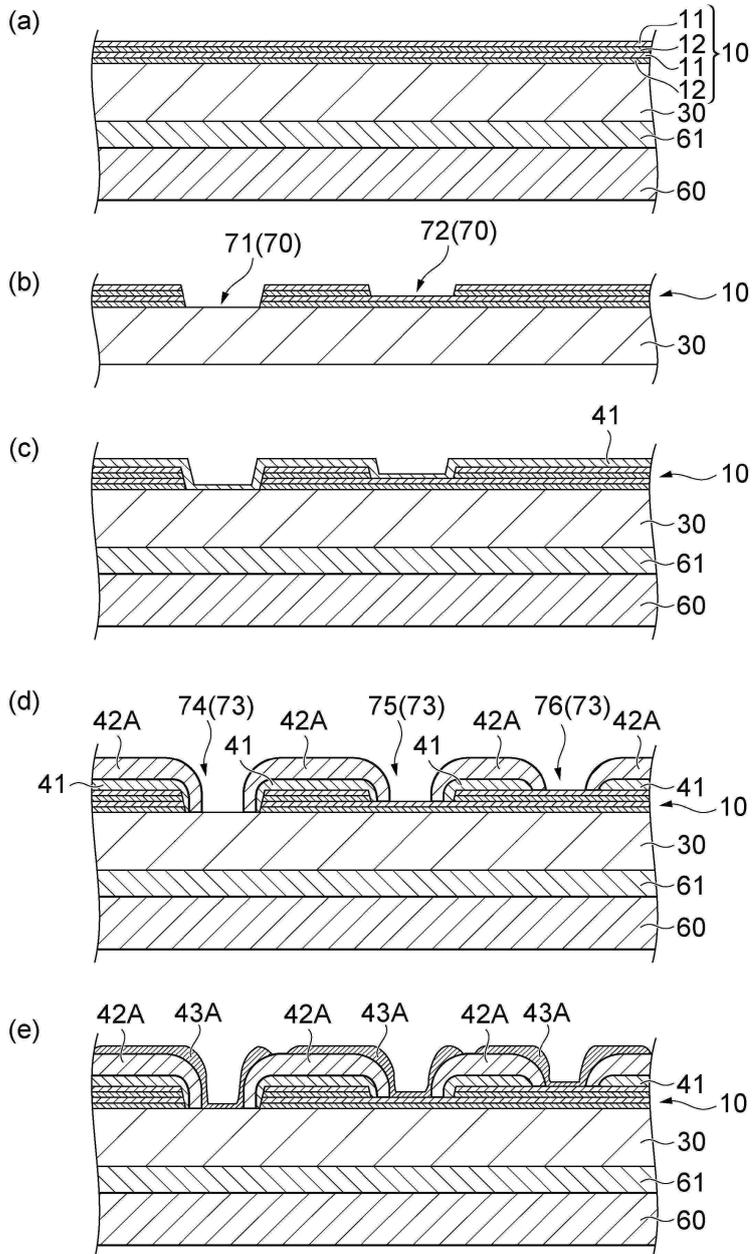
43B 제 2 배선층

도면

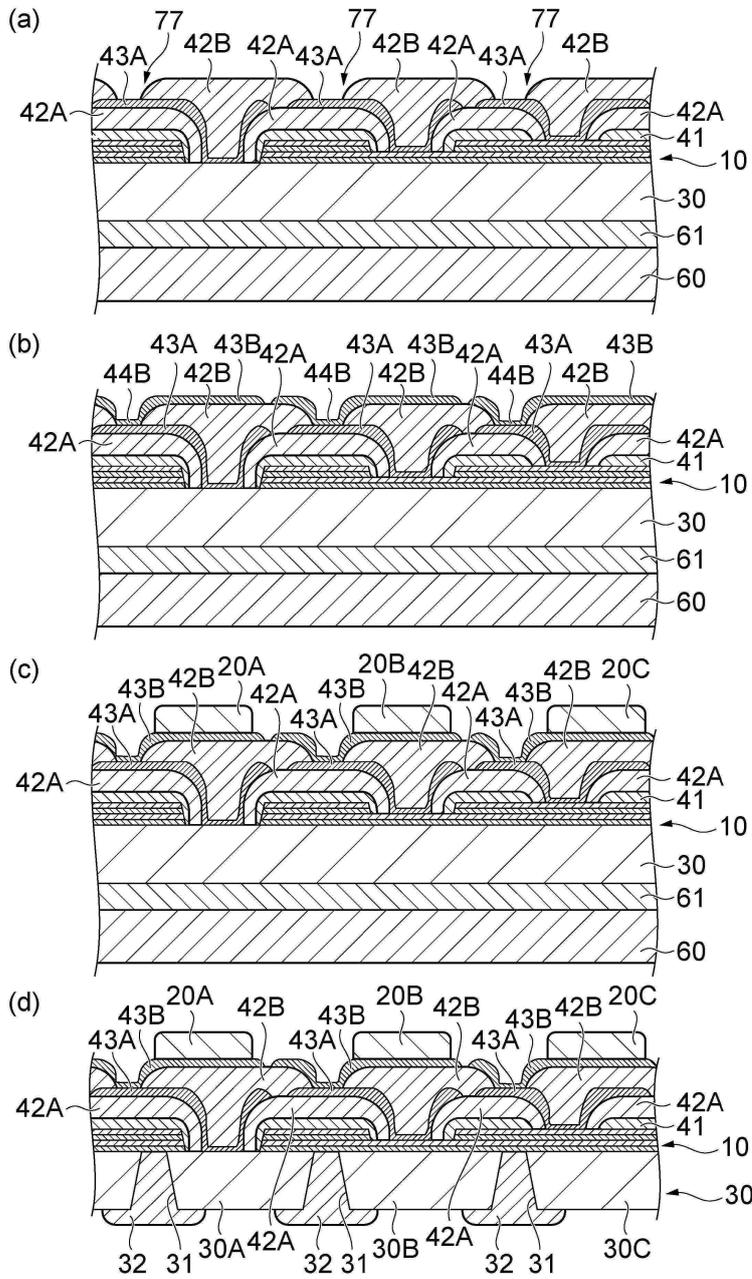
도면1



도면2



도면3



도면4

