

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5476400号
(P5476400)

(45) 発行日 平成26年4月23日(2014.4.23)

(24) 登録日 平成26年2月14日(2014.2.14)

(51) Int.Cl.	F I
HO2M 7/12 (2006.01)	HO2M 7/12 Q
HO2M 3/28 (2006.01)	HO2M 7/12 B
G11B 33/12 (2006.01)	HO2M 3/28 P
	HO2M 3/28 K
	G11B 33/12 305Z
	請求項の数 16 (全 28 頁) 最終頁に続く

(21) 出願番号	特願2012-16153 (P2012-16153)	(73) 特許権者	000005108
(22) 出願日	平成24年1月30日(2012.1.30)		株式会社日立製作所
(65) 公開番号	特開2013-158122 (P2013-158122A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成25年8月15日(2013.8.15)	(74) 代理人	100064414
審査請求日	平成25年8月26日(2013.8.26)		弁理士 磯野 道造
		(74) 代理人	100111545
			弁理士 多田 悦夫
		(72) 発明者	佐瀬 隆志
			茨城県日立市大みか町七丁目1番1号 株
			式会社日立製作所 日立研究所内
		(72) 発明者	叶田 玲彦
			茨城県日立市大みか町七丁目1番1号 株
			式会社日立製作所 日立研究所内
			最終頁に続く

(54) 【発明の名称】 電力変換装置、電力変換装置の制御方法、およびハードディスク装置

(57) 【特許請求の範囲】

【請求項1】

第1のインダクタと、
 第1のダイオードと第2のダイオードを順極性に直列接続してなる整流アームと、
 半導体スイッチング素子とダイオードを逆並列に接続してなる第1のスイッチ回路と第2のスイッチ回路を直列接続してなる第1のスイッチアームと、
 半導体スイッチング素子とダイオードを逆並列に接続してなる第3のスイッチ回路と第1のキャパシタを直列接続してなる第2のスイッチアームと、
 直列に接続された第2のインダクタと第2のキャパシタとを有するLC直列回路と、
 一次巻線と二次巻線とを有するトランスと、
 前記トランスの二次巻線に接続された整流平滑回路と、
 前記第1、第2、第3のスイッチ回路をPWM信号に基づいてオンオフ制御する制御回路と、
 を備え、
 前記整流アームと、前記第1のスイッチアームと、前記第2のスイッチアームと、前記LC直列回路とが互いに並列に接続され、
 前記LC直列回路の第2のインダクタと第2のキャパシタと前記トランスの一次巻線とが直列に接続され、
 前記整流アームの前記第1のダイオードと前記第2のダイオードの接続点と、前記第1のスイッチアームの前記第1と第2のスイッチ回路の接続点との間に前記第1のインダク

タを介して交流電源が接続されてなる電力変換装置であって、

さらに、

前記制御回路は、

前記整流平滑回路の出力電圧を所定の設定値に制御するため、前記出力電圧の検出情報を用いて、前記第1と第2のスイッチ回路の少なくとも一方のスイッチ回路と前記第3のスイッチ回路をオンオフ制御する出力電圧制御回路と、

前記第1のキャパシタの端子電圧と前記整流平滑回路の出力電流の検出情報を用いて、中間電圧を所定の設定値に制御する中間電圧制御回路と、

前記交流電源の入力電流と前記整流平滑回路の出力電圧の検出情報、および前記中間電圧制御回路の出力制御信号を用いて、前記第1と第2のスイッチ回路の少なくとも残りの他方のスイッチ回路をオンオフ制御する力率改善制御回路と、
を備えることを特徴とする電力変換装置。

10

【請求項2】

請求項1に記載の電力変換装置において、

前記整流平滑回路は、

互いに直列に接続された2つの整流回路と、

該2つの整流回路にそれぞれ直列に接続された第3と第4のインダクタと、

前記2つの整流回路と前記第3と第4のインダクタとのそれぞれの直列回路の端子間にそれぞれ接続された第3のキャパシタと、

を備えたカレントダブル回路で構成され、

20

前記整流平滑回路の前記第3のキャパシタの端子電圧を電力変換装置としての出力電圧とすることを特徴とする電力変換装置。

【請求項3】

請求項1に記載の電力変換装置において、

前記トランスは、2つの二次巻線を備え、

前記整流平滑回路は、前記2つの二次巻線の電圧をそれぞれ整流する2つの整流回路と、該2つの整流回路の出力電圧を平滑する第3のインダクタと第3のキャパシタとを備え、該第3のキャパシタの端子電圧を電力変換装置としての出力電圧とすることを特徴とする電力変換装置。

30

【請求項4】

請求項1乃至請求項3のいずれか一項に記載の電力変換装置において、

さらに、

半導体スイッチング素子とダイオードを逆並列に接続してなる第7のスイッチ回路と第1のクランプコンデンサとの直列回路と、半導体スイッチング素子とダイオードを逆並列に接続してなる第8のスイッチ回路と第2のクランプコンデンサとの直列回路とを有するアクティブクランプ回路を備え、該アクティブクランプ回路の該第7、第8のスイッチ回路を前記トランスの二次巻線の両端にそれぞれ接続し、

該二次巻線の端子電圧をクランプするとともに、クランプ動作後は前記第7、第8のスイッチ回路がオンされている期間において、前記クランプコンデンサに蓄積されたエネルギーを前記第3のキャパシタに回収することを特徴とする電力変換装置。

40

【請求項5】

請求項2または請求項3に記載の電力変換装置において、

前記2つの整流回路は、2つのダイオード、または2つのスイッチ回路を用いることを特徴とする電力変換装置。

【請求項6】

請求項2または請求項3に記載の電力変換装置において、

さらに、

前記電力変換装置と同じ構成の電力変換装置を並列に備え、

前記第3のキャパシタを共有して互いに出力端子を接続し、

これら2つの電力変換装置をインターリーブ動作させることを特徴とする電力変換装置

50

。

【請求項 7】

請求項 1 に記載の電力変換装置において、

前記第 1 のキャパシタと前記第 2 のキャパシタとの端子間に第 4 のキャパシタを備えたことを特徴とする電力変換装置。

【請求項 8】

請求項 1 に記載の電力変換装置において、

前記制御回路は、

出力電圧指令値と前記電力変換装置の出力回路の出力電圧検出値との出力電圧偏差に基づいて第 1 の PWM 信号を生成し、前記第 1 のスイッチ回路と第 2 のスイッチ回路の少なくとも一方のスイッチ回路と前記第 3 のスイッチ回路をオンオフ制御する出力電圧制御回路と、

中間電圧指令値を前記電力変換装置の出力回路の出力電流検出値に基づいて補正して新たな中間電圧指令値とし、該新たな中間電圧指令値と前記第 1 のキャパシタの端子電圧から検出された中間電圧検出値とに基づいて中間電圧偏差を生成する中間電圧制御回路と、

前記出力電圧偏差に係数を乗じて生成された入力電流指令値と前記交流電源の入力電流から検出された入力電流検出値の絶対値とに基づいて入力電流偏差を生成し、該入力電流偏差に前記中間電圧偏差を加えて生成された新たな入力電流偏差に基づいて第 2 の PWM 信号を生成し、前記第 1 と第 2 のスイッチ回路の少なくとも残りの他方をオンオフ制御する力率改善制御回路とを備え、

前記第 1 と第 2 のスイッチ回路のうち、前記出力電圧制御回路でオンオフ制御するスイッチ回路がオフされている期間に前記第 3 のスイッチ回路をオンすることを特徴とする電力変換装置。

【請求項 9】

請求項 1 に記載の電力変換装置において、

前記制御回路は、

前記電力変換装置の出力回路の出力電圧を検出する出力電圧検出回路と、該出力電圧検出回路により検出された出力電圧検出値と出力電圧指令値とに基づいて出力電圧偏差を生成する第 1 の比較手段と、前記出力電圧偏差と PWM 搬送波とを比較して PWM 信号を生成する第 1 の PWM 信号生成回路と、

前記交流電源の入力電圧を検出する入力電圧検出回路と、入力電流を検出する入力電流検出回路と、検出された入力電流の絶対値をとる絶対値回路と、中間電圧を検出する中間電圧検出回路と、出力電流を検出する出力電流検出回路と、前記出力電圧偏差に係数を掛けて、入力電流指令値を生成する係数回路と、該入力電流指令値と前記絶対値回路により生成された入力電流検出値とに基づいて入力電流偏差を生成する第 2 の比較手段と、前記出力電流検出回路により検出された出力電流検出値に基づいて中間電圧指令値の補正值を生成する指令値補正回路と、該指令値補正回路により生成された補正值と中間電圧指令値の差をとって、新たな中間電圧指令値を生成する第 1 の加算手段と、前記中間電圧検出回路により検出された中間電圧検出値と前記新たな中間電圧指令値とに基づいて中間電圧補正偏差を生成する第 3 の比較手段と、該中間電圧補正偏差と前記入力電流偏差との和をとって新たな入力電流偏差を生成する第 2 の加算手段と、該新たな入力電流偏差と PWM 搬送波とを比較して PWM 信号を生成する第 2 の PWM 信号生成回路と、

を備え、

さらに、

前記交流電源の電圧極性が正の半周期は、

前記第 1 の PWM 信号生成回路から出力される PWM 信号に基づいて前記第 2 のスイッチ回路をオンオフするドライブ信号を生成し、

前記第 2 の PWM 信号生成回路から出力される PWM 信号に基づいて前記第 1 のスイッチ回路をオンオフするドライブ信号を生成し、

前記第 2 のスイッチ回路がオフされている期間に前記第 3 のスイッチ回路をオンするド

10

20

30

40

50

ライブ信号を生成し、

また、前記交流電源の電圧極性が負の半周期は、

前記第1のPWM信号生成回路から出力されるPWM信号に基づいて前記第1のスイッチ回路をオンオフするドライブ信号を生成し、

前記第2のPWM信号生成回路から出力されるPWM信号に基づいて前記第2のスイッチ回路をオンオフするドライブ信号を生成し、

前記第1のスイッチ回路がオフされている期間に前記第3のスイッチ回路をオンするドライブ信号を生成する

ドライブ信号生成回路と、を備えてなることを特徴とする電力変換装置。

【請求項10】

10

請求項9に記載の電力変換装置において、

前記第3の比較手段と前記第2の加算手段の間に最大値回路を備え、

該最大値回路で前記入力電流偏差と前記出力電圧偏差を比較し、両者の偏差のうち大きい方の偏差を入力電流偏差として前記最大値回路から出力する

ことを特徴とする電力変換装置。

【請求項11】

請求項1に記載の電力変換装置において、

前記制御回路の出力電圧制御回路と、中間電圧制御回路と、力率改善制御回路とが、デジタル制御回路を備えたことを特徴とする電力変換装置。

【請求項12】

20

第1のインダクタと、

第1のダイオードと第2のダイオードを順極性に直列接続してなる整流アームと、

第1のスイッチ回路と第2のスイッチ回路を直列接続してなる第1のスイッチアームと

、

第3のスイッチ回路と第4のスイッチ回路を直列接続してなる第2のスイッチアームと

、

第1のキャパシタと、

直列に接続された第2のインダクタと第2のキャパシタとを有するLC直列回路と、

一次巻線と二次巻線とを有するトランスと、

前記トランスの二次巻線に接続された整流平滑回路と、

前記第1、第2、第3、第4のスイッチ回路をPWM信号に基づいてオンオフ制御する制御回路と、

30

を備え、

前記整流アームと、前記第1のスイッチアームと、前記第2のスイッチアームと、前記第1のキャパシタと、前記LC直列回路とが互いに並列に接続され、

前記LC直列回路の前記第2のインダクタと前記第2のキャパシタと前記トランスの一次巻線とが直列に接続され、

前記整流アームの前記第1のダイオードと前記第2のダイオードの接続点と、前記第1のスイッチアームの前記第1と第2のスイッチ回路の接続点との間に前記第1のインダクタを介して交流電源が接続されてなる電力変換装置であって、

40

さらに、

前記制御回路に、

出力電圧の情報を用いて、前記第3と前記第4のスイッチ回路を相補的にオンオフ制御し、前記出力回路の出力電圧を所定の設定値に制御する出力電圧制御回路と、

前記第1のキャパシタの端子電圧である中間電圧と出力電流の検出情報を用いて、中間電圧を所定の設定値に制御する中間電圧制御回路と、

入力電流と出力電圧の検出情報、および前記中間電圧制御の結果を用いて、前記第1と第2のスイッチ回路の少なくとも一方をオンオフ制御する力率改善制御回路と、

を備えたことを特徴とする電力変換装置。

【請求項13】

50

第1のインダクタと、
 第1のダイオードと第2のダイオードを順極性に直列接続してなる整流アームと、
 半導体スイッチング素子とダイオードを逆並列に接続してなる第1のスイッチ回路と第
 2のスイッチ回路を直列接続してなる第1のスイッチアームと、
 半導体スイッチング素子とダイオードを逆並列に接続してなる第3のスイッチ回路と第
 1のキャパシタを直列接続してなる第2のスイッチアームと、
 直列に接続された第2のインダクタと第2のキャパシタとを有するLC直列回路と、
 一次巻線と二次巻線とを有するトランスと、
 前記トランスの二次巻線に接続された整流平滑回路と、
 前記第1、第2、第3のスイッチ回路をPWM信号に基づいてオンオフ制御する制御回
 路と、 10
 を備え、
 前記整流アームと、前記第1のスイッチアームと、前記第2のスイッチアームと、前記
 LC直列回路とが互いに並列に接続され、
 前記LC直列回路の前記第2のインダクタと前記第2のキャパシタと前記トランスの一
 次巻線とが直列に接続され、
 前記整流アームの前記第1のダイオードと前記第2のダイオードの接続点と、前記第1
 のスイッチアームの前記第1と第2のスイッチ回路の接続点との間に前記第1のインダク
 タを介して交流電源が接続されてなる電力変換装置の制御方法であって、
 前記制御回路の制御に、出力電圧の情報を用いて、前記第1と第2のスイッチ回路の少 20
 なくとも一方のスイッチ回路と前記第3のスイッチ回路をオンオフ制御し、前記出力回路
 の出力電圧を所定の設定値に制御する出力電圧制御と、
 前記第1のキャパシタの端子電圧である中間電圧と出力電流の検出情報を用いて、中間
 電圧を所定の設定値に制御する中間電圧制御と、
 入力電流と出力電圧の検出情報、および前記中間電圧制御の結果を用いて、前記第1と
 第2のスイッチ回路の少なくとも一方をオンオフ制御する力率改善制御と、
 を備えたことを特徴とする電力変換装置の制御方法。

【請求項14】

第1のインダクタと、
 第1のダイオードと第2のダイオードを順極性に直列接続してなる整流アームと、 30
 半導体スイッチング素子とダイオードを逆並列に接続してなる第1のスイッチ回路と第
 2のスイッチ回路を直列接続してなる第1のスイッチアームと、
 半導体スイッチング素子とダイオードを逆並列に接続してなる第3のスイッチ回路と半
 導体スイッチング素子とダイオードを逆並列に接続してなる第4のスイッチ回路を直列接
 続してなる第2のスイッチアームと、
 第1のキャパシタと、
 直列に接続された第2のインダクタと第2のキャパシタとを有するLC直列回路と、
 一次巻線と二次巻線とを有するトランスと、
 前記トランスの二次巻線に接続された整流平滑回路と、
 前記第1、第2、第3、第4のスイッチ回路をPWM信号に基づいてオンオフ制御する 40
 制御回路と、
 を備え、
 前記整流アームと、前記第1のスイッチアームと、前記第2のスイッチアームと、前記
 第1のキャパシタと、前記LC直列回路とが互いに並列に接続され、
 前記LC直列回路の前記第2のインダクタと前記第2のキャパシタと前記トランスの一
 次巻線とが直列に接続され、
 前記整流アームの前記第1のダイオードと前記第2のダイオードの接続点と、前記第1
 のスイッチアームの前記第1と第2のスイッチ回路の接続点との間に前記第1のインダク
 タを介して交流電源が接続されてなる電力変換装置の制御方法であって、
 前記制御回路の制御に、 50

出力電圧の情報を用いて、前記第3と前記第4のスイッチ回路を相補的にオンオフ制御し、前記出力回路の出力電圧を所定の設定値に制御する出力電圧制御と、

前記第1のキャパシタの端子電圧である中間電圧と出力電流の検出情報を用いて、中間電圧を所定の設定値に制御する中間電圧制御と、

入力電流と出力電圧の検出情報、および前記中間電圧制御の結果を用いて、前記第1と第2のスイッチ回路の少なくとも一方をオンオフ制御する力率改善制御と、を備えたことを特徴とする電力変換装置の制御方法。

【請求項15】

電力を供給する電力変換装置を備えたハードディスク装置であって、前記電力変換装置は請求項1に記載の電力変換装置であることを特徴とするハードディスク装置。 10

【請求項16】

前記ハードディスク装置は、さらに、磁気記録ディスクと、磁気ヘッドと、磁気ディスク回転駆動装置と、磁気ヘッド駆動装置と、磁気ヘッド位置制御装置と、入出力信号制御装置と、を備えたことを特徴とする請求項15に記載のハードディスク装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、交流電源の交流電力を直流電力に変換する電力変換装置、電力変換装置の制御方法、およびそれを用いたハードディスク装置に関するものである。特に電力変換装置を構成する力率改善の動作で得られる直流の中間電圧を設定値に一定に制御し、低コスト、高効率の電力変換装置と、電力変換装置の制御方法、およびそれを用いたハードディスク装置に関するものである。 20

【背景技術】

【0002】

交流電源の交流電力を直流電力に変換する電力変換装置において、力率改善コンバータと絶縁型DC-DCコンバータで構成する2コンバータや、力率改善コンバータと絶縁型DC-DCコンバータの動作を統合したワンコンバータ(1コンバータ)の電力変換装置が知られている。特に、2コンバータよりコンバータ段数や構成部品点数が少なく、低コスト化、高効率化に適したワンコンバータの電力変換装置の例として、特許文献1の図9に記載の電力変換装置や特許文献2の図5に記載の電力変換装置がある。 30

特許文献1においては、図9に示す半導体スイッチング素子Q1~Q3のうち、Q2とQ3は、半導体スイッチング素子Q1とは相補の関係で動作する。そして、半導体スイッチング素子Q1~Q3は、半導体スイッチング素子Q1~Q3を制御するスイッチング周波数のオンオフ比率を変化させることでコンデンサ(キャパシタ)C1の端子電圧、即ち中間電圧が設定値に一定となるように制御され、またこれらの半導体スイッチング素子のスイッチング周波数のオンオフ周期を変化させることでコンデンサ(キャパシタ)C3の端子電圧、即ち出力電圧が設定値に一定となるように制御される技術が開示されている。 40

また、特許文献2においては、図5に示す半導体スイッチング素子Q1~Q3の制御電極は、いずれも個別に制御できるようにして、力率改善と出力電圧の制御を行う技術が開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2003-23775号公報

【特許文献2】特開2008-289228号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献1に開示された技術における制御方法は、中間電圧が設定値に一定に制御されるが、扱う電力が大きくなる大電流負荷の場合には、扱う周波数が低周波側に広がるので、使用構成部品の形状、特にコア形状が大きくなり、小型化を損ね、コスト高になる恐れがある。また、力率改善に不連続モードを採用しているため、定格負荷時に損失が大きくなるという問題を有している。

また、特許文献2に開示された技術における制御方法は、不連続モードの定格負荷時の損失を削減するため、力率改善に連続モードを採用しているが、コンデンサC1の端子電圧、即ち中間電圧を設定値に一定に制御していないので、中間電圧が変動し、軽負荷時には上昇し、高耐圧のコンデンサが必要になる問題を有している。このため、コストが上昇する問題が発生する。また、交流電源電圧のゼロ近傍で、交流電源電圧の変化に応じた入力電流波形が得られないので、力率が向上しないという問題も有している。

10

【0005】

本発明は前記課題に鑑みてなされたものであり、低コスト、高効率な電力変換装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

前記の課題を解決して、本発明の目的を達成するために、以下のように構成した。

即ち、本発明の電力変換装置は、第1のインダクタと、第1のダイオードと第2のダイオードを順極性に直列接続してなる整流アームと、半導体スイッチング素子とダイオードを逆並列に接続してなる第1のスイッチ回路と第2のスイッチ回路を直列接続してなる第1のスイッチアームと、半導体スイッチング素子とダイオードを逆並列に接続してなる第3のスイッチ回路と第1のキャパシタを直列接続してなる第2のスイッチアームと、直列に接続された第2のインダクタと第2のキャパシタとを有するLC直列回路と、一次巻線と二次巻線とを有するトランスと、前記トランスの二次巻線に接続された整流平滑回路と、前記第1、第2、第3のスイッチ回路をPWM信号に基づいてオンオフ制御する制御回路と、を備え、前記整流アームと、前記第1のスイッチアームと、前記第2のスイッチアームと、前記LC直列回路とが互いに並列に接続され、前記LC直列回路の第2のインダクタと第2のキャパシタと前記トランスの一次巻線とが直列に接続され、前記整流アームの前記第1のダイオードと前記第2のダイオードの接続点と、前記第1のスイッチアームの前記第1と第2のスイッチ回路の接続点との間に前記第1のインダクタを介して交流電源が接続されてなる電力変換装置であって、さらに、前記制御回路は、前記整流平滑回路の出力電圧を所定の設定値に制御するため、前記出力電圧の検出情報を用いて、前記第1と第2のスイッチ回路の少なくとも一方のスイッチ回路と第3のスイッチ回路をオンオフ制御する出力電圧制御回路と、前記第1のキャパシタの端子電圧と前記整流平滑回路の出力電流の検出情報を用いて、中間電圧を所定の設定値に制御する中間電圧制御回路と、前記交流電源の入力電流と前記整流平滑回路の出力電圧の検出情報、および前記中間電圧制御回路の出力制御信号を用いて、前記第1と第2のスイッチ回路の少なくとも残りの他方のスイッチ回路をオンオフ制御する力率改善制御回路と、を備えることを特徴とする。

20

30

また、その他の手段は、発明を実施するための形態のなかで説明する。

40

【発明の効果】

【0007】

以上、本発明によれば、低コスト、高効率な電力変換装置を提供することができる。

【図面の簡単な説明】

【0008】

【図1】本発明の電力変換装置の第1実施形態の回路構成を示す図である。

【図2】本発明の電力変換装置の第1実施形態のスイッチング素子Q1～Q3のドライブ信号波形を示すタイムチャートである。

【図3】図1に対比して示した本発明の電力変換装置の第1実施形態の制御動作を表す図である。

50

【図4】本発明の電力変換装置の第1実施形態における負荷電流 I_o と中間電圧 V_d の関係を示し、「従来の制御」、「本発明の中間電圧制御なし」、および太線で示した「 V_d （中間電圧制御あり）」の各特性を示す図である。

【図5】本発明の電力変換装置の第2実施形態の回路構成を示す図である。

【図6】図5で示した本発明の電力変換装置の第2実施形態の回路におけるスイッチング素子 $Q_1 \sim Q_3$ 、 Q_7 、 Q_8 のドライブ信号波形のタイムチャートである。

【図7】本発明の電力変換装置の第3実施形態の回路構成を示す図である。

【図8】図7で示した本発明の電力変換装置の第3実施形態の回路におけるスイッチング素子 $Q_1 \sim Q_3$ 、 $Q_{21} \sim Q_{23}$ のドライブ信号波形のタイムチャートである。

【図9】本発明の電力変換装置の第4実施形態の回路構成を示す図である。

【図10】本発明の電力変換装置の第5実施形態の回路構成を示す図である。

【図11】本発明の電力変換装置の第6実施形態の回路構成を示す図である。

【図12】本発明の電力変換装置の第6実施形態の回路におけるスイッチング素子 $Q_1 \sim Q_4$ のドライブ信号波形のタイムチャートである。

【図13】本発明の電力変換装置を適用したHDD装置の構成を示す図である。

【発明を実施するための形態】

【0009】

以下、本発明の電力変換装置の実施の形態について説明する。

本実施形態は負荷に依存せず中間電圧を設定値に一定に制御し、低コスト、高効率なワコンバータの電力変換装置を提供することを目的に構成したものである。

なお、以下においては、主として電力変換装置の構成、動作の説明であるが、電力変換装置の制御方法の説明も兼ねる。

【0010】

(第1実施形態)

本発明の電力変換装置の第1実施形態を図1～図4を参照して説明する。

図1は、本発明の電力変換装置の第1実施形態の回路構成を示す図である。

【0011】

<電力変換装置の主回路>

まず、電力変換装置の主回路から説明する。

図1において、交流電源ACの交流電力を整流する整流アームは、ダイオード D_{11} とダイオード D_{12} を順極性に直列接続して形成されている。

第1のスイッチアームは、N型MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) からなる半導体のスイッチング素子 Q_1 、 Q_2 とダイオード D_1 、 D_2 をそれぞれ逆並列に接続してなる第1と第2のスイッチ回路が、ダイオード D_1 、 D_2 を互いに順極性にして直列接続して形成されている。

なお、ダイオード D_1 、 D_2 は、N型MOSFETからなる半導体のスイッチング素子 Q_1 、 Q_2 には寄生ダイオードとして構造上、存在する。したがって、単にスイッチング素子 Q_1 、 Q_2 と表記した場合においても逆並列に接続されたダイオード D_1 、 D_2 が含まれている場合がある。また、MOSFET以外のスイッチング素子を用いる場合には、外付けの素子として付加し接続する場合もある。

【0012】

第2のスイッチアームは、N型MOSFETからなる半導体のスイッチング素子 Q_3 とダイオード D_3 を逆並列に接続してなる第3のスイッチ回路にキャパシタ C_1 が直列接続されて形成されている。

前記整流アームと第1および第2のスイッチアームは、互いに並列に接続されている。第1と第2のスイッチアームに含まれるスイッチング素子 $Q_1 \sim Q_3$ とダイオード $D_1 \sim D_3$ とにより、主スイッチ回路部10が形成されている。なお、スイッチング素子 $Q_1 \sim Q_3$ の制御の仕方については、後述する。

整流アームのダイオード D_{11} とダイオード D_{12} との接続点と、第1のスイッチアームのスイッチング素子 Q_1 、 Q_2 の接続点との間に、インダクタ L_1 を介して交流電源A

10

20

30

40

50

Cが接続されている。なお、インダクタL1は、整流アームによる整流によって生ずる正弦波形の歪みの軽減（力率改善）とスイッチング素子Q1～Q3による力率改善動作の際の昇圧動作に寄与する。

【0013】

また、第1のスイッチアームには、インダクタL2とトランスT1の一次巻線N1とキャパシタC2の直列回路が並列に接続されている。

トランスT1には、一次巻線N1と電磁結合している二次巻線N2が設けられている。そして、二次巻線N2には、ダイオードD5とダイオードD6のアノード電極同士を接続してなる直列回路と、インダクタL3とインダクタL4の直列回路とが、並列に接続されている。

10

さらに、インダクタL3とインダクタL4の接続点と、ダイオードD5とダイオードD6の接続点との間に、キャパシタC3と負荷RLがそれぞれ並列に接続されている。

このようにして、トランスT1の二次側において、前述したダイオードD5、D6、インダクタL3、L4、キャパシタC3によって、カレントダブル回路が形成されている。

【0014】

以上の構成により、交流電源ACの交流電力は、インダクタL1と、ダイオードD11とダイオードD12による整流アームと、スイッチング素子Q1～Q3とダイオードD1～D3を含む主スイッチ回路部10と、キャパシタC1によって、直流電力に変換される。なお、交流電力の周波数と電圧は、主スイッチ回路部10によって制御される。

次に、スイッチング素子Q1～Q3とダイオードD1～D3を含む主スイッチ回路部10と、キャパシタC1、C2、インダクタL2、一次巻線N1によって、前記直流電力を交流電力に再び変換する。

20

これにより、インダクタL2とキャパシタC2によるLC直列回路（一次巻線N1のインダクタンスも含まれる）によって交流成分が抽出され、この交流成分がトランスT1の一次巻線N1に加えられる。

また、トランスT1の一次巻線N1と、電磁結合している二次巻線N2とによって、トランスT1の一次側の交流電力がトランスT1の二次側の交流電力に変換、伝達される。なお、このときの二次側と一次側の交流電圧の関係は、二次巻線N2と一次巻線N1のそれぞれの巻数比（N2/N1）に概ね比例する。

トランスT1の二次側の交流電力は、ダイオードD5、D6と、キャパシタC3、インダクタL3、L4とによる整流平滑回路によって、再度、直流電力に変換される。

30

以上によって、AC/DCの変換を行う電力変換装置の主回路が構成されている。

【0015】

なお、スイッチング素子Q1～Q3とダイオードD1～D3を含む主スイッチ回路部10とキャパシタC1とインダクタL1は、整流アームが整流を行う際に発生する高調波による交流電源ACへの力率の低下を改善する力率改善コンバータの役目も果たしている。

また、スイッチング素子Q1～Q3とダイオードD1～D3を含む主スイッチ回路部10は、キャパシタC1に蓄積した直流電力をトランスT1の二次側のキャパシタC3における直流電力を発生するまでのDC/DCコンバータの一部の回路でもある。

つまり、主スイッチ回路部10は、力率改善コンバータの一部の回路であり、またDC/DCコンバータの一部の回路でもある。したがって、主スイッチ回路部10は共用されているので、力率改善コンバータとDC/DCコンバータの明確な境界がない。よって図1の電力変換装置は、ワンコンバータ（1コンバータ）に分類される回路方式である。

40

以上が電力変換装置の主回路の構成であり、電力変換装置を制御する制御回路の構成については、次に述べる。

【0016】

<電力変換装置の制御回路>

主スイッチ回路部10の各スイッチング素子Q1～Q3のオンオフ（ON/OFF）制御は、ドライブ回路75を介して行われる。

ドライブ回路75には、スイッチング素子Q1～Q3をPWM制御（Pulse Width Modu

50

lation、パルス幅制御)するQ1-Duty、Q2-Duty、Q3-Dutyの各信号をドライブ信号生成回路97から入力している。

ドライブ信号生成回路97には、正負判定回路76と、力率改善制御回路90のPWM信号生成回路94と、出力電圧制御回路95のPWM信号生成回路96とのそれぞれの出力信号を入力している。これらの出力信号に関わる各回路について、次に順に説明する。

なお、ドライブ回路75とドライブ信号生成回路97と正負判定回路76と出力電圧制御回路95と力率改善制御回路90と後記する中間電圧制御回路101をあわせて制御回路と称するものとする。

【0017】

《正負判定回路76》

交流電源ACの入力電圧を検出する入力電圧検出回路71の出力信号に基づいて正負判定回路76は、交流電源ACの電圧極性が正の半周期のときは「H」、負の半周期のときは「L」の信号を出力する。

【0018】

《出力電圧制御回路95》

キャパシタC3の端子電圧、即ち出力電圧を検出する出力電圧検出回路72により検出された出力電圧検出値と、所定の設定値の出力電圧指令値とが、比較増幅器77にそれぞれ入力され比較、増幅されて、出力信号として出力電圧偏差Vodutyが生成され、PWM信号生成回路96に入力する。PWM信号生成回路96は、出力電圧偏差VodutyとPWM搬送波(PWM信号生成回路96内部で発生)とを比較してPWM信号を生成し、出力する。

以上の比較増幅器77とPWM信号生成回路96の構成が、出力電圧制御回路95である。

【0019】

《力率改善制御回路90・その1》

力率改善制御回路90は、絶対値回路92と係数回路99と比較増幅器79と加算器98、および前記のPWM信号生成回路94を備えて構成されている。なお、係数回路99は図1において、「係数」と表記している。

ここで加算器98には、中間電圧制御回路101に含まれる比較増幅器102の出力信号Vd_biasが入力しているので、中間電圧制御回路101の構成を先に説明する。

【0020】

《中間電圧制御回路101》

負荷RLに流れる出力(負荷)電流を検出する電流センサ80および出力電流検出回路81により検出された出力電流検出値は、中間電圧制御回路101の指令値補正回路104に入力する。

指令値補正回路104は、出力電流検出値に基づいて中間電圧指令値を補正するための補正值を生成する。

生成された補正值を、中間電圧指令値とともに加算器103に入力して加え、新たな中間電圧指令値Vd_cmpを生成する。

キャパシタC1の端子電圧、即ち中間電圧を検出する中間電圧検出回路100により検出された中間電圧検出値と、新たな中間電圧指令値Vd_cmpとに基づいて中間電圧偏差Vd_biasを、比較増幅器102が出力信号として生成する。

この指令値補正回路104と加算器103と比較増幅器102の構成が、中間電圧制御回路101である。

【0021】

《力率改善制御回路90・その2》

ふたたび力率改善制御回路90について説明する。

入力電流を検出する電流センサ73および入力電流検出回路74により検出された入力電流検出値を絶対値に変換する絶対値回路92に入力する。

また、出力電圧制御回路95の比較増幅器77により生成された出力電圧偏差Vodu

10

20

30

40

50

t y を係数回路 99 に入力し、所定の係数を掛けて入力電流指令値を生成する。なお、出力電圧指令値と入力電流指令値とは密接に連携して指令を出す必要があるため、出力電圧指令値が関係して生成される出力電圧偏差 V_{oduty} を基に係数を掛けて入力電流指令値を生成するのである。

この入力電流指令値と、前述した絶対値に変換された入力電流検出値とを比較増幅器 79 に入力する。比較増幅器 79 は、それらの差を比較、増幅して、入力電流偏差 V_{dduty} を生成し、その信号を出力する。

【0022】

また、加算器 98 は、入力電流偏差 V_{dduty} と、前記した中間電圧制御回路 101 の比較増幅器 102 の出力である中間電圧偏差 V_{d_bias} とを、入力して加算し、新たな入力電流偏差 V_{dduty}' を生成する。

また、PWM 信号生成回路 94 は、新たな入力電流偏差 V_{dduty}' と PWM 信号生成回路 94 の内部で発生する PWM 搬送波とを比較して PWM 信号を生成する。

なお、力率改善制御回路 90 の PWM 信号生成回路 94 と出力電圧制御回路 95 の PWM 信号生成回路 96 とは、同期信号によって同期がとられ、連携して動作し、それぞれの出力信号をドライブ信号生成回路 97 に入力している。

以上の正負判定回路 76 と PWM 信号生成回路 96 (第 1 の PWM 信号生成回路) と PWM 信号生成回路 94 (第 2 の PWM 信号生成回路) との各々の出力信号が、ドライブ信号生成回路 97 に入力する信号である。

【0023】

《ドライブ信号生成回路 97》

ドライブ信号生成回路 97 の構成について説明する。

ドライブ信号生成回路 97 は、第 1 ~ 第 4 AND (論理積) 回路と、第 1、第 2 OR (論理和) 回路と、ひとつの NAND (否定論理積) 回路を備えている。

第 1 AND 回路の第 2 ゲートと、第 2 AND 回路の第 1 ゲートには、PWM 信号生成回路 94 の出力信号が入力している。また、第 1 AND 回路の第 1 ゲートと、第 2 AND 回路の第 2 ゲートには、正負判定回路 76 の出力信号が入力している。ただし、第 2 AND 回路の第 2 ゲートは反転してから入力する。

また、第 3 AND 回路の第 2 ゲートと、第 4 AND 回路の第 1 ゲートには、PWM 信号生成回路 96 の出力信号が入力している。また、第 3 AND 回路の第 1 ゲートと、第 4 AND 回路の第 2 ゲートには、正負判定回路 76 の出力信号が入力している。ただし、第 3 AND 回路の第 1 ゲートは反転してから入力する。

【0024】

第 1 OR 回路の第 1 ゲートには、第 1 AND 回路の出力信号が入力し、第 2 ゲートには、第 3 AND 回路の出力信号が入力している。

また、第 2 OR 回路の第 1 ゲートには、第 2 AND 回路の出力信号が入力し、第 2 ゲートには、第 4 AND 回路の出力信号が入力している。

また、NAND 回路の第 1 ゲートには、第 1 OR 回路の出力信号が入力し、第 2 ゲートには、第 2 OR 回路の出力信号が入力している。

第 1 OR 回路から $Q1 - Duty$ の信号が出力され、第 2 OR 回路から $Q2 - Duty$ の信号が出力され、NAND 回路から $Q3 - Duty$ の信号が出力される。

なお、第 1 AND 回路の第 1 ゲートと第 4 AND 回路の第 2 ゲートは正負判定回路 76 の出力信号をそのまま入力しているのに対し、第 2 AND 回路の第 2 ゲートと第 3 AND 回路の第 1 ゲートは反転してから正負判定回路 76 の出力信号を入力する構成となっているので、交流電源 AC の電圧極性が正の半周期と負の半周期に対応して、前記の $Q1 - Duty$ 、 $Q2 - Duty$ に得られる信号は切り換る。

【0025】

<スイッチング素子 Q1 ~ Q3 のドライブ信号波形>

次に、スイッチング素子 Q1 ~ Q3 のドライブ信号波形について説明する。

図 2 は、スイッチング素子 Q1 ~ Q3 のドライブ信号波形 ($Q1 - Duty$ 、 $Q2 - D$

10

20

30

40

50

uty、Q3 - Duty)を示すタイムチャートである。図2において、横方向は時間および時間の流れに対応する動作の各モードを示しており、縦方向にはQ1 - Duty、Q2 - Duty、Q3 - Dutyの各項目を表している。

図2の各スイッチング素子Q1～Q3のドライブ信号波形は、交流電源ACの電圧極性が正の「H」のときのドライブ信号波形である。第1のスイッチアームのスイッチング素子Q1、Q2をオンオフし、スイッチング素子Q1、Q2のいずれか一方のオン幅の短い方がオフのときに、第2のスイッチアームのスイッチング素子Q3をオンにするドライブ信号を生成する。

【0026】

この動作は、主スイッチ回路部10のスイッチング素子Q1～Q3をオンオフし、力率改善コンバータとDC/DCコンバータの動作が両立するように、適正な間隔とタイミングで時々刻々と変化してPWM制御がなされる。

また、負の「L」のときは、図2のQ1 - DutyとQ2 - Dutyのドライブ信号波形が入れ替わる。つまり、正負判定回路76から出力される交流電源ACの電圧極性が正の半周期「H」と、負の半周期「L」にあわせて、それぞれ制御される。

なお、より詳しい動作については、後述する。

【0027】

<制御回路の制御動作>

次に、このように構成される第1実施形態の制御動作について図3および図4を参照して説明する。

図3は、図1に対比して示した第1実施形態の制御動作を表す図である。

図3において、交流電源ACの電圧をAC、入力電流を I_{in} (I_{in2})とした交流電源からの入力電圧と入力電流の動作波形を示した図と、比較増幅器77が生成する制御電圧(出力電圧偏差)を V_{oduty} 、比較増幅器79が生成する制御電圧(入力電流偏差)を V_{dduty} 、加算器98が生成する制御電圧(新たな入力電流偏差)を V_{dduty}' で表わし、それぞれの電圧を示した図を併せて表記している。

【0028】

また、図3においては、交流電源の交流電圧ACと入力電流 I_{in} 、 I_{in2} のそれぞれの動作波形を同じ時間軸で表記している。また、交流電圧ACと入力電流 I_{in} 、 I_{in2} の基準点は「0」と表記し、破線で示した位置である。なお、「0」と表記し、単位を示していないのは、交流電圧と入力電流の単位が異なるためである。

なお、後述するように交流電源の電圧のピーク値付近の電流が大きく突出するときの入力電流を I_{in2} で表記している。

【0029】

また、制御電圧(出力電圧偏差) V_{oduty} は、出力電圧制御回路95(図1)の中の信号であって、図3において「(1)出力電圧制御」と表記している。

また、図3において実線と破線の2本で示した制御電圧(入力電流偏差) V_{dduty} は、力率改善制御回路90(図1)の中の信号であって、「(2)力率改善制御」と表記している。

また、制御電圧(新たな入力電流偏差) V_{dduty}' は、力率改善制御回路90(図1)の中の信号ではあるが、中間電圧制御回路101の中の信号である中間電圧偏差 V_{dbias} の信号分だけ制御電圧(入力電流偏差) V_{dduty} から平行移動した信号であるので、「(3)中間電圧制御」と表記している。

【0030】

なお、入力電流偏差 V_{dduty} 、新たな入力電流偏差 V_{dduty}' は、入力電流の偏差に関する信号であるが、電流値の比率を、電圧値に換算して電圧による制御を行っているので、制御電圧(入力電流偏差) V_{dduty} 、制御電圧(新たな入力電流偏差) V_{dduty}' のように電圧で表記をしている。

また、 V_{dduty} 、 V_{dduty}' 、 V_{oduty} の電圧の基準点は、図3において、「0V」と表記し、破線で示した位置である。また、 V_{dduty} 、 V_{dduty}' 、

10

20

30

40

50

$V o d u t y$ のそれぞれの電圧は、交流電圧 $A C$ と入力電流 $I i n$ 、 $I i n 2$ の動作波形と時間軸において対応している。

なお、図3の特性に関連するより詳しい説明は後述する。

【0031】

また、図4は、負荷電流 $I o$ と中間電圧 $V d$ の関係を示し、「従来の制御」、「本発明の中間電圧制御なし」、および太線で示した「 $V d$ (中間電圧制御あり)」の各特性を示す図である。

図4において、横軸は負荷電流 $I o$ であり、縦軸は中間電圧 $V d$ の電圧を示している。

また、参考に「素子耐圧レベル」と、中間電圧 $V d$ を適正值に保つための新たな中間電圧指令値である「 $V d _ c m p$ 」を表記している。

10

図4の特性に関連するより詳しい説明は後述する。

【0032】

第1実施形態では、力率改善制御(中間電圧制御を含む)と出力電圧制御のスイッチング素子の制御を両立させるため、図3に示すように出力電圧制御における出力電圧偏差 $V o d u t y$ に対し、力率改善制御における入力電流偏差 $V d d u t y$ は等しいが、それ以上にあることが必要になる。

このような関係を保つことにより、出力電圧および中間電圧の電圧変動が小さく、入力電流波形に歪みの少ない正弦波状の波形が得られる。

これらを実現するため、図3と図4を用いて各制御系の(1)出力電圧制御、(2)力率改善制御、(3)中間電圧制御の役割について述べる。以下では、交流電源 $A C$ が正の半周期であるときについて説明する。

20

【0033】

<(1)出力電圧制御>

出力電圧制御回路(95、図1)による出力電圧制御((1)、図3)においては、出力電圧の安定化を図るため、出力電圧指令値と、検出された出力電圧 $V o$ とで生成される出力電圧偏差 $V o d u t y$ (図3の(1))に基づいてスイッチング素子 $Q 2$ とスイッチング素子 $Q 3$ を駆動する $P W M$ 信号を生成する。

この $P W M$ 信号によって、出力電圧を所望の設定値となるように制御する。この場合、 $V o d u t y$ に対応した $P W M$ 信号のオン幅(オンしている時間の幅)で、スイッチング素子 $Q 2$ が駆動される。

30

【0034】

<(2)力率改善制御>

力率改善制御回路(90、図1)による力率改善制御((2)、図3)においては、交流電源 $A C$ の電圧変化に基づいて入力電流波形に正弦波状の波形を得るため、交流電源 $A C$ の電圧がゼロ付近の入力電流が小電流領域は不連続モードで、大電流領域になるにつれ連続モードに移行する制御を実現する。

この入力電流の正弦波状の波形を得るためには、入力電流偏差 $V d d u t y$ と出力電圧偏差 $V o d u t y$ との関係は、常に $V d d u t y > V o d u t y$ が必要となる。この $V d d u t y$ は、 $V o d u t y$ に係数 $K c$ を掛けた値を入力電流指令値として、この入力電流指令値と検出された入力電流 $I i n$ に基づいて入力電流偏差 $V d d u t y$ が生成される。

40

【0035】

このような制御をしたとき入力電流偏差 $V d d u t y$ は、図3の(2)に示す実線のように下に凸の形状となる。この場合、 $V d d u t y$ に対応した $P W M$ 信号で、スイッチング素子 $Q 1$ が駆動される。

なお、入力電流偏差 $V d d u t y$ が下に凸の形状となることは、入力電流 $I i n$ が大きくなるにつれ入力電流偏差 $V d d u t y$ は小さくなり、 $P W M$ 信号のオン幅は狭くなる制御であることを意味する。

また、この下に凸の形状にすることで、逆に入力電流が小さくなる交流電源 $A C$ の電圧がゼロ付近では、 $V d d u t y$ がゼロでない1未満の有限の値を持つので、 $P W M$ 信号のオン幅は広く確保される。

50

このPWM信号の広いオン幅でインダクタL1(図1)には交流電源AC(図1)の電圧が印加されるが、このとき交流電源ACの電圧の値はゼロ付近にある。したがって、インダクタL1に流れる電流、即ち入力電流 I_{in} のエンベロープは、 V_{dduty} の値に依存せず、交流電源ACの電圧の値によって決まり、その結果、図3の I_{in} のように0(A)から徐々に増加する。

【0036】

また、入力電流が大きい交流電源ACの電圧のピーク値付近において、入力電流偏差 V_{dduty} は、図3の(2)に示すように下に凸の底付近となるため、 V_{dduty} の値は入力電流が小さい場合よりさらに小さくなる。

このように制御すると、PWM信号のオン幅が狭くなり、インダクタL1には交流電源ACの電圧が印加される時間が短くなる。したがって、交流電源ACの電圧の値が大きくても、インダクタL1に流れる電流がPWM信号のオン幅の時間で制限されるため、入力電流 I_{in} の三角波電流(PWM制御に起因)の変化幅は小さく抑えられる。

このことは、結果として図3の入力電流 I_{in} のエンベロープのピーク値を実線で示した I_{in} のように小さく抑えることになる。

このように、入力電流 I_{in} の三角波電流の変化幅を小さく抑えて、大きな電力が供給できることは、入力電流 I_{in} の三角波電流成分がDC電流(直流電流成分)に重畳しているためである。

このことから、この制御は不連続モードではなく、連続モードである。

【0037】

この制御方法を、交流電源ACの電圧の全領域に不連続モードを適用した場合と比較する。この不連続モードの場合、入力電流偏差 V_{dduty} は、図3の(2)に示す点線のように一定の値をとる。したがって、特に交流電源ACの電圧のピーク値付近の電流が大きい場合には、インダクタL1に本発明の制御で用いるインダクタと同じものを使用すると、インダクタの値が小さくなるので飽和して、実線で示した入力電流 I_{in} が図3の点線で示した I_{in2} のように大きく突出する。

このように I_{in2} のように大きく突出する場合、大きな電流を遮断することになるので、スイッチング素子の損失が大きくなる。この損失を低減し、高効率化するには、大電流領域(例えば、定格負荷付近)の不連続モードを連続モードに代えて入力電流 I_{in} の電流変化を小さくすることが得策であり、本実施形態の制御方法が好適である。

また、小電流領域が不連続モードで、大電流領域になるにつれ連続モードに移行することは、入力電流 I_{in} が図3の実線のエンベロープのように正弦波形に近くなり、交流電源ACの電圧の全領域で力率改善できるので、高力率(98%以上)が期待できる。

【0038】

<(3)中間電圧制御>

中間電圧制御においては、全負荷領域に対して中間電圧を設定値に一定に制御する。

まず、比較例として、従来のワンコンバータの電力変換装置で中間電圧を制御しない場合を示す。この場合は、図4の「従来の制御」の特性線に示すように、軽負荷になるにつれ中間電圧が上昇し、電解コンデンサが通常の素子耐圧レベル(「素子耐圧レベル」、破線)を超えてしまう。この場合には、高耐圧の電解コンデンサが必要になってしまう。

【0039】

次に、前記<(2)力率改善制御>で述べたように、図3の(2)力率改善制御に示した入力電流偏差 V_{dduty} を用いてPWM信号を生成してスイッチング素子Q1を駆動する「中間電圧制御なし」の場合を説明する。

この場合は、中間電圧は図4に示す「本発明の中間電圧制御なし」の特性線のカーブのようになり、「素子耐圧レベル」に達しないものの軽負荷になるにつれ中間電圧は上昇する傾向にある。

【0040】

そこで、中間電圧を負荷に依存せず、設定値に一定に制御するためには、図4の「本発明の中間電圧制御なし」の特性線のカーブの上昇をキャンセル(相殺)する図4の「Vd

10

20

30

40

50

「 v_{d_cmp} 」で示す補正カーブを生成して前記の「キャンセル」に使用する。

このため、図4の v_{d_cmp} なる補正カーブの値は、中間電圧指令値(図1)から指令値補正回路104(図1)により生成された補正値を差し引いて、新たな中間電圧指令値「 v_{d_cmp} 」(図1)が生成される。この生成された v_{d_cmp} と検出された中間電圧検出値(v_d)とに基づいて比較増幅器102(図1)により中間電圧偏差 v_{d_bias} が生成される。

【0041】

そして、この v_{d_bias} を、入力電流偏差 v_{d_duty} に加算(加算器98、図1)して図3の(2)力率改善制御の特性線を(3)中間電圧制御の特性線にシフトし、新たな入力電流偏差 v_{d_duty}' (図1、図3)を生成する。さらに、この v_{d_duty}' に基づいてスイッチング素子Q1を駆動するPWM信号をPWM信号生成回路94(図1)で生成する。

この新たな入力電流偏差 v_{d_duty}' の信号の生成により、中間電圧 v_d は図4の太線で示した出力電圧偏差 v_{o_duty} のように負荷に依存せず、所望の設定値に一定に制御することが可能となる。

【0042】

ここで、前述したように、指令値補正回路104(図1)は、出力電流検出値(図1)に基づき中間電圧指令値(図1)を補正する補正値を生成するためのものである。負荷電流に応じて中間電圧指令値を変更するためには、中間電圧指令値から v_{d_cmp} の特性線(カーブ)を生成する必要がある。このために、図4の「本発明の中間電圧制御なし」の特性線の情報から図4の太線の値を差し引いた値が指令値補正回路104の補正値として用いられる。

この特性線のカーブは、二次関数や、三次関数で与えることができる。図1では、制御回路はアナログ制御を用いて説明しているが、二次関数、または三次関数を扱うことからデジタル制御が適する。また、デジタル制御にすることから、関数の代わりに補正テーブルを用いることも可能である。

【0043】

以上が、負荷電流に依存せず、中間電圧を目標値に一定に制御する指令値補正回路の補正値の生成方法である。しかし、通常の中間電圧の目標値は許容範囲を有しているので、負荷電流に関係なく、制御によってこの範囲内に収まることができるのであれば、この場合も中間電圧を目標値に一定に制御したと見なしてもよい。この場合、指令値補正回路104には、少なくとも一つの補正値があればよいので、指令値補正回路104を簡単にできる効果がある。

【0044】

以上の本実施形態の説明は、交流電源ACの電圧極性が正のときであって、スイッチング素子Q1を入力電流波形制御、すなわち力率改善制御の主素子とし、スイッチング素子Q2を出力電圧制御の主素子として制御するようにしている。

このため、それぞれのスイッチング素子が役割分担をしているので、入力電流波形制御と出力電圧制御の機能を両立させることができる。

なお、交流電源ACの電圧極性が負のときは、スイッチング素子Q1とQ2の役割を交代することで同様に性能を満足できる。

【0045】

また、スイッチング素子Q1とQ2の役割が交代したときにも同様な特性を得るために、実際には、インダクタL1に相当する図示していないインダクタが、交流電源ACのインダクタL1に接続された端子の他方の端子とスイッチング素子Q1とスイッチング素子Q2の接続点の間にも、備えられている。このように交流電源ACの電圧極性の正負に対して同じような特性を得るように対称的な回路構成をとっている。

また、このスイッチング素子Q1とスイッチング素子Q2の役割の交代は、図1の正負判定回路76によって行われ、その信号がドライブ信号生成回路97の論理回路を制御することにより行われる。

10

20

30

40

50

【 0 0 4 6 】

以上の制御動作により、P W M 信号生成回路 9 4、9 6 は同期信号により各々同期して P W M 信号を出力し、ドライブ信号生成回路 9 7 は、P W M 信号生成回路 9 4、9 6 と正負判定回路 7 6 の出力を基に、図 2 に示すスイッチング素子 Q 1 ~ Q 3 のドライブ信号 Q 1 - D u t y、Q 2 - D u t y、Q 3 - D u t y を生成する。

本実施形態では、力率改善制御回路 9 0 よりも出力電圧制御回路 9 5 を優先してスイッチング素子 Q 1、Q 2 を制御する構成となっている。このため、まず、出力電圧制御を行い、その上で、中間電圧制御を含めた力率改善制御を行う系を構築している。

【 0 0 4 7 】

このような系を構築することで、スイッチング素子 Q 1、Q 2 は出力電圧制御回路 9 5 が優先され制御されるため、出力電圧 (C 3 の端子電圧) は安定する。そして、出力電圧が安定した結果として、入力電流 I_{in} の歪み (I_{in2}) も図 3 の実線のように抑制されたエンベロープが得られる。また、中間電圧も図 4 の太線で示すように負荷に依存せず、設定値に一定に制御される。

【 0 0 4 8 】

< モード毎の主回路の動作 >

次に、図 2 の交流電源 A C の電圧極性が正のときの各スイッチング素子 Q 1 ~ Q 3 のドライブ信号波形 Q 1 - D u t y、Q 2 - D u t y、Q 3 - D u t y のタイミングを用いて、第 1 実施形態の主回路の動作をモード毎に説明する。

なお、スイッチング素子 Q 1 ~ Q 3、交流電源 A C、インダクタ L 1 ~ L 4、トランス T 1 の一次巻線 N 1、二次巻線 N 2、ダイオード D 1 ~ D 3、D 5、D 6、D 1 1、D 1 2、キャパシタ C 1 ~ C 3 など適宜、単にそれぞれ Q 1 ~ Q 3、A C、L 1 ~ L 4、N 1、N 2、D 1 ~ D 3、D 5、D 6、D 1 1、D 1 2、C 1 ~ C 3 と表記する。

【 0 0 4 9 】

モード 1、(t 1 ~ t 2)

まず、スイッチング素子 Q 1 とスイッチング素子 Q 2 とがオン状態にあると、A C - L 1 - D 1 1 - Q 1 の経路でインダクタ L 1 にエネルギーを蓄積する電流が流れる。

また、キャパシタ C 2 の蓄積電荷により、C 2 - N 1 - L 2 - Q 1 - Q 2 の経路でトランス T 1 の 1 次側にエネルギーを蓄積する電流が流れる。

トランス T 1 の 1 次側に電流が流れるので、2 次側には、前述したトランス T 1 の蓄積エネルギーに対応する電流が、N 2 - L 4 - C 3 - D 5 の経路で流れ、出力側に電力が供給される。

【 0 0 5 0 】

本実施形態は、前述の通りスイッチング素子 Q 1 を入力電流波形制御の主素子とし、スイッチング素子 Q 2 を出力電圧制御の主素子として制御する。

そのため、Q 1 がオフするタイミングの方が Q 2 のオフタイミングより遅い条件において力率改善制御と出力電圧制御が成り立つ。即ち、スイッチング素子 Q 1 とスイッチング素子 Q 2 が共にオン状態のとき出力電圧が制御され、Q 1 がオンで Q 2 がオフ状態のとき入力電流波形が制御される。

【 0 0 5 1 】

モード 2、(t 2 ~ t 3)

次に、Q 2 が t 2 のタイミングでオフすると、インダクタ L 2 の蓄積エネルギーによって、L 2 - D 3 - C 1 - C 2 - N 1 の経路で環流電流が流れる。

【 0 0 5 2 】

モード 3、(t 3 ~ t 4)

この間 (t 2 がオフ) に Q 3 が t 3 のタイミングでオンすると、環流電流は、L 2 - Q 3 - C 1 - C 2 - N 1 の経路で流れるため、Q 3 は同期整流動作となる。したがって、高耐圧でもオン抵抗の小さいスーパージャンクション構造の M O S F E T を用いれば、導通損失は小さくなる。なお、Q 3 は D 3 が導通状態、即ち素子電圧がゼロボルトの状態ターンオンするため、Z V S (Zero Voltage Switching) 動作となり、ターンオン損失は殆ど

10

20

30

40

50

発生しない。

【 0 0 5 3 】

一方、トランス T 1 の 2 次側は、トランス T 1 の蓄積エネルギーにより、N 2 - L 3 - C 3 - D 6 の経路で電流が流れ、出力側に電力が供給される。Q 1 がオフする前に L 2 の蓄積エネルギーがゼロになった場合、キャパシタ C 1 の蓄積電荷により、C 1 - Q 3 - L 2 - N 1 - C 2 の経路で電流が流れる。

【 0 0 5 4 】

モード 4、(t 4 ~ t 5)

次に、Q 1 が t 4 のタイミングでオフすると、インダクタ L 1 の蓄積エネルギーによって L 1 の電流は流れ続けようとするが、急激な電流変化のできないインダクタ L 2 によって電流経路は妨げられるため、L 1 - D 1 1 - Q 3 - C 1 - D 2 - A C の経路で電流が流れる。所定の時間の経過後にインダクタ L 2 の電流がインダクタ L 1 の電流に達すると、L 1 の蓄積エネルギーによって、A C - L 1 - D 1 1 - L 2 - N 1 - C 2 - D 2 の経路で電流が流れ続ける。

10

一方、D C - D C コンバータの一次側には、キャパシタ C 1 の蓄積電荷により C 1 - Q 3 - L 2 - N 1 - C 2 の経路で電流が流れる。

【 0 0 5 5 】

モード 5、(t 5 ~ t 1)

次に、Q 3 が t 5 のタイミングでオフすると L 2 の蓄積エネルギーによって L 2 - N 1 - C 2 - D 2 - D 1 の経路で電流が流れ、この間に Q 1、Q 2 をオンすることにより Z V S 動作を実現できる。その後、L 2 の蓄積エネルギーがゼロになると、前述の L 1、T 1 にエネルギーが蓄積されモード 1 に戻る。

20

【 0 0 5 6 】

以後、交流電源 A C の電圧極性が正の期間、この動作を繰り返す。また、交流電源 A C の電圧極性が負の期間は、スイッチング素子 Q 1 と Q 2 が役割を交代して、同様に上述のモード 1 ~ 5 を繰り返す。

【 0 0 5 7 】

以上説明したように、本実施形態によれば、出力電圧の制御に加え、入力電流が小電流領域は不連続モードで、大電流領域は連続モードに移行して中間電圧を含めた力率改善の制御を行うので、全電流領域が不連続モードの場合に比べて大電流領域が連続モードであることが、電力変換に係るスイッチング損失を低減することができる。

30

【 0 0 5 8 】

特に、本実施形態によれば、入力電流偏差 V_{dduty} と出力電圧偏差 V_{oduty} に関して、常に $V_{dduty} = V_{oduty}$ なる関係を保ち、かつ入力電流偏差 V_{dduty} に中間電圧偏差 V_{d_bias} を加えた新たな入力電流偏差 V_{dduty}' に基づいて、スイッチング素子 Q 1 (または Q 2) をオンオフ制御することにより、出力電圧および中間電圧が安定し、かつ入力電流波形の歪も抑制することができる。

【 0 0 5 9 】

(第 2 実施形態)

次に、本発明の電力変換装置の第 2 実施形態について説明する。

40

図 5 は、本発明の電力変換装置の第 2 実施形態の回路構成を示す図である。

図 5 において、第 1 実施形態と異なる点は、アクティブクランプ回路 2 0 1 を設ける点である。

アクティブクランプ回路 2 0 1 は、スイッチング素子 Q 7、Q 8 とダイオード D 7、D 8 をそれぞれ逆並列に接続してなる 2 つのスイッチ回路と、キャパシタ C c 1、C c 2 を備えている。

キャパシタ C c 1、C c 2 の一方の端子は、各々ダイオード D 7、D 8 のカソード電極に接続し、キャパシタ C c 1、C c 2 のもう一方の端子は共通にしてダイオード D 5、D 6 の接続点に接続して形成されている。

【 0 0 6 0 】

50

また、アクティブクランプ回路201の2つのスイッチ回路の直列回路は、互いに二次巻線N2に並列に接続されている。そして、交流電源ACの電圧極性が正のときは、図6に示す各スイッチング素子Q1～Q3、Q7、Q8のドライブ信号波形のタイミングを用いて、第2実施形態を動作させる。

【0061】

図6は、図5で示した本発明の電力変換装置の第2実施形態の回路におけるスイッチング素子Q1～Q3、Q7、Q8のドライブ信号波形のタイムチャートである。

図6において、横方向は時間を示しており、縦方向にはQ1-Duty、Q2-Duty、Q3-Duty、Q7-Duty、Q8-Dutyの各項目を表している。

Q1-Duty、Q2-Duty、Q3-Dutyの動作波形は概ね、第1実施形態のドライブ信号波形である図2と同様である。ただし、図6においては、Q3-DutyがHigh、Q2-DutyがLowのタイミングの所定の期間において、Q7-DutyがHighとなるパルス状の波形を発生する。また、Q2-DutyがHigh、Q3-DutyがLowのタイミングの所定の期間において、Q8-DutyがHighとなるパルス状の波形を発生する。

【0062】

以上の構成とスイッチング素子Q1～Q3、Q7、Q8のドライブ信号波形による動作により、スイッチング素子Q2がオンした時にトランスT1の二次巻線N2に発生する寄生インダクタや寄生キャパシタによるリングングを含む電圧は、リングング成分のみがダイオードD8を介してキャパシタCc2に蓄積され、かつキャパシタCc2の端子電圧にクランプされる。

その後、スイッチング素子Q8がオンすると、キャパシタCc2に蓄積されたエネルギーは、インダクタL4を介してキャパシタC3に回収される。

一方、スイッチング素子Q3がオンしたときに、トランスT1の二次巻線N2に発生する寄生インダクタや寄生キャパシタによるリングングを含む電圧は、ダイオードD7、スイッチング素子Q7の振る舞いによって、同様にキャパシタCc1に蓄積されたエネルギーがインダクタL3を介してキャパシタC3に回収される。

ここで、スイッチング素子Q7、Q8がオンするタイミングは、二次巻線N2に発生するリングングが消失した時点以降に設定するのがよい。

【0063】

第2実施形態によれば、アクティブクランプ回路201を用いることは、ダイオードD5、D6にかかる電圧を二次巻線に発生する正規の電圧に抑えることができるので、リングング電圧を考慮した高耐圧のダイオードが不要となる。またキャパシタCc1、Cc2に蓄積されたエネルギーがキャパシタC3に回収できるので、効率を向上させる効果がある。

なお、図1と同一部分については同一符号を付しており、他の回路構成および動作について同じものについては、重複する説明は省略する。

【0064】

(第3実施形態)

次に、本発明の電力変換装置の第3実施形態について説明する。

図7は、本発明の電力変換装置の第3実施形態の回路構成を示す図である。

図7において、第1実施形態と異なる点は、電力変換装置からキャパシタC3を除いた電力変換装置を並列に設けて、この2つの電力変換装置(制御回路は図示せず)をインターリーブ動作(交互に補完的動作)させる点である。

そして、交流電源ACの電圧極性が正のときは、図8に示す各スイッチング素子Q1～Q3、Q21～Q23のドライブ信号波形のタイミングを用いて、第3実施形態を動作させる。

なお、図7において、制御回路(図1における76、90、95、97、101)、および検出回路(図1における71～74、80～81、100)の図示は省略している。

【0065】

図8は、図7で示した本発明の電力変換装置の第3実施形態の回路におけるスイッチング素子Q1～Q3、Q21～Q23のドライブ信号波形のタイムチャートである。

図8において、横方向は時間を示しており、縦方向にはQ1-Duty、Q2-Duty、Q3-Duty、Q21-Duty、Q22-Duty、Q23-Dutyの各項目を表している。

Q1-Duty、Q2-Duty、Q3-Dutyの動作波形は概ね、第1実施形態のドライブ信号波形である図2と同様である。

【0066】

ただし、Q1-DutyがLow、Q2-DutyがLow、Q3-DutyがHigh、つまりスイッチング素子Q1、Q2がオフしているタイミングの所定の期間において、Q21-DutyがHigh、Q22-DutyがHigh、Q23-DutyがLowとなるドライブ信号波形を示している。この期間のQ21-Duty、Q22-Duty、Q23-Dutyのドライブ信号波形は、スイッチング素子Q1～Q3がワンコンバータとしての主要動作をするときの期間のQ1-Duty、Q2-Duty、Q3-Dutyのドライブ信号波形と同様の波形である。

10

【0067】

したがって、スイッチング素子Q1～Q3とスイッチング素子Q21～Q23とは、タイミングをずらして、同様の交互に補完的な動作(インターリーブ動作)をするドライブ信号波形となっている。

つまり、図8では、インターリーブ動作のため、各スイッチング素子Q1～Q3に対して各スイッチング素子Q21～Q23のタイミング位相を180°シフトさせている。

20

第3実施形態によれば、扱える負荷(電力)を大きくできるほか、更なる力率改善とキャパシタC3の端子電圧(出力電圧)のリプル低減が期待できる。

なお、図1と同一部分については同一符号を付しており、他の回路構成および動作に関し同じものについては、重複する説明は省略する。

【0068】

(第4実施形態)

次に、本発明の電力変換装置の第4実施形態について説明する。

図9は、本発明の電力変換装置の第4実施形態の回路構成を示す図である。

図9において第4実施形態が第1実施形態と異なる点は、トランスの一次巻線N1とキャパシタC2の接続点と、ダイオードD3とキャパシタC1の接続点の間に、キャパシタC4を追加、接続し、トランスの一次側をハーフブリッジ回路とする点である。

30

ただし、動作は、第1実施形態と同じであり、第1実施形態と同等の効果が得られる。

なお、図1と同一部分については同一符号を付しており、他の回路構成および動作に関し同じものについては、重複する説明は省略する。

【0069】

(第5実施形態)

次に、本発明の電力変換装置の第5実施形態について説明する。

図10は、本発明の電力変換装置の第5実施形態の回路構成を示す図である。

図10において、第1実施形態と異なる点は、トランスの二次巻線をN2、N3の2つに増やし、センタータップ構成とする点である。

40

このため、二次巻線N2はダイオードD5によって整流された電圧が、また二次巻線N3はダイオードD6によって整流された電圧がインダクタL3を介してキャパシタC3により平滑されて、負荷RLに直流電圧(電力)を出力する。

【0070】

主スイッチ回路部10の動作は第1実施形態と同じでよい。ここでのインダクタL3の役割は、出力電圧(キャパシタC3の端子電圧)のリプルを低減し、リプルの少ない安定した出力電圧を得ることにある。

第5実施形態によれば、第1実施形態と同等の効果が得られる。

なお、図1と同一部分については同一符号を付しており、他の回路構成および動作に関

50

し同じものについては、重複する説明は省略する。

【0071】

(第6実施形態)

次に、本発明の電力変換装置の第6実施形態について説明する。

図11は、本発明の電力変換装置の第6実施形態の回路構成を示す図である。

図11において、第1実施形態と異なる点は、本発明の制御系を2コンバータ(力率改善コンバータ、DC-DCコンバータ)の電力変換装置に適用する点である。

ここでは、2コンバータの電力変換装置のうち、力率改善コンバータ501は、インダクタL1、ダイオードD11、D12、スイッチング素子Q1、Q2とダイオードD1、D2をそれぞれ逆並列に接続してなる2つのスイッチ回路、キャパシタC1からなる昇圧回路で形成される。

10

【0072】

また、絶縁型のDC-DCコンバータ502は、スイッチング素子Q3、Q4とダイオードD3、D4をそれぞれ逆並列に接続してなる2つのスイッチ回路、インダクタL2、トランスT1の一次巻線N1、キャパシタC2からなるハーフブリッジ回路で形成され、さらにトランスT1の二次巻線N2は、ダイオードD5、D6、インダクタL3、L4、キャパシタC3からなるカレントダブル回路で形成される。

【0073】

また、制御回路のドライブ信号生成回路97の論理ゲートの構成を図11に示すように変えている。

20

すなわち、第1AND回路と第2AND回路、および第1反転回路と第2反転回路を備え、第1AND回路の第2ゲートと、第2AND回路の第1ゲートには、PWM信号生成回路94の出力信号が入力している。また、第1AND回路の第1ゲートと、第2AND回路の第2ゲートには、正負判定回路76の出力信号が入力している。ただし、第2AND回路の第2ゲートは反転してから入力する。

また、第1反転回路のゲートには、PWM信号生成回路96の出力信号が入力している。また、第1反転回路の出力信号は、第2反転回路のゲートに入力している。

そして、第1AND回路の出力信号がQ1-dutyの信号であり、第2AND回路の出力信号がQ2-dutyの信号であり、第1反転回路の出力信号がQ4-dutyの信号であり、第2反転回路の出力信号がQ3-dutyの信号である。

30

【0074】

図12は、図11で示した本発明の電力変換装置の第6実施形態の回路におけるスイッチング素子Q1~Q4のドライブ信号波形のタイムチャートである。

図12において、横方向は時間を示しており、縦方向にはQ1-Duty、Q2-Duty、Q3-Duty、Q4-Dutyの各項目を表している。

Q1-DutyとQ2-Dutyは互いに反転した波形となっている。また、Q3-Duty、Q4-Dutyは互いに反転した波形となっている。

また、Q3-DutyがHighとなるのは、Q1-DutyがHighである所定の期間内である。

【0075】

40

交流電源ACの電圧極性が正のときは、図12に示す各スイッチング素子Q1~Q4のドライブ信号波形のタイミングを用いて、第6実施形態を動作させる。

また、交流電源ACの電圧極性が負のときは、図12に示すQ1-DutyとQ2-Dutyが互いに入れ替わって動作する。なお、このときQ3-DutyとQ4-Dutyについては、図12の波形と同様である。

【0076】

第6実施形態によれば、第1実施形態と同等の効果が得られるほか、本発明の制御方法が2コンバータの電力変換装置においても適用可能であることを示している。換言すれば、本発明の制御方法は、ワンコンバータ(1コンバータ)の電力変換装置の制御方法から説明したが、ワンコンバータに限らず、2コンバータでも適用可能で、電力変換装置全般

50

に亘って適用可能である。

また、2コンバータの場合には、中間電圧制御系を含めた力率改善制御系と出力電圧制御系で優先関係を持たないので、スイッチング素子Q1、Q2とQ3、Q4の制御を、2つの制御系でそれぞれ独立して構築でき、ワンコンバータに比べてより自由度のある制御系が構築できるメリットがある。

なお、図1と同一部分については同一符号を付しており、他の回路構成および動作について同じものについては、重複する説明は省略する。

【0077】

(第7実施形態)

次に、本発明の電力変換装置を用いたHDD(Hard Disk Drive、ハードディスクドライブ、ハードディスク)装置の実施形態を第7実施形態として示す。

図13は、本発明の電力変換装置を適用したHDD装置の構成を示す図である。

図13において、HDD装置における電源システムは、並列冗長構成の電源システムを構築しており、ACライン(交流配電線)であるAC-1やAC-2からAC電圧を受電して、第1実施形態～第6実施形態に記載の電力変換装置であるAC-DCコンバータのAC-DC1、AC-DC2を介してDC電圧V1を出力している。

【0078】

このDC電圧V1には、電池を搭載したバックアップ電源BUPSを接続して停電対策を行っている。また、このDC電圧V1は、非絶縁型DC-DCコンバータDC-DC11～DC-DC1mを介してHDD装置HDD1～HDDmに電力を供給している。

また、非絶縁型DC-DCコンバータDC-DC1～DC-DCnを介して、HDD装置にデータを記憶するための制御を司るプロセッサCPUや、高速大容量メモリDRAM(Dynamic Random Access Memory)、SRAM(Static Random Access Memory)、・・・、IC(Integrated Circuit)、またはASIC(Application Specific Integrated Circuit)、などで構成されるボードに対象毎に異なり、かつ適正な電圧の電力を供給している。

【0079】

第7実施形態のように前述の第1実施形態～第6実施形態で説明したような電力変換装置を用いた電源システムや装置によれば、構成部品点数の削減による低コスト化や導通損失の低減による低損失化を図ることができるので、小型で、低コスト、高効率な電源システムやそれを適用したハードディスク装置などの各種の装置を得ることが可能となる。

また、本発明の電力変換装置における力率改善制御を適用することにより、ACライン(交流配電線)から見て、高力率が期待できる。

【0080】

(その他の実施形態)

以上、本発明の実施形態について図面を参照して詳述したが、本発明はこれら実施形態およびその変形に限定されるものではなく、本発明の要旨を逸脱しない範囲の設計変更等があってもよく、以下にその例をあげる。

【0081】

例えば、第1実施形態(図1参照)において、インダクタL2を用いているが、インダクタL2は、トランスT1の漏れインダクタンスを利用することも可能である。なお、本変形は、第2～第6実施形態に対しても同様に適用可能である。

【0082】

また、第1実施形態(図1参照)において、トランスT1の二次側にカレントダブラ回路が形成され、ダイオードD5、D6が用いられているが、これらのダイオードD5、D6は、MOSFETを用いた同期整流回路に置き換えても構わない。なお、本変形は、第2～第6実施形態に対しても同様に適用可能である。

【0083】

また、第1実施形態(図1参照)において、図示していないが、比較増幅器79と加算器98の間に最大値回路を設けて、比較増幅器79で生成された入力電流偏差Vddut

10

20

30

40

50

yと比較増幅器77で生成された出力電圧偏差Vodutyとを比較して、大きい方を入力電流偏差Vddutyとして加算器98に入力するようにしても構わない。この最大値回路を追加すると、(入力電流偏差Vdduty)(出力電圧偏差Voduty)の関係が常に確定するので、電力変換装置の起動時のような制御が不確定になる場合に有用である。なお、本変形は、第2～第6実施形態に対しても同様に適用可能である。

【0084】

また、第1実施形態(図1参照)において、ドライブ信号生成回路97の論理回路の構成例を示したが、これは一例にすぎない。同等の機能を有する論理回路は様々に構成できる。また、ドライブ信号生成回路97にドライブ回路75や正負判定回路76を含めて構成してもよい。

10

【0085】

第2実施形態(図5参照)において、アクティブクランプ回路201を設けることを説明したが、アクティブクランプ回路201は、第3～第6実施形態においても二次巻線に発生する電圧のクランプや、効率向上に有効な手段である。

【0086】

また、第3実施形態(図7参照)において、電力変換装置をキャパシタC3を共用して並列に設けて、2つの電力変換装置をインターリーブ動作させることを説明したが、このインターリーブ動作は、第3実施形態に限らず、第2、第4～第6実施形態においても同様に適用可能であり有効な手段、方法である。

【0087】

また、第4実施形態(図9参照)において、トランスの一次巻線N1とキャパシタC2の接続点と、ダイオードD3とキャパシタC1の接続点の間に、キャパシタC4を追加、接続し、トランスの一次側をハーフブリッジ回路としたが、このハーフブリッジ回路は、第4実施形態に限らず、第1～第3、第5、第6実施形態においても同様に適用可能であり有効な手段、方法である。

20

【0088】

また、第6実施形態(図11参照)において、2コンバータの電力変換装置においては、力率改善コンバータとして、図11の力率改善コンバータ501に示した回路を例にあげたが、昇圧機能を有する同様の機能の回路であり、かつ適切にPWM制御をすれば、図11で示した回路に限定されず、適用可能である。

30

【0089】

また、第6実施形態(図11参照)において、2コンバータの電力変換装置における絶縁型のDC-DCコンバータ502は、ハーフブリッジ回路を例にあげたが、ハーフブリッジ回路に限らず、フルブリッジ回路で形成してもよい。

【0090】

また、第1～第6実施形態において、スイッチング素子Q1～Q3(Q4)は、MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor: 金属-酸化物-半導体電界効果型トランジスタ)の場合で説明したが、IGBT(Insulated Gate Bipolar Transistor: 絶縁ゲート型バイポーラトランジスタ)、BJT(Bipolar Junction Transistor: バイポーラ型トランジスタ)、または、他の適切なトランジスタを用いてもよい。

40

また、本実施形態では、スイッチング素子Q1～Q4の導通損の削減のためには、低オン抵抗のスイッチング素子を用いる必要があり、SiC(Silicon Carbide)、GaN(Gallium Nitride)などのパワー半導体トランジスタを用いてもよい。

【0091】

さらに、第1～第6実施形態において、制御回路は、アナログ制御による演算でも、デジタル制御による演算でも、またアナログとデジタルを混載した制御で実現してもよい。

デジタル制御の場合には、マイコン、DSP(Digital Signal Processor)、ASIC等を使用することができる。

【0092】

50

(本発明、本実施形態の補足)

以上、本発明は入力電流と出力電圧の情報を用いて小電流領域は不連続モードで、大電流領域は連続モードに移行する入力電流波形制御の力率改善制御に、中間電圧と負荷電流の情報を用いて中間電圧制御を加えて、中間電圧を設定値に一定に制御することにより、交流電源の全電圧領域に亘って入力電流波形が正弦波状に再現されるので、高い力率(98%以上)が得られる。

また、本実施形態のワンコンバータの電力変換装置は、2コンバータの電力変換装置よりコンバータ段数と構成部品点数が少なく、定格負荷時の大電流領域で連続モードとなるため低損失化が図れるので、装置の低コスト化、高効率化が図れる利点がある。

また、前述した、出力電圧制御回路と、中間電圧制御回路と、力率改善制御回路と、による制御方法は、ワンコンバータのみならず、2コンバータの電力変換装置においても適用できる。

また、第1～第6実施形態の電力変換装置はこの他、図示しないが、各種産業応用機器用電力変換装置や、通信情報機器用電力変換装置や、汎用の絶縁型AC-DCコンバータ、などへ応用展開ができる。

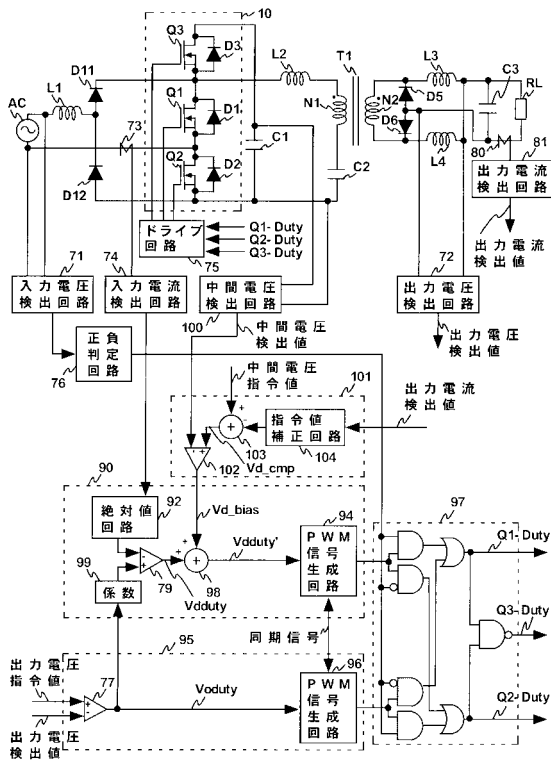
【符号の説明】

【0093】

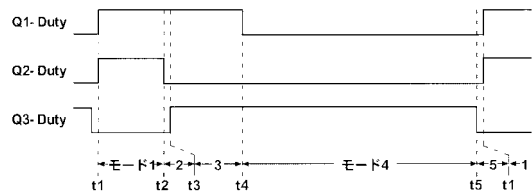
AC	交流電源、交流電圧	
AC-1、AC-2	ACライン、交流配電線	
AC-DC1、AC-DC2	AC-DCコンバータ	20
BUPS	バックアップ電源	
C1～C4、C21、C22、Cc1、Cc2	キャパシタ	
DC-DC1～DC-DCn、DC-DC11～DC-DC1m	非絶縁型DC-DCコンバータ	
D1～D8、D11～D14、D21～D23、D25、D26	ダイオード	
HDD1～HDDm	HDD装置	
Iin、Iin2	入力電流	
L1～L4、L21～L24	インダクタ	
N1、N21	一次巻線	
N2、N3、N22、N23	二次巻線	30
Q1～Q4、Q7～Q8、Q21～Q23	スイッチング素子、半導体スイッチング素子	
RL	負荷	
Vd	中間電圧	
Vd_bias	中間電圧偏差	
Vd_cmp	新たな中間電圧指令値	
Vdduty	入力電流偏差	
Vdduty'	新たな入力電流偏差	
Voduty	出力電圧偏差	
V1	DC電圧	
10	主スイッチ回路部	40
71	入力電圧検出回路	
72	出力電圧検出回路	
73、80	電流センサ	
74	入力電流検出回路	
75、275	ドライブ回路(制御回路の一部)	
76	正負判定回路(制御回路の一部)	
77、79、102	比較増幅器	
81	出力電流検出回路	
90	力率改善制御回路(制御回路の一部)	
92	絶対値回路	50

- 9 4 P W M 信号生成回路 (第 2 の P W M 信号生成回路)
- 9 6 P W M 信号生成回路 (第 1 の P W M 信号生成回路)
- 9 5 出力電圧制御回路 (制御回路の一部)
- 9 7 ドライブ信号生成回路 (制御回路の一部)
- 9 8、1 0 3 加算器
- 9 9 係数回路
- 1 0 0 中間電圧検出回路
- 1 0 1 中間電圧制御回路 (制御回路の一部)
- 1 0 4 指令値補正回路
- 2 0 1 アクティブクランプ回路
- 5 0 1 力率改善コンバータ
- 5 0 2 D C - D C コンバータ

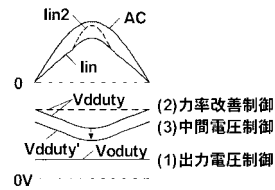
【 図 1 】



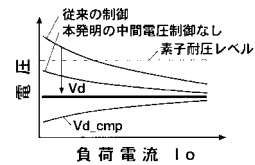
【 図 2 】



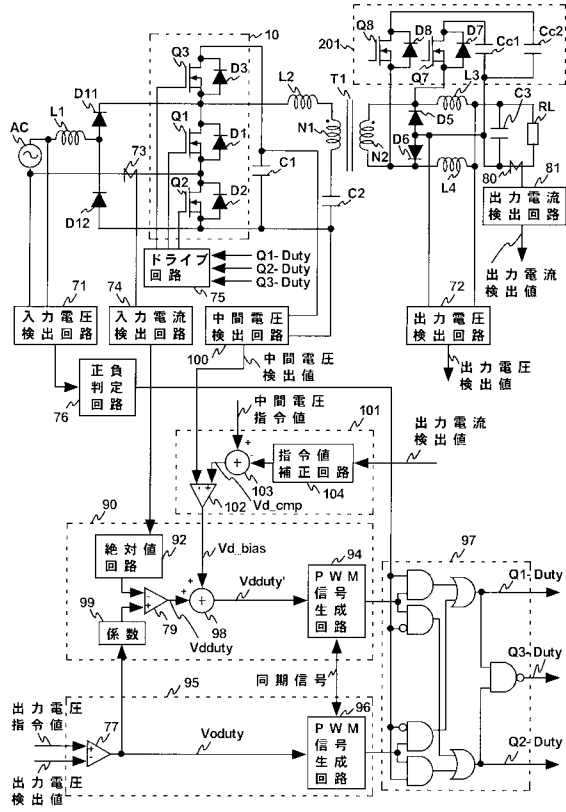
【 図 3 】



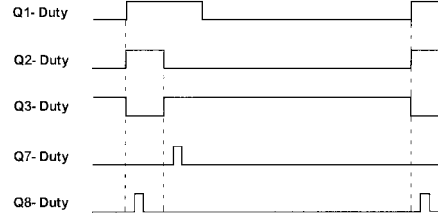
【 図 4 】



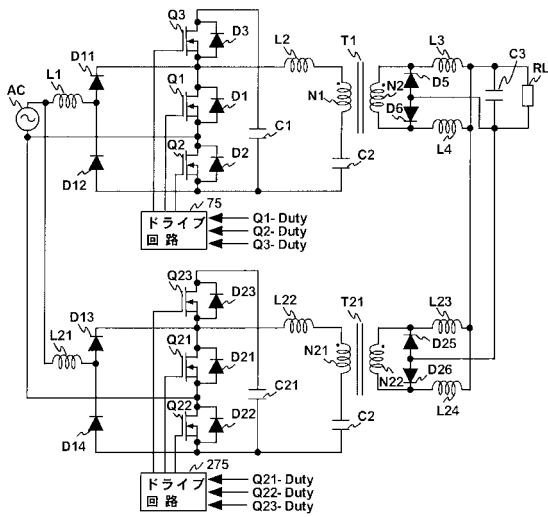
【図5】



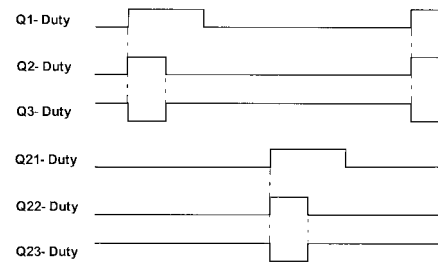
【図6】



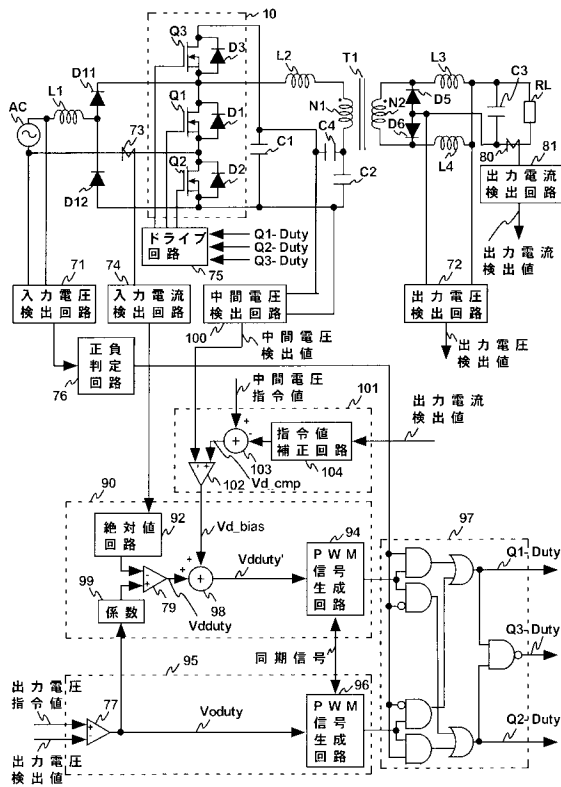
【図7】



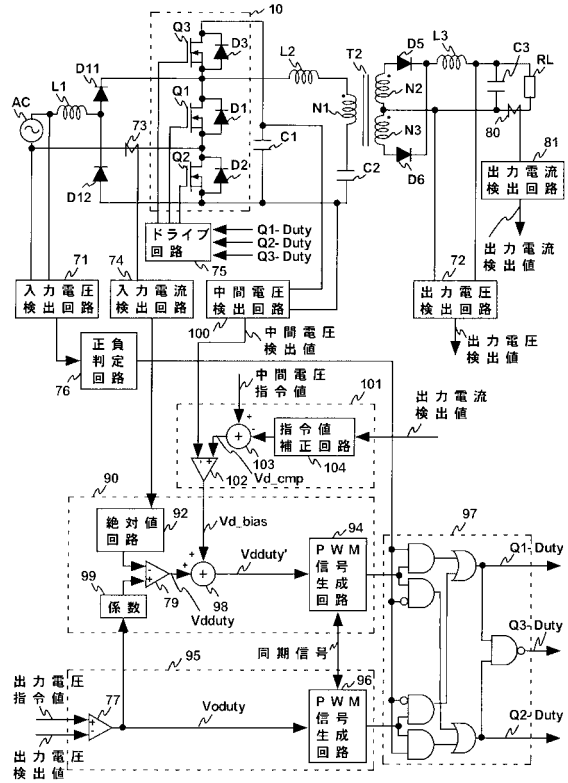
【図8】



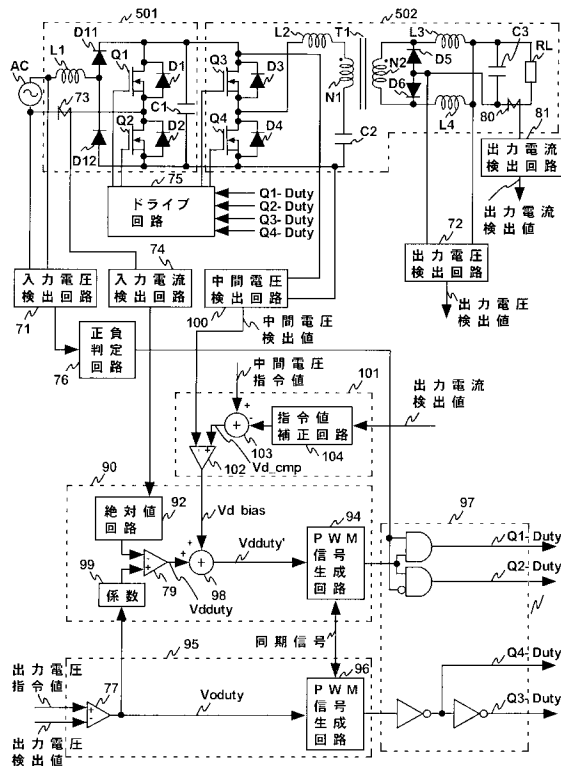
【図9】



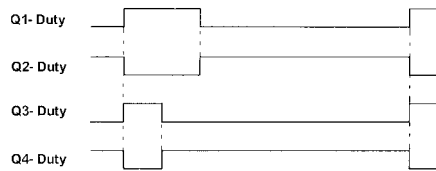
【図10】



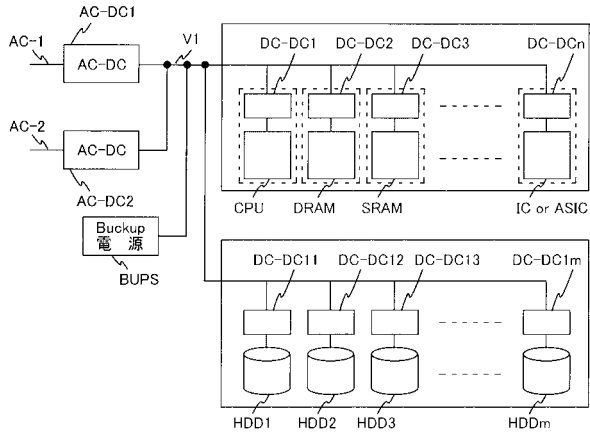
【図11】



【図12】



【図13】



フロントページの続き

(51)Int.Cl. F I
G 1 1 B 33/12 3 1 3 C

(72)発明者 露木 洋輔
神奈川県小田原市中里322番2号 株式会社日立製作所 RAIDシステム事業部内

(72)発明者 庄司 浩幸
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所 日立研究所内

審査官 安食 泰秀

(56)参考文献 特開2008-289228(JP,A)
特開2004-248441(JP,A)
特開2011-166949(JP,A)
特開2011-035957(JP,A)
特開2003-023775(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 2 M 7 / 1 2
G 1 1 B 3 3 / 1 2
H 0 2 M 3 / 2 8