



(21) 申請案號：107132034 (22) 申請日：中華民國 107 (2018) 年 09 月 12 日

(51) Int. Cl. : *H01L29/06 (2006.01)* *H01L21/336 (2006.01)*
H01L29/66 (2006.01) *H01L29/423 (2006.01)*

(30) 優先權：2017/09/12 美國 62/557,204
 2018/08/09 美國 16/059,196

(71) 申請人：聯發科技股份有限公司 (中華民國) MEDIATEK INC. (TW)
 新竹市篤行一路 1 號

(72) 發明人：曹博昭 TSAO, PO-CHAO (TW)

(74) 代理人：洪澄文

申請實體審查：有 申請專利範圍項數：12 項 圖式數：3 共 37 頁

(54) 名稱

積體電路、半導體結構及其製造方法

A INTEGRATED CIRCUIT AND A SEMICONDUCTOR STRUCTURE AND METHOD FOR
 MANUFACTURING THE SAME

(57) 摘要

本發明公開一種積體電路、半導體結構及其製造方法，該半導體結構包括：淺溝槽隔離區域，在基板的阱區域上；複數個電晶體，每個電晶體包括：至少一個鰭片，形成在該阱區域上，並沿第一方向延伸；閘電極，形成在鰭片上並沿垂直於該第一方向的第二方向延伸；以及摻雜區域，形成在該鰭片上；以及該半導體結構還包括：電源軌，形成在該淺溝槽隔離區域中並且在該電晶體的摻雜區域的下層級，並且沿該第一方向延伸；其中每個摻雜區域電連接到該電源軌，以形成相應的電晶體的源極區域，並且該電源軌電連接到該基板的阱區域。

A semiconductor structure is provided. The semiconductor structure includes a shallow trench isolation (STI) region on a well region of a substrate, a plurality of transistors, and a power rail. Each of the transistors includes at least one fin, a gate electrode formed on the fin, and a doping region formed on the fin. The fin is formed on the well region, and is extending in a first direction. The gate electrode is extending in a second direction that is perpendicular to the first direction. The power rail is formed in the STI region and below the doping regions of the transistors, and extending in the first direction. Each of the doping regions is electrically connected to the power rail, so as to form a source region of the respective transistor. The power rail is electrically connected to the well region of the substrate.

指定代表圖：

【發明說明書】

【中文發明名稱】積體電路、半導體結構及其製造方法

【英文發明名稱】A INTEGRATED CIRCUIT AND A SEMICONDUCTOR
STRUCTURE AND METHOD FOR MANUFACTURING THE
SAME

【技術領域】

【0001】 本發明涉及半導體技術領域，尤其涉及一種積體電路、半導體結構及其製造方法。

【先前技術】

【0002】 半導體器件用於各種電子應用，例如個人電腦，蜂窩電話（cell phone），數碼相機和其他電子設備。半導體器件通常透過在半導體基板上按順序地沉積絕緣或介電層，導電層和半導體材料層，並使用光刻圖案化各種材料層以在半導體基板上形成電路部件和元件來製造。

【0003】 由於各種電子元件（例如電晶體，二極體，電阻器，電容器等）的整合密度（integration density）的改善，半導體工業經歷了快速增長。在大多數情況下，這種整合密度的改善來自於縮小半導體製程節點（node），例如半導體製程從16奈米縮小到10奈米。

【0004】 隨著對小型化，更高速度，更大頻寬，更低功耗和更低延遲的日益增長的需求，晶片佈局變得更加複雜並且更加難以在半導體晶粒的生產製造中實現。例如，其中的困難之一是佈線（routing）區域逐漸減少。

【發明內容】

【0005】 有鑑於此，本發明提供一種半導體封裝結構，以增加佈線區域，方便佈線並降低佈線的複雜性。

【0006】 根據本發明的第一方面，公開一種半導體結構，包括：
淺溝槽隔離區域，在基板的阱區域上；
複數個電晶體，每個電晶體包括：
至少一個鱗片，形成在該阱區域上，並沿第一方向延伸；
閘電極，形成在該鱗片上並沿垂直於該第一方向的第二方向延伸；以及
摻雜區域，形成在該鱗片上；以及
該半導體結構還包括：
電源軌，形成在該淺溝槽隔離區域中並且在該電晶體的摻雜區域的下層級，並且沿該第一方向延伸；
其中每個摻雜區域電連接到該電源軌，以形成相應的電晶體的源極區域，並且該電源軌電連接到該基板的阱區域。

【0007】 根據本發明的第二方面，公開一種積體電路，包括：
基板；
N型阱區域，在該基板上；
P型阱區域，在該基板上；
淺溝槽隔離區域，在該P型阱區域和該N型阱區域上；
層間介電層，在該淺溝槽隔離區域區域上；
至少一個PMOS電晶體，形成在該N型阱區域上方；以及
至少一個NMOS電晶體，形成在該P型阱區域上方，其中該PMOS電晶體透過該淺溝槽隔離區域和該層間介電層與該NMOS電晶體分隔開；
該積體電路還包括：
VDD線，形成在該N型阱區域上方和該層間介電層的下層級的該淺溝槽隔離區域中，並且電連接到該PMOS電晶體的源極區域；以及

VSS線，形成在該P型阱區域上方和該層間介電層的下層級的該淺溝槽隔離區域中，並且電連接到該NMOS電晶體的源極區域。

【0008】 根據本發明的第三方面，公開一種半導體結構的製造方法，包括：
提供基板；

在該基板上的阱區域上形成至少一個鰭片和至少一個虛設鰭片，其中該鰭片和該虛設鰭片與第一方向平行，該虛設鰭片比該鰭片寬；

在該基板上形成淺溝槽隔離區域，其中該鰭片和該虛設鰭片透過該淺溝槽隔離區域彼此分隔開；

去除該虛設鰭片以在該淺溝槽隔離區域中形成溝槽；以及
使用該溝槽在該阱區域上形成電源軌。

【0009】 本發明提供的半導體結構由於電源軌形成在該淺溝槽隔離區域中並且在該電晶體的摻雜區域的下層級，充分利用了淺溝槽隔離區域的空間，嵌入後的電源軌不佔用淺溝槽隔離區域之外的區域和空間，可以使用連接到嵌入式電源軌的源極/漏極接觸上方的更大區域用於佈線，從而留出更多用於佈線的區域和空間，使佈線更加方便、簡易和容易操作，同時降低了佈線複雜性並加速了IC的設計。

【圖式簡單說明】

【0010】

透過閱讀後續的詳細描述和實施例可以更全面地理解本發明，本實施例參照附圖給出，其中：

第1A-1E圖示出了根據本發明實施例的半導體結構不同層級的佈局的框圖；

第2圖示出了根據本發明實施例的沿第1E圖的剖面線AA-A的半導體結構的剖視圖；

第3A-3H圖示出了根據本發明實施例的形成半導體結構的各個階段的橫截面表示。

【實施方式】

【0011】 以下描述為本發明實施的較佳實施例。以下實施例僅用來例舉闡釋本發明的技術特徵，並非用來限制本發明的範疇。在通篇說明書及申請專利範圍當中使用了某些詞彙來指稱特定的元件。所屬領域技術人員應可理解，製造商可能會用不同的名詞來稱呼同樣的元件。本說明書及申請專利範圍並不以名稱的差異來作為區別元件的方式，而係以元件在功能上的差異來作為區別的基準。本發明的範圍應當參考後附的申請專利範圍來確定。本發明中使用的術語“元件”、“系統”和“裝置”可以係與電腦相關的實體，其中，該電腦可以係硬體、軟體、或硬體和軟體的接合。在以下描述和申請專利範圍當中所提及的術語“包含”和“包括”為開放式用語，故應解釋成“包含，但不限定於...”的意思。此外，術語“耦接”意指間接或直接的電氣連接。因此，若文中描述一個裝置耦接至另一裝置，則代表該裝置可直接電氣連接於該另一裝置，或者透過其它裝置或連接手段間接地電氣連接至該另一裝置。

【0012】 對這些實施例進行了詳細的描述係為了使本領域的技術人員能夠實施這些實施例，並且應當理解，在不脫離本發明的精神和範圍情況下，可以利用其他實施例進行機械、化學、電氣和程式上的改變。因此，以下詳細描述並非係限制性的，並且本發明的實施例的範圍僅由所附申請專利範圍限定。

【0013】 下面將參考特定實施例並且參考某些附圖來描述本發明，但係本發明不限於此，並且僅由申請專利範圍限制。所描述的附圖僅係示意性的而並非限制性的。在附圖中，為了說明的目的，一些元件的尺寸可能被誇大，而不係按比例繪製。在本發明的實踐中，尺寸和相對尺寸不對應於實際尺寸。

【0014】 此外，本文可以使用空間相對術語，例如“下方”，“上方”等，

以便於描述如圖所示的一個元件或特徵與另一個元件或特徵之關的關係。

【0015】 第1A-1E圖示出了半導體結構100不同層級的佈局的框圖，同時也示出了積體電路（IC）不同層級的佈局的特徵，為了清楚起見，連續地描述了這些特徵。

【0016】 在第1A圖中，P型阱區域15_1設置在半導體結構100的中間，並且兩個N型阱區域10_1和10_2位於P型阱區域15_1的兩側。鰭片20_1和20_2形成在N型阱區域10_1上，鰭片20_3、20_4、20_5和20_6形成在P型阱區域15_1上，並且鰭片20_7和20_8形成在N型阱區域10_2上。鰭片20_1至20_8均與X方向平行。

【0017】 在第1B圖中，閘電極30_1至30_17（包括閘電極30_1、30_2、30_3、30_4、30_5、30_6、30_7、30_8、30_9、30_10、30_11、30_12、30_13、30_14、30_15、30_16和30_17）與Y方向平行佈置，並且Y方向垂直於X方向。半導體結構中包括複數個PMOS電晶體P1至P6（包括電晶體P1、P2、P3、P4、P5和P6），其中PMOS電晶體P1至P6分別包括對應的閘電極30_1至30_6和下面的鰭片20_1和20_2，當然還可以包括在第1B圖未示出的位於鰭片20_1和20_2上的摻雜區域（形成源極區域和漏極區域），這樣PMOS電晶體P1至P6就形成在N型阱區域10_1的上方。此外，半導體結構中還包括複數個NMOS電晶體N1至N6（包括電晶體N1、N2、N3、N4、N5和N6），其中NMOS電晶體N1至N6分別包括對應的閘電極30_2、30_4和30_7至30_9和下面的鰭片20_3和20_4，當然還可以包括在第1B圖未示出的位於鰭片20_3和20_4上的摻雜區域（形成源極區域和漏極區域），這樣NMOS電晶體N1至N6就形成在P型阱區域15_1的上方；並且半導體結構中還包括數個NMOS電晶體N7至N12（包括電晶體N7、N8、N9、N10、N11和N12），其中NMOS電晶體N7至N12分別包括對應的閘電極30_10至30_15和下面的鰭片20_5和20_6，當然還可以包括在第1B圖未示出的位於鰭片20_5和20_6上的摻雜區域（形成源極區域和漏極區域），這樣NMOS電晶體N7至N12

就形成在P型阱區域15_1的上方。此外，半導體結構中還包括複數個PMOS電晶體P7至P12（包括電晶體N7、N8、N9、N10、N11和N12），其中PMOS電晶體P7至P12分別包括對應的閘電極30_10至30_12，30_14，30_16和30_17和下面的鰭片20_7和20_8，當然還可以包括在第1B圖未示出的位於鰭片20_7和20_8上的摻雜區域（形成源極區域和漏極區域），這樣PMOS電晶體P7至P12就形成在N型阱區域10_2的上方。在本實施例中，PMOS電晶體P1至P12和NMOS電晶體N1至N12是雙鰭式場效應電晶體（FET，dual-fin Field Effect Transistor），例如包括兩個鰭片20_1和20_2，兩個鰭片20_3和20_4，兩個鰭片20_5和20_6，兩個鰭片20_7和20_8。在一些實施例中，PMOS電晶體P1至P12和NMOS電晶體N1至N12是單鰭FET（single-fin FET），例如僅包括鰭片20_1而未設有鰭片20_2，僅包括鰭片20_4而未設有鰭片20_3，僅包括鰭片20_5而未設有鰭片20_6，僅包括鰭片20_7而未設有鰭片20_8。在一些實施例中，閘電極30_1至30_17下方的鰭片的數量可以相同或不同。此外，每個閘電極能夠透過IC中的相應的閘極接觸（也稱為接觸插塞）連接到上層級（overlying level），例如連接到下述的導線60_1至60_6或/和通孔65_1至65_8。

【0018】 在第1B圖中，閘電極30_2由PMOS電晶體P2和NMOS電晶體N2共用。閘電極30_4由PMOS電晶體P4和NMOS電晶體N4共用。閘電極30_6由PMOS電晶體P6和NMOS電晶體N6共用。閘電極30_10由PMOS電晶體P7和NMOS電晶體N7共用。閘電極30_11由PMOS電晶體P8和NMOS電晶體N8共用。閘電極30_12由PMOS電晶體P9和NMOS電晶體N9共用。閘電極30_14由PMOS電晶體P11和NMOS電晶體N11共用。

【0019】 在第1C圖中，電源軌（power rail）40_1至40_3（包括電源軌40_1、40_2和40_3）與X方向平行佈置，並形成在IC製造的前段（FEOL，front end of line）製程中。與由IC製造的後段（BEOL，back end of line）製程中形成的金屬層所形成的傳統電源軌相比，電源軌40_1至40_3是嵌入在淺溝槽隔離（STI，shallow

trench isolation) 區域中的掩埋電源軌，因此電源軌不佔用佈線空間，可以使用連接到嵌入式電源軌的源極/漏極接觸上方的更大區域用於佈線，從而降低了佈線複雜性並加速了IC的設計。電源軌40_1形成在N型阱區域10_1上方，並且配置為電連接到正極電源線（例如VDD線）。類似地，電源軌40_3形成在N型阱區域10_2上方，並且配置為電連接到正極電源線（例如VDD線）。電源軌40_2形成在P型阱區域15_1上方，並且配置為電連接到接地線（例如VSS線）。

【0020】 在第1D圖中，源極/漏極接觸（contact）50_1至50_22（包括源極/漏極接觸50_1、50_2、50_3、50_4、50_5、50_6、50_7、50_8、50_9、50_10、50_11、50_12、50_13、50_14、50_15、50_16、50_17、50_18、50_19、50_20、50_21和50_22）與Y方向平行佈置。每個源極/漏極接觸設置在兩個相鄰的閘電極之間。例如，源極/漏極接觸50_1設置在閘電極30_1和30_2之間，源極/漏極接觸50_2設置在閘電極30_2和30_3之間。因此，閘電極30_2設置在源極/漏極接觸50_1和50_2之間。此外，如同閘電極能耦合到相應的閘極接觸，每個源極/漏極接觸（也稱為“接觸”）能夠將相應的電晶體的源極/漏極區域（例如，第2圖所示的P型摻雜區域25_1，25_2以及N型摻雜區域27_1，27_2）連接到上層級（例如下述的導線60_1至60_6或/和通孔65_1至65_8）。需要說明的是，在未確定電晶體的類型（例如為PMOS電晶體或NMOS電晶體）時，電晶體的源極區域和漏極區域並沒有確定下來，因此電晶體的源極/漏極區域中的任何一個均可作為源極區域，而另一個相應的作為漏極區域。同樣的，在未確定電晶體的類型時，源極接觸和漏極接觸也不能確定下來。而當確定了電晶體的類型時，就可以將相應的源極區域連接到電源軌，而另一端就是漏極區域了，而相應的，與源極區域連接或耦合的就是源極接觸，與漏極區域連接或耦合的就是漏極接觸。所以對於一個源極/漏極區域來說，可能是源極區域也可能是漏極區域，同時對於一個源極/漏極接觸來說，可能是源極接觸也可能是漏極接觸，這需要根據電晶體的類型（例如為PMOS電晶體或NMOS電晶體）確定。當然在確定電晶體的類

型之後，對應的電源軌的電源類型（例如為VDD線或VSS線）也需要相應的確定下來。例如對於PMOS電晶體，它的源極區域是連接到VDD線的，因此PMOS電晶體的電源軌是連接到VDD線的。對於NMOS電晶體，它的源極區域是連接到VSS線的，因此NMOS電晶體的電源軌是連接到VSS線的。例如本實施例中，對於PMOS電晶體P2，已經確定電晶體P2為PMOS電晶體，因此源極區域連接的是VDD線（例如電源軌40_1連接到VDD線），而我們可以看到源極/漏極接觸50_1連接到了電源軌40_1（例如透過下述的下延伸接觸55連接到電源軌40_1），因此可以確定與源極/漏極接觸50_1連接的是PMOS電晶體P2的源極區域（該源極區域透過源極/漏極接觸50_1連接到了電源軌40_1），此時也可以確定源極/漏極接觸50_1就是源極接觸。同時可知源極/漏極接觸50_2就是漏極接觸，並且與源極/漏極接觸50_2（漏極接觸）連接的是PMOS電晶體P2的漏極區域。因此，綜上所述，PMOS電晶體P2的閘極區域可以是閘電極30_2，源極區域耦合到源極/漏極接觸50_1（源極接觸）以及漏極區域耦合到源極/漏極接觸50_2（漏極接觸），也就是說，對於PMOS電晶體P2，它的源極區域與源極/漏極接觸50_1（源極接觸）電連接，並且位於源極/漏極接觸50_1（源極接觸）的一側，它的漏極區域與源極/漏極接觸50_2（漏極接觸）電連接，並且位於源極/漏極接觸50_2（漏極接觸）的一側。此外源極/漏極接觸50_1至50_22可採用導電材料。

【0021】 在第1D圖中，源極/漏極接觸50_1和50_4在電源軌40_1上方延伸並且透過下延伸接觸55向下連接到電源軌40_1。以PMOS電晶體P1為例，PMOS電晶體P1包括閘電極30_1和下面的鰭片20_1和20_2，以及在第1D圖中未示出的源極區域（例如第2圖所示的P型摻雜區域25_1，25_2）和漏極區域（例如第2圖所示的P型摻雜區域25_1，25_2），其中源極區域和漏極區域可以分別在閘電極30_1的兩側，而由於源極/漏極接觸50_1與電源軌40_1電連接，因此可以確定源極/漏極接觸50_1所在的一側可以設置為PMOS電晶體P1的源極區域所在的一側，該源極區域與源極/漏極接觸50_1電連接（此時可以確定源極/漏極接觸50_1

為源極接觸），從而電連接到電源軌40_1。類似的，可以確定PMOS電晶體P2的源極區域也在源極/漏極接觸50_1的一側，並且與源極/漏極接觸50_1（此時可以確定源極/漏極接觸50_1為源極接觸）電連接，從而電連接到電源軌40_1。此外，類似的，PMOS電晶體P4的源極區域可以在源極/漏極接觸50_4的一側，並且與源極/漏極接觸50_4（此時可以確定源極/漏極接觸50_4為源極接觸）電連接，從而電連接到電源軌40_1；PMOS電晶體P5的源極區域可以在源極/漏極接觸50_4（此時可以確定源極/漏極接觸50_4為源極接觸）的一側，並且與源極/漏極接觸50_4電連接，從而電連接到電源軌40_1。因此PMOS電晶體P1，P2，P4和P5的源極區域透過電源軌40_1和相應的源極/漏極接觸耦合到正極電源線（例如VDD線）。例如，對於PMOS電晶體P1，PMOS電晶體P1的源極區域透過源極/漏極接觸50_1（源極接觸）耦合到電源軌40_1。類似地，源極/漏極接觸50_18，50_20和50_22（均為源極接觸）在電源軌40_3上方延伸並透過下延伸接觸55向下連接到電源軌40_3，因此PMOS電晶體P8至P12的源極區域透過電源軌40_3和相應的源極/漏極接觸（源極接觸）耦合到正極電源線（例如VDD線）。此外，源極/漏極接觸50_7和50_10延伸以穿過電源軌40_2並透過下延伸接觸55向下連接到電源軌40_2（此時可以確定源極/漏極接觸50_7和50_10均為源極接觸），因此NMOS電晶體N1，N2，N4，N5，N7，N8，N10和N11的源極區域透過電源軌40_2和相應的源極/漏極接觸（源極接觸）耦合到接地線（例如VSS線）。例如，對於NMOS電晶體N11，NMOS電晶體N11的源極區域透過源極/漏極接觸50_10（此時可以確定源極/漏極接觸50_10為源極接觸）耦合到電源軌40_2。

【0022】 在第1E圖中，導線60_1至60_6（包括導線60_1、60_2、60_3、60_4、60_5和60_6）與X方向平行佈置。為了簡化描述，在第1E圖中僅示出了導線60_1至60_6，並且省略了其他導線（例如其他連接上下層級之間的導線）。導線60_1設置在電源軌40_1上方，並且導線60_1透過通孔65_1和65_2以及對應的源極/漏極接觸50_1和50_4（均為源極接觸）耦接到電源軌40_1，其中導線60_1

可以提供源極電壓，例如透過與電源軌40_1的連接為電晶體P1和P2提供源極電壓，源極/漏極接觸50_2可以連接到電晶體P2的漏極區域（此時可以確定源極/漏極接觸50_2為漏極接觸），電晶體P2的漏極區域可以透過源極/漏極接觸50_2（漏極接觸）連接到其他電晶體的閘電極或其他電晶體的源極區域，或者接地，或者連接到其他位置等。此外，通孔65_1和65_2設置在下延伸接觸55上方。通孔65_3連接在閘電極30_1和導線60_2之間，用於將PMOS電晶體P1的閘極區域（例如閘電極30_1）電連接到導線60_2，其中導線60_2可以提供閘極電壓，例如為電晶體P1提供閘極電壓。通孔65_4連接在閘電極30_2和導線60_3之間，用於將PMOS電晶體P1和NMOS電晶體N2的閘極區域（例如閘電極30_2）電連接到導線60_3，其中導線60_3可以提供閘極電壓，例如為電晶體P2提供閘極電壓。通孔65_5連接在源極/漏極接觸50_8（漏極接觸）和導線60_4之間，用於將NMOS電晶體N2的漏極區域電連接到導線60_4。導線60_5設置在電源軌40_2上方，並且導線60_5透過通孔65_6和65_7以及相應的源極/漏極接觸50_7和50_10（均為源極接觸）耦合到電源軌40_2，其中導線60_5可以提供源極電壓，例如為電晶體N2提供源極電壓。此外導線60_4連接到電晶體N2的漏極區域，電晶體N2的漏極區域可以透過導線60_4連接到其他電晶體的閘電極或其他電晶體的源極區域，或者連接到其他位置。本實施例中電晶體的漏極區域可以根據需要連接到具體所需的位置，例如連接到其他電晶體的閘電極、源極區域或接地，或連接到其他位置等等，因此漏極區域的連接並沒有具體的限制。此外，通孔65_6和65_7設置在下延伸接觸55上方。

【0023】 在第1E圖中，導線60_6設置在電源軌40_3上方，並且導線60_6透過通孔65_8和對應的源極/漏極接觸50_20電連接到電源軌40_3，導線60_6可以提供源極電壓，例如為電晶體P10和P11提供源極電壓（此時可以確定源極/漏極接觸50_20為源極接觸）。此外在第1D圖和第1E圖中省略了一些連線，例如源極/漏極接觸50_5（漏極接觸）可以連接到電源軌40_1，源極/漏極接觸50_12可以

連接到電源軌40_2（這樣源極/漏極接觸50_12可為源極接觸），源極/漏極接觸50_15可以連接到電源軌40_3等等。此外，通孔65_8設置在電源軌40_3上的下延伸接觸55中的一個之上。在本實施例中，僅使用通孔65_8將導線60_6連接到電源軌40_3。然而，源極/漏極接觸50_18和50_22透過相應的下延伸接觸55連接到電源軌40_3。因此，源極/漏極接觸50_18和50_22（均為源極接觸）也電連接到導線60_6。由於沒有通孔且沒有導電線（或導線）佈置在源極/漏極接觸50_18和50_22（均為源極接觸）上，而且導線60_6的尺寸小於電源軌40_3的尺寸（例如導線60_6的長度小於電源軌40_3的長度，當然寬度也可以小於），導線60_6沒有覆蓋到源極/漏極接觸50_18和50_22（均為源極接觸）上方的區域，所以源極/漏極接觸50_18和50_22（均為源極接觸）上方的區域可用於為不同於電力線（例如VDD線或VSS線）的訊號線（例如用於傳送資料訊號的導線）提供額外的佈線區域，從而降低佈局複雜性。此外，導線60_1和60_5也可以將尺寸設計的較小，例如使導線60_1的尺寸（例如長度和/或寬度）小於（或顯著小於）電源軌40_1的尺寸（例如長度和/或寬度），使導線60_5的尺寸（例如長度和/或寬度）小於（或顯著小於）電源軌40_2的尺寸（例如長度和/或寬度）。例如導線60_1包括兩部分，兩部分的尺寸均與通孔55的尺寸大致相同（也可以小於或稍大於），從而連接到電源軌40_1即可。這樣就可以透過縮小導線的尺寸來減少導線佔用的區域和空間，從而為其他的佈線留下更多的區域，方便佈線。此外，導線60_6和60_1透過導電線60_6和60_1上方的上導線和上導線之間的通孔耦合在一起。

【0024】 第2圖示出了根據本發明的實施例的沿第1E圖的剖面線AA-A的半導體結構100的橫截面圖。N型阱區域10_1和P型阱區域15_1形成在基板210上。在一些實施例中，基板210是Si（矽）基板。鰭片20_1和20_2形成在N型阱區域10_1上。在一些實施例中，鰭片20_1和20_2包括適當濃度的摻雜劑（例如n型摻雜劑，如磷（例如31P），砷或它們的組合）。鰭片20_3和20_4形成在P型

阱區域15_1上。在一些實施例中，鰭片20_3和20_4包括適當濃度的摻雜劑（例如P型摻雜劑，如硼（例如10B或/和11B），氟化硼（BF₂）或它們的組合）。鰭片20_1至20_4透過淺溝槽隔離（STI，shallow trench isolation）區域220彼此分隔開。

【0025】 電源軌40_1形成在N型阱區域10_1上，並且電源軌40_2形成在P型阱區域15_1上。電源軌40_1和40_2透過STI區域220與鰭片20_1至20_4分隔開。此外，電源軌40_1和40_2與STI區域220，N型阱區域10_1和P型阱區域15_1由屏障層45分隔開。屏障層45可採用導電材料，因此電源軌40_1與N型阱區域10_1之間電連接，電源軌40_2與P型阱區域15_1之間電連接。屏障層45可以是金屬材料，可以防止物質（例如摻雜劑等）的擴散。

【0026】 在STI區域220上方形成層間介電（ILD，Inter-Layer Dielectric）層230。ILD層230可以由例如磷矽酸鹽玻璃（PSG，Phospho-Silicate Glass），硼矽酸鹽玻璃（BSG，Boro-Silicate Glass），硼摻雜的磷矽酸鹽玻璃（BPSG，Boron-Doped Phospho-Silicate Glass），四乙基正矽酸鹽（TEOS，Tetra Ethyl Ortho Silicate）氧化物等形成。P型摻雜區域25_1和25_2形成鰭片20_1和20_2上的源極/漏極區域（例如為PMOS電晶體P1的源極/漏極區域（此時可以確定為源極區域），與源極/漏極接觸50_1（此時可以確定為源極接觸）電連接，當然第2圖是沿第1E圖中AA-A截取的，因此第2圖中顯示的P型摻雜區域25_1和25_2可以是源極區域），並且N型摻雜區域27_1和27_2形成鰭片20_3和20_4上的源極/漏極區域（例如為PMOS電晶體N1的源極/漏極區域（此時可以確定為源極區域），與源極/漏極接觸50_7（此時可以確定為源極接觸）電連接，當然第2圖是沿第1E圖中AA-A截取的，因此第2圖中顯示的N型摻雜區域27_1和27_2可以是源極區域）。在一些實施例中，N型摻雜區域27_1和27_2的材料包括外延（epitaxy）輪廓。外延輪廓的材料選自含SiP物質，含SiC物質，SiPC，SiAs，Si或它們的組合。此外，P型摻雜區域25_1和25_2的材料包括外延輪廓。外延輪廓的材料選自含

SiGe物質，含SiGeC物質，含Ge物質或它們的組合。

【0027】 源極/漏極接觸50_1（源極接觸）形成在與鰭片20_1和20_2對應的P型摻雜區域25_1和25_2的周圍。源極/漏極接觸50_1（源極接觸）透過下延伸接觸55電連接到電源軌40_1。類似地，源極/漏極接觸50_7（源極接觸）形成在與鰭片20_3和20_4對應的N型摻雜區域27_1和27_2的周圍。在一些實施例中，源極/漏極接觸50_1（源極接觸）形成在P型摻雜區域25_1和25_2之上，並且源極/漏極接觸50_7（源極接觸）形成在N型摻雜區域27_1和27_2之上。源極/漏極接觸50_7（源極接觸）透過下延伸接觸55電連接到電源軌40_2。源極/漏極接觸50_1和50_7（均為源極接觸）以及相應的下延伸接觸55與ILD層230和STI區域220由阻擋層235分隔開，阻擋層235可採用絕緣材料。應該注意，N型摻雜區域27_1和27_2以及P型摻雜區域25_1和25_2形成在ILD層230中，並且電源軌40_1和40_2形成在STI區域220中。因此，電源軌40_1和40_2設置在N型摻雜區域27_1和27_2以及P型摻雜區域25_1和25_2的下層級。

【0028】 在ILD層230上方形成金屬間介電（IMD，Inter-metallization dielectric）層240。在IMD層240中形成通孔65_1和65_6以及導電線60_1至60_5。在一些實施例中，導電線60_1至60_5是金屬線。源極/漏極接觸50_1（源極接觸）透過通孔65_1電連接到導線60_1，因此電源軌40_1上方的導線60_1電連接到電源軌40_1。類似地，源極/漏極接觸50_7（源極接觸）透過通孔65_6電連接到導線60_5，因此電源軌40_2上方的導線60_5電連接到電源軌40_2。

【0029】 本實施例提供了半導體結構及其製造方法。第3A-3H圖示出了根據本發明實施例的形成半導體結構的各個階段的截面圖。

【0030】 參考第3A圖，本實施例提供了基板210。基板210可以由矽或其他半導體材料製成。在一些實施例中，基板210是晶圓（wafer）。接著，在基板210上形成N型阱區域10_1和P型阱區域15_1。在一些實施例中，N型阱區域10_1可以摻雜有n型摻雜劑，例如磷（P）或者砷（As），並且P型阱區域15_1可以摻

雜有p型摻雜劑，例如硼或BF₂。接著，在N型阱區域10_1和P型阱區域15_1上形成複數個鰭片20和複數個虛設（dummy）鰭片20D。此外，STI區域220形成在N型阱區域10_1和P型阱區域15_1之上。STI區域220是隔離結構，用於限定並且電性隔離鰭片20和虛設鰭片20D（例如包括電性隔離鰭片20與鰭片20、鰭片20與虛設鰭片20D、虛設鰭片20D與虛設鰭片20D等）。應該注意，虛設鰭片20D可以比鰭片20寬，即寬度W₂>寬度W₁，這樣可以讓之後形成電源軌較寬，從而使電源軌的電阻較小，提高電源的利用率。此外，每個鰭片20用於在半導體結構中形成電晶體，並且每個虛設鰭片20D用於形成嵌入在STI區域220中的電源軌。在後續的製程中，虛設鰭片會被移除，再填入電源軌的金屬材料，因此電源軌的形成的位置就在之前虛設鰭片所在位置，這樣就提前將電源軌的形成位置進行了定位，形成所謂的自我對準的製程，使電源軌的位置可以提前預設，更加精確以及方便製造。

【0031】 如第3B圖所示，在半導體結構上完成ILD平坦化。P型摻雜區域25形成在N型阱區域10_1上方的鰭片20上。此外，N型摻雜區域27形成在P型阱區域15_1上方的鰭片20上。在STI區域220上形成ILD層230。在虛設鰭片20D和ILD層230之間形成間隔物237。之後在半導體結構上執行ILD平坦化。

【0032】 在第3C圖中，在虛設鰭片20D上方形成ILD層230的複數個開口250。此外，去除每個虛設鰭片20D上方的間隔物237和ILD層230。

【0033】 在第3D圖中，對半導體結構執行濕法蝕刻製程，以便透過開口250去除N型阱區域10_1和P型阱區域15_1上方的虛設鰭片20D。在N型阱區域10_1和P型阱區域15_1上形成溝槽（trench）255。

【0034】 在第3E圖中，屏障層45和導電層41（其中一部分形成電源軌40）填充溝槽255。屏障層45保護下面的N型阱區域10_1和P型阱區域15_1不接觸導電層41的導電材料（在當稍後形成導電層41時）。屏障層45可以採用導電材料。

【0035】 在第3F圖中，在導電層41上執行化學機械平坦化（CMP，

chemical-mechanical planarization))，然後將溝槽255中的導電層41凹陷到特定高度（或預設高度，即導電軌所需要或所設計的高度）。因此，溝槽255中的剩餘的導電層形成STI區域220中的電源軌40（例如第2圖的40_1和40_2）。此外，電源軌40的高度小於鰭片20的高度。在一些實施例中，電源軌40的高度低於P型摻雜區域25_1和25_2以及N型摻雜區域27_1和27_2的高度。

【0036】 在第3G圖中，執行沉積（deposition）製程以在電源軌40上形成硬掩膜（hard mask）260。接下來，執行中線（MoL，middle-of-line）製程之前的後續製程。例如，在半導體結構的閘電極上執行置換金屬閘極（RMG，replacement metal gate）。

【0037】 在第3H圖中，源極/漏極接觸50a/50b形成在P型摻雜區域25和N型摻雜區域27的周圍。在本實施例中，每個源極/漏極接觸50a/50b耦合到包括雙鰭結構的電晶體的源極/漏極區域。在本實施例中，每個源極/漏極接觸50a透過相應的下延伸接觸55向下連接到相鄰的電源軌40。例如，對於N型阱區域10_1上方的PMOS電晶體M1，源極/漏極接觸50a配置為連接PMOS電晶體M1的源極區域（例如，右側的、靠內的P型摻雜區域25）。因此，PMOS電晶體M1的源極區域透過源極/漏極接觸50a和相應的下延伸接觸55在N型阱區域10_1上電連接到電源軌40。此外，N型阱區域10_1也電連接到電源軌40。在一些實施例中，N型阱區域10_1和N型阱區域10_1上的電源軌40耦合到正極電源線（例如VDD線）。類似地，對於P型阱區域15_1上方的NMOS電晶體M2，源極/漏極接觸50a配置為連接NMOS電晶體M2的源極區域（例如，左側的、靠內的N型摻雜區域27）。因此，NMOS電晶體M2的源極區域透過源極/漏極接觸50a和相應的下延伸接觸55電連接到P型阱區域15_1上方的電源軌40。此外，P型阱區域15_1也電連接到電源軌40。在一些實施例中，P型阱區域15_1上方的電源軌40和P型阱區域15_1耦合到接地線（例如VSS線）。此外，第3G圖中硬掩膜260在填入後用化學機械研磨把表面多餘的硬掩膜260去除，只留下在溝槽255內的部分硬掩膜

260。此外，第3H圖所示的截面與之前的第3G圖不是同一處的截面。

【0038】 在先前技術中，電源軌一般設置在較上的層級中（例如設置在導線60_1至60_5之上的層級中），這樣就佔用了其他佈線的區域和空間，增加了佈線的難度和複雜度。根據本實施例，將電源軌設置在STI區域中，並且在該電晶體的摻雜區域的下層級，充分利用了STI區域的空間，嵌入後的電源軌不再佔用STI區域之外的區域和空間，從而留出更多用於佈線的區域和空間，使佈線更加方便、簡易和容易操作。此外本實施例中透過使用虛設鰭片在STI中形成電源軌，這樣就提前將電源軌的形成位置進行了定位，使電源軌的位置可以提前預設，電源軌的位置更加精確以及方便製造。此外本實施例中可以將在電源軌上方的導線的尺寸設置的較小（例如電源軌上方的導線的長度小於電源軌的長度，和/或電源軌上方的導線的寬度小於電源軌的寬度），從而進一步減少電源軌上方的導線對其他佈線區域和空間的佔用，可以留出更多的區域和空間進行佈線。因此本實施例中可以使用連接到嵌入式電源軌的源極/漏極接觸上方的更大區域用於佈局，還可以使用電源軌上方的區域用於佈局或佈線，以用於路由除電源軌之外的訊號（例如資料訊號），從而降低了佈線複雜性並加速了IC的設計。

【0039】 儘管已經對本發明實施例及其優點進行了詳細說明，但應當理解的係，在不脫離本發明的精神以及申請專利範圍所定義的範圍內，可以對本發明進行各種改變、替換和變更。所描述的實施例在所有方面僅用於說明的目的而並非用於限制本發明。本發明的保護範圍當視所附的申請專利範圍所界定者為準。本領域技術人員皆在不脫離本發明之精神以及範圍內做些許更動與潤飾。

【符號說明】

【0040】

100～半導體結構；

10_1、10_2～N型阱區域；

15_1~P型阱區域；

20、20_1、20_2、20_3、20_4、20_5、20_6、20_7、20_8~鱗片；

20D~虛設鱗片；

30_1、30_2、30_3、30_4、30_5、30_6、30_7、30_8、30_9、30_10、30_11、
30_12、30_13、30_14、30_15、30_16、30_17~閘電極；

M1、P1、P2、P3、P4、P5、P6、P7、P8、P9、P10、P11、P12~PMOS電
晶體；

M2、N1、N2、N3、N4、N5、N6、N7、N8、N9、N10、N11、N12~NMOS
電晶體；

40、40_1、40_2、40_3~電源軌；

50a、50b、50_1、50_2、50_3、50_4、50_5、50_6、50_7、50_8、50_9、
50_10、50_11、50_12、50_13、50_14、50_15、50_16、50_17、50_18、50_19、
50_20、50_21和50_22~源極/漏極接觸；

55~下延伸接觸；

60_1、60_2、60_3、60_4、60_5、60_6~導線；

65_1、65_2、65_3、65_4、65_5、65_6、65_7、65_8~通孔；

AA-A~剖面線；

210~基板；

220~淺溝槽隔離區域；

230~層間介電層；

235~阻擋層；

41~導電層；

45~屏障層；

25、25_1、25_2~P型摻雜區域；

27、27_1、27_2～N型摻雜區域；

240～金屬間介電層；

W1、W2～寬度；

237～間隔物；

250～開口；

255～溝槽；

260～硬掩膜。



201914011

【發明摘要】

【中文發明名稱】積體電路、半導體結構及其製造方法

【英文發明名稱】A INTEGRATED CIRCUIT AND A SEMICONDUCTOR
STRUCTURE AND METHOD FOR MANUFACTURING THE
SAME

【中文】

本發明公開一種積體電路、半導體結構及其製造方法，該半導體結構包括：淺溝槽隔離區域，在基板的阱區域上；複數個電晶體，每個電晶體包括：至少一個鰭片，形成在該阱區域上，並沿第一方向延伸；閘電極，形成在鰭片上並沿垂直於該第一方向的第二方向延伸；以及摻雜區域，形成在該鰭片上；以及該半導體結構還包括：電源軌，形成在該淺溝槽隔離區域中並且在該電晶體的摻雜區域的下層級，並且沿該第一方向延伸；其中每個摻雜區域電連接到該電源軌，以形成相應的電晶體的源極區域，並且該電源軌電連接到該基板的阱區域。

【英文】

A semiconductor structure is provided. The semiconductor structure includes a shallow trench isolation (STI) region on a well region of a substrate, a plurality of transistors, and a power rail. Each of the transistors includes at least one fin, a gate electrode formed on the fin, and a doping region formed on the fin. The fin is formed on the well region, and is extending in a first direction. The gate electrode is extending in a second direction that is perpendicular to the first direction. The power rail is formed in the STI region and below the doping regions of the transistors, and

extending in the first direction. Each of the doping regions is electrically connected to the power rail, so as to form a source region of the respective transistor. The power rail is electrically connected to the well region of the substrate.

【指定代表圖】 第1E圖

【代表圖之符號簡單說明】

100～半導體結構；

10_1、10_2～N型阱區域；

15_1～P型阱區域；

20_1、20_2、20_3、20_4、20_5、20_6、20_7、20_8～鰭片；

40_1、40_2、40_3～電源軌；

50_1、50_2、50_3、50_4、50_5、50_6、50_7、50_8、50_9、50_10、50_11、

50_12、50_13、50_14、50_15、50_16、50_17、50_18、50_19、50_20、50_21

和 50_22～源極/漏極接觸；

55～下延伸接觸；

60_1、60_2、60_3、60_4、60_5、60_6～導線；

65_1、65_2、65_3、65_4、65_5、65_6、65_7、65_8～通孔；

AA-A～剖面線。

【特徵化學式】 無

【發明申請專利範圍】

【第1項】 一種半導體結構，包括：

淺溝槽隔離區域，在基板的阱區域上；

複數個電晶體，每個電晶體包括：

至少一個鱗片，形成在該阱區域上，並沿第一方向延伸；

閘電極，形成在該鱗片上並沿垂直於該第一方向的第二方向延伸；以及

摻雜區域，形成在該鱗片上；以及

該半導體結構還包括：

電源軌，形成在該淺溝槽隔離區域中並且在該電晶體的摻雜區域的下層級，且沿該第一方向延伸；

其中每個摻雜區域電連接到該電源軌，以形成相應的電晶體的源極區域，並且該電源軌電連接到該基板的阱區域。

【第2項】 如申請專利範圍第 1 項所述的半導體結構，其中每個電晶體還包括：

源極接觸，從該摻雜區域延伸到該電源軌，

其中該摻雜區域透過該源極接觸電連接到該電源軌。

【第3項】 如申請專利範圍第 1 項所述的半導體結構，其中該電晶體包括 NMOS 電晶體，並且該電源軌耦合到 VSS 線。

【第4項】 如申請專利範圍第 3 項所述的半導體結構，其中該阱區域包括 P 型阱區域，並且該摻雜區域包括 N 型摻雜區域。

【第5項】 如申請專利範圍第 1 項所述的半導體結構，其中該電晶體包括 PMOS 電晶體，並且該電源軌耦合到 VDD 線。

【第6項】 如申請專利範圍第 5 項所述的半導體結構，其中該阱區域包括 N

型阱區域，並且該摻雜區域包括 P 型摻雜區域。

【第7項】如申請專利範圍第 1 項所述的半導體結構，其中該半導體結構還包括導線，位於該電源軌的上方，並且與該摻雜區域和該電源軌電連接，其中該導線的尺寸小於該電源軌的尺寸。

【第8項】一種積體電路，包括：

基板；

N 型阱區域，在該基板上；

P 型阱區域，在該基板上；

淺溝槽隔離區域，在該 P 型阱區域和該 N 型阱區域上；

層間介電層，在該淺溝槽隔離區域區域上；

至少一個 PMOS 電晶體，形成在該 N 型阱區域上方；以及

至少一個 NMOS 電晶體，形成在該 P 型阱區域上方，其中該 PMOS 電晶體透過該淺溝槽隔離區域和該層間介電層與該 NMOS 電晶體分隔開；

該積體電路還包括：

VDD 線，形成在該 N 型阱區域上方和該層間介電層的下層級的該淺溝槽隔離區域中，並且電連接到該 PMOS 電晶體的源極區域；以及

VSS 線，形成在該 P 型阱區域上方和該層間介電層的下層級的該淺溝槽隔離區域中，並且電連接到該 NMOS 電晶體的源極區域。

【第9項】如申請專利範圍第 8 項所述的積體電路，其中該 PMOS 電晶體包括：

至少一個第一鰭片，形成在該 N 型阱區域上，並沿第一方向延伸；

第一閘電極，形成在該第一鰭片上，並沿垂直於該第一方向的第二方向延伸；以及

P 型摻雜區域，在該第一鰭片上，並與該第一閘電極分隔開，

其中，該 VDD 線形成在該 N 型阱區域上方和該 P 型摻雜區域的下層級。

【第10項】 如申請專利範圍第 9 項所述的積體電路，其中該 NMOS 電晶體包括：

至少一個第二鰭片，形成在該 P 型阱區域上，並沿該第一方向延伸；

第二閘電極，形成在該第二鰭片上並沿該第二方向延伸；

N 型摻雜區域，在該第二鰭片上並與該第二閘電極分隔開；

其中，該 VSS 線形成在該 P 型阱區域上方和該 N 型摻雜區域的下層級。

【第11項】 一種半導體結構的製造方法，包括：

提供基板；

在該基板上的阱區域上形成至少一個鰭片和至少一個虛設鰭片，其中該鰭片和該虛設鰭片與第一方向平行，該虛設鰭片比該鰭片寬；

在該基板上形成淺溝槽隔離區域，其中該鰭片和該虛設鰭片透過該淺溝槽隔離區域彼此分隔開；

去除該虛設鰭片以在該淺溝槽隔離區域中形成溝槽；以及

使用該溝槽在該阱區域上形成電源軌。

【第12項】 如申請專利範圍第 11 項所述的製造方法，其中該使用該溝槽形成電源軌的步驟還包括：

用導電材料填充該溝槽；

使該導電材料凹陷到特定高度；以及

使用剩餘的導電材料形成電源軌。

