

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6099372号
(P6099372)

(45) 発行日 平成29年3月22日(2017.3.22)

(24) 登録日 平成29年3月3日(2017.3.3)

(51) Int. Cl. F 1
GO2F 1/133 (2006.01) GO2F 1/133 505
GO2F 1/1368 (2006.01) GO2F 1/1368

請求項の数 5 (全 38 頁)

(21) 出願番号	特願2012-260451 (P2012-260451)	(73) 特許権者	000153878
(22) 出願日	平成24年11月29日(2012.11.29)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2013-140340 (P2013-140340A)		神奈川県厚木市長谷398番地
(43) 公開日	平成25年7月18日(2013.7.18)	(72) 発明者	梅崎 敦司
審査請求日	平成27年11月25日(2015.11.25)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2011-265799 (P2011-265799)		半導体エネルギー研究所内
(32) 優先日	平成23年12月5日(2011.12.5)		
(33) 優先権主張国	日本国(JP)	審査官	磯崎 忠昭

最終頁に続く

(54) 【発明の名称】 半導体装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタと、第2のトランジスタと、容量素子と、を有し、
 前記第1のトランジスタのソース又はドレインの一方は、第1の配線と電気的に接続され、
 前記第1のトランジスタのソース又はドレインの他方は、第2の配線と電気的に接続され、
 前記第2のトランジスタのソース又はドレインの一方は、第3の配線と電気的に接続され、
 前記第2のトランジスタのゲートは、第4の配線と電気的に接続され、
 前記容量素子の第1の電極は、前記第2の配線と電気的に接続され、
 前記容量素子の第2の電極は、前記第2のトランジスタのソース又はドレインの他方と電気的に接続され、
 前記容量素子の第2の電極は、前記第1のトランジスタのゲートと直接接続されておらず、

前記第1の配線は、第1の信号を供給することができる機能を有し、
 前記第4の配線は、第2の信号を供給することができる機能を有することを特徴とする半導体装置。

【請求項2】

請求項1において、

第3のトランジスタを有し、

前記第3のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第3のトランジスタのゲートは、前記第1のトランジスタのゲートと電氣的に接続されることを特徴とする半導体装置。

【請求項3】

請求項1又は請求項2において、

前記第1のトランジスタの W (W はチャンネル幅) / L (L はチャンネル長)比は、前記第2のトランジスタの W / L 比よりも大きい値を有することを特徴とする半導体装置。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記第1のトランジスタのソース又はドレインの他方の電位を制御することにより、前記第1のトランジスタをオンにすることを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項4のいずれか一項に記載の半導体装置と、

筐体、スピーカー、表示部、操作キー又は音声入力部と、

を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置及び表示装置等に関する。

【背景技術】

【0002】

液晶表示装置やEL表示装置等の表示装置の大型化に伴い、より付加価値の高い表示装置の開発が進められている。特に、表示装置の駆動回路を一導電型のトランジスタのみを用いて構成する技術開発が活発に進められている(特許文献1参照)。

【0003】

図16は、特許文献1において開示された駆動回路を示す。特許文献1の駆動回路は、トランジスタM1乃至トランジスタM7を有する。信号GOUT[N-1]がハイレベルになると、トランジスタM3がオンになる。すると、電圧VONがトランジスタM1のゲートに供給されるため、トランジスタM1のゲートの電位が上昇し始める。トランジスタM1のゲートの電位は徐々に上昇するため、トランジスタM3のゲートとソースとの間の電位差(以下、Vgsともいう)が徐々に小さくなる。やがて、トランジスタM3のVgsがトランジスタM3のしきい値電圧になり、トランジスタM3がオフになる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2004-103226号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献1の駆動回路では、トランジスタM1のゲートの電位の上昇に伴って、トランジスタM3のVgsが徐々に小さくなっていった。つまり、トランジスタM3のドレイン電流が徐々に小さくなっていった。よって、信号GOUT[N-1]がハイレベルになってからトランジスタM3がオフになるまでの時間が長くなっていった。一方で、信号CKVがハイレベルになる前にトランジスタM3をオフにして、トランジスタM1のゲートを浮遊状態にする必要があった。したがって、特許文献1の駆動回路では、駆動周波数を高くすることが困難であった。

【0006】

また、特許文献1の駆動回路では、トランジスタM1のゲートの電位を早く上昇させるた

10

20

30

40

50

めに、トランジスタM3のW(W:チャンネル幅)/L(L:チャンネル長)比を大きくする必要があった。よって、トランジスタM3のサイズが大きくなり、レイアウト面積が大きくなっていた。

【0007】

また、特許文献1の駆動回路では、トランジスタM1のゲートを浮遊状態にする必要があった。一方で、トランジスタM1のゲートにソース又はドレインが接続されるトランジスタのオフ電流によって、トランジスタM1のゲートから電荷が漏れていた。よって、トランジスタM1のゲートが浮遊状態になる期間を長くすることが困難であった。つまり、駆動周波数を低くすることが困難であった。

【0008】

また、上述したとおり、特許文献1の駆動回路では、駆動周波数を高くすることも、低くすることも困難であったため、正常に動作する駆動周波数の範囲が狭くなっていた。

【0009】

以上を鑑みて、本発明の一態様は、駆動周波数が高くても動作可能な駆動回路を提供することを課題の一とする。また、駆動周波数が低くても動作可能な駆動回路を提供することを課題の一とする。また、動作可能な駆動周波数の範囲が広い駆動回路を提供することを課題の一とする。また、トランジスタのW/L比を小さくすることを課題の一とする。また、新規の構成の回路を提供することを課題の一とする。なお、課題は効果と表裏一体の関係にあり、本明細書等で効果を述べる場合には、その効果に対応する課題が存在することは自明な事項である。一方で、本明細書等で課題を述べる場合には、その課題に対応する効果を奏することは自明な事項である。

【課題を解決するための手段】

【0010】

本発明の一態様は、ソース及びドレインの一方に第1の信号が入力される第1のトランジスタと、ソース及びドレインの一方に第1の電位が供給され、ゲートに第2の信号が入力される第2のトランジスタと、第1の電極が第1のトランジスタのソース及びドレインの他方と電氣的に接続され、第2の電極が第2のトランジスタのソース及びドレインの他方と電氣的に接続される容量素子と、を有する半導体装置である。そして、当該半導体装置は、第1の信号がロウレベルであり、第2の信号がハイレベルである第1の期間と、第1の信号がハイレベルであり、第2の信号がロウレベル又はハイレベルである第2の期間と、を有する。

【0011】

本発明の一態様は、ソース及びドレインの一方に第1の信号が入力される第1のトランジスタと、ソース及びドレインの一方に第1の電位が供給され、ゲートに第2の信号が入力される第2のトランジスタと、ソース及びドレインの一方に第1の信号が入力され、ゲートが第1のトランジスタのゲートと電氣的に接続される第3のトランジスタと、第1の電極が第1のトランジスタのソース及びドレインの他方と電氣的に接続され、第2の電極が第2のトランジスタのソース及びドレインの他方と電氣的に接続される容量素子と、を有する半導体装置である。そして、当該半導体装置は、第1の信号がロウレベルであり、第2の信号がハイレベルである第1の期間と、第1の信号がハイレベルであり、第2の信号がロウレベル又はハイレベルである第2の期間と、を有する。

【0012】

なお、上記本発明の一態様において、半導体装置は、ソース及びドレインの一方に第1の電位が供給され、ソース及びドレインの他方が第1のトランジスタのソース及びドレインの他方と電氣的に接続され、ゲートが第2のトランジスタのソース及びドレインの他方と電氣的に接続される第4のトランジスタと、ソース及びドレインの一方に第1の電位が供給され、ソース及びドレインの他方が第1のトランジスタのゲートと電氣的に接続され、ゲートが第2のトランジスタのソース及びドレインの他方と電氣的に接続される第5のトランジスタと、ソース及びドレインの一方に第2の電位が供給され、ソース及びドレインの他方が第2のトランジスタのソース及びドレインの他方と電氣的に接続され、ゲートに

10

20

30

40

50

第3の信号が入力される第6のトランジスタと、を有してもよい。

【0013】

なお、上記本発明の一態様において、第1のトランジスタの W (W はチャネル幅) / L (L はチャネル長)比は、第2のトランジスタの W / L 比よりも大きくてもよい。

【発明の効果】

【0014】

本発明の一態様は、駆動周波数が高くて動作可能な駆動回路を提供することができる。また、駆動周波数が低くて動作可能な駆動回路を提供することができる。また、動作可能な駆動周波数の範囲が広い駆動回路を提供することができる。また、トランジスタの W / L 比を小さくすることができる。

10

【図面の簡単な説明】

【0015】

【図1】本発明の一態様に係る基本回路を説明するための図。

【図2】本発明の一態様に係る基本回路を説明するための図。

【図3】本発明の一態様に係る順序回路を説明するための図。

【図4】本発明の一態様に係る順序回路を説明するための図。

【図5】本発明の一態様に係るシフトレジスタ回路を説明するための図。

【図6】本発明の一態様に係る基本回路及び順序回路を説明するための図。

【図7】本発明の一態様に係る順序回路を説明するための図。

【図8】本発明の一態様に係る順序回路を説明するための図。

20

【図9】本発明の一態様に係る順序回路を説明するための図。

【図10】本発明の一態様に係る順序回路を説明するための図。

【図11】本発明の一態様に係る順序回路を説明するための図。

【図12】本発明の一態様に係る表示装置を説明するための図。

【図13】本発明の一態様に係るトランジスタを説明するための図。

【図14】本発明の一態様に係る表示装置を説明するための図。

【図15】本発明の一態様に係る電子機器を説明するための図。

【図16】従来の駆動回路を説明するための図。

【発明を実施するための形態】

【0016】

30

本発明を説明するための実施の形態の一例について、図面を用いて以下に説明する。なお、本発明の趣旨及びその範囲から逸脱することなく実施の形態の内容を変更することは、当業者であれば容易である。よって、本発明は、以下に示す実施の形態の記載内容に限定されない。

【0017】

なお、本発明は、集積回路、RFタグ、表示装置など、トランジスタを用いたあらゆる半導体装置を、その範疇に含む。なお、集積回路には、マイクロプロセッサ、画像処理回路、DSP (Digital Signal Processor)、マイクロコントローラを含むLSI (Large Scale Integrated Circuit)、FPGA (Field Programmable Gate Array) や CPLD (Complex PLD) などのプログラマブル論理回路 (PLD: Programmable Logic Device) が、その範疇に含まれる。また、表示装置には、液晶表示装置、有機発光素子 (OLED) に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD (Digital Micromirror Device)、PDP (Plasma Display Panel)、FED (Field Emission Display) などが、その範疇に含まれる。

40

【0018】

なお、本明細書において表示装置とは、液晶素子や発光素子などの表示素子が各画素に形成されたパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを、その範疇に含む。

50

【0019】

なお、本明細書において接続とは電気的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの回路素子を介して間接的に接続している状態も、その範疇に含む。また、回路図上は独立している構成要素どうしが接続されている場合であっても、実際には、例えば配線の一部が電極として機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

10

【0020】

なお、トランジスタのソースとは、活性層として機能する半導体膜の一部であるソース領域、或いは上記半導体膜に接続されたソース電極を意味する。同様に、トランジスタのドレインとは、上記半導体膜の一部であるドレイン領域、或いは上記半導体膜に接続されたドレイン電極を意味する。また、ゲートはゲート電極を意味する。

【0021】

なお、トランジスタが有するソースとドレインは、トランジスタの極性及び各端子に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、nチャネル型トランジスタでは、低い電位が与えられる端子がソースと呼ばれ、高い電位が与えられる端子がドレインと呼ばれる。また、pチャネル型トランジスタでは、低い電位が与えられる端子がドレインと呼ばれ、高い電位が与えられる端子がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソースとドレインの呼び方が入れ替わる。

20

【0022】

(実施の形態1)

本実施の形態では、本発明の一態様に係る、基本回路、該基本回路を用いた順序回路、及び該順序回路を用いたシフトレジスタ回路について説明する。

【0023】

まず、本実施の形態の基本回路の構成について、図1(A)を参照して説明する。

30

【0024】

図1(A)の基本回路は、トランジスタ101、トランジスタ102、及び容量素子110を有する。

【0025】

トランジスタ101の第1の端子は配線11と接続され、トランジスタ101の第2の端子は配線12と接続される。

【0026】

トランジスタ102の第1の端子は配線13と接続され、トランジスタ102のゲートは配線14と接続される。

【0027】

容量素子110の第1の電極(一方の電極ともいう)は配線12と接続され、容量素子110の第2の電極(他方の電極ともいう)はトランジスタ102の第2の端子と接続される。

40

【0028】

なお、トランジスタ102の第2の端子又は容量素子110の第2の電極をノードN1と示す。また、トランジスタ101のゲートをノードN2と示す。

【0029】

なお、トランジスタ101及びトランジスタ102は同一の導電型であることが好ましい。本実施の形態では、これらのトランジスタがNチャネル型である場合について説明する。

50

【 0 0 3 0 】

なお、本明細書等において接続とは電気的な接続を意味しており、電流、電圧、電位、信号又は電荷等を供給又は伝送可能な状態に相当する。よって、「接続されている」とは、直接接続されている状態に加えて、例えば配線、導電膜、抵抗、ダイオード、トランジスタ、スイッチング素子などの素子を介して間接的に接続している状態も、その範疇に含む。

【 0 0 3 1 】

なお、トランジスタの第 1 の端子をトランジスタのソース及びドレインの一方、又はトランジスタの第 1 の電極ともいう。また、トランジスタの第 2 の端子をトランジスタのソース及びドレインの他方、又はトランジスタの第 2 の電極ともいう。

10

【 0 0 3 2 】

配線 1 1 (信号線ともいう)には信号 C K が入力されており、配線 1 1 は信号 C K を伝達又は供給する機能を有する。信号 C K はハイレベルとロウレベルとを有する信号である。また、信号 C K はシフトレジスタ回路に入力される複数のクロック信号のいずれか一に対応する信号である。

【 0 0 3 3 】

配線 1 2 (信号線ともいう)からは信号 O U T が出力され、配線 1 2 は信号 O U T を伝達又は供給する機能を有する。信号 O U T はハイレベルとロウレベルとを有する信号である。また、信号 O U T は、図 1 (A) の基本回路の出力信号である。また、信号 O U T はシフトレジスタ回路から出力される複数の出力信号のいずれか一、又は順序回路の出力信号

20

【 0 0 3 4 】

配線 1 3 (電源線ともいう)には電位 V S S (第 1 の電位ともいう)が供給され、配線 1 3 は電位 V S S を伝達又は供給する機能を有する。電位 V S S は一定の電位である。

【 0 0 3 5 】

配線 1 4 (信号線ともいう)には信号 S P が入力され、配線 1 4 は信号 S P を伝達又は供給する機能を有する。信号 S P はハイレベルとロウレベルとを有する信号である。また、信号 S P はトランジスタ 1 0 2 のオン又はオフを制御する信号である。また、信号 S P はシフトレジスタ回路に入力されるスタートパルス、又は 1 段前若しくは複数段前の順序回路の出力信号等に対応する信号である。

30

【 0 0 3 6 】

トランジスタ 1 0 1 は配線 1 1 と配線 1 2 との導通又は非導通を制御する機能を有する。また、トランジスタ 1 0 1 は配線 1 1 の信号 C K を配線 1 2 に供給する機能を有する。また、トランジスタ 1 0 1 は配線 1 2 とノード N 2 との電位差を保持する機能を有する。

【 0 0 3 7 】

トランジスタ 1 0 2 は配線 1 3 とノード N 1 との導通又は非導通を制御する機能を有する。また、トランジスタ 1 0 2 は配線 1 3 の電位 V S S をノード N 1 に供給する機能を有する。

【 0 0 3 8 】

容量素子 1 1 0 は配線 1 2 とノード N 1 との電位差を保持する機能を有する。

40

【 0 0 3 9 】

次に、図 1 (A) の基本回路の駆動方法について、図 1 (B) に示すタイミングチャート、及び図 2 を参照して説明する。

【 0 0 4 0 】

なお、信号 C K 及び信号 S P のハイレベルの電位が電位 V D D (第 2 の電位ともいう)であり、ロウレベルの電位が電位 V S S であるとして説明する。なお、電位 V D D は電位 V S S よりも高い電位である。

【 0 0 4 1 】

また、ノード N 1 の初期の電位が電位 V D D であり、ノード N 2 の初期の電位が電位 V S S であり、配線 1 2 の初期の電位が電位 V S S であると仮定して説明する。なお、ノード

50

N 2の初期の電位が電位V S Sであれば、初期状態ではトランジスタ1 0 1がオフになっている。

【0 0 4 2】

また、便宜上、動作に必要な期間を期間T a及び期間T bに分けて説明する。

【0 0 4 3】

まず、期間T aにおいて、信号S Pがハイレベルになり、信号C Kがロウレベルになる。信号S Pがハイレベルになると、トランジスタ1 0 2がオンになる。トランジスタ1 0 2がオンになると、配線1 3の電位V S SがノードN 1に供給される。よって、ノードN 1の電位が電位V S Sまで下降する。このとき、容量素子1 1 0がノードN 1と配線1 2との電位差を保持しており、またトランジスタ1 0 1がオフになっているため、配線1 2が浮遊状態になっている。よって、ノードN 1の電位の下降に伴って、配線1 2の電位が電位V S Sから下降する。そして、配線1 2の電位がノードN 2の電位（例えば電位V S S）からトランジスタ1 0 1の閾値電圧を引いた電位未満になれば、トランジスタ1 0 1がオンになる（図2（A）参照）。

10

【0 0 4 4】

トランジスタ1 0 1がオンになると、配線1 1の信号C Kが配線1 2に供給される。信号C Kはロウレベルであるため、配線1 2の電位が電位V S Sまで上昇する。このとき、トランジスタ1 0 1がノードN 2と配線1 2との電位差を保持しており、またノードN 2が浮遊状態になっている。よって、配線1 2の電位の上昇に伴って、ノードN 2の電位が上昇する。ノードN 2の電位が配線1 1の電位（例えば電位V S S）とトランジスタ1 0 1の閾値電圧とを足した電位を超えた電位になれば、トランジスタ1 0 1がオンのままになる。よって、配線1 2の電位が電位V S Sまで上昇する。すなわち、信号O U Tがロウレベルになる（図2（B）参照）。

20

【0 0 4 5】

次に、期間T bにおいて、信号S Pがロウレベルになり、信号C Kがハイレベルになる。信号S Pがロウレベルになると、トランジスタ1 0 2がオフになる。また、上述したとおりトランジスタ1 0 1がオンのままになっている。よって、配線1 1の信号C Kが配線1 2に供給されたままになる。信号C Kはハイレベルであるため、配線1 2の電位が電位V S Sから上昇する。このとき、トランジスタ1 0 1がノードN 2と配線1 2との電位差を保持しており、またノードN 2が浮遊状態のままになっている。よって、配線1 2の電位の上昇に伴って、ノードN 2の電位も上昇する。ノードN 2の電位が配線1 1の電位（例えば電位V D D）とトランジスタ1 0 1の閾値電圧とを足した電位を超えた電位になれば、トランジスタ1 0 1がオンのままになる。よって、配線1 2の電位が電位V D Dまで上昇する。すなわち、信号O U Tがハイレベルになる（図2（C）参照）。

30

【0 0 4 6】

図1（A）の基本回路では、期間T aにおいて、トランジスタ1 0 2のV g sを大きい電圧に維持することができるため、トランジスタ1 0 2のドレイン電流を大きい値に維持することができる。よって、ノードN 1の電位を急速に下降させることができるため、期間T aを短くすることができる。つまり、駆動周波数を高くすることができる。

【0 0 4 7】

また、トランジスタ1 0 2のV g sを大きい電圧に維持することができれば、トランジスタ1 0 2のW / L比を小さくすることができる。よって、レイアウト面積の縮小、入力容量の低減等を図ることができる。

40

【0 0 4 8】

なお、トランジスタ1 0 1のゲートと第2の端子との間に容量素子を接続してもよい。こうすれば、ノードN 2と配線1 2との間の容量値を大きくすることができるため、ノードN 2の電位をより高くすることができる。

【0 0 4 9】

なお、期間T bにおいても、信号S Pがハイレベルのままであってもよい。こうすれば、期間T bにおいて、トランジスタ1 0 2がオンのままになるため、配線1 3の電位V S S

50

がノードN1に供給され続ける。よって、配線12の電位の変動に伴うノードN1の電位の変動を防止することができる。

【0050】

なお、期間Tbにおいて、信号SPが期間Taからハイレベルを維持した後にロウレベルとなってもよい。こうすれば、期間Tbにおいて、トランジスタ102がオンのままとなった後にオフとなるため、期間Tbのうち配線12の電位が変動している期間において、配線13の電位VSSがノードN1に供給され続ける。よって、配線12の電位の変動に伴うノードN1の電位の変動を防止することができる。

【0051】

なお、配線12に負荷が接続される場合、該負荷はトランジスタ101によって駆動される。よって、トランジスタ101のW/L比はトランジスタ102のW/L比よりも大きいことが好ましい。

10

【0052】

なお、容量素子110として、トランジスタを用いてもよい。この場合、トランジスタのゲートをノードN1と接続し、トランジスタの第1の端子及び/又は第2の端子を配線12と接続することが好ましい。すなわち、容量素子110は、配線12と接続された半導体層と、ノードN1と接続されたゲート電極と、半導体層及びゲート電極の間のゲート絶縁層と、を有していてもよい。こうすれば、期間Taにおいて、ノードN1の電位が下降するときに、ノードN1と配線12との間の容量値を大きくすることができる。

【0053】

20

なお、トランジスタ102を、第1の端子が配線13と接続され、第2の端子がノードN1と接続されるスイッチング素子に置き換えてもよい。

【0054】

なお、信号SPのハイレベルの電位は電位VDDよりも低くてもよい。こうすれば、信号SPの振幅電圧を小さくすることができるため、消費電力の削減を図ることができる。

【0055】

なお、信号SPのロウレベルの電位は電位VSSよりも低くてもよい。こうすれば、トランジスタ102がノーマリーオンであってもトランジスタ102を確実にオフにすることができる。

【0056】

30

次に、図1(A)の基本回路を用いた順序回路について説明する。

【0057】

まず、本実施の形態の順序回路の構成について、図3を参照して説明する。図3の順序回路は、図1(A)の基本回路にトランジスタ103乃至トランジスタ105を設けた構成である。

【0058】

なお、トランジスタ101乃至トランジスタ105は同一の導電型であることが好ましい。本実施の形態では、これらのトランジスタがNチャンネル型である場合について説明する。

【0059】

40

トランジスタ103の第1の端子は配線13と接続され、トランジスタ103の第2の端子は配線12と接続され、トランジスタ103のゲートはノードN1と接続される。

【0060】

トランジスタ104の第1の端子は配線13と接続され、トランジスタ104の第2の端子はノードN2と接続され、トランジスタ104のゲートはノードN1と接続される。

【0061】

トランジスタ105の第1の端子は配線15と接続され、トランジスタ105の第2の端子はノードN1と接続され、トランジスタ105のゲートは配線16と接続される。

【0062】

配線15(電源線ともいう)には電位VDDが供給され、配線15は電位VDDを伝達又

50

は供給する機能を有する。

【0063】

配線16（信号線ともいう）には信号REが入力されており、配線16は信号REを伝達又は供給する機能を有する。信号REはハイレベルとロウレベルとを有する信号である。また、信号REはトランジスタ105のオン又はオフを制御する信号である。また、信号REはシフトレジスタ回路に入力されるリセットパルス、又は1段後若しくは複数段後の順序回路の出力信号等に対応する信号である。

【0064】

トランジスタ103は配線13と配線12との導通又は非導通を制御する機能を有する。また、トランジスタ103は配線13の電位VSSを配線12に供給する機能を有する。

10

【0065】

トランジスタ104は配線13とノードN2との導通又は非導通を制御する機能を有する。また、トランジスタ104は配線13の電位VSSをノードN2に供給する機能を有する。

【0066】

トランジスタ105は配線15とノードN1との導通又は非導通を制御する機能を有する。また、トランジスタ105は配線15の電位VDDをノードN1に供給する機能を有する。

【0067】

次に、図3の順序回路の動作について、図4のタイミングチャートを参照して説明する。

20

【0068】

なお、信号CK、信号SP及び信号REのハイレベルの電位が電位VDDであり、ロウレベルの電位が電位VSSであるとして説明する。

【0069】

また、ノードN1の初期の電位が電位VDDであり、ノードN2の初期の電位が電位VSSであり、配線12の初期の電位が電位VSSであるとして説明する。なお、ノードN2の初期の電位が電位VSSであるため、初期状態ではトランジスタ101がオフになっている。

【0070】

また、便宜上、動作に必要な期間を期間Ta、期間Tb、期間Tc及び期間Tdに分けて説明する。

30

【0071】

まず、期間Taにおいて、信号SPがハイレベルになり、信号REがロウレベルになり、信号CKがロウレベルになる。信号REがロウレベルになると、トランジスタ105がオフになる。また、信号SPがハイレベルになると、トランジスタ102がオンになる。トランジスタ102がオンになると、配線13の電位VSSがノードN1に供給される。よって、ノードN1の電位が電位VSSまで下降する。ノードN1の電位が下降すると、トランジスタ103及びトランジスタ104がオフになる。トランジスタ104がオフになると、ノードN2が浮遊状態になる。よって、ノードN2の電位が電位VSSに維持されるため、トランジスタ101がオフのままになる。

40

【0072】

ここで、ノードN1の電位が下降しているとき、容量素子110がノードN1と配線12との電位差を保持しており、またトランジスタ101及びトランジスタ103がオフになっているため、配線12が浮遊状態になっている。よって、ノードN1の電位の下降に伴って、配線12の電位が電位VSSから下降する。配線12の電位がノードN2の電位（例えば電位VSS）からトランジスタ101の閾値電圧を引いた電位未満になれば、トランジスタ101がオンになる。トランジスタ101がオンになると、配線11の信号CKが配線12に供給される。信号CKはロウレベルであるため、配線12の電位が上昇する。このとき、トランジスタ101がノードN2と配線12との電位差を保持しており、またトランジスタ104がオフになっているため、ノードN2が浮遊状態になっている。よ

50

って、配線 1 2 の電位の上昇に伴って、ノード N 2 の電位が上昇する。ノード N 2 の電位が配線 1 1 の電位（例えば電位 V S S）とトランジスタ 1 0 1 の閾値電圧とを足した電位を超えた電位になれば、トランジスタ 1 0 1 がオンのままになる。よって、配線 1 2 の電位が電位 V S S まで上昇する。すなわち、信号 O U T がロウレベルになる。

【 0 0 7 3 】

次に、期間 T b において、信号 S P がロウレベルになり、信号 R E がロウレベルのままになり、信号 C K がハイレベルになる。信号 R E がロウレベルのままなので、トランジスタ 1 0 5 がオフのままになる。また、信号 S P がロウレベルになるため、トランジスタ 1 0 2 がオフになる。よって、ノード N 1 が浮遊状態になり、ノード N 1 の電位が期間 T a における電位に維持されるため、トランジスタ 1 0 3 及びトランジスタ 1 0 4 がオフのままになる。

10

【 0 0 7 4 】

ここで、トランジスタ 1 0 1 がオンのままになっているため、配線 1 1 の信号 C K が配線 1 2 に供給されたままになっている。信号 C K はハイレベルであるため、配線 1 1 の電位が上昇する。このとき、トランジスタ 1 0 1 がノード N 2 と配線 1 2 との間の電位差を保持しており、またトランジスタ 1 0 4 がオフであるため、ノード N 2 が浮遊状態になっている。よって、配線 1 2 の電位の上昇に伴って、ノード N 2 の電位が上昇する。ノード N 2 の電位が配線 1 1 の電位（例えば電位 V D D）とトランジスタ 1 0 1 の閾値電圧とを足した電位を超えた電位になれば、トランジスタ 1 0 1 がオンのままになる。よって、配線 1 2 の電位が電位 V D D まで上昇する。すなわち、信号 O U T がハイレベルになる。

20

【 0 0 7 5 】

次に、期間 T c において、信号 S P がロウレベルのままになり、信号 R E がハイレベルになり、信号 C K がロウレベルになる。信号 S P がロウレベルのままになるため、トランジスタ 1 0 2 がオフのままになる。また、信号 R E がハイレベルになるため、トランジスタ 1 0 5 がオンになる。トランジスタ 1 0 5 がオンになると、配線 1 5 の電位 V D D がノード N 1 に供給されるため、ノード N 1 の電位が上昇する。やがて、ノード N 1 の電位がトランジスタ 1 0 5 のゲートの電位（例えば電位 V D D）からトランジスタ 1 0 5 の閾値電圧を引いた電位まで上昇すると、トランジスタ 1 0 5 がオフになる。よって、ノード N 1 が浮遊状態になり、ノード N 1 の電位が高い電位に維持される。また、ノード N 1 の電位が上昇すると、トランジスタ 1 0 3 及びトランジスタ 1 0 4 がオンになる。トランジスタ 1 0 4 がオンになると、配線 1 3 の電位 V S S がノード N 2 に供給される。よって、ノード N 2 の電位が電位 V S S まで下降する。ノード N 2 の電位が電位 V S S まで下降すると、トランジスタ 1 0 1 がオフになる。また、トランジスタ 1 0 3 がオンになると、配線 1 3 の電位 V S S が配線 1 2 に供給される。よって、配線 1 2 の電位が電位 V S S まで下降する。つまり、信号 O U T がロウレベルになる。

30

【 0 0 7 6 】

次に、期間 T d において、信号 S P がロウレベルのままになり、信号 R E がロウレベルになり、信号 C K がハイレベルとロウレベルとを繰り返す。信号 S P がロウレベルのままになるため、トランジスタ 1 0 2 がオフのままになる。また、信号 R E がロウレベルになるため、トランジスタ 1 0 5 がオフのままになる。トランジスタ 1 0 2 及びトランジスタ 1 0 5 がオフのままなので、ノード N 1 が浮遊状態のままになる。よって、ノード N 1 の電位が期間 T c における電位に維持されるため、トランジスタ 1 0 3 及びトランジスタ 1 0 4 がオンのままになる。トランジスタ 1 0 4 がオンのままになると、配線 1 3 の電位 V S S がノード N 2 に供給されたままになる。よって、ノード N 2 の電位が電位 V S S のままになり、トランジスタ 1 0 1 がオフのままになる。また、トランジスタ 1 0 3 がオンのままになると、配線 1 3 の電位 V S S が配線 1 2 に供給されたままになる。よって、配線 1 2 の電位が電位 V S S のままになる。つまり、信号 O U T がロウレベルのままになる。

40

【 0 0 7 7 】

図 3 の順序回路では、期間 T a において、配線 1 2 の電位が電位 V S S 未満となるため、トランジスタ 1 0 3 のソースとドレインを反転させることができる。よって、トランジス

50

タ 1 0 3 の劣化を抑制することができる。

【 0 0 7 8 】

また、図 3 の順序回路は、上述した基本回路と同様の効果を奏することができる。

【 0 0 7 9 】

なお、配線 1 2 に負荷が接続される場合、該負荷はトランジスタ 1 0 1 及びトランジスタ 1 0 3 によって駆動される。よって、トランジスタ 1 0 1 の W / L 比はトランジスタ 1 0 2、トランジスタ 1 0 4 及びトランジスタ 1 0 5 の W / L 比よりも大きいことが好ましい。また、トランジスタ 1 0 3 の W / L 比はトランジスタ 1 0 2、トランジスタ 1 0 4 及びトランジスタ 1 0 5 の W / L 比よりも大きいことが好ましい。

【 0 0 8 0 】

なお、トランジスタ 1 0 1 及びトランジスタ 1 0 3 は共に配線 1 2 に電荷を供給する。ただし、期間 T b におけるトランジスタ 1 0 1 の V g s は期間 T c におけるトランジスタ 1 0 3 の V g s よりも小さいことが多い。よって、トランジスタ 1 0 1 の W / L 比はトランジスタ 1 0 3 の W / L 比よりも大きいことが好ましい。

【 0 0 8 1 】

なお、トランジスタ 1 0 2 及びトランジスタ 1 0 5 は共にノード N 1 に電荷を供給する。ただし、期間 T a におけるトランジスタ 1 0 2 の V g s が大きい値に維持されるのに対し、期間 T c におけるトランジスタ 1 0 5 の V g s は徐々に小さくなる。よって、トランジスタ 1 0 5 の W / L 比はトランジスタ 1 0 2 の W / L 比よりも大きいことが好ましい。

【 0 0 8 2 】

なお、トランジスタ 1 0 2 の W / L 比はトランジスタ 1 0 4 の W / L 比よりも大きいことが好ましい。

【 0 0 8 3 】

なお、信号 R E のハイレベルの電位は電位 V D D よりも高くてもよい。こうすれば、期間 T c において、トランジスタ 1 0 5 がオフになることを防止することができるため、ノード N 1 の電位を電位 V D D まで上昇させることができる。

【 0 0 8 4 】

なお、信号 R E のロウレベルの電位は電位 V S S よりも低くてもよい。こうすれば、トランジスタ 1 0 5 がノーマリーオンであってもトランジスタ 1 0 5 を確実にオフにすることができる。

【 0 0 8 5 】

なお、配線 1 5 には、電位 V D D よりも低い電位を供給してもよい。

【 0 0 8 6 】

なお、トランジスタ 1 0 3 を、第 1 の端子が配線 1 3 と接続され、第 2 の端子が配線 1 2 と接続されるスイッチング素子に置き換えてもよい。

【 0 0 8 7 】

なお、トランジスタ 1 0 4 を、第 1 の端子が配線 1 3 と接続され、第 2 の端子がノード N 2 と接続されるスイッチング素子に置き換えてもよい。

【 0 0 8 8 】

なお、トランジスタ 1 0 5 を、第 1 の端子が配線 1 5 と接続され、第 2 の端子がノード N 1 と接続されるスイッチング素子に置き換えてもよい。

【 0 0 8 9 】

次に、図 3 の順序回路を用いたシフトレジスタ回路について説明する。

【 0 0 9 0 】

まず、本実施の形態のシフトレジスタ回路の構成について、図 5 を参照して説明する。図 5 のシフトレジスタ回路は、N (N は自然数) 段の順序回路 1 0 0 を有する。ただし、図 5 では、便宜上、N 段の順序回路 1 0 0 のうち 1 段目乃至 3 段目の順序回路 1 0 0 (順序回路 1 0 0 [1] 乃至順序回路 1 0 0 [3] と示す) のみを示す。

【 0 0 9 1 】

シフトレジスタ回路は、N 本の配線 2 1 (配線 2 1 [1] 乃至配線 2 1 [N] と示す)、

10

20

30

40

50

配線 2 2、配線 2 3 及び配線 2 4 と接続される。具体的には、 i (i は 2 ~ $N - 1$ のいずれか) 段目の順序回路 1 0 0 において、トランジスタ 1 0 1 の第 1 の端子が配線 2 2 又は配線 2 3 と接続され、トランジスタ 1 0 1 の第 2 の端子が配線 2 1 [i] と接続され、トランジスタ 1 0 2 のゲートが配線 2 1 [$i - 1$] と接続され、トランジスタ 1 0 5 のゲートが配線 2 1 [$i + 1$] と接続される。

【 0 0 9 2 】

また、1 段目の順序回路 1 0 0 の接続関係は i 段目の順序回路 1 0 0 の接続関係と同様であるが、前段に順序回路 1 0 0 が設けられていないため、トランジスタ 1 0 2 のゲートの接続先がない。そこで、1 段目の順序回路 1 0 0 では、トランジスタ 1 0 2 のゲートが配線 2 4 と接続される。

10

【 0 0 9 3 】

また、 N 段目の順序回路 1 0 0 の接続関係は i 段目の順序回路 1 0 0 の接続関係と同様であるが、後段に順序回路 1 0 0 が設けられていないため、トランジスタ 1 0 5 のゲートの接続先がない。そこで、 N 段目の順序回路 1 0 0 では、トランジスタ 1 0 5 のゲートが配線 2 4 と接続される。ただし、 N 段目の順序回路 1 0 0 において、トランジスタ 1 0 5 のゲートを、リセットパルスが入力される配線、 N 段目の順序回路 1 0 0 の後段に設けたダミー回路の出力等と接続してもよい。

【 0 0 9 4 】

なお、奇数段目の順序回路 1 0 0 において、トランジスタ 1 0 1 の第 1 の端子が配線 2 2 及び配線 2 3 の一方と接続される場合、偶数段目の順序回路 1 0 0 においては、トランジスタ 1 0 1 の第 1 の端子が配線 2 2 及び配線 2 3 の他方と接続される。

20

【 0 0 9 5 】

配線 2 1 (信号線ともいう) からは信号 S O U T が出力されており、配線 2 1 は信号 S O U T を伝達又は供給する機能を有する。なお、 i 段目の順序回路 1 0 0 においては、 i 本目の配線 2 1 は配線 1 2 に対応する配線であり、 $i - 1$ 本目の配線 2 1 は配線 1 4 に対応する配線であり、 $i + 1$ 本目の配線 2 1 は配線 1 6 に対応する配線である。また、 i 本目の配線 2 1 から出力される信号 S O U T は信号 O U T に対応する信号であり、 $i - 1$ 本目の配線 2 1 から出力される信号 S O U T は信号 S P に対応する信号であり、 $i + 1$ 本目の配線 2 1 から出力される信号 S O U T は信号 R E に対応する信号である。

【 0 0 9 6 】

配線 2 2 (信号線ともいう) には信号 S C K が入力されており、配線 2 2 は信号 S C K を伝達又は供給する機能を有する。なお、奇数段目及び偶数段目の一方の順序回路 1 0 0 においては、配線 2 2 は配線 1 1 に対応する配線であり、信号 S C K は信号 C K に対応する信号である。

30

【 0 0 9 7 】

配線 2 3 (信号線ともいう) には信号 S C K B が入力されており、配線 2 3 は信号 S C K B を伝達又は供給する機能を有する。なお、奇数段目及び偶数段目の他方の順序回路 1 0 0 においては、配線 2 3 は配線 1 1 に対応する配線であり、信号 S C K B は信号 C K に対応する信号である。なお、信号 S C K B は、信号 S C K の反転信号、又は信号 S C K から位相がずれた信号である。

40

【 0 0 9 8 】

配線 2 4 (信号線ともいう) には信号 S S P が入力されており、配線 2 4 は信号 S S P を伝達又は供給する機能を有する。なお、1 段目の順序回路 1 0 0 においては、配線 2 4 は配線 1 4 に対応する配線であり、信号 S S P は信号 S P に対応する配線である。

【 0 0 9 9 】

図 5 のシフトレジスタ回路は、上述した基本回路又は順序回路と同様の効果を奏することができる。

【 0 1 0 0 】

なお、 i 段目の順序回路 1 0 0 において、トランジスタ 1 0 2 のゲートを $i - 2$ 本目の配線 2 1 又は $i - 3$ 本目の配線 2 1 と接続してもよい。

50

【 0 1 0 1 】

なお、 i 段目の順序回路 1 0 0 において、トランジスタ 1 0 5 のゲートを $i + 2$ 本目の配線 2 1 又は $i + 3$ 本目の配線 2 1 と接続してもよい。

【 0 1 0 2 】

本実施の形態は、他の実施の形態等と適宜組み合わせることで実施することが可能である。

【 0 1 0 3 】

(実施の形態 2)

本実施の形態では、バッファ回路を設けた基本回路、及び該基本回路を用いた順序回路について説明する。

【 0 1 0 4 】

まず、本実施の形態の基本回路の構成について、図 6 (A) を参照して説明する。図 6 (A) の基本回路は、図 1 (A) の基本回路にトランジスタ 2 0 1 を設けた構成である。

【 0 1 0 5 】

なお、トランジスタ 2 0 1 はトランジスタ 1 0 1 と同一の導電型であることが好ましい。本実施の形態では、これらのトランジスタが N チャネル型である場合について説明する。

【 0 1 0 6 】

トランジスタ 2 0 1 の第 1 の端子は配線 1 1 と接続され、トランジスタ 2 0 1 の第 2 の端子は配線 3 1 と接続され、トランジスタ 2 0 1 のゲートはトランジスタ 1 0 1 のゲートと接続される。

【 0 1 0 7 】

トランジスタ 2 0 1 は配線 1 1 と配線 3 1 との導通又は非導通を制御する機能を有する。また、トランジスタ 2 0 1 は配線 1 1 の信号 C K を配線 3 1 に供給する機能を有する。また、トランジスタ 2 0 1 は配線 3 1 とノード N 2 との電位差を保持する機能を有する。

【 0 1 0 8 】

配線 3 1 (信号線ともいう)からは信号 B O U T が出力され、配線 3 1 は信号 B O U T を伝達又は供給する機能を有する。信号 B O U T はハイレベルとロウレベルとを有する信号である。また、信号 B O U T は、図 6 (A) の基本回路の出力信号である。また、信号 B O U T はシフトレジスタ回路から出力される複数の出力信号のいずれか一、又は順序回路の出力信号に対応する信号である。

【 0 1 0 9 】

次に、図 6 (A) の基本回路の駆動方法について説明する。

【 0 1 1 0 】

なお、図 1 (A) の基本回路の駆動方法と共通するところはその説明を省略する。

【 0 1 1 1 】

また、配線 3 1 の初期の電位が電位 V S S であるとして説明する。

【 0 1 1 2 】

また、便宜上、ノード N 2 の電位がトランジスタ 1 0 1 がオンになる電位となれば、トランジスタ 2 0 1 もオンになるものとして説明する。

【 0 1 1 3 】

まず、期間 T a では、ノード N 2 の電位が配線 1 1 の電位 (例えば電位 V S S) とトランジスタ 1 0 1 の閾値電圧とを足した電位を超えた電位になる。よって、トランジスタ 2 0 1 がオンになるため、配線 1 1 の信号 C K が配線 3 1 に供給される。信号 C K はロウレベルであるため、配線 3 1 の電位が電位 V S S のままになる。すなわち、信号 B O U T がロウレベルとなる。

【 0 1 1 4 】

次に、期間 T b では、ノード N 2 の電位が配線 1 1 の電位 (例えば電位 V D D) とトランジスタ 1 0 1 の閾値電圧とを足した電位を超えた電位になる。よって、トランジスタ 2 0 1 がオンのままになるため、配線 1 1 の信号 C K が配線 3 1 に供給されたままになる。信号 C K がハイレベルであるため、配線 3 1 の電位が電位 V D D まで上昇する。すなわち、信号 B O U T がハイレベルになる。

10

20

30

40

50

【 0 1 1 5 】

図 6 (A) の基本回路では、信号 S P がハイレベルになる期間において、配線 3 1 の電位が電位 V S S から下降することを防止することができる。よって、図 6 (A) の基本回路は、より安定した信号を出力することができる。

【 0 1 1 6 】

また、図 6 (A) の基本回路は、実施の形態 1 の基本回路と同様の効果を奏することができる。

【 0 1 1 7 】

なお、配線 3 1 に負荷が接続される場合、該負荷はトランジスタ 2 0 1 によって駆動される。また、配線 3 1 に接続される負荷は配線 1 2 に接続される負荷よりも大きいことが多い。よって、トランジスタ 2 0 1 の W / L 比はトランジスタ 1 0 1 の W / L 比よりも大きいことが好ましい。

10

【 0 1 1 8 】

なお、トランジスタ 1 0 1 の第 1 の端子とトランジスタ 2 0 1 の第 1 の端子とを異なる配線と接続してもよい。

【 0 1 1 9 】

次に、図 6 (A) の基本回路を用いた順序回路について説明する。

【 0 1 2 0 】

まず、本実施の形態の順序回路の構成について、図 6 (B) を参照して説明する。図 6 (B) の順序回路は、図 3 の順序回路にトランジスタ 2 0 1 及びトランジスタ 2 0 2 を設けた構成である。

20

【 0 1 2 1 】

なお、トランジスタ 2 0 1 及びトランジスタ 2 0 2 はトランジスタ 1 0 1 と同じ導電型であることが好ましい。本実施の形態では、これらのトランジスタが N チャネル型である場合について説明する。

【 0 1 2 2 】

トランジスタ 2 0 1 の第 1 の端子は配線 1 1 と接続され、トランジスタ 2 0 1 の第 2 の端子は配線 3 1 と接続され、トランジスタ 2 0 1 のゲートはトランジスタ 1 0 1 のゲートと接続される。

【 0 1 2 3 】

トランジスタ 2 0 2 の第 1 の端子は配線 1 3 と接続され、トランジスタ 2 0 2 の第 2 の端子は配線 3 1 と接続され、トランジスタ 2 0 2 のゲートはノード N 1 と接続される。

30

【 0 1 2 4 】

トランジスタ 2 0 2 は配線 1 3 と配線 3 1 との導通又は非導通を制御する機能を有する。また、トランジスタ 2 0 2 は配線 1 3 の電位 V S S を配線 3 1 に供給する機能を有する。

【 0 1 2 5 】

次に、図 6 (B) の順序回路の駆動方法について説明する。

【 0 1 2 6 】

なお、図 3 の順序回路の駆動方法と共通するところはその説明を省略する。

【 0 1 2 7 】

また、配線 3 1 の初期の電位 V S S であるとして説明する。

40

【 0 1 2 8 】

また、便宜上、ノード N 2 の電位がトランジスタ 1 0 1 がオンになる電位となれば、トランジスタ 2 0 1 もオンになるものとして説明する。

【 0 1 2 9 】

また、便宜上、ノード N 1 の電位がトランジスタ 1 0 3 がオンになる電位となれば、トランジスタ 2 0 2 もオンになるものとして説明する。

【 0 1 3 0 】

まず、期間 T a において、ノード N 1 の電位が電位 V S S となるため、トランジスタ 2 0 2 がオフになる。また、ノード N 2 の電位が配線 1 1 の電位 (例えば電位 V S S) とトラ

50

ンジスタ101の閾値電圧とを足した電位を超えた電位になる。よって、トランジスタ201がオンになるため、配線11の信号CKが配線31に供給される。信号CKはロウレベルであるため、配線31の電位が電位VSSのままになる。すなわち、信号BOUTがロウレベルとなる。

【0131】

次に、期間Tbにおいて、ノードN1の電位が期間Taにおける電位に維持されるため、トランジスタ202がオフのままになる。また、ノードN2の電位が配線11の電位（例えば電位VDD）とトランジスタ101の閾値電圧とを足した電位を超えた電位になる。よって、トランジスタ201がオンになるため、配線11の信号CKが配線31に供給されたままになる。信号CKがハイレベルであるため、配線31の電位が電位VDDまで上昇する。すなわち、信号BOUTがハイレベルになる。

10

【0132】

次に、期間Tcにおいて、ノードN2の電位が電位VSSになるため、トランジスタ201がオフになる。また、ノードN1の電位が上昇し、トランジスタ105のゲートの電位（例えば電位VDD）からトランジスタ105の閾値電圧を引いた電位となる。よって、トランジスタ202がオンになるため、配線13の電位が配線31に供給される。よって、配線31の電位が電位VSSまで下降する。つまり、信号BOUTがロウレベルになる。

【0133】

次に、期間Tdにおいて、ノードN2の電位が電位VSSのままになるため、トランジスタ201がオフのままになる。また、ノードN1の電位が期間Tcにおける電位に維持される。よって、トランジスタ202がオンのままになるため、配線13の電位が配線31に供給されたままになる。そのため、配線31の電位が電位VSSのままになる。つまり、信号BOUTがロウレベルのままになる。

20

【0134】

図6(B)の順序回路は、上述した基本回路、実施の形態1の基本回路及び順序回路と同様の効果を奏することができる。

【0135】

なお、配線31に負荷が接続される場合、該負荷はトランジスタ201によって駆動される。また、配線31に接続される負荷は配線12に接続される負荷よりも大きいことが多い。よって、トランジスタ202のW/L比はトランジスタ103のW/L比よりも大きいことが好ましい。

30

【0136】

なお、トランジスタ201及びトランジスタ202は共に配線31に電荷を供給する。ただし、期間Tbにおけるトランジスタ201のVgsは期間Tcにおけるトランジスタ202のVgsよりも小さいことが多い。よって、トランジスタ201のW/L比はトランジスタ202のW/L比よりも大きいことが好ましい。

【0137】

なお、トランジスタ202を、第1の端子が配線13と接続され、第2の端子が配線31と接続されるスイッチング素子に置き換えてもよい。

40

【0138】

本実施の形態は、他の実施の形態等と適宜組み合わせることで実施することが可能である。

【0139】

(実施の形態3)

本実施の形態では、実施の形態1及び実施の形態2とは異なる順序回路について説明する。

【0140】

まず、図7(A)の順序回路は、図3の順序回路において、トランジスタ105の第2の端子を配線16と接続した構成である。

【0141】

50

図7(A)の順序回路では、配線15及び電位VDDを省略することができる。

【0142】

なお、実施の形態1~2で述べた順序回路及びシフトレジスタ回路等においても、トランジスタ105の第2の端子を配線16と接続してもよい。

【0143】

次に、図7(B)の順序回路は、図3の順序回路において、トランジスタ105の第2の端子を配線17と接続した構成である。

【0144】

配線17(信号線ともいう)には信号CKBが入力されており、配線17は信号CKBを伝達又は供給する機能を有する。信号CKBはハイレベルとロウレベルとを有する信号である。また、信号CKBはシフトレジスタ回路に入力される複数のクロック信号のいずれか一に対応する信号である。また、信号CKBは、信号CKの反転信号、又は信号CKから位相がずれた信号である。

10

【0145】

図7(B)の順序回路では、配線15及び電位VDDを省略することができる。

【0146】

なお、実施の形態1~2で述べた順序回路及びシフトレジスタ回路等においても、トランジスタ105の第2の端子を配線17と接続してもよい。

【0147】

次に、図8(A)の順序回路は、図3の順序回路に、容量素子301を設けた構成である。

20

【0148】

容量素子301の第1の電極は配線13と接続され、容量素子301の第2の電極はノードN1と接続される。

【0149】

容量素子301は配線13とノードN1との電位差を保持する機能を有する。また、容量素子301はノードN1の電位を維持する機能を有する。

【0150】

期間Taにおいて、容量素子301は、配線13の電位VSSがノードN1に供給されるとき配線13とノードN1との電位差を保持する。

30

【0151】

期間Tbにおいて、容量素子301は、期間Taにおける電圧を保持する。

【0152】

期間Tcにおいて、容量素子301は、配線15の電位VDDがノードN1に供給されるとき配線13とノードN1との電位差を保持する。

【0153】

期間Tdにおいて、容量素子301は、期間Tcにおける電圧を保持する。

【0154】

図8(A)の順序回路では、期間Tbにおいて、容量素子301が配線13とノードN1との電位差を保持しているため、配線12の電位の上昇に伴うノードN1の電位の上昇を抑制することができる。

40

【0155】

また、期間Tdにおいて、容量素子301が配線13とノードN1との電位差を保持しているため、ノードN1の電位の変動を抑制することができる。

【0156】

なお、容量素子301の第1の電極の接続先は配線13に限定されない。例えば、容量素子301の第1の電極を配線11、配線14、配線15、又は配線16等と接続してもよい。

【0157】

なお、実施の形態1~2及び本実施の形態で述べた基本回路、順序回路及びシフトレジスタ

50

タ回路等においても、容量素子 301 を設けてもよい。

【0158】

次に、図 8 (B) の順序回路は、図 3 の順序回路に、トランジスタ 302 を設けた構成である。

【0159】

なお、トランジスタ 302 はトランジスタ 101 と同じ導電型であることが好ましい。本実施の形態では、これらのトランジスタが N チャンネル型である場合について説明する。

【0160】

トランジスタ 302 の第 1 の端子は配線 13 と接続され、トランジスタ 302 の第 2 の端子はノード N2 と接続され、トランジスタ 302 のゲートは配線 16 と接続される。

10

【0161】

トランジスタ 302 は配線 13 とノード N2 との導通又は非導通を制御する機能を有する。また、トランジスタ 302 は配線 13 の電位 VSS をノード N2 に供給する機能を有する。

【0162】

期間 T a、期間 T b 及び期間 T d において、信号 R E はロウレベルになる。よって、トランジスタ 302 はオフになる。

【0163】

期間 T c において、信号 R E はハイレベルになる。信号 R E がハイレベルになると、トランジスタ 302 がオンになり、配線 13 の電位 VSS がノード N2 に供給される。

20

【0164】

図 8 (B) の順序回路では、トランジスタ 302 を有することにより、期間 T c において、配線 13 の電位 VSS をノード N2 に供給するタイミングを早くすることができる。よって、ノード N2 の電位が下降するタイミングを早くすることができるため、トランジスタ 101 がオフになるタイミングを早くすることができる。

【0165】

なお、実施の形態 1 ~ 2 及び本実施の形態で述べた基本回路、順序回路及びシフトレジスタ回路等においても、トランジスタ 302 を設けてもよい。

【0166】

なお、トランジスタ 302 を第 1 の端子が配線 13 と接続され、第 2 の端子がノード N2 と接続されるスイッチング素子に置き換えてもよい。

30

【0167】

次に、図 9 (A) の順序回路は、図 3 の順序回路に、トランジスタ 303 を設けた構成である。

【0168】

トランジスタ 303 の第 1 の端子は配線 13 と接続され、トランジスタ 303 の第 2 の端子は配線 12 と接続され、トランジスタ 303 のゲートは配線 16 と接続される。

【0169】

なお、トランジスタ 303 はトランジスタ 101 と同じ導電型であることが好ましい。本実施の形態では、これらのトランジスタが N チャンネル型である場合について説明する。

40

【0170】

トランジスタ 303 は配線 13 と配線 12 との導通又は非導通を制御する機能を有する。また、トランジスタ 303 は配線 13 の電位 VSS を配線 12 に供給する機能を有する。

【0171】

期間 T a、期間 T b 及び期間 T d において、信号 R E はロウレベルになる。よって、トランジスタ 303 はオフになる。

【0172】

期間 T c において、信号 R E はハイレベルになる。信号 R E がハイレベルになると、トランジスタ 303 がオンになり、配線 13 の電位 VSS が配線 12 に供給される。

【0173】

50

図9(A)の順序回路では、トランジスタ303を有することにより、期間Tcにおいて、配線13の電位VSSを配線12に供給するタイミングを早くすることができる。よって、信号OUTの立ち下がり時間を短くすることができる。

【0174】

なお、実施の形態1~2及び本実施の形態で述べた基本回路、順序回路及びシフトレジスタ回路等においても、トランジスタ303を設けてもよい。

【0175】

特に、実施の形態2で述べた基本回路及び順序回路等において、トランジスタ303を設ける場合には、トランジスタ303の第2の端子を配線31と接続してもよい。または、トランジスタ303を設け、さらに第1の端子が配線13と接続され、第2の端子が配線31と接続され、ゲートが配線16と接続されたトランジスタを設けてもよい。こうすれば、信号BOUTの立ち下がり時間を短くすることができる。

10

【0176】

なお、トランジスタ303を第1の端子が配線13と接続され、第2の端子が配線12又は配線31と接続されるスイッチング素子に置き換えてもよい。

【0177】

次に、図9(B)の順序回路は、図3の順序回路に、トランジスタ304を設けた構成である。

【0178】

なお、トランジスタ304はトランジスタ101と同じ導電型であることが好ましい。本実施の形態では、これらのトランジスタがNチャネル型である場合について説明する。

20

【0179】

トランジスタ304の第1の端子は配線15と接続され、トランジスタ304の第2の端子はノードN2と接続され、トランジスタ304のゲートは配線14と接続される。

【0180】

トランジスタ304は配線15とノードN2との導通又は非導通を制御する機能を有する。また、トランジスタ304は配線15の電位VDDをノードN2に供給する機能を有する。また、トランジスタ304はノードN2の電位を上昇させた後に、ノードN2への電荷、電位又は信号等の供給を止める機能を有する。

【0181】

期間Taにおいて、信号SPはハイレベルになる。信号SPがハイレベルになると、トランジスタ304がオンになる。トランジスタ304がオンになると、配線15の電位VDDがノードN2に供給される。よって、ノードN2の電位が上昇する。ノードN2の電位がトランジスタ304のゲートの電位(例えば電位VDD)からトランジスタ304のしきい値電圧を引いた電位となると、トランジスタ304がオフになる。トランジスタ304がオフになると、ノードN2が浮遊状態になる。

30

【0182】

期間Tb、期間Tc及び期間Tdにおいて、信号SPがロウレベルになる。信号SPがロウレベルになると、トランジスタ304がオフになる。

【0183】

図9(B)の順序回路は、トランジスタ304を有することにより、期間Taにおいて、ノードN2の電位を確実に上昇させることができる。つまり、トランジスタ101を確実にオンにすることができる。

40

【0184】

なお、実施の形態1~2及び本実施の形態で述べた基本回路、順序回路及びシフトレジスタ回路等においても、トランジスタ304を設けてもよい。

【0185】

なお、トランジスタ304の第1の端子を配線11、配線14又は配線17等と接続してもよい。

【0186】

50

なお、トランジスタ304を第1の端子が配線15又は配線11と接続され、第2の端子がノードN2と接続されるスイッチング素子に置き換えてもよい。

【0187】

次に、図10(A)の順序回路は、図3の順序回路に、トランジスタ305を設けた構成である。

【0188】

なお、トランジスタ305はトランジスタ101と同じ導電型であることが好ましい。本実施の形態では、これらのトランジスタがNチャネル型である場合について説明する。

【0189】

トランジスタ305の第1の端子は配線16と接続され、トランジスタ305の第2の端子はトランジスタ105のゲートと接続され、トランジスタ305のゲートは配線15と接続される。

10

【0190】

トランジスタ305は配線16とトランジスタ105のゲートとの導通又は非導通を制御する機能を有する。また、トランジスタ305は配線16の信号REをトランジスタ105のゲートに供給する機能を有する。また、トランジスタ305はトランジスタ105のゲートの電位を上昇させた後に、トランジスタ105のゲートへの電荷、信号又は電位等の供給を止める機能を有する。

【0191】

期間Ta、期間Tb及び期間Tdにおいて、トランジスタ305がオンになる。トランジスタ305がオンになると、配線16の信号REがトランジスタ105のゲートに供給される。信号REはロウレベルであるため、トランジスタ305のゲートの電位は電位VSSとなる。

20

【0192】

期間Tcにおいて、トランジスタ305がオンになる。トランジスタ305がオンになると、配線16の信号REがトランジスタ105のゲートに供給される。信号REはハイレベルであるため、トランジスタ105のゲートの電位が上昇する。トランジスタ105のゲートの電位が上昇すると、トランジスタ105がオンになる。トランジスタ105がオンになると、配線15の電位VDDがノードN1に供給され、ノードN1の電位が上昇する。また、トランジスタ105のゲートの電位がトランジスタ305のゲートの電位(例えば電位VDD)からトランジスタ305のしきい値電圧を引いた電位となると、トランジスタ305がオフになる。よって、トランジスタ105のゲートが浮遊状態となる。このとき、トランジスタ105のゲートと第2の端子との間には、トランジスタ105のゲートとノードN1との電位差が保持されている。よって、ノードN1の電位の上昇に伴って、トランジスタ105のゲートの電位も上昇する。トランジスタ105のゲートの電位が配線15の電位VDDとトランジスタ105のしきい値電圧とを足した電位を超えた電位となれば、トランジスタ105がオンのままになる。よって、ノードN1の電位が電位VDDとなる。

30

【0193】

図10(A)の順序回路では、トランジスタ305を有することにより、期間Tcにおいて、ノードN1の電位を電位VDDまで上昇させることができる。よって、トランジスタ103及びトランジスタ104のVgsを大きくすることができる。トランジスタ103及びトランジスタ104のVgsを大きくできれば、トランジスタ103及びトランジスタ104をより確実にオンにすることができる。

40

【0194】

なお、実施の形態1~2及び本実施の形態で述べた基本回路、順序回路及びシフトレジスタ回路等においても、トランジスタ305を設けてもよい。

【0195】

なお、トランジスタ305を第1の端子が配線16と接続され、第2の端子がトランジスタ105のゲートと接続されるスイッチング素子に置き換えてもよい。

50

【0196】

なお、第1の電極がトランジスタ105のゲートと接続され、第2の電極がトランジスタ105の第2の端子と接続される容量素子を設けてもよい。こうすれば、トランジスタ105のゲートと第2の端子との間の容量値を大きくすることができるため、トランジスタ105のゲートの電位をより高くすることができる。

【0197】

なお、トランジスタ305のゲートを配線17と接続してもよい。

【0198】

次に、図10(B)の順序回路は、図3の順序回路に、トランジスタ306及びトランジスタ307を設けた構成である。

10

【0199】

なお、トランジスタ306及びトランジスタ307はトランジスタ101と同じ導電型であることが好ましい。本実施の形態では、これらのトランジスタがNチャネル型である場合について説明する。

【0200】

トランジスタ306の第1の端子は配線15と接続され、トランジスタ306の第2の端子はトランジスタ105のゲートと接続され、トランジスタ306のゲートは配線16と接続される。

【0201】

トランジスタ307の第1の端子は配線13と接続され、トランジスタ307の第2の端子はトランジスタ105のゲートと接続され、トランジスタ307のゲートは配線14と接続される。

20

【0202】

トランジスタ306は配線15とトランジスタ105のゲートとの導通又は非導通を制御する機能を有する。また、トランジスタ306は配線15の電位VDDをトランジスタ105のゲートに供給する機能を有する。また、トランジスタ306はトランジスタ105のゲートの電位を上昇させた後に、トランジスタ105のゲートへの電荷、電位又は信号等の供給を止める機能を有する。

【0203】

トランジスタ307は配線13とトランジスタ105のゲートとの導通又は非導通を制御する機能を有する。また、トランジスタ307は配線13の電位VSSをトランジスタ105のゲートに供給する機能を有する。

30

【0204】

期間Taにおいて、信号SPがハイレベルになり、信号REがロウレベルになる。信号REがロウレベルになると、トランジスタ306がオフになる。また、信号SPがハイレベルになると、トランジスタ307がオンになる。トランジスタ307がオンになると、配線13の電位VSSがトランジスタ105のゲートに供給される。よって、トランジスタ105のゲートの電位が電位VSSとなり、トランジスタ105がオフになる。

【0205】

期間Tbにおいて、信号SPがロウレベルになり、信号REがロウレベルのままになる。信号SPがロウレベルになると、トランジスタ306がオフになる。また、信号REがロウレベルのままになると、トランジスタ307がオフのままになる。こうして、トランジスタ306及びトランジスタ307の双方がオフになると、トランジスタ105のゲートが浮遊状態になる。よって、トランジスタ105のゲートの電位が電位VSSに維持されるため、トランジスタ105がオフのままになる。

40

【0206】

期間Tcにおいて、信号SPがロウレベルのままになり、信号REがハイレベルになる。信号SPがロウレベルのままになると、トランジスタ307がオフのままになる。また、信号REがハイレベルになると、トランジスタ306がオンになる。トランジスタ306がオンになると、配線15の電位VDDがトランジスタ105のゲートに供給され、トラ

50

ンジスタ105のゲートの電位が上昇する。トランジスタ105のゲートの電位が上昇すると、トランジスタ105がオンになる。トランジスタ105がオンになると、配線15の電位VDDがノードN1に供給され、ノードN1の電位が上昇する。また、トランジスタ105のゲートの電位がトランジスタ306のゲートの電位(例えば電位VDD)からトランジスタ306のしきい値電圧を引いた電位になると、トランジスタ306がオフになる。よって、トランジスタ105のゲートが浮遊状態になる。このとき、トランジスタ105のゲートと第2の端子との間には、トランジスタ105のゲートとノードN1との電位差が保持されている。よって、ノードN1の電位の上昇に伴って、トランジスタ105のゲートの電位も上昇する。トランジスタ105のゲートの電位が配線15の電位VDDとトランジスタ105のしきい値電圧とを足した電位を超えた電位となれば、トランジスタ105がオンのままになる。よって、ノードN1の電位が電位VDDとなる。

10

【0207】

期間Tdにおいて、信号SPがロウレベルのままになり、信号REがロウレベルになる。信号SPがロウレベルのままになると、トランジスタ306がオフのままになる。また、信号REがロウレベルになると、トランジスタ307がオフになる。こうして、トランジスタ306及びトランジスタ307の双方がオフになると、トランジスタ105のゲートが浮遊状態になる。よって、トランジスタ105のゲートの電位が期間Tcにおける電位に維持されるため、トランジスタ105がオンのままになる。

【0208】

図10(B)の順序回路では、トランジスタ306及びトランジスタ307を有することにより、期間Tcにおいて、ノードN1の電位を電位VDDまで上昇させることができる。よって、トランジスタ103及びトランジスタ104のVgsを大きくすることができる。トランジスタ103及びトランジスタ104のVgsを大きくできれば、トランジスタ103及びトランジスタ104をより確実にオンにすることができる。

20

【0209】

また、期間Tdにおいて、トランジスタ105をオンのままにすることができる。よって、配線15の電位VDDをノードN1に供給し続けることができるため、ノードN1の電位を安定して維持することができる。

【0210】

なお、実施の形態1~2及び本実施の形態で述べた基本回路、順序回路及びシフトレジスタ回路等においても、トランジスタ306及びトランジスタ307を設けてもよい。

30

【0211】

なお、トランジスタ306を第1の端子が配線15と接続され、第2の端子がトランジスタ105のゲートと接続されるスイッチング素子に置き換えてもよい。

【0212】

なお、トランジスタ307を第1の端子が配線13と接続され、第2の端子がトランジスタ105のゲートと接続されるスイッチング素子に置き換えてもよい。

【0213】

なお、トランジスタ306の第1の端子を配線16又は配線17等と接続してもよい。

【0214】

次に、図11(A)の順序回路は、図3の順序回路に、回路308を設けた構成である。

40

【0215】

回路308の第1の端子はノードN1と接続され、回路308の第2の端子はトランジスタ104のゲートと接続される。

【0216】

回路308は、第1の端子の電位又は信号をなまらせたものを第2の端子から出力する機能を有する。また、回路308は、第1の端子の電位又は信号の立ち上がり時間及び/又は立ち下がり時間を長くしたものを第2の端子から出力する機能を有する。また、回路308は第1の端子の電位又は信号を遅延させたものを第2の端子から出力する機能を有する。

50

【0217】

期間T aにおいて、ノードN 1の電位の下降に伴って、配線1 2の電位が下降する。このとき、トランジスタ1 0 4のゲートの電位はノードN 1の電位よりも遅れて又はゆっくり下降するため、トランジスタ1 0 4がオンになっている。よって、配線1 3の電位V S Sがトランジスタ1 0 1のゲートに供給されている。その後、トランジスタ1 0 4のゲートの電位が下降し、トランジスタ1 0 4がオフになる。

【0218】

期間T cにおいて、ノードN 1の電位が上昇する。このとき、トランジスタ1 0 4のゲートの電位はノードN 1の電位よりも遅れて又はゆっくり上昇するため、トランジスタ1 0 4がオフになっている。その後、トランジスタ1 0 4のゲートの電位が上昇し、トランジスタ1 0 4がオンになる。よって、配線1 3の電位V S Sがトランジスタ1 0 1のゲートに供給され、トランジスタ1 0 1がオフになる。

10

【0219】

期間T b及び期間T dにおいては、ノードN 1の電位が大きく上昇又は下降しないため、図1 1 (A)の順序回路は、図3の順序回路の動作と同様である。

【0220】

図1 1 (A)の順序回路では、期間T aにおいて、配線1 2の電位が下降しているときに、配線1 3の電位V S SをノードN 2に供給することができる。よって、配線1 2の電位の下降に伴って、ノードN 2の電位が下降することを防止することができる。ノードN 2の電位の下降を防止することができれば、ノードN 2の電位をより高くすることができるため、トランジスタ1 0 1のV g sをより大きくすることができる。

20

【0221】

また、期間T cにおいて、トランジスタ1 0 1がオフになるタイミングを遅らせることができるため、配線1 1の信号C Kを配線1 2に供給することができる。信号C Kはロウレベルであるため、信号O U Tの立ち下がり時間を短くすることができる。特に、トランジスタ1 0 1のW / L比は大きい場合が多いため、信号O U Tの立ち下がり時間を大幅に短くすることができる。

【0222】

ここで、回路3 0 8の具体例について説明する。

【0223】

図1 1 (B)の回路3 0 8は、トランジスタ3 0 8 aを有する。トランジスタ3 0 8 aの第1の端子は回路3 0 8の第1の端子と接続され、トランジスタ3 0 8 aの第2の端子は回路3 0 8の第2の端子と接続され、トランジスタ3 0 8 aのゲートは配線1 1と接続される。

30

【0224】

図1 1 (C)の回路3 0 8は、図1 1 (B)の回路3 0 8にトランジスタ3 0 8 bを設けた構成である。トランジスタ3 0 8 bの第1の端子は回路3 0 8の第1の端子と接続され、トランジスタ3 0 8 bの第2の端子は回路3 0 8の第2の端子と接続され、トランジスタ3 0 8 bのゲートは回路3 0 8の第2の端子と接続される。

【0225】

図1 1 (D)の回路3 0 8は、図1 1 (B)の回路3 0 8にトランジスタ3 0 8 cを設けた構成である。トランジスタ3 0 8 cの第1の端子は配線1 1と接続され、トランジスタ3 0 8 cの第2の端子は回路3 0 8の第2の端子と接続され、トランジスタ3 0 8 cのゲートは回路3 0 8の第1の端子と接続される。

40

【0226】

図1 1 (E)の回路3 0 8は、図1 1 (B)の回路3 0 8にトランジスタ3 0 8 d及びトランジスタ3 0 8 eを設けた構成である。トランジスタ3 0 8 dの第1の端子は配線1 1と接続され、トランジスタ3 0 8 dの第2の端子は回路3 0 8の第2の端子と接続される。トランジスタ3 0 8 eの第1の端子は回路3 0 8の第1の端子と接続され、トランジスタ3 0 8 eの第2の端子はトランジスタ3 0 8 dのゲートと接続され、トランジスタ3 0

50

8 e のゲートは配線 1 1 と接続される。

【0227】

図 1 1 (E) の回路 3 0 8 では、トランジスタ 3 0 8 d のゲートの電位を電位 V D D よりも高い電位とすることができるため、回路 3 0 8 の第 2 の端子の電位を電位 V D D まで上昇させることができる。

【0228】

なお、トランジスタ 3 0 8 a 乃至トランジスタ 3 0 8 e は、トランジスタ 1 0 1 と同じ導電型であることが好ましい。

【0229】

なお、トランジスタ 3 0 8 a のゲート、トランジスタ 3 0 8 c の第 1 の端子、トランジスタ 3 0 8 d の第 1 の端子、及び / 又はトランジスタ 3 0 8 e のゲートを配線 1 7 等と接続してもよい。

10

【0230】

本実施の形態は、他の実施の形態等と適宜組み合わせる実施することが可能である。

【0231】

(実施の形態 4)

E L 表示装置を例に挙げて、本発明の一態様に係る表示装置の、画素と駆動回路の断面構造について、図 1 2 を用いて説明する。図 1 2 に、画素 8 4 0 と駆動回路 8 4 1 の断面図を一例として示す。

【0232】

20

画素 8 4 0 は、発光素子 8 3 2 と、発光素子 8 3 2 に電流を供給する機能を備えるトランジスタ 8 3 1 とを有する。なお、画素 8 4 0 は、発光素子 8 3 2 及びトランジスタ 8 3 1 に加えて、画像信号の画素 8 4 0 への入力を制御するトランジスタや、画像信号の電位を保持する容量素子など、各種の半導体素子を有していてもよい。

【0233】

駆動回路 8 4 1 は、トランジスタ 8 3 0 と、トランジスタ 8 3 0 のゲート電圧を保持するための容量素子 8 3 3 とを有する。駆動回路 8 4 1 は、実施の形態 1 ~ 3 の基本回路、順序回路及びシフトレジスタ回路等に対応する。具体的には、トランジスタ 8 3 0 は、トランジスタ 1 0 1 又はトランジスタ 2 0 1 等に相当する。なお、駆動回路 8 4 1 は、トランジスタ 8 3 0 及び容量素子 8 3 3 に加えて、トランジスタや容量素子などの各種の半導体素子を有していてもよい。

30

【0234】

トランジスタ 8 3 1 は、絶縁表面を有する基板 8 0 0 上に、ゲートとして機能する導電膜 8 1 6 と、導電膜 8 1 6 上のゲート絶縁膜 8 0 2 と、導電膜 8 1 6 と重なる位置においてゲート絶縁膜 8 0 2 上に位置する半導体膜 8 1 7 と、ソース端子またはドレイン端子として機能し、半導体膜 8 1 7 上に位置する導電膜 8 1 5 及び導電膜 8 1 8 とを有する。導電膜 8 1 6 は走査線としても機能する。

【0235】

トランジスタ 8 3 0 は、絶縁表面を有する基板 8 0 0 上に、ゲートとして機能する導電膜 8 1 2 と、導電膜 8 1 2 上のゲート絶縁膜 8 0 2 と、導電膜 8 1 2 と重なる位置においてゲート絶縁膜 8 0 2 上に位置する半導体膜 8 1 3 と、ソース端子またはドレイン端子として機能し、半導体膜 8 1 3 上に位置する導電膜 8 1 4 及び導電膜 8 1 9 とを有する。

40

【0236】

容量素子 8 3 3 は、絶縁表面を有する基板 8 0 0 上に、導電膜 8 1 2 と、導電膜 8 1 2 上のゲート絶縁膜 8 0 2 と、導電膜 8 1 2 と重なる位置においてゲート絶縁膜 8 0 2 上に位置する導電膜 8 1 9 とを有する。

【0237】

また、導電膜 8 1 4、導電膜 8 1 5、導電膜 8 1 8、導電膜 8 1 9 上には、絶縁膜 8 2 0 及び絶縁膜 8 2 1 が、順に積層されるように設けられている。そして、絶縁膜 8 2 1 上には、陽極として機能する導電膜 8 2 2 が設けられている。導電膜 8 2 2 は、絶縁膜 8 2 0

50

及び絶縁膜 8 2 1 に形成されたコンタクトホール 8 2 3 を介して、導電膜 8 1 8 に接続されている。

【 0 2 3 8 】

また、導電膜 8 2 2 の一部が露出するような開口部を有した絶縁膜 8 2 4 が、絶縁膜 8 2 1 上に設けられている。導電膜 8 2 2 の一部及び絶縁膜 8 2 4 上には、E L 層 8 2 5 と、陰極として機能する導電膜 8 2 6 とが、順に積層するように設けられている。導電膜 8 2 2 と、E L 層 8 2 5 と、導電膜 8 2 6 とが重なっている領域が、発光素子 8 3 2 に相当する。

【 0 2 3 9 】

なお、本発明の一態様では、トランジスタ 8 3 0 及びトランジスタ 8 3 1 は、非晶質、微結晶、多結晶又は単結晶である、シリコン又はゲルマニウムなどの半導体が半導体膜に用いられていてもよいし、酸化物半導体などのワイドギャップ半導体が半導体膜に用いられていてもよい。

10

【 0 2 4 0 】

トランジスタ 8 3 0 及びトランジスタ 8 3 1 の半導体膜に、非晶質、微結晶、多結晶又は単結晶である、シリコン又はゲルマニウムなどの半導体が用いられる場合、一導電性を付与する不純物元素を上記半導体膜に添加して、ソース端子またはドレイン端子として機能する不純物領域を形成する。例えば、リンまたはヒ素を上記半導体膜に添加することで、n 型の導電性を有する不純物領域を形成することができる。また、例えば、ホウ素を上記半導体膜に添加することで、p 型の導電性を有する不純物領域を形成することができる。

20

【 0 2 4 1 】

トランジスタ 8 3 0 及びトランジスタ 8 3 1 の半導体膜に、酸化物半導体が用いられる場合、ドーパントを上記半導体膜に添加して、ソース端子またはドレイン端子として機能する不純物領域を形成してもよい。ドーパントの添加は、イオン注入法を用いることができる。ドーパントは、例えばヘリウム、アルゴン、キセノンなどの希ガスや、窒素、リン、ヒ素、アンチモンなどの 1 5 族元素などを用いることができる。例えば、窒素をドーパントとして用いた場合、不純物領域中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。

【 0 2 4 2 】

なお、シリコン半導体としては、プラズマ C V D 法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウエハーに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

30

【 0 2 4 3 】

酸化物半導体膜としては、少なくとも In、Ga、Sn 及び Zn から選ばれた一種以上の元素を含有する。例えば、四元系金属の酸化物である In - Sn - Ga - Zn - O 系酸化物半導体や、三元系金属の酸化物である In - Ga - Zn - O 系酸化物半導体、In - Sn - Zn - O 系酸化物半導体、In - Al - Zn - O 系酸化物半導体、Sn - Ga - Zn - O 系酸化物半導体、Al - Ga - Zn - O 系酸化物半導体、Sn - Al - Zn - O 系酸化物半導体や、二元系金属の酸化物である In - Zn - O 系酸化物半導体、Sn - Zn - O 系酸化物半導体、Al - Zn - O 系酸化物半導体、Zn - Mg - O 系酸化物半導体、Sn - Mg - O 系酸化物半導体、In - Mg - O 系酸化物半導体や、In - Ga - O 系酸化物半導体、一元系金属の酸化物である In - O 系酸化物半導体、Sn - O 系酸化物半導体、Zn - O 系酸化物半導体などを用いることができる。また、上記酸化物半導体に In と Ga と Sn と Zn 以外の元素、例えば SiO_2 を含ませてもよい。

40

【 0 2 4 4 】

例えば、In - Ga - Zn - O 系酸化物半導体とは、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) を有する酸化物半導体、という意味であり、その組成は問わない。

【 0 2 4 5 】

また、酸化物半導体膜は、化学式 $\text{InMO}_3 (\text{ZnO})_m (m > 0)$ で表記される薄膜を

50

用いることができる。ここで、Mは、Zn、Ga、Al、Mn及びCoから選ばれた一または複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoなどがある。

【0246】

また、酸化物半導体としてIn-Zn-O系の材料を用いる場合、用いるターゲット中の金属元素の原子数比は、 $In : Zn = 50 : 1 \sim 1 : 2$ (モル数比に換算すると $In_2O_3 : ZnO = 25 : 1 \sim 1 : 4$)、好ましくは $In : Zn = 20 : 1 \sim 1 : 1$ (モル数比に換算すると $In_2O_3 : ZnO = 10 : 1 \sim 1 : 2$)、さらに好ましくは $In : Zn = 15 : 1 \sim 1.5 : 1$ (モル数比に換算すると $In_2O_3 : ZnO = 15 : 2 \sim 3 : 4$)とする。例えば、In-Zn-O系酸化物半導体の形成に用いるターゲットは、原子数比が $In : Zn : O = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。Znの比率を上記範囲に収めることで、移動度の向上を実現することができる。

10

【0247】

なお、電子供与体(ドナー)となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体(purified Oxide Semiconductor)は、i型(真性半導体)又はi型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく低いという特性を有する。また、酸化物半導体のバンドギャップは、2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である。水分または水素などの不純物濃度が十分に低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を下げる可以降低。

20

【0248】

具体的に、高純度化された酸化物半導体を半導体膜に用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu m$ でチャネル長が $10 \mu m$ の素子であっても、ソース端子とドレイン端子間の電圧(ドレイン電圧)が1Vから10Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} A$ 以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャネル幅で除した数値に相当するオフ電流密度は、 $100 z A / \mu m$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流密度の測定を行った。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流密度を測定した。その結果、トランジスタのソース端子とドレイン端子間の電圧が3Vの場合に、数十yA/ μm という、さらに低いオフ電流密度が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低い。

30

【0249】

なお、特に断りがない限り、本明細書でオフ電流とは、nチャネル型トランジスタにおいては、ドレイン端子をソース端子とゲートよりも高い電位とした状態において、ソース端子の電位を基準としたときのゲートの電位が0以下であるときに、ソース端子とドレイン端子の間に流れる電流のことを意味する。或いは、本明細書でオフ電流とは、pチャネル型トランジスタにおいては、ドレイン端子をソース端子とゲートよりも低い電位とした状態において、ソース端子の電位を基準としたときのゲートの電位が0以上であるときに、ソース端子とドレイン端子の間に流れる電流のことを意味する。

40

【0250】

なお、例えば、酸化物半導体膜は、In(インジウム)、Ga(ガリウム)、及びZn(亜鉛)を含むターゲットを用いたスパッタ法により形成することができる。In-Ga-Zn系酸化物半導体膜をスパッタリング法で成膜する場合、好ましくは、原子数比が $In : Ga : Zn = 1 : 1 : 1$ 、 $4 : 2 : 3$ 、 $3 : 1 : 2$ 、 $1 : 1 : 2$ 、 $2 : 1 : 3$ 、または

50

3 : 1 : 4 で示される In - Ga - Zn 系酸化物のターゲットを用いる。前述の原子数比を有する In - Ga - Zn 系酸化物のターゲットを用いて酸化物半導体膜を成膜することで、多結晶または後述する C A A C が形成されやすくなる。

【 0 2 5 1 】

また、In、Ga、及びZnを含むターゲットの充填率は90%以上100%以下、好ましくは95%以上100%未満である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

【 0 2 5 2 】

そして、具体的に酸化物半導体膜は、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて形成すればよい。成膜時に、基板温度を100 以上600 以下、好ましくは200 以上400 以下としてもよい。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて成膜室を排気すると、例えば、水素原子、水(H₂O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【 0 2 5 3 】

なお、スパッタ等で成膜された酸化物半導体膜中には、不純物としての水分または水素(水酸基を含む)が多量に含まれていることがある。水分または水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、酸化物半導体膜中の水分または水素などの不純物を低減(脱水化または脱水素化)するために、酸化物半導体膜に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、または超乾燥エア(CRDS(キャピティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)雰囲気下で、加熱処理を施す。

【 0 2 5 4 】

酸化物半導体膜に加熱処理を施すことで、酸化物半導体膜中の水分または水素を脱離させることができる。具体的には、250 以上750 以下、好ましくは400 以上基板の歪み点未満の温度で加熱処理を行えばよい。例えば、500 、3分間以上6分間以下程度で行えばよい。加熱処理にRTA法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。

【 0 2 5 5 】

なお、上記加熱処理により、酸化物半導体膜から酸素が脱離し、酸化物半導体膜内に酸素欠損が形成される場合がある。よって、本発明の一態様では、酸化物半導体膜と接するゲート絶縁膜などの絶縁膜として、酸素を含む絶縁膜を用いる。そして、酸素を含む絶縁膜を形成した後、加熱処理を施すことで、上記絶縁膜から酸化物半導体膜に酸素が供与されるようにする。上記構成により、ドナーとなる酸素欠損を低減し、酸化物半導体膜に含まれる酸化物半導体の、化学量論的組成を満たすことができる。酸化物半導体膜には、化学量論的組成を超える量の酸素が含まれていることが好ましい。その結果、酸化物半導体膜をi型に近づけることができ、酸素欠損によるトランジスタの電気的特性のばらつきを軽減し、電気的特性の向上を実現することができる。

【 0 2 5 6 】

なお、酸素を酸化物半導体膜に供与するための加熱処理は、窒素、超乾燥空気、または希ガス(アルゴン、ヘリウムなど)の雰囲気下において、好ましくは200 以上400 以下、例えば250 以上350 以下)で行う。上記ガスは、水の含有量が20ppm

10

20

30

40

50

以下、好ましくは1 ppm以下、より好ましくは10 ppb以下であることが望ましい。

【0257】

なお、酸化物半導体膜は、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態をとる。

【0258】

好ましくは、酸化物半導体膜は、CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）膜とする。

【0259】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部および非晶質部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡（TEM：Transmission Electron Microscope）による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界（グレインバウンダリーともいう。）は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

10

【0260】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつab面に垂直な方向から見て三角形または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。

20

【0261】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

30

【0262】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

【0263】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

40

【0264】

なお、酸化物半導体膜を構成する酸素の一部は窒素で置換されてもよい。

【0265】

CAAC-OS膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域がa-b面から劈開し、a-b面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、CAAC-OS膜を成膜することができる。

【0266】

50

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

【 0 2 6 7 】

成膜時の不純物混入を低減することで、不純物によって結晶が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が - 8 0 以下、好ましくは - 1 0 0 以下である成膜ガスを用いる。

【 0 2 6 8 】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を 1 0 0 以上 7 4 0 以下、好ましくは 2 0 0 以上 5 0 0 以下として成膜する。成膜時の基板加熱温度を高めることで、平 10
板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

【 0 2 6 9 】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、3 0 体積%以上、好ましくは 1 0 0 体積%とする。

【 0 2 7 0 】

スパッタリング用ターゲットの一例として、I n - G a - Z n - O 化合物ターゲットについて以下に示す。

【 0 2 7 1 】

I n O _x 粉末、G a O _y 粉末および Z n O _z 粉末を所定の m o l 数比で混合し、加圧処理後、1 0 0 0 以上 1 5 0 0 以下の温度で加熱処理をすることで多結晶である I n - G a - Z n - O 化合物ターゲットとする。なお、X、Y および Z は任意の正数である。ここで、所定の m o l 数比は、例えば、I n O _x 粉末、G a O _y 粉末および Z n O _z 粉末が、2 : 2 : 1、8 : 4 : 3、3 : 1 : 1、1 : 1 : 1、4 : 2 : 3 または 3 : 1 : 2 である。なお、粉末の種類、およびその混合する m o l 数比は、作製するスパッタリング用ター 20
ゲットによって適宜変更すればよい。

【 0 2 7 2 】

次いで、本発明の半導体装置が有するトランジスタの、具体的な構成の一例について説明 30
する。

【 0 2 7 3 】

図 1 3 (A) に示すトランジスタは、チャンネルエッチ構造の、ボトムゲート型である。

【 0 2 7 4 】

そして、図 1 3 (A) に示すトランジスタは、絶縁表面上に形成されたゲート電極（ゲート）1 6 0 2 と、ゲート電極 1 6 0 2 上のゲート絶縁膜 1 6 0 3 と、ゲート絶縁膜 1 6 0 3 上においてゲート電極 1 6 0 2 と重なっている半導体膜 1 6 0 4 と、半導体膜 1 6 0 4 上に形成された導電膜 1 6 0 5、導電膜 1 6 0 6 とを有する。さらに、トランジスタは、半導体膜 1 6 0 4、導電膜 1 6 0 5 及び導電膜 1 6 0 6 上に形成された絶縁膜 1 6 0 7 を、その構成要素に含めてもよい。

【 0 2 7 5 】

なお、図 1 3 (A) に示したトランジスタは、半導体膜 1 6 0 4 と重なる位置において絶縁膜 1 6 0 7 上に形成されたバックゲート電極を、更に有していてもよい。

【 0 2 7 6 】

図 1 3 (B) に示すトランジスタは、チャンネル保護構造の、ボトムゲート型である。

【 0 2 7 7 】

そして、図 1 3 (B) に示すトランジスタは、絶縁表面上に形成されたゲート電極 1 6 1 2 と、ゲート電極 1 6 1 2 上のゲート絶縁膜 1 6 1 3 と、ゲート絶縁膜 1 6 1 3 上においてゲート電極 1 6 1 2 と重なっている半導体膜 1 6 1 4 と、半導体膜 1 6 1 4 上に形成されたチャンネル保護膜 1 6 1 8 と、半導体膜 1 6 1 4 上に形成された導電膜 1 6 1 5、導電膜 1 6 1 6 とを有する。さらに、トランジスタは、チャンネル保護膜 1 6 1 8、導電膜 1 6 40
50

15及び導電膜1616上に形成された絶縁膜1617を、その構成要素に含めてもよい。

【0278】

なお、図13(B)に示したトランジスタは、半導体膜1614と重なる位置において絶縁膜1617上に形成されたバックゲート電極を、更に有していてもよい。

【0279】

チャネル保護膜1618を設けることによって、半導体膜1614のチャネル形成領域となる部分に対する、後の工程における、エッチング時のプラズマやエッチング剤による膜減りなどのダメージを防ぐことができる。従ってトランジスタの信頼性を向上させることができる。

10

【0280】

図13(C)に示すトランジスタは、ボトムコンタクト構造の、ボトムゲート型である。

【0281】

そして、図13(C)に示すトランジスタは、絶縁表面上に形成されたゲート電極1622と、ゲート電極1622上のゲート絶縁膜1623と、ゲート絶縁膜1623上の導電膜1625、導電膜1626と、ゲート絶縁膜1623上においてゲート電極1622と重なっており、なおかつ導電膜1625、導電膜1626上に形成された半導体膜1624とを有する。さらに、トランジスタは、導電膜1625、導電膜1626、及び半導体膜1624上に形成された絶縁膜1627を、その構成要素に含めてもよい。

【0282】

20

なお、図13(C)に示したトランジスタは、半導体膜1624と重なる位置において絶縁膜1627上に形成されたバックゲート電極を、更に有していてもよい。

【0283】

図13(D)に示すトランジスタは、ボトムコンタクト構造の、トップゲート型である。

【0284】

そして、図13(D)に示すトランジスタは、絶縁表面上に形成された導電膜1645、導電膜1646と、絶縁表面及び導電膜1645、導電膜1646上に形成された半導体膜1644と、半導体膜1644、導電膜1645及び導電膜1646上に形成されたゲート絶縁膜1643と、ゲート絶縁膜1643上において半導体膜1644と重なっているゲート電極1642とを有する。さらに、トランジスタは、ゲート電極1642上に形成された絶縁膜1647を、その構成要素に含めてもよい。

30

【0285】

本実施の形態のトランジスタを実施の形態1～3の基本回路、順序回路及びシフトレジスタ回路等を構成するトランジスタに用いることができる。特に、本実施の形態において、酸化物半導体を用いたトランジスタはオフ電流が小さい。よって、このトランジスタを実施の形態1～3の基本回路、順序回路及びシフトレジスタ回路等に用いることにより、ノードN1及びノードN2等から漏れる電荷を少なくすることができる。ノードN1及びノードN2等から漏れる電荷を少なくすることができれば、駆動周波数を小さくすることができる。

【0286】

40

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0287】

(実施の形態5)

図14に、表示装置の一形態に相当する、パネルの一例について説明する。図14に示すパネルは、基板700と、基板700上の画素部701、信号線駆動回路702、走査線駆動回路703、及び端子704とを有する。

【0288】

画素部701は複数の画素を有し、各画素には、表示素子と、当該表示素子の動作を制御する単数または複数のトランジスタとが設けられている。走査線駆動回路703は、各画素に接続された走査線への電位の供給を制御することで、画素部701が有する画素を選

50

択する。信号線駆動回路702は、走査線駆動回路703により選択された画素への画像信号の供給を制御する。

【0289】

信号線駆動回路702及び走査線駆動回路703の一方又は双方は、実施の形態1～3の基本回路、順序回路又はシフトレジスタ回路等を含むことができる。こうすれば、実施の形態1～3で説明した効果を奏することができるとともに、画素部701を大きくすることができる。また、画素部701に多くの画素を設けることができる。

【0290】

なお、表示素子としては、液晶素子又は発光素子等を用いることができる。

【0291】

本実施の形態は、他の実施の形態と適宜組み合わせ実施することが可能である。

【0292】

(実施の形態6)

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラやデジタルスチルカメラなどのカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図15に示す。

【0293】

図15(A)は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロホン5005、スピーカー5006、操作キー5007、スタイラス5008等を有する。携帯型ゲーム機の駆動回路に、本発明の一態様に係る半導体装置を用いることで、消費電力が低く、動作が安定した携帯型ゲーム機を提供することができる。なお、図15(A)に示した携帯型ゲーム機は、2つの表示部5003と表示部5004とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0294】

図15(B)は表示機器であり、筐体5201、表示部5202、支持台5203等を有する。表示機器の駆動回路に、本発明の一態様に係る半導体装置を用いることで、消費電力が低く、動作が安定した表示機器を提供することができる。なお、表示機器には、パーソナルコンピュータ用、TV放送受信用、広告表示用などの全ての情報表示用表示機器が含まれる。

【0295】

図15(C)はノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。ノート型パーソナルコンピュータの駆動回路に、本発明の一態様に係る半導体装置を用いることで、消費電力が低く、動作が安定したノート型パーソナルコンピュータを提供することができる。

【0296】

図15(D)は携帯情報端末であり、第1筐体5601、第2筐体5602、第1表示部5603、第2表示部5604、接続部5605、操作キー5606等を有する。第1表示部5603は第1筐体5601に設けられており、第2表示部5604は第2筐体5602に設けられている。そして、第1筐体5601と第2筐体5602とは、接続部5605により接続されており、第1筐体5601と第2筐体5602の間の角度は、接続部5605により可動となっている。第1表示部5603における映像の切り替えを、接続部5605における第1筐体5601と第2筐体5602との間の角度に従って、切り替

10

20

30

40

50

える構成としてもよい。携帯情報端末の駆動回路に、本発明の一態様に係る半導体装置を用いることで、消費電力が低く、動作が安定した携帯情報端末を提供することができる。

【0297】

図15(E)は携帯電話であり、筐体5801、表示部5802、音声入力部5803、音声出力部5804、操作キー5805、受光部5806等を有する。受光部5806において受信した光を電気信号に変換することで、外部の画像を取り込むことができる。携帯電話の駆動回路に、本発明の一態様に係る半導体装置を用いることで、消費電力が低く、動作が安定した携帯電話を提供することができる。

【0298】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することができる。

10

【符号の説明】

【0299】

M1 トランジスタ
M3 トランジスタ
M7 トランジスタ
N1 ノード
N2 ノード
11 配線
12 配線
13 配線
14 配線
15 配線
16 配線
17 配線
21 配線
21[i] 配線
21[i-1] 配線
21[N] 配線
21[1] 配線
22 配線
23 配線
24 配線
31 配線
100 順序回路
100[1] 順序回路
100[3] 順序回路
101 トランジスタ
102 トランジスタ
103 トランジスタ
104 トランジスタ
105 トランジスタ
110 容量素子
201 トランジスタ
202 トランジスタ
301 容量素子
302 トランジスタ
303 トランジスタ
304 トランジスタ
305 トランジスタ
306 トランジスタ

20

30

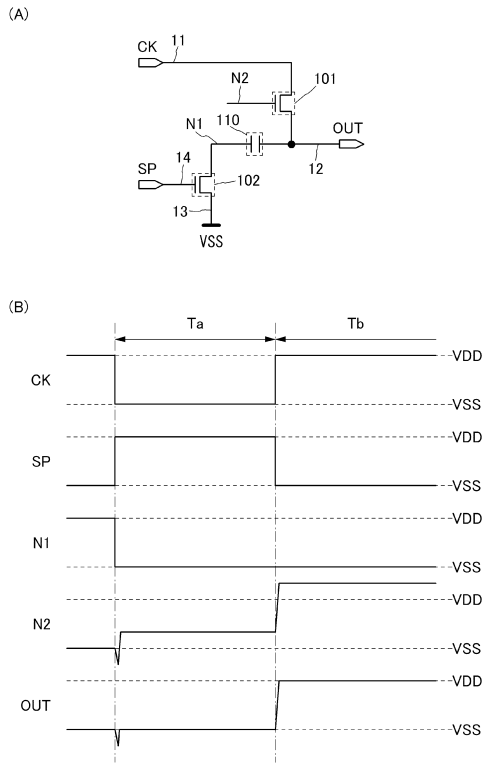
40

50

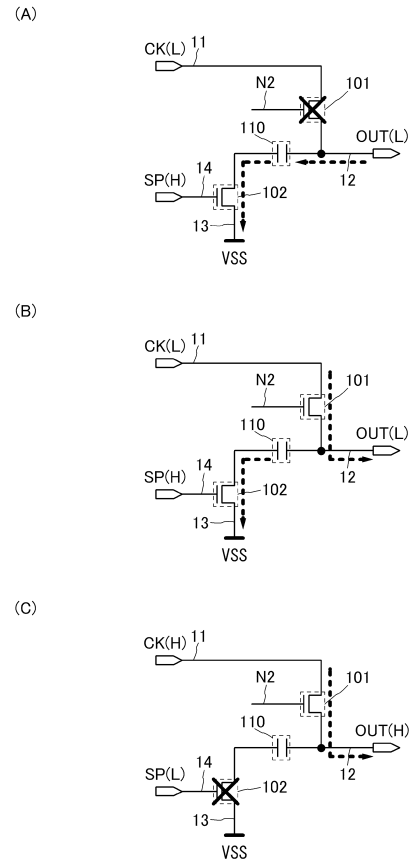
3 0 7	トランジスタ	
3 0 8	回路	
3 0 8 a	トランジスタ	
3 0 8 b	トランジスタ	
3 0 8 c	トランジスタ	
3 0 8 d	トランジスタ	
3 0 8 e	トランジスタ	
7 0 0	基板	
7 0 1	画素部	
7 0 2	信号線駆動回路	10
7 0 3	走査線駆動回路	
7 0 4	端子	
8 0 0	基板	
8 0 2	ゲート絶縁膜	
8 1 2	導電膜	
8 1 3	半導体膜	
8 1 4	導電膜	
8 1 5	導電膜	
8 1 6	導電膜	
8 1 7	半導体膜	20
8 1 8	導電膜	
8 1 9	導電膜	
8 2 0	絶縁膜	
8 2 1	絶縁膜	
8 2 2	導電膜	
8 2 3	コンタクトホール	
8 2 4	絶縁膜	
8 2 5	E L 層	
8 2 6	導電膜	
8 3 0	トランジスタ	30
8 3 1	トランジスタ	
8 3 2	発光素子	
8 3 3	容量素子	
8 4 0	画素	
8 4 1	駆動回路	
1 6 0 2	ゲート電極	
1 6 0 3	ゲート絶縁膜	
1 6 0 4	半導体膜	
1 6 0 5	導電膜	
1 6 0 6	導電膜	40
1 6 0 7	絶縁膜	
1 6 1 2	ゲート電極	
1 6 1 3	ゲート絶縁膜	
1 6 1 4	半導体膜	
1 6 1 5	導電膜	
1 6 1 6	導電膜	
1 6 1 7	絶縁膜	
1 6 1 8	チャンネル保護膜	
1 6 2 2	ゲート電極	
1 6 2 3	ゲート絶縁膜	50

1 6 2 4	半導体膜	
1 6 2 5	導電膜	
1 6 2 6	導電膜	
1 6 2 7	絶縁膜	
1 6 4 2	ゲート電極	
1 6 4 3	ゲート絶縁膜	
1 6 4 4	半導体膜	
1 6 4 5	導電膜	
1 6 4 6	導電膜	
1 6 4 7	絶縁膜	10
5 0 0 1	筐体	
5 0 0 2	筐体	
5 0 0 3	表示部	
5 0 0 4	表示部	
5 0 0 5	マイクロホン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 2 0 1	筐体	
5 2 0 2	表示部	20
5 2 0 3	支持台	
5 4 0 1	筐体	
5 4 0 2	表示部	
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	筐体	
5 6 0 3	表示部	
5 6 0 4	表示部	
5 6 0 5	接続部	30
5 6 0 6	操作キー	
5 8 0 1	筐体	
5 8 0 2	表示部	
5 8 0 3	音声入力部	
5 8 0 4	音声出力部	
5 8 0 5	操作キー	
5 8 0 6	受光部	

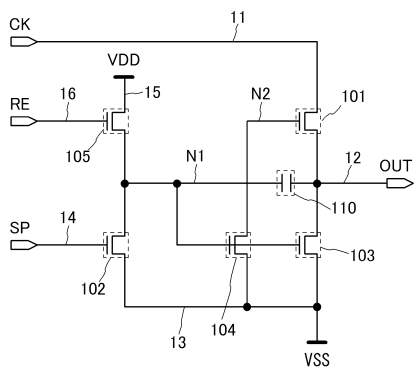
【 図 1 】



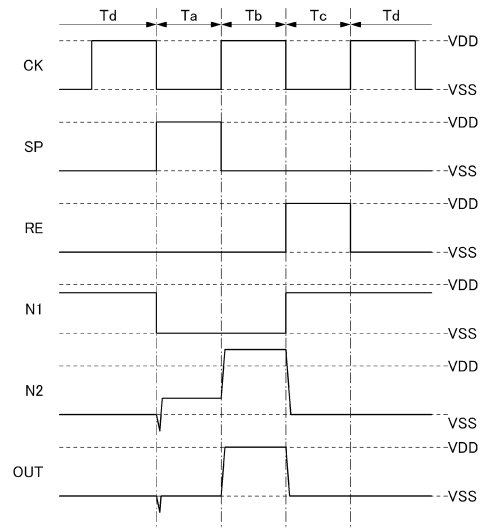
【 図 2 】



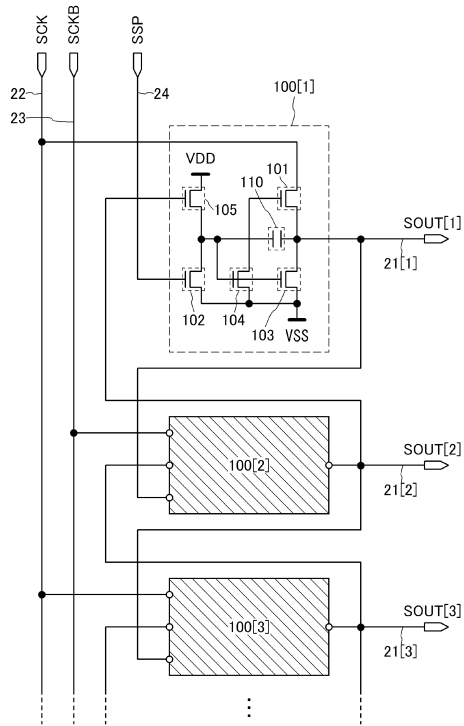
【 図 3 】



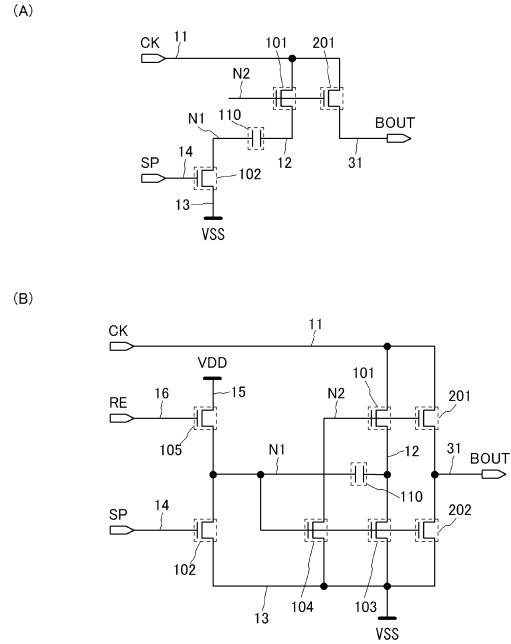
【 図 4 】



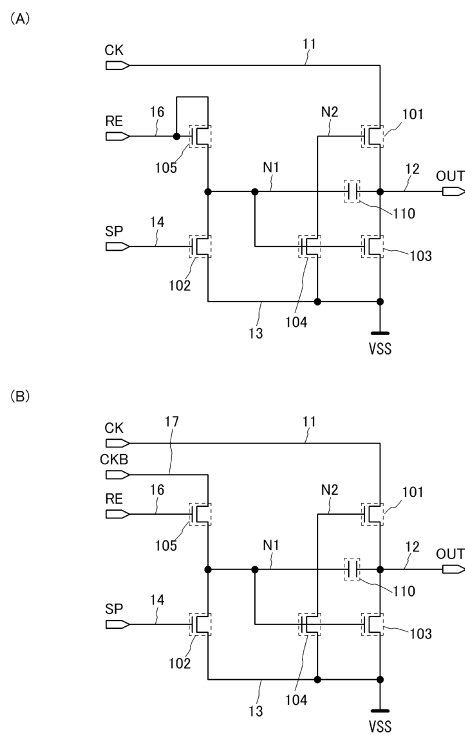
【 図 5 】



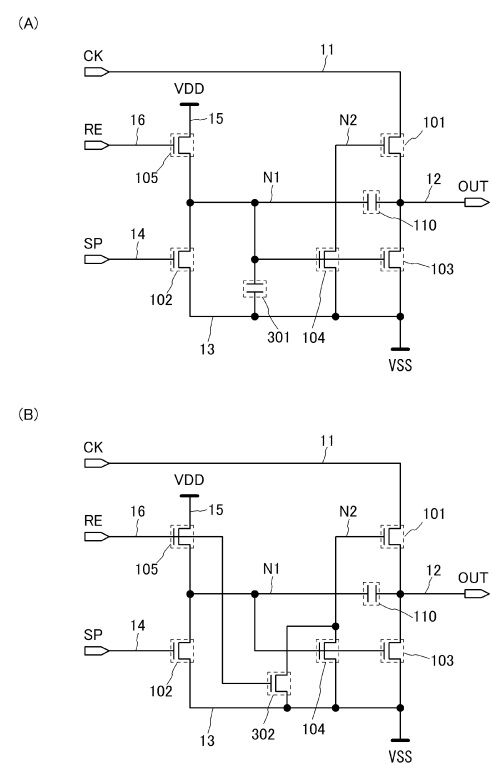
【 図 6 】



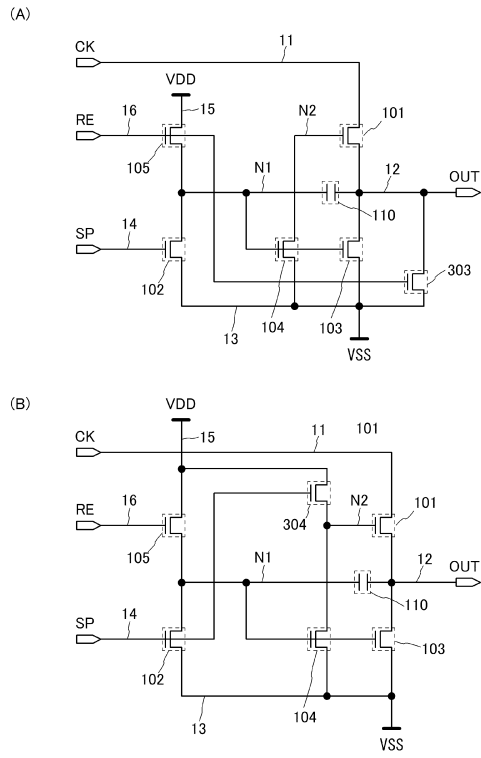
【 図 7 】



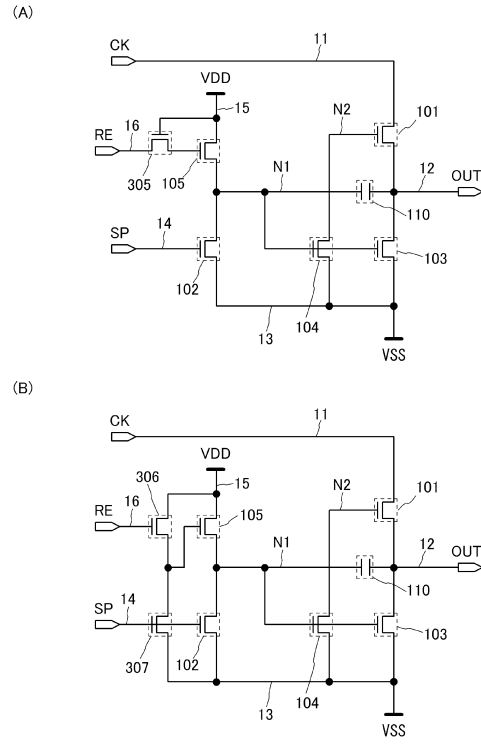
【 図 8 】



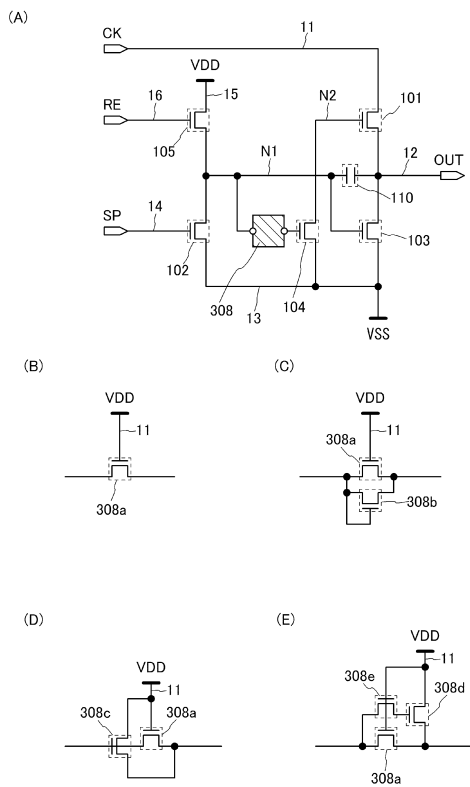
【 図 9 】



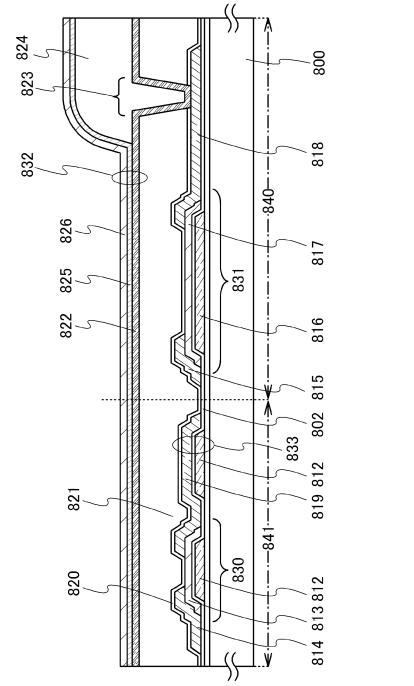
【 図 10 】



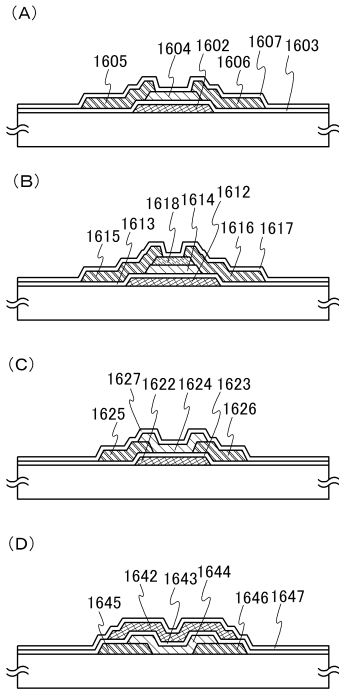
【 図 11 】



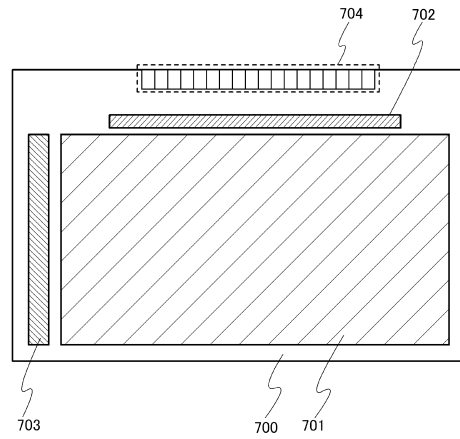
【 図 12 】



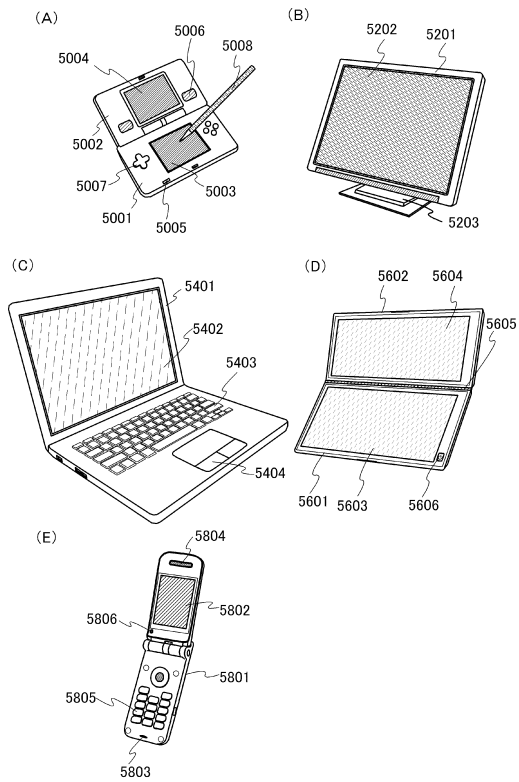
【図13】



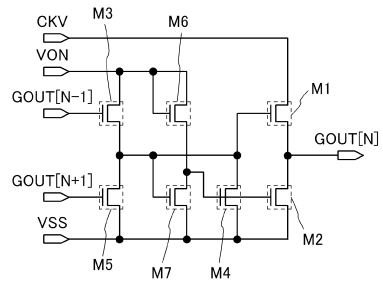
【図14】



【図15】



【図16】



フロントページの続き

(56)参考文献 特開2011-164327(JP,A)
特開2011-205624(JP,A)
特開2008-112550(JP,A)
特開2011-085680(JP,A)
特開2004-103226(JP,A)
米国特許出願公開第2011/0279420(US,A1)

(58)調査した分野(Int.Cl., DB名)

G02F 1/133
G02F 1/1368
G09G 3/18