



[12] 发明专利申请公开说明书

[21] 申请号 200410082184.7

[43] 公开日 2005年7月13日

[11] 公开号 CN 1637745A

[22] 申请日 2004.12.31
 [21] 申请号 200410082184.7
 [30] 优先权
 [32] 2004.1.6 [33] JP [31] 001347/2004
 [71] 申请人 松下电器产业株式会社
 地址 日本大阪府
 [72] 发明人 岛崎健二 佐藤和弘 一宫敬弘
 平野将三 高桥正郎 辻川洋行
 小岛清次郎

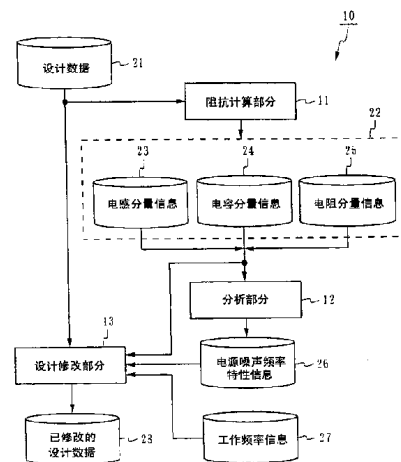
[74] 专利代理机构 永新专利商标代理有限公司
 代理人 王英

权利要求书4页 说明书19页 附图10页

[54] 发明名称 用于抑制电源噪声的半导体集成电路的设计方法

[57] 摘要

根据一个半导体集成电路的设计数据来计算电源线的阻抗，获得所计算出的阻抗的频率特性，并根据所获得的频率特性来更改所述半导体集成电路的设计。作为上述阻抗，可以计算电势不同的电源例如电源和地之间的阻抗，或者可以计算电势基本相同的电源例如电源和N-阱电源之间的阻抗。通过设计修改，改变了例如布线方法、焊盘数量、电源的隔离、封装类型、电感元件的特性、衬底结构、布线之间的距离、去耦电容、布线的长度和电阻元件的特性。



ISSN 1008-4274

1、一种用于设计抑制电源噪声的半导体集成电路的设计方法，包括步骤：

根据所述半导体集成电路的设计数据来计算电源线的阻抗；
分析所计算出的阻抗，以获得电源噪声的频率特性；以及
根据所获得的频率特性来修改所述半导体集成电路的设计。

2、根据权利要求1所述的设计方法，其中所述阻抗计算步骤计算包含所述半导体集成电路两条或多条电源线的一条路径的阻抗。

3、根据权利要求1所述的设计方法，其中所述阻抗计算步骤计算包含两条或多条电源线的一条路径的阻抗，所述两条或多条电源线由电阻元件、衬底电阻、电感、电容元件、扩散电容和阱电容中的任何元件隔离，从而向它们施加不同的电势。

4、根据权利要求1所述的设计方法，其中所述阻抗计算步骤计算包含两条或多条电源线的一条路径的阻抗，所述两条或多条电源线由电阻元件、衬底电阻、电感、电容元件、扩散电容和阱电容中的任何元件隔离，从而向它们施加相同的电势。

5、根据权利要求1所述的设计方法，其中所述阻抗计算步骤计算一个阻抗，所述阻抗包含连接到两条或多条电源线的一个封装体的阻抗。

6、根据权利要求1所述的设计方法，其中所述阻抗计算步骤计算一个阻抗，所述阻抗包含连接到两条或多条电源线的一块印刷电路

板的阻抗。

7、根据权利要求 1 所述的设计方法，其中所述设计修改步骤改变用于将芯片连接到封装体的布线方法、焊盘数量和所述半导体集成电路的所述电源线的电源隔离中的任何一种。

8、根据权利要求 1 所述的设计方法，其中所述设计修改步骤改变所述半导体集成电路的封装类型。

9、根据权利要求 1 所述的设计方法，其中所述设计修改步骤执行用于向包含两条或多条电源线的一条路径提供一个附加电感元件的处理和用于改变在包含两条或多条电源线的所述路径上存在的电感元件特性的处理中的至少一种或两种处理。

10、根据权利要求 1 所述的设计方法，其中所述设计修改步骤改变所述半导体集成电路的衬底结构。

11、根据权利要求 1 所述的设计方法，其中所述设计修改步骤改变两条或多条电源线之间的距离。

12、根据权利要求 1 所述的设计方法，其中所述设计修改步骤执行用于在两条或多条电源线之间提供一个附加去耦电容的处理和用于改变两条或多条电源线之间存在的去耦电容特性的处理中的至少一种或两种处理。

13、根据权利要求 1 所述的设计方法，其中所述设计修改步骤改变所述半导体集成电路的电源线的长度和宽度中的至少一个或两

者。

14、 根据权利要求 1 所述的设计方法，其中所述设计修改步骤执行用于向包含两条或多条电源线的一条路径提供一个附加电阻元件的处理或用于改变在包含两条或多条电源线的所述路径上存在的电阻元件特性的处理中的至少一种或两种处理。

15、 根据权利要求 1 所述的设计方法，其中所述设计修改步骤根据所获得的频率特性和所述半导体集成电路的一个预定频带来改变所述半导体集成电路的设计。

16、 根据权利要求 15 所述的设计方法，其中在电源噪声最大时的频率包含在所述频带的情况下，所述设计修改步骤改变所述半导体集成电路的设计。

17、 根据权利要求 15 所述的设计方法，其中在电源噪声等于或大于一个预定值时的频带与所述频带重叠的情况下，所述设计修改步骤改变所述半导体集成电路的设计。

18、 根据权利要求 15 所述的设计方法，其中所述频带是所述半导体集成电路的一个工作频带。

19、 根据权利要求 15 所述的设计方法，其中根据所述半导体集成电路的消耗电流的频率特性来确定所述频带。

20、 根据权利要求 15 所述的设计方法，其中根据所述半导体集成电路的电压降数值的频率特性来确定所述频带。

21、 根据权利要求 1 所述的设计方法，其中
所述阻抗计算步骤计算包含两条或多条电源线的一条路径的多个阻抗，
所述分析步骤分析所述多个计算出的阻抗，来获得电源噪声的多个频率特性，以及
所述设计修改步骤根据所述多个计算出的频率特性来改变所述半导体集成电路的设计。

22、 根据权利要求 21 所述的设计方法，其中所述设计修改步骤改变所述半导体集成电路的设计，以使所述多个计算出的频率特性彼此一致。

23、 根据权利要求 21 所述的设计方法，其中所述设计修改步骤改变所述半导体集成电路的设计，以使所述多个计算出的频率特性相互偏离。

用于抑制电源噪声的半导体集成电路的设计方法

发明领域

本发明涉及一种半导体集成电路的设计方法，并且特别涉及一种用于抑制电源布线中产生的电源噪声的半导体集成电路的设计方法。

背景技术

为了同时实现高速操作和低功耗，近年来，半导体集成电路采用一种通过分离电源来控制 P 沟道晶体管的源极电源 (VDD) 和衬底电源 (N 阱电源 VSUBN) 的方法、或采用一种通过分离电源来控制 N 沟道晶体管的源极电源 (VSS) 和衬底电源 (P 衬底电源 VSUBP) 的方法。注意到，这里所述的“衬底电压”指对抗栅极电势的一个电势，其控制晶体管的沟道中的电荷量，并且在阱内设置晶体管的情况下指的是阱电压。

图 12A 和 12B 分别都是示出了一个 CMOS 反相器结构的图，其中采用一个附加电源来控制电路衬底的电压。如图 12A 所示，上述 CMOS 反相器包括一个 P 沟道晶体管 91 和一个 N 沟道晶体管 92。这两个晶体管除了三个端子（即，源极、漏极和栅极端子）之外，每个晶体管还具有一个作为第四端子的衬底端子。这两个晶体管的漏极端子彼此相连。所述 P 沟道晶体管 91 的源极端子和所述 N 沟道晶体管 92 的源极端子分别连接到电源 VDD 和地 VSS。所述 P 沟道晶体管 91 的衬底端子连接到 N 阱电源 VSUBN，并且所述 N 沟道晶体管 92 的衬底端子连接到 P 衬底电源 VSUBP。

图 12B 是示出了所述 CMOS 反相器的剖面结构的图。如图 12B 所示，在衬底 93 的一个表面上设置一个 N 阱 94，并且分别在所述 N 阱

94 之中并在所述衬底 93 之上设置所述 P 沟道晶体管 91 和所述 N 沟道晶体管 92。此外,在所述 N 阱 94 中,提供一个阱接触 95 来作为所述 P 沟道晶体管 91 的衬底端子,相反在所述衬底 93 上,提供一个衬底接触 96 来作为所述 N 沟道晶体管 92 的衬底端子。在许多常规的半导体集成电路中,采用一个公共电源来作为所述电源 VDD 和所述 N 阱电源 VSUBN。然而,在近年来的半导体集成电路中,为了同时实现高速操作和低功耗,通常采用基本相同但电势不同的分离电源来作为所述电源 VDD 和所述 N 阱电源 VSUBN。高速操作下的晶体管通常具有三阱结构,但是为了简化说明,在此描述具有双阱结构的晶体管。

图 13A 到 13C 的每一幅是示出了通过测量在半导体集成电路的所述电源 VDD 和所述 N 阱电源 VSUBN 中产生的电源噪声而获得的结果图,其中采用一个附加电源来控制所述电路衬底的电压。附图 13A 到 13C 示出了所述电源 VDD (实线)和所述 N 阱电源 VSUBN 的电势(虚线)在 50 MHz、100 MHz 和 200 MHz 的时钟信号频率下如何波动。从图 13A 到 13C 中所示的测量结果中,很明显,所述电源 VDD 的电源噪声(即,电势波动)和所述 N 阱电源 VSUBN 的电源噪声之间的相对关系随所述时钟信号频率以非线性方式变化。例如,在所述时钟信号频率为 100 MHz 的情况下,所述 N 阱电源 VSUBN 的电源噪声比从所述时钟信号频率为 50 MHz 和 200 MHz 的情况下获得的测量结果可以预期的电源噪声波动更加尖锐。这是因为当所述时钟频率在 100 MHz 左右(即,谐振频率在 100 MHz 左右)时,含有由电阻元件、衬底电阻和电容元件等隔离的一条电源线的路径的阻抗被最小化。

如上所述,如果所述电源噪声随所述时钟信号频率以非线性方式变化,那么所述半导体集成电路的工作频率和所述电源噪声增加下的一个频率就可能会彼此重叠。如果使所述半导体集成电路在此频率下工作,那么电源噪声就会增加,以至改变晶体管的阈值电压和工作电流,由此改变所述晶体管的延迟值和输出电势,导致所述晶体管故障。

此外，在近年来的半导体集成电路中，随着微细加工技术的发展，需要降低电源电压。同样地，流过电路的电流也会随着晶体管数量的增加而增加。由于上述原因，在近年来的半导体集成电路中，与电源波动相关的设计余量就显得不够了。

然而，对于常规晶体管级电路模拟或衬底噪声模拟，在采用一个附加电源来控制所述电路衬底的电压的半导体集成电路中，不可能分析其电源噪声。因此，本发明的发明者就发明了一种用于分析半导体集成电路的电源噪声的新方法，该方法可以应用于上述采用一个附加电源来控制所述电路衬底的电压的半导体集成电路，并且本发明的发明者就上述分析方法提出了专利申请（日本专利申请 No. 2003-396214）。

作为与本发明相关的其它常规技术，已经公知有以下的技术。在美国专利 No. 6523150 中，公开了一种用于抑制 IR-Drop（电源电压降）的方法，IR-Drop 是电源噪声的一种类型。在该方法中，在半导体集成电路中对每个区域优化分配电源焊盘，并且调整从电源焊盘到所述半导体集成电路的一个内部器件的一条路径的阻抗。

同样地，在日本特开平专利公开 No. 2001-202400 中，公开了一种用于抑制 EMI（电磁干扰）噪声的方法，EMI 噪声是电源噪声的一种类型。在该方法中，为了提供一条用于削减高频分量的路径（低通滤波器），在电源布线和地线之间插入一个去耦电容器。通过插入所述去耦电容器来调整所述电源布线的阻抗。

然而，在上述方法中，不调整含有由电阻元件、衬底电阻和电容元件等隔离的电源线的一条路径的阻抗，并且不控制谐振频率。因此，考虑到电源噪声的频率特性，通过上述常规方法，不可能抑制电源噪声。

发明内容

因此,本发明的一个目的是提供一种用于设计半导体集成电路的设计方法,考虑到电源噪声的频率特性,该方法能够抑制电源噪声。

本发明具有以下特征,以达到上述目的。

本发明所述的半导体集成电路的一种设计方法,包括步骤:根据所述半导体集成电路的设计数据,计算出电源布线的阻抗;分析计算出的阻抗,以获得电源噪声的频率特性;以及根据所获得的频率特性来修改所述半导体集成电路的设计。

优选,所述阻抗计算步骤计算含有两条或多条所述半导体集成电路的电源线的一条路径的阻抗。

所述阻抗计算步骤可以计算包含两条或多条电源线的一条路径的阻抗,所述两条或多条电源线由电阻元件、衬底电阻、电感、电容元件、扩散电容和阱电容中的任何一种隔离,从而向它们施加不同的电势(或施加相同的电势)。同样地,所述阻抗计算步骤可以计算含有连接到两条或多条电源线的封装的阻抗的一个阻抗、或含有连接到两条或多条电源线的一块印刷电路板的阻抗的一个阻抗。注意到,上述电源线包括具有大约 0V 电位的一条宏线、具有高于(或低于)所述宏线电位的一条电源线,以及通过体偏置技术连接到阱或者衬底并且具有可变电位的一条电源线。

所述设计修改步骤可以改变用于将芯片连接到封装的布线方法、焊盘数量、或所述半导体集成电路的所述电源线的电源隔离、所述半导体集成电路的封装类型、在含有两条或多条电源线的所述路径上存在的电感元件或电阻元件的特性、所述半导体集成电路的衬底结构(包括衬底材料或者改变掺杂浓度)、两条或多条电源线之间的距离、在两条或多条电源线之间存在的一个去耦电容的特性、或所述半导体集成电路的所述电源线的长度或宽度。所述设计修改步骤可以在含有两条或多条电源线的所述路径上提供一个附加的电感元件或一个附加的电阻元件,或者在两条或多条电源线之间提供一个附加的去耦电

容。

同样地,所述设计修改步骤可以根据所获得的频率特性和所述半导体集成电路的一个预定频带来改变所述半导体集成电路的设计。更优选,在所述频带中包含电源噪声最大时的频率的情况下、或者电源噪声等于或大于一个预定值时的频带与该频带重叠的情况下,所述设计修改步骤可以改变所述半导体集成电路的设计。所述频带可以是所述半导体集成电路的一个工作频带,或者可以根据所述半导体集成电路的消耗电流或电压降数值来确定该频带。

同样地,所述阻抗计算步骤可以计算含有两条或多条电源线的所述路径的多个阻抗,所述分析步骤可以分析所述多个计算出的阻抗,以获得电源噪声的多个频率特性,并且所述设计修改步骤可以根据所述多个计算出的频率特性来改变所述半导体集成电路的设计。更优选,所述设计修改步骤可以改变所述半导体集成电路的设计,以使所述多个计算出的频率特性彼此一致(或所述多个计算出的频率特性互相偏离(shift))。

根据本发明所述的半导体集成电路的设计方法,通过考虑到电源噪声的频率特性而进行设计修改,就能够设计出抑制电源噪声的半导体集成电路。同样地,可以在平面布置或布图处理之后,在较早的阶段执行根据本发明的设计方法,从而就能够在该阶段从可选择的各种设计修改中选择一种最佳的设计修改,并执行所选择的设计修改。

同样地,通过计算不同电势的电源线之间的阻抗,就能够考虑到例如在电源和地之间产生的电源噪声而进行设计修改。而且,通过计算电势相同的电源线之间的阻抗,就能够例如考虑到在半导体集成电路的电源和衬底电源或地和衬底地之间产生的电源噪声而进行设计修改,该半导体集成电路通过采用一个附加电源来控制电路衬底的电压。进一步,通过计算含有封装或印刷电路板的阻抗的阻抗,就能够考虑到在实际工作环境下的半导体集成电路的电源噪声而进行设计

修改。

同样地，通过改变布线方法、焊盘数量、或电源的隔离、封装的类型、电感元件的特性、衬底结构、布线之间的距离、去耦电容的特性、布线的长度或宽度、或电阻元件的特性，并提供一个附加的电感元件、去耦电容或电阻元件，就能够改变在半导体集成电路的电源线的阻抗中包含的电感分量、电容分量和电阻分量，并且设计出抑制电源噪声的半导体集成电路。

同样地，通过考虑到工作频带而进行设计修改，就能够考虑到在实际使用半导体集成电路的条件下产生的电源噪声而进行设计修改。而且，通过考虑到根据消耗电流或电压降数值来确定的频带而进行设计修改，就能够考虑到其中消耗电流或电压降数值增加的频带下的电源噪声而进行设计修改。

同样地，通过根据多个频率特性来进行设计修正，就能够设计出抑制电源噪声的半导体集成电路，来作为通过采用一个附加电源来控制电路衬底的电压的半导体集成电路或者是被提供了多个系统的电源电压的半导体集成电路。

从以下结合附图进行的本发明的详细说明中，本发明的这些和其它目的、特征、方面和优点将变得更加明显。

附图简述

图 1 是表示执行用于根据本发明的一个实施例的半导体集成电路的设计方法的设计装置结构的方框图；

图 2 是表示在图 1 中所示的装置中使用的第一电路模型的说明图；

图 3 是表示在图 1 中所示的装置中使用的第二电路模型的说明图；

图 4 是表示在图 1 中所示的装置中使用的第三电路模型的说明

图；

图 5 是表示由图 1 中所示的装置得到的电源噪声的频率特性图；

图 6 是表示在图 1 中所示的装置中将所述谐振频率转换为一个低于工作频带的频率的情况下的频率特性图；

图 7 是表示在图 1 中所示的装置中将所述谐振频率转换为一个高于所述工作频带的频率的情况下的频率特性图；

图 8A 和 8B 每一幅表示在图 1 中所示的装置中在将高噪声水平的频带转换为一个不与该工作频带重叠的频带的情况下的频率特性图；

图 9 是表示通过图 1 中所示装置的一个设计修改部分来进行的电感调整处理的流程图；

图 10 是表示通过图 1 中所示装置的所述设计修改部分来进行的电容调整处理的流程图；

图 11 是表示通过图 1 中所示装置的所述设计修改部分来进行的电阻调整处理的流程图；

图 12A 和 12B 每一幅是表示通过一个附加电源来控制衬底电压的 CMOS 反相器的结构图；

图 13A 到 13C 每一幅是表示通过一个附加电源来控制衬底电压的半导体集成电路的电源噪声的图。

优选实施例

图 1 是示出了执行用于根据本发明的一个实施例的半导体集成电路的设计方法的设计装置的结构方框图。图 1 中所示的设计装置 10 包括：一个阻抗计算部分 11、一个分析部分 12 和一个设计修改部分 13。将设计数据 21 和工作频率信息 27 输入到所述设计装置 10。

简单地说，所述设计装置 10 操作如下。所述设计数据 21 是待设计的半导体集成电路（下文称为目标电路）的设计数据。所述工作频率信息 27 表示一个频带，所述目标电路在该频带下工作。例如，将

所述工作频率信息 27 指定为 200 ± 30 MHz。所述阻抗计算部分 11 根据所述设计数据 21 来计算所述目标电路的所述电源线的阻抗，并输出所计算出结果来作为阻抗信息 22。所述阻抗信息 22 包括电感分量信息 23、电容分量信息 24 和电阻分量信息 25。所述分析部分 12 根据所述阻抗信息 22 获得所述电源线的阻抗的频率特性，并输出所述结果来作为电源噪声频率特性信息 26。所述设计修改部分 13 根据所述阻抗信息 22、所述电源噪声频率特性信息 26 和所述工作频率信息 27 对所述目标电路进行设计修改。作为由所述设计修改部分 13 进行的设计修改结果，将所述设计数据 21 改变为已修改的设计数据 28。在按照最终已修改的设计数据 28 制造的半导体集成电路中，电源噪声低于按照所述设计数据 21 制造的所述半导体集成电路的电源噪声。

下文中，将说明所述设计装置 10 的细节。所述设计数据 21 包含在平面布置或布图处理之后与所述目标电路相关的以下信息：与所述电源线的结构相关的信息（例如，由三维结构表示的所述电源线的坐标数据）和与所述衬底结构相关的信息（例如，衬底接触和阱接触的坐标、阱的大小和坐标、以及源极端子的扩散层的大小和坐标）。同样地，所述设计数据 21 包含所述电源线的技术信息（例如，所述电源线的电阻密度和所述布线之间的材料的介电常数）、所述衬底的技术信息（例如，所述衬底和阱的电阻密度以及 PN 结电容）和封装阻抗信息（通过采用例如电磁场模拟器根据所述封装的结构已经进行了分析的封装的电阻、电容和电感的值）。

如上所述，所述阻抗计算部分 11 根据所述设计数据 21 来计算所述目标电路的所述电源线的阻抗。此时，所述阻抗计算部分 11 按照一个预先确定的电路模型来计算所述目标电路的所述电源线的阻抗。

图 2 是示出了在所述阻抗计算部分 11 中采用的第一电路模型的说明图。如图 2 所示的电路模型用于计算含有一条用于提供电源 VDD

的高电势布线和一条用于提供与所述电源 VDD 的电势相同的 N 阱电源 VSUBN 的衬底高电势布线的一条路径的阻抗。该电路模型的特征在于包含连接到所述两条电源线的封装的电感 L_p 和源/漏电容（也称为扩散电容） C_{sd} 。利用该第一电路模型，能够计算出含有所述电感 L_p 和所述源/漏电容 C_{sd} 的串联电路的一条路径的阻抗。

图 3 是示出了在所述阻抗计算部分 11 中采用的第二电路模型的说明图。如图 3 所示的电路模型用于计算含有一条用于提供电源 VDD 的高电势布线和一条用于提供地 VSS 的地布线的一条路径的阻抗。该电路模型的特征在于包含连接到所述两条电源线的封装的电感 L_p 和阱电容 C_w 。利用该第二电路模型，能够计算出含有所述电感 L_p 和所述阱电容 C_w 的串联电路的一条路径的阻抗。

图 4 是示出了在所述阻抗计算部分 11 中采用的第三电路模型的说明图。如图 4 所示的电路模型用于计算多个电源之间的阻抗。该电路模型包括一条用于提供电源 VDD 的高电势布线、一条用于提供 N 阱电源 VSUBN 的衬底高电势布线和一条用于提供地 VSS 的地线。在该电路模型中，在含有所述高电势布线和所述衬底高电势布线的一条路径、含有所述高电势布线和所述地线的一条路径和含有所述地线和所述衬底高电势布线的一条路径中包含连接到所述两条电源线的封装的电感 L_p 和电容（源/漏电容 C_{sd} 或阱电容 C_w ）。利用该第三电路模型，能够计算出含有电感和电容的串联电路的多个电源之间的阻抗。

注意到，不论采用哪一种电路模型，替代所述封装的电感 L_p 或除了所述封装的电感 L_p 之外，可以采用其上安装有所述目标电路的印刷电路板的阻抗。同样，也可以考虑布置得靠近所述印刷电路板上的芯片的一个元件的阻抗。

同样地，代替计算含有由衬底电阻或阱电容隔离的两条或多条电源线的所述路径的阻抗，所述阻抗计算部分 11 可以计算含有由电阻元件或电容元件隔离的两条或多条电源线的一条路径的阻抗。一些模

拟半导体集成电路包含由电阻元件隔离的两条或多条电源线，而一些半导体集成电路包含由诸如耦合电容的电容元件隔离的两条或多条电源线。同样地，在上述半导体的情况下，所述阻抗计算部分 11 可以采用具有类似于图 2 到 4 所示的电路模型的特性的电路模型来计算含有两条或多条电源线的一条路径的阻抗。同样地，通过计算由电阻元件、衬底电阻、电感、电容元件、扩散电容和阱电容中的任何一种隔离的电源线之间的阻抗，就能够设计出包括模拟电路在内的各种目标电路来作为抑制电源噪声的电路。

如上所述，所述分析部分 12 得到所述电源线的阻抗的频率特性，并且所述设计修改部分 13 对所述目标电路进行设计修改。下文中，参照图 5 到 7 以及图 8A 和 8B，将说明根据所述电源线的所述阻抗的频率特性对所述目标电路进行的设计修改。图 5 是通过所述分析部分 12 获得的一个特定目标电路的电源 VDD 和地 VSS 之间的电源噪声的频率特性图。在图 5 中，横轴表示频率，而纵轴表示电源噪声的水平。在该实施例中，电源噪声的水平等于或大于 0 dB 的频率范围区别于电源噪声的水平小于 0 dB 的频率范围，并且前面的范围称为高噪声水平频带。同样地，电源噪声水平变成最高时的频率称为谐振频率。在图 5 所示的频率特性中，高噪声水平频带是从 180 MHz 到 210 MHz 的频率范围，并且谐振频率是 190 MHz。同样地，假设所述目标电路的所述电源线的阻抗含有 5 nH（纳亨）的电源线电感和 20 nF（纳法拉）的电源线电容，并且所述目标电路的工作频带是从 170 MHz 到 230 MHz 的频率范围。

在所述工作频带不与所述高噪声水平频带重叠的情况下，在所述工作频带中的电源噪声相对较低。因此，就不必为了抑制电源噪声而对所述目标电路进行设计修改。另一方面，如图 5 所示，在所述工作频带与所述高噪声水平频带重叠的情况下，在所重叠的频带之内，电源噪声相对较高。因此，为了抑制电源噪声就必须对所述目标电路进

行设计修改。存在各种抑制所述目标电路的电源噪声特性的方法。例如，可以进行一种设计修改，使所述谐振频率转换为一个低于或高于所述工作频带的频率。或者，可以进行一种设计修改来转换所述高噪声水平频带，以使其不与所述工作频带重叠。

图 6 是在将所述谐振频率转换为一个低于所述工作频带的频率的情况下的频率特性图。在所述谐振频率包含在所述工作频带的情况下进行所述谐振频率的这种转换。在如图 6 所示的频率特性中，所述谐振频率是 160 MHz，这低于所述工作频带（170 MHz 到 230 MHz）。为了使所述谐振频率从 190 MHz 转换为 160 MHz，就应当增加所述电源线电感和/或电源线电容。例如，可以只是将所述电源线电感从 5 nH 增加到 7 nH，或者只是将所述电源线电容从 20 nF 增加到 30 nF。或者，可以分别将所述电源线电感从 5 nH 增加到 6 nH、将所述电源线电容从 20 nF 增加到 25 nF。如上所述，通过对所述目标电路的一个组成元件进行特定的修改，就能够将所述谐振频率转换到 160 MHz，这低于所述工作频带。结果，就能够将所述工作频带中的电源噪声抑制到小于一个预定的水平。

图 7 是在将所述谐振频率转换为一个高于所述工作频带的频率的情况下的频率特性图。在所述谐振频率包含在所述工作频带的情况下进行所述谐振频率的这种转换。在如图 7 所示的频率特性中，所述谐振频率是 240 MHz，这高于所述工作频带（170 MHz 到 230 MHz）。为了将所述谐振频率从 190 MHz 转换为 240 MHz，就应当减少所述电源线电感和/或所述电源线电容。例如，可以只是将所述电源线电感从 5 nH 减少到 3 nH，或者可以只是将所述电源线电容从 20 nF 减少到 10 nF。或者，可以分别将所述电源线电感从 5 nH 减少到 4 nH、将所述电源线电容从 20 nF 减少到 15 nF。如上所述，通过对所述目标电路的一个组成元件进行特定的修改，就能够将所述谐振频率转换到 240 MHz，这高于所述工作频带。结果，就能够将所述工作频带中

的电源噪声抑制到小于一个预定的水平。

图 8A 和 8B 每一幅都是在将所述高噪声水平频带转换到一个不与所述工作频带重叠的频带的情况下的频率特性图。在所述工作频带与所述高噪声水平频带重叠的情况下进行所述高噪声水平频带的这种转换。在如图 8A 所示的频率特性中,所述高噪声水平频带是从 150 MHz 到 170 MHz, 这不与所述工作频带 (170 MHz 到 230 MHz) 重叠。与将所述谐振频率转换到一个低于所述工作频带的频率 (图 6) 的情况一样, 为了将所述高噪声水平频带转换成从 150 MHz 到 170 MHz 的频带, 就应当增加所述电源线电感和/或所述电源线电容。在如图 8B 所示的频率特性中, 所述高噪声水平频带是从 230 MHz 到 260 MHz, 这不与所述工作频带 (170 MHz 到 230 MHz) 重叠。与将所述谐振频率转换到一个高于所述工作频带的频率 (图 7) 的情况一样, 为了将所述高噪声水平频带转换成从 230 MHz 到 260 MHz 的频带, 就应当减少所述电源线电感和/或所述电源线电容。

为了将所述高噪声水平频带转换为一个不与所述工作频带重叠的频带 (如图 8A 和 8B 所示), 就必须使在所述电源线的所述阻抗中含有的电感分量、电容分量和电阻分量比将所述谐振频率转换出所述工作频带 (如图 6 和图 7 所示) 时更加彻底地进行改变。然而, 通过将所述高噪声水平频带转换为一个不与所述工作频带重叠的频带, 就能够以一种更加有效的方式来抑制电源噪声。

注意到, 在所述半导体集成电路具有多个工作频率或包含一个异步电路的情况下, 代替上述工作频带, 可以采用为所述半导体集成电路预先确定的另一种频带。例如, 代替上述工作频带, 可以采用一个基于所述半导体集成电路的消耗电流来确定的频带。具体地, 例如, 通过进行电流模拟就可以获得所述半导体集成电路的消耗电流, 并且采用傅立叶展开将所获得的电流展开为频率分量, 以便使用在使上述频率分量最大时的频率周围的一个频带。或者, 代替上述工作频带,

可以采用一个基于所述半导体集成电路的电压降数值来确定的频带。具体地，例如，通过进行电压降模拟就可以获得所述半导体集成电路的电压降，并且采用傅立叶展开将所获得的电压展开为频率分量，以便使用在使上述频率分量最大时的频率周围的一个频带。

下文中，将参照图 9 到 11 说明所述设计修改部分 13 的工作。所述设计修改部分 13 从电感调整处理（图 9）、电容调整处理（图 10）和电阻调整处理（图 11）组成的组中至少适当地选择出一种来进行处理，这将在下面进行说明。

图 9 是示出了由所述设计修改部分 13 进行的电感调整处理的流程图。在所述电感调整处理中，所述设计修改部分 13 首先根据所述电源噪声频率特性信息 26 和所述工作频率信息 27 来计算一个最佳的电感值（步骤 S101）。更具体地，所述设计修改部分 13 根据所述电源噪声频率特性信息 26 和所述工作频率信息 27 来选择应当将所述谐振频率转换为一个较低的频率还是一个较高的频率，并且按照所选择的结果计算出用于所述目标电路的所述电源线的阻抗中包含的电感分量的目标值。此时，可以通过所述设计修改部分 13 来自动选择转换所述谐振频率的方向，或者可以通过用户来设置转换所述谐振频率的方向。

随后，所述设计修改部分 13 按照一个预定的优先顺序从步骤 S103 到 S105 中选择出随后将要进行的处理（步骤 S102）。可以通过所述设计修改部分 13 来自动选择所述优先顺序，或者可以通过用户来设置所述优先顺序。根据步骤 S102 中的选择结果，所述设计修改部分 13 进行到步骤 S103、S104 和 S105 中的任何一个步骤。

在所述设计修改部分 13 进行到步骤 S103 的情况下，所述设计修改部分 13 通过选择一种布线方法来调整电感。所述设计数据 21 包含表示用于所述目标电路的布线方法（当将芯片连接到封装时采用的布线方法）的信息。在步骤 S103 中，为了使所述电源线的阻抗中包含

的电感分量更加接近于步骤 S101 中计算出的最佳值，所述设计修改部分 13 改变用于所述目标电路的布线方法。例如，所述设计修改部分 13 将一种常规的布线方法变为一种双布线方法或者一种使用了一个虚拟焊盘的布线方法。例如，当高集成度芯片难于插入附加的电感元件时，或者当由于所述半导体集成电路的尺寸缩小而预先确定一种封装类型时，通过选择一种布线方法来进行上述电感调整处理是有效的。注意到，在步骤 S103 中，所述设计修改部分 13 可以改变焊盘数量或者是当将芯片连接到封装时使用的电源的隔离方式。

在所述设计修改部分 13 进行到步骤 S104 的情况下，所述设计修改部分 13 通过选择封装来调整电感。所述设计数据 21 包含表示所述目标电路使用的封装类型的信息。在步骤 S104 中，为了使所述电源线的阻抗中包含的电感分量更加接近于步骤 S101 中计算出的最佳值，所述设计修改部分 13 改变所述目标电路的封装类型。例如，当芯片上的高度集成使其难于插入附加电感元件时，或者当有限的焊盘数量使其难于通过选择布线方法来调整电感时，通过选择封装来进行上述电感调整处理是有效的。

在所述设计修改部分 13 进行到步骤 S105 的情况下，所述设计修改部分 13 调整片上 (on-chip) 电感。所述设计数据 21 包含所述目标电路的电源线的布图信息。在步骤 S105 中，为了使所述电源线的阻抗中包含的电感分量更加接近于步骤 S101 中计算出的最佳值，所述设计修改部分 13 采用图形发生器等为包含所述电源线的所述路径提供一个附加电感元件，或者改变现有的电感元件的特性。例如，当有限的焊盘数量使其难于通过选择布线方法来调整电感时，或者当由于所述半导体集成电路的尺寸缩小而预先确定一种封装类型时，上述片上电感调整处理是有效的。

在执行步骤 S103、S104 和 S105 的任何一个步骤之后，所述设计修改部分 13 确定电感已经调整过的所述目标电路的所述电源线的阻

抗中包含的电感分量是否与步骤 S101 中计算出的最佳值一致（步骤 S106）。在所述确定结果为否定的情况下，所述设计修改部分 13 进行到步骤 S102，从步骤 S103 到 S105 中选择仍未执行的处理，并执行所选择的处理。另一方面，在所述确定结果是肯定的情况下，所述设计修改部分 13 结束所述电感调整处理。

图 10 是示出了通过所述设计修改部分 13 进行的电容调整处理的流程图。在所述电容调整处理中，所述设计修改部分 13 首先根据所述电源噪声频率特性信息 26 和所述工作频率信息 27 来计算一个最佳电容值（步骤 S201）。随后，所述设计修改部分 13 按照一个预定的优先顺序从步骤 S203 到 S205 之中选择出随后将要进行的处理（步骤 S202）。步骤 S201 和 S202 的细节与所述电感调整处理（图 9）中的步骤 S101 和 S102 的细节相同。根据步骤 S202 中的选择结果，所述设计修改部分 13 进行到步骤 S203、S204 和 S205 中的任何一个步骤。

在所述设计修改部分 13 进行到步骤 S203 的情况下，所述设计修改部分 13 通过改变布线之间的距离来调整寄生电容。所述设计数据 21 包含所述目标电路的所述电源线的布图信息。在步骤 S203 中，为了使所述电源线的阻抗中包含的电容分量更加接近步骤 S201 中计算出的最佳值，所述设计修改部分 13 改变电源线之间的距离。如果改变电源线之间的距离，就改变了所述布线之间的寄生电容，从而改变所述电源线的电容值。通过改变布线之间的距离来进行的上述寄生电容调整处理只需要改变在布线处理中使用的数据。

在所述设计修改部分 13 进行到步骤 S204 的情况下，所述设计修改部分 13 通过改变衬底结构来调整结电容和阱电容。所述设计数据 21 包含所述目标电路的所述电源线的布图信息和工艺信息。在步骤 S204 中，为了使所述电源线的阻抗中包含的电容分量更加接近步骤 S201 中计算出的最佳值，所述设计修改部分 13 改变与包含所述电源线的路径串联的电容分量。或者，所述设计修改部分 13 可以改变当

形成阱时要添加的杂质的量。同样地，通过改变布图信息或通过仅仅改变在工艺中使用的数据，就能够执行通过改变衬底结构来调整结电容和阱电容的处理。

在所述设计修改部分 13 进行到步骤 S205 的情况下，所述设计修改部分 13 调整片上去耦电容。所述设计数据 21 包含所述目标电路的所述电源线的布图信息。在步骤 S205 中，为了使所述电源线的阻抗中包含的电容分量更加接近于步骤 S201 中计算出的最佳值，所述设计修改部分 13 采用图形发生器等为包含所述电源线的所述路径提供一个附加电容元件、或者改变现有的电容元件的特性。上述片上去耦电容调整处理的特征在于可以在一个小而有效的区域中插入一个电容。

在执行步骤 S203、S204 和 S205 的任何一个步骤之后，所述设计修改部分 13 确定电容已经调整过的所述目标电路的所述电源线的阻抗中包含的电容分量是否与步骤 S201 中计算出的最佳值一致（步骤 S206）。在所述确定结果为否定的情况下，所述设计修改部分 13 进行到步骤 S202，从步骤 S203 到 S205 中选择仍未执行的处理，并执行所选择的处理。另一方面，在所述确定结果是肯定的情况下，所述设计修改部分 13 结束所述电容调整处理。

图 11 是示出了由所述设计修改部分 13 进行的电阻调整处理的流程图。在所述电阻调整处理中，所述设计修改部分 13 首先根据所述电源噪声频率特性信息 26 和所述工作频率信息 27 来计算一个最佳电阻值（步骤 S301）。随后，所述设计修改部分 13 按照一个预定的优先顺序从步骤 S303 到 S305 中选择随后要进行的处理（步骤 S302）。步骤 S301 和 S302 的细节与在所述电感调整处理(图 9)中的步骤 S101 和 S102 的细节相同。根据步骤 S302 中的选择结果，所述设计修改部分 13 进行到步骤 S303、S304 和 S305 中的任何一个步骤。

在所述设计修改部分 13 进行到步骤 S303 的情况下，所述设计修

改部分 13 通过改变一条布线来调整寄生电阻。所述设计数据 21 包含所述目标电路的所述电源线的布图信息。在步骤 S303 中, 为了使所述电源线的阻抗中包含的电阻分量更加接近于步骤 S301 中计算出的最佳值, 所述设计修改部分 13 改变所述电源线的长度和宽度。如果改变所述电源线的长度和宽度, 就改变了所述布线的寄生电阻, 从而改变所述电源线的电阻值。仅仅通过改变在布线步骤中使用的数据, 就能够执行通过改变布线来调整寄生电阻的上述处理。

在所述设计修改部分 13 执行步骤 S304 的情况下, 所述设计修改部分 13 通过改变衬底结构来调整衬底电阻和阱电阻。所述设计数据 21 包含所述目标电路的所述电源线的布图信息。在步骤 S304 中, 为了使所述电源线的阻抗中包含的电阻分量更加接近于步骤 S301 中计算出的最佳值, 所述设计修改部分 13 改变与包含所述电源线的所述路径串联的电阻分量。或者, 所述设计修改部分 13 可以改变当形成阱时要添加的杂质的量。同样地, 通过改变布图信息或通过仅仅改变在工艺中使用的数据, 就能够执行通过改变衬底结构来调整衬底电容和阱电容的处理。

在所述设计修改部分 13 进行到步骤 S305 的情况下, 所述设计修改部分 13 调整片上器件电阻。所述设计数据 21 包含所述目标电路的所述电源线的布图信息。在步骤 S305 中, 为了使所述电源线的阻抗中包含的电阻分量更加接近于步骤 S301 中计算出的最佳值, 所述设计修改部分 13 采用图形发生器等为包含所述电源线的所述路径提供一个附加电阻元件、或者改变现有的电阻元件的特性。上述片上器件电阻调整处理的特征在于可以在一个小而有效的区域中插入一个电阻。

在执行步骤 S303、S304 和 S305 的任何一个步骤之后, 所述设计修改部分 13 确定电阻已经调整过的所述目标电路的所述电源线的阻抗中包含的电阻分量是否与步骤 S301 中计算出的最佳电阻值一致

(步骤 S306)。在所述确定结果为否定的情况下, 所述设计修改部分 13 进行到步骤 S302, 从步骤 S303 到 S305 中选择仍未执行的处理, 并执行所选择的处理。另一方面, 在所述确定结果是肯定的情况下, 所述设计修改部分 13 结束所述电阻调整处理。

通过适当地选择并进行所述电感调整处理、所述电容调整处理和所述电阻调整处理, 所述设计修改部分 13 将所述设计数据 21 改变为已修正的设计数据 28。在按照所得到的已修正设计数据 28 而制造的所述半导体集成电路中, 电源噪声低于按照所述设计数据 21 制造的所述半导体集成电路的电源噪声。因此, 根据如图 1 所示的设计装置 10, 能够设计出抑制电源噪声的半导体集成电路。

这里, 将说明用于计算多个电源之间的阻抗的第三电路模型(图 4)。在如图 4 所示的第三电路模型中, 通过电势相同的分离电源来控制电源 VDD 和 N 阱电源 VSUBN。在该电路中, 通过控制所述 N 阱电源 VSUBN 以使点 P 和点 Q 之间存在一个电势差, 就能够控制晶体管阈值电压 V_{th} 并实现所述电路的高速操作和低功耗(低的栅极漏电流)。

如图 4 所示的电路模型包括: 用于提供电源 VDD 的第一布线、用于提供地 VSS 的第二布线和用于提供 N 阱电源 VSUBN 的第三布线; 并且包括: 包含所述第一和第二布线的第一路径、包含所述第一和第三布线的第二路径, 以及包含所述第二和第三布线的第三路径。点 P 处的电势依赖于由所述第一和第二路径的阻抗确定的噪声特性。同样地, 点 Q 处的电势依赖于由所述第二和第三路径的阻抗确定的噪声特性。

因此, 为了防止衬底电势受到电源噪声的影响, 应当对所述目标电路进行设计修改, 从而使点 P 处的电源噪声的频率特性与点 Q 处的电源噪声的频率特性相一致。

另一方面, 可以对所述目标电路进行设计修改, 从而使点 P 处的电源噪声的频率特性偏离于点 Q 处的电源噪声的频率特性。这种设计

修正就能够在一定的频带下通过增加晶体管阈值电压 V_{th} 使电路的泄漏电流减少并在另一个频带下通过降低所述晶体管阈值电压 V_{th} 实现电路的高速操作。

同样地,可以预先计算出因所述晶体的两个端子之间的电势差而产生的晶体管特性的波动量,并且可以在所述工作频带中的每个频率下获得点P处的电源噪声的噪声放大比和点Q处的电源噪声的噪声放大比之间的差(即,电势差),以便在所述噪声放大比之间存在差异时确定晶体管特性的波动量是否等于或小于一个预定的阈值。根据上述判断结果,就可以做出是否对所述目标电路进行设计修改的决定。

如上所述,基于根据本实施例所述的设计方法,能够通过考虑到电源噪声的频率特性来进行设计修改,来设计出抑制电源噪声的半导体集成电路。同样地,在平面布置或布图处理之后,能够在较早的阶段执行根据本实施例所述的设计方法,因此就能够从此阶段可选择的各种设计修改之中选择一种最佳的设计修改,并执行所选择的设计修改。

根据本发明所述的设计方法,能够考虑电源噪声的频率特性来设计抑制电源噪声的半导体集成电路。因此,能够在设计各种半导体集成电路中采用本发明所述的设计方法。

虽然已经详细地说明了本发明,但以上说明都是说明性的,而不是限制性的。应当理解,在不脱离本发明的范围的情况下,可以进行大量其它的修改和变化。

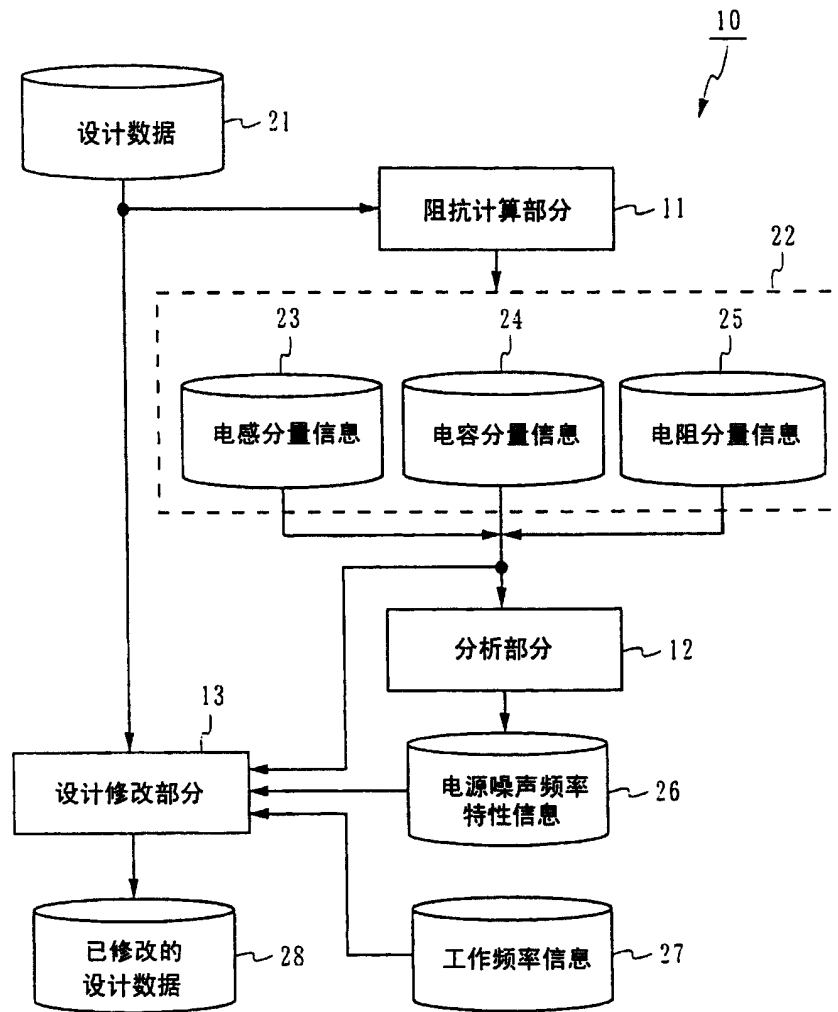


图1

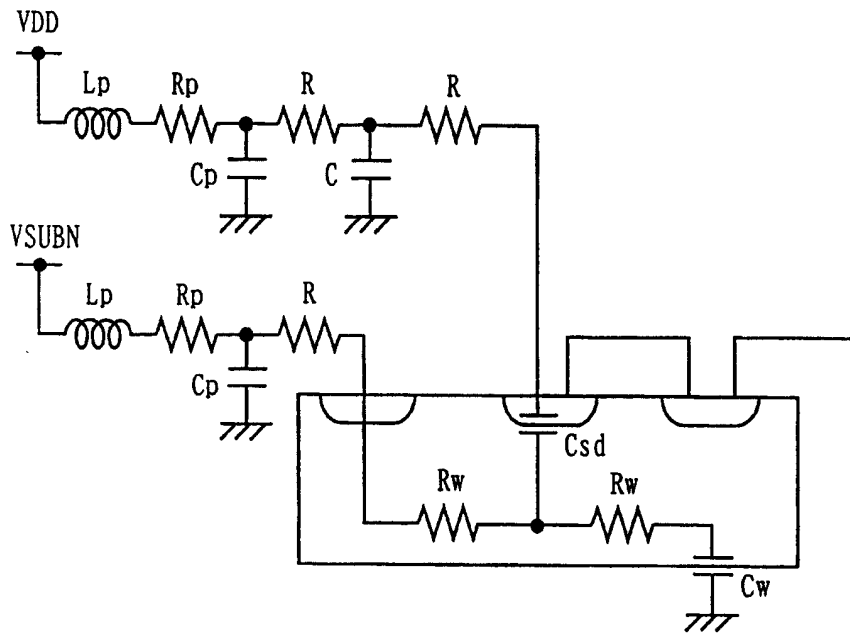


图2

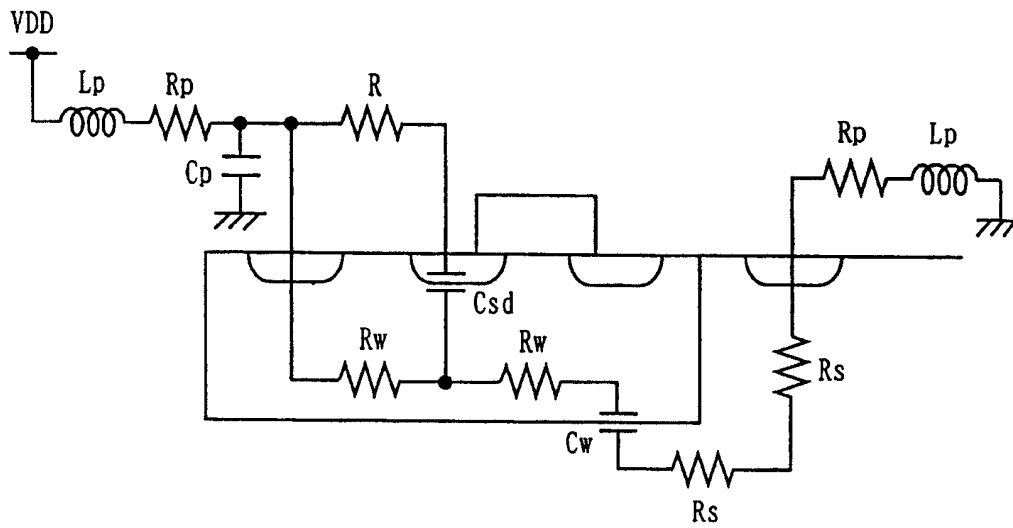


图3

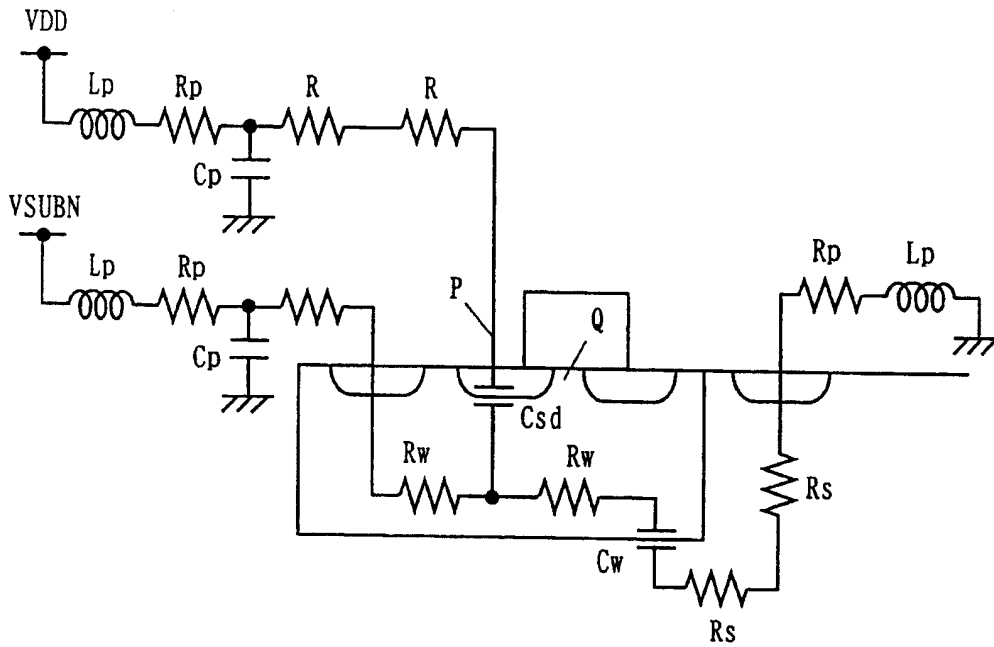


图4

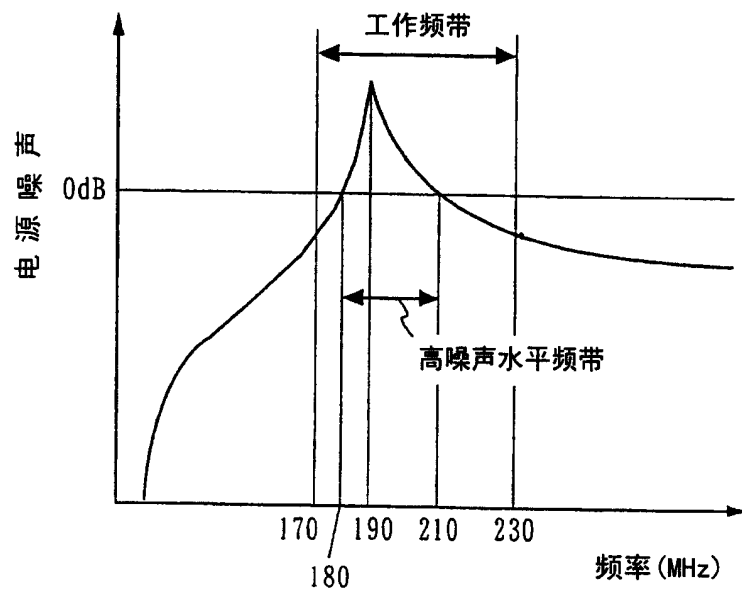


图5

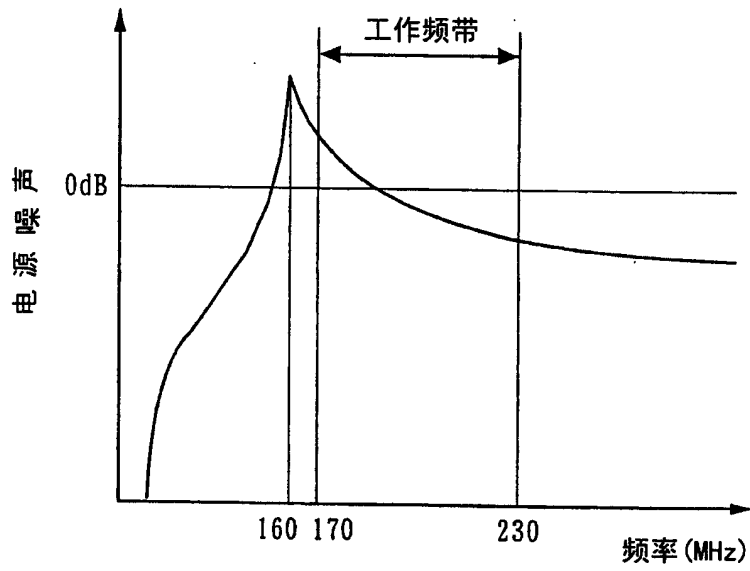


图6

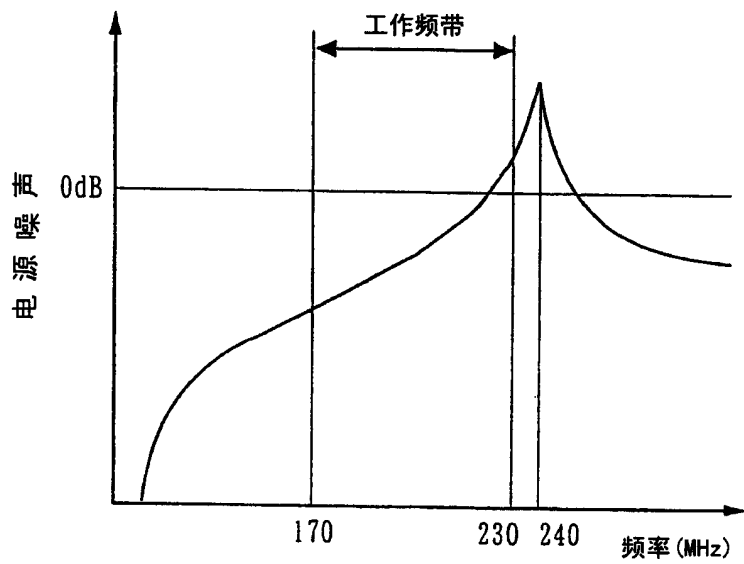


图7

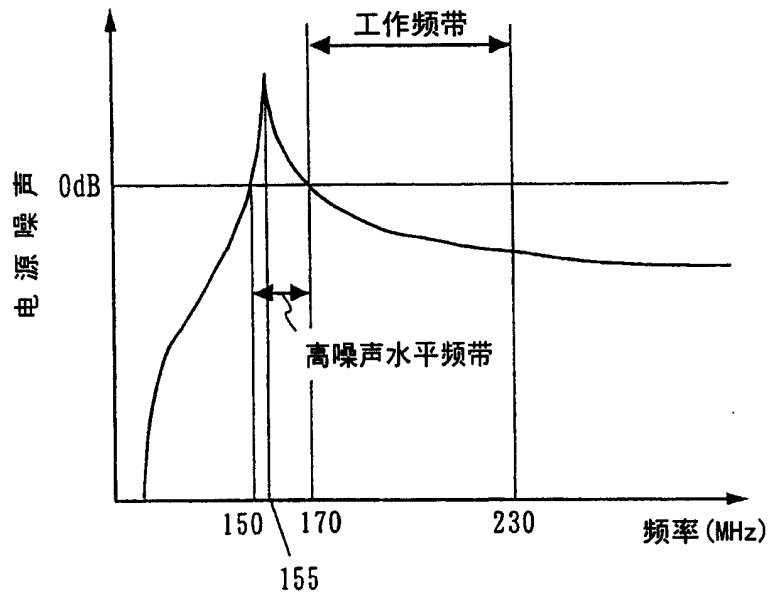


图8A

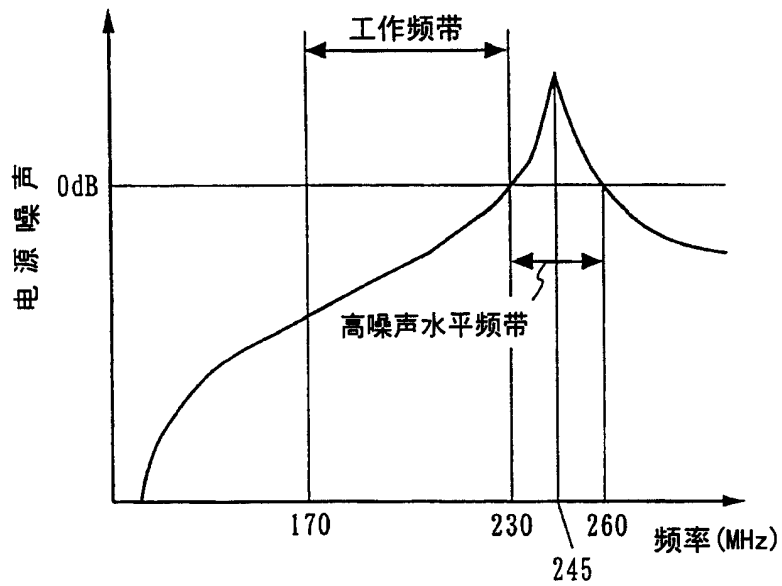


图8B

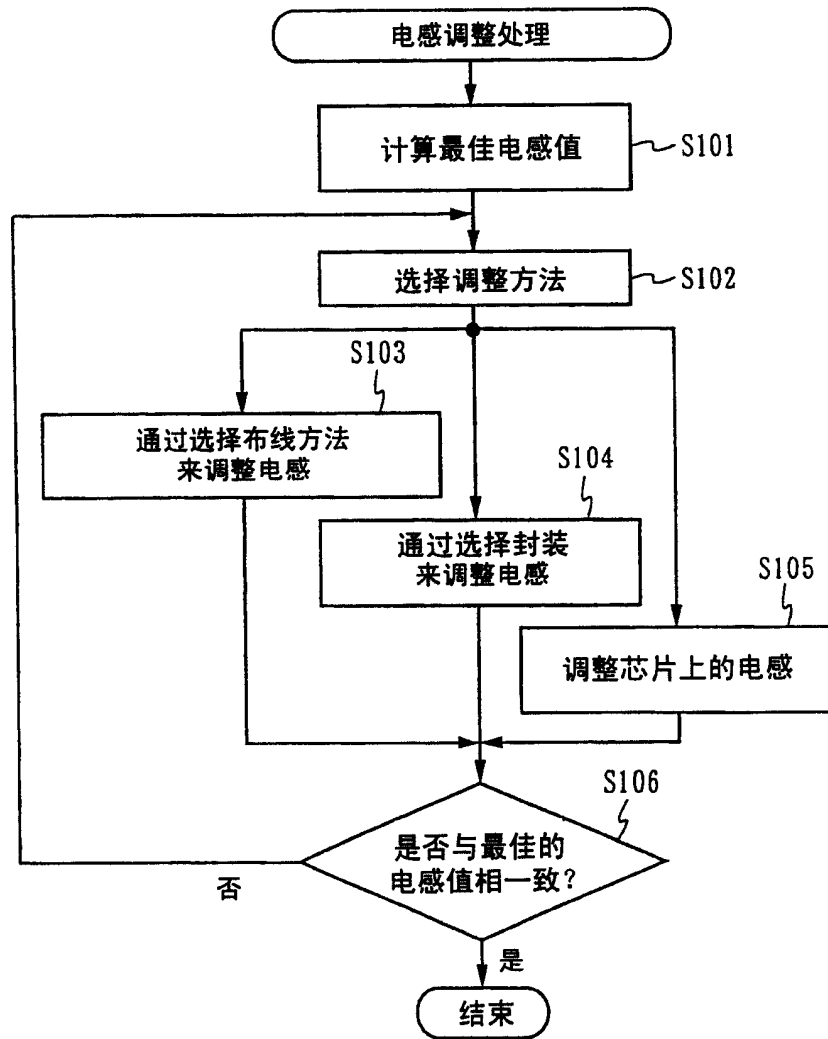


图9

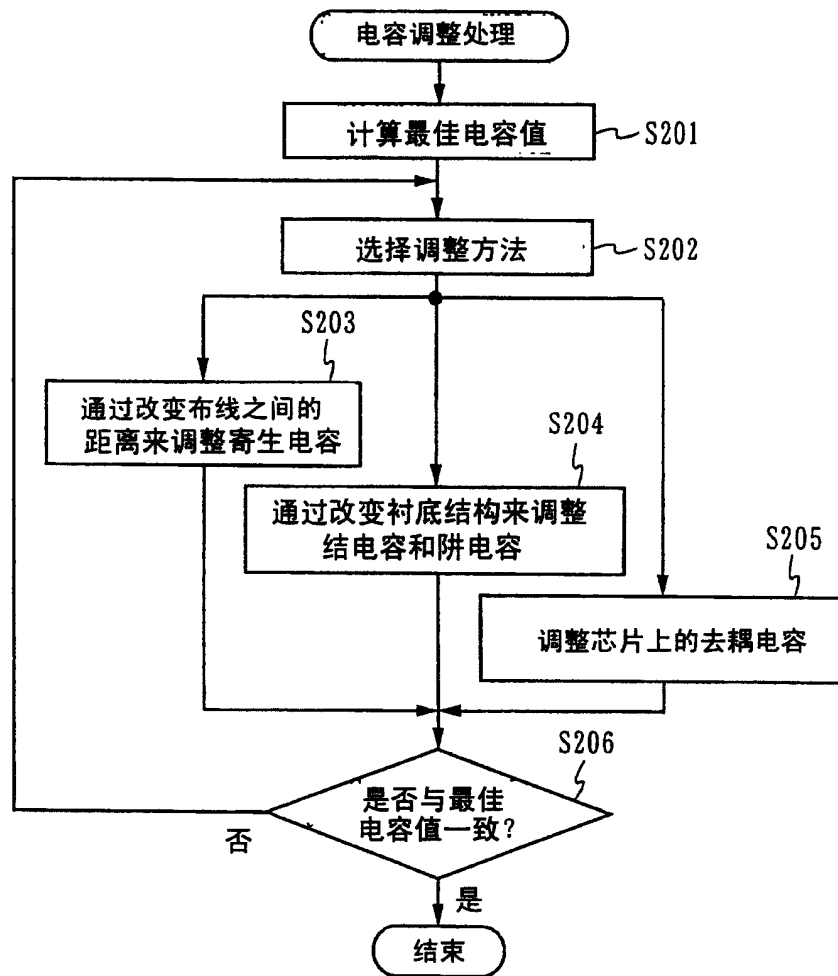


图10

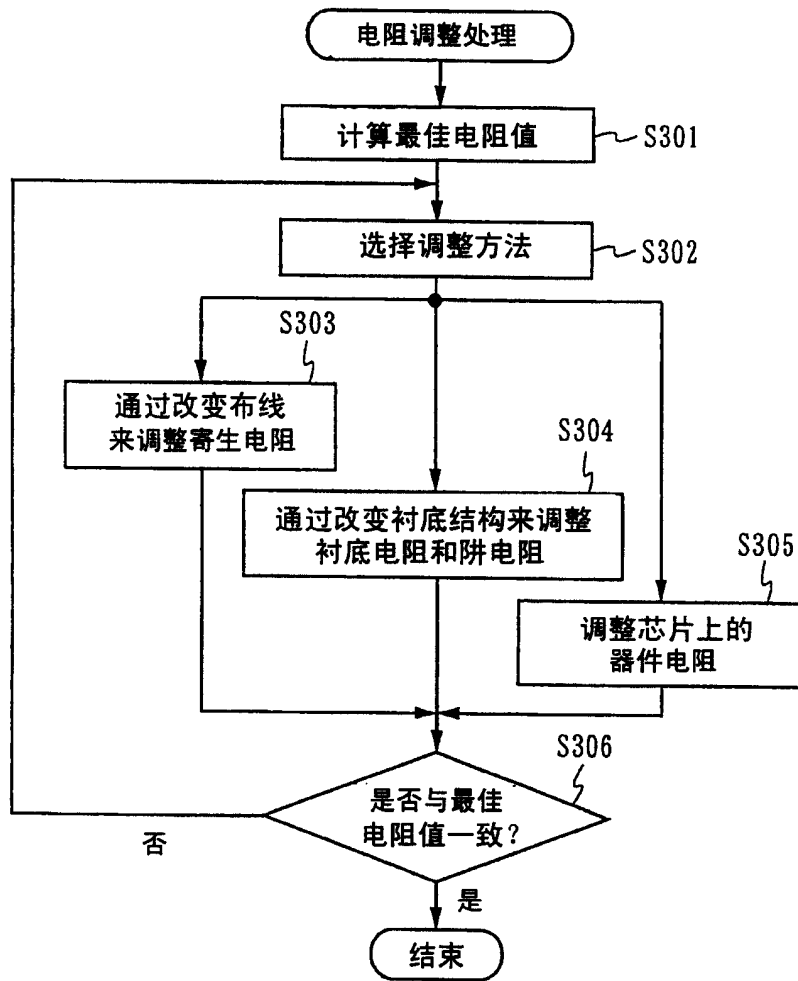


图11

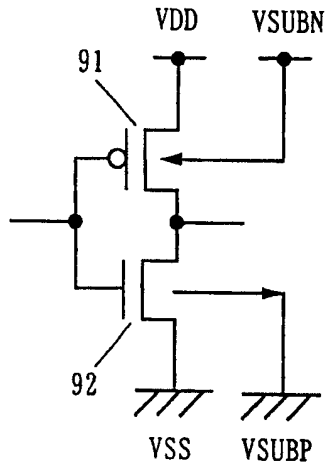


图12A

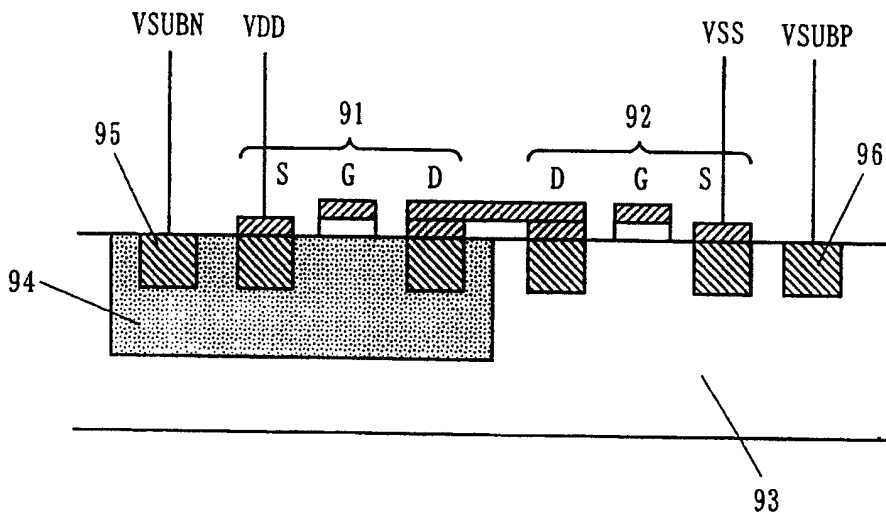


图12B

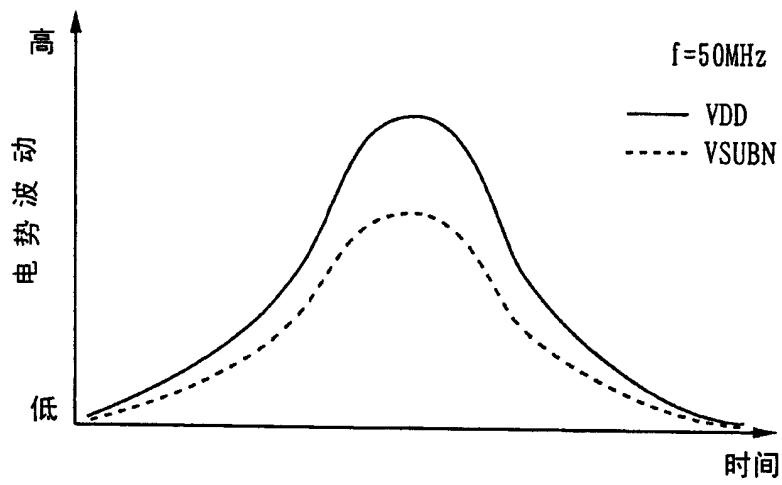


图13A

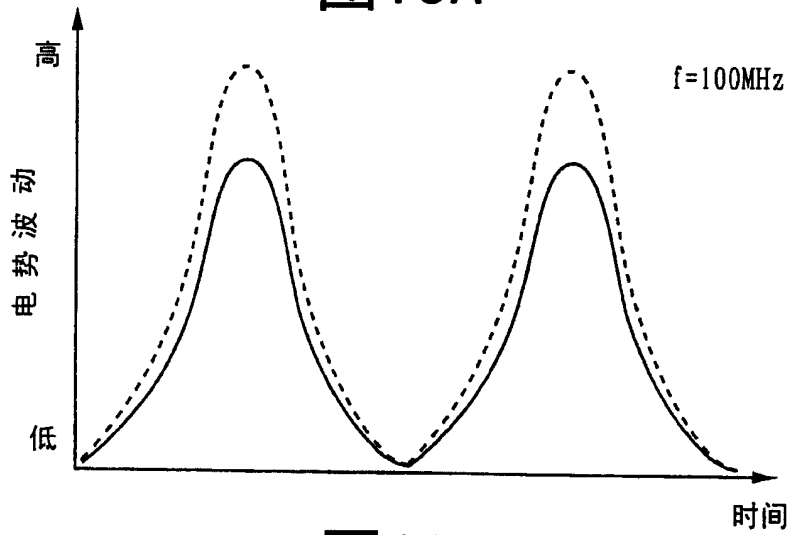


图13B

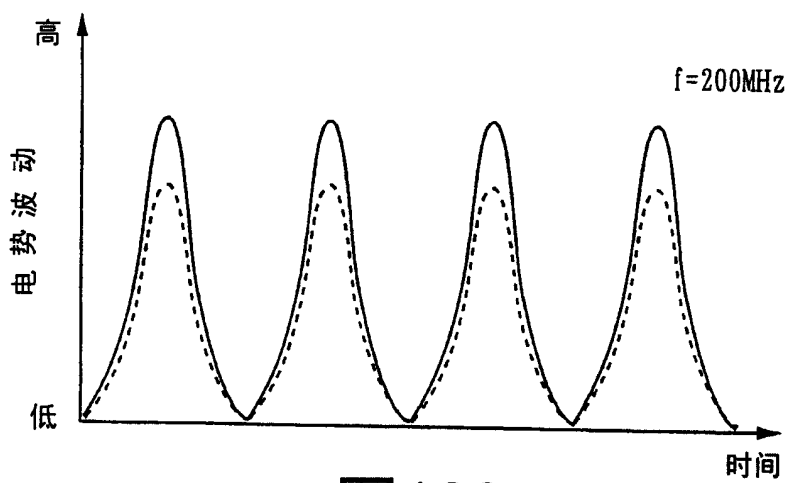


图13C