



(12)发明专利

(10)授权公告号 CN 107078158 B

(45)授权公告日 2020.08.28

(21)申请号 201480083226.0

(22)申请日 2014.11.06

(65)同一申请的已公布的文献号
申请公布号 CN 107078158 A

(43)申请公布日 2017.08.18

(85)PCT国际申请进入国家阶段日
2017.05.05

(86)PCT国际申请的申请数据
PCT/JP2014/079452 2014.11.06

(87)PCT国际申请的公布数据
W02016/071990 JA 2016.05.12

(73)专利权人 三菱电机株式会社
地址 日本东京

(72)发明人 谷冈寿一 樽井阳一郎 古桥壮之

(74)专利代理机构 北京天昊联合知识产权代理有限公司 11112

代理人 何立波 张天舒

(51)Int.Cl.
H01L 29/78(2006.01)
H01L 21/336(2006.01)
H01L 29/12(2006.01)

(56)对比文件
WO 2014/132582 A1,2014.09.04
WO 2014/132582 A1,2014.09.04
JP 特开2011-91186 A,2011.05.06
CN 103579300 A,2014.02.12
CN 102804349 A,2012.11.28
CN 102549728 A,2012.07.04

审查员 谢添

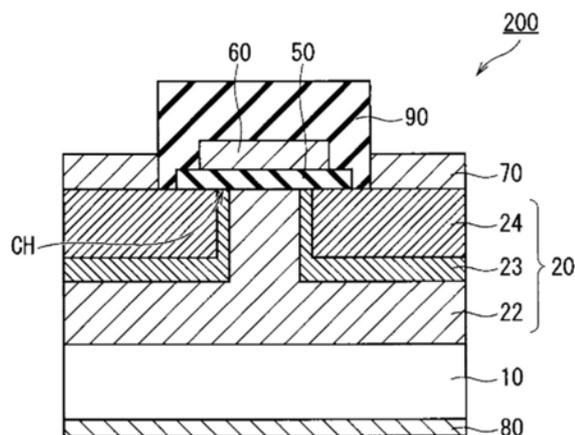
权利要求书2页 说明书8页 附图7页

(54)发明名称

碳化硅半导体装置及其制造方法

(57)摘要

碳化硅半导体装置(200)能够通过由栅极电压的施加来实现的沟道区域的控制而对导通状态及截止状态进行切换。碳化硅半导体装置(200)具有碳化硅层(20)、栅极绝缘膜(50)和栅极电极(60)。碳化硅层(20)具有沟道区域(CH)。栅极绝缘膜(50)将沟道区域(CH)覆盖。栅极电极(60)隔着栅极绝缘膜(50)而与沟道区域(CH)相对。导通状态下的沟道区域(CH)的电阻在大于或等于100℃而小于或等于150℃的温度具有最小值。



1. 一种碳化硅半导体装置,其能够通过由栅极电压的施加来实现的沟道区域的控制而对导通状态及截止状态进行切换,

该碳化硅半导体装置具有:

碳化硅层,其具有所述沟道区域;

栅极绝缘膜,其将所述碳化硅层的所述沟道区域覆盖;以及

栅极电极,其隔着所述栅极绝缘膜而与所述碳化硅层的所述沟道区域相对,

所述导通状态下的所述沟道区域的电阻在大于或等于100°C而小于或等于150°C的温度具有最小值,

所述碳化硅层的所述沟道区域在从导带端算起的0.4eV的能量处,具有大于或等于 $1.7 \times 10^{12} \text{eV}^{-1} \text{cm}^{-2}$ 而小于或等于 $2.6 \times 10^{12} \text{eV}^{-1} \text{cm}^{-2}$ 的界面态密度。

2. 根据权利要求1所述的碳化硅半导体装置,其中,

对所述沟道区域除了导电型杂质以外,还添加有添加元素。

3. 根据权利要求2所述的碳化硅半导体装置,其中,

所述添加元素为非导电型杂质。

4. 根据权利要求3所述的碳化硅半导体装置,其中,

所述非导电型杂质为Se原子及Ge原子的至少任一者。

5. 根据权利要求2所述的碳化硅半导体装置,其中,

所述添加元素是作为SiC晶体的晶格间原子而添加的Si原子及C原子的至少任一者。

6. 根据权利要求2至5中任一项所述的碳化硅半导体装置,其中,

对所述沟道区域以大于或等于 $1 \times 10^{17} \text{cm}^{-3}$ 而小于或等于 $1 \times 10^{18} \text{cm}^{-3}$ 的浓度添加有所述添加元素。

7. 一种权利要求1所述的碳化硅半导体装置的制造方法,该碳化硅半导体装置能够通过由栅极电压的施加来实现的沟道区域的控制而对导通状态及截止状态进行切换,

该碳化硅半导体装置的制造方法包含下述工序:

形成具有所述沟道区域的碳化硅层;以及

形成将所述碳化硅层的所述沟道区域覆盖的栅极绝缘膜,

形成所述栅极绝缘膜的工序包含下述工序:

形成将所述沟道区域覆盖的氧化膜;

在形成所述氧化膜的工序后,在氮化气氛中进行使所述沟道区域的界面态密度降低的第1热处理;以及

在进行所述第1热处理的工序后,在氧化气氛中进行使所述沟道区域的界面态密度增加的第2热处理,

该碳化硅半导体装置的制造方法还包含下述工序,即,

形成隔着所述栅极绝缘膜而与所述碳化硅层的所述沟道区域相对的栅极电极。

8. 根据权利要求7所述的碳化硅半导体装置的制造方法,其中,

所述第2热处理在大于或等于800°C而小于或等于1000°C的温度进行。

9. 根据权利要求7或8所述的碳化硅半导体装置的制造方法,其中,

所述氧化气氛为湿气氛。

10. 根据权利要求9所述的碳化硅半导体装置的制造方法,其中,

所述湿气氛包含 H_2 气及 O_2 气的混合气体。

11. 根据权利要求7或8所述的碳化硅半导体装置的制造方法, 其中, 所述氧化气氛包含 O_2 及氧自由基的至少任一者。

12. 根据权利要求7或8所述的碳化硅半导体装置的制造方法, 其中, 形成所述栅极绝缘膜的工序包含下述工序, 即, 在形成所述氧化膜的工序前, 沉积将所述沟道区域覆盖的氮化膜,

在形成所述氧化膜的工序中, 沉积隔着所述氮化膜而将所述沟道区域覆盖的所述氧化膜。

碳化硅半导体装置及其制造方法

技术领域

[0001] 本发明涉及碳化硅半导体装置及其制造方法,特别地,涉及能够通过由栅极电压的施加来实现的沟道区域的控制而对导通状态及截止状态进行切换的碳化硅半导体装置及其制造方法。

背景技术

[0002] 为了将逆变器进一步小型化,对高功率密度化或者冷却系统的简化等进行了研究。因此,预想到将来会要求使逆变器在大于或等于100℃而小于或等于150℃的高温环境下常态且持续地动作。关于使用碳化硅(SiC)层作为半导体层的半导体装置即碳化硅半导体装置,作为适于高温动作、能够满足上述要求的半导体装置而受到期待。

[0003] 逆变器通常具有MOSFET(Metal Oxide Semiconductor Field Effect Transistor)或者IGBT(Insulated Gate Bipolar Transistor)等开关元件。伴随开关元件的动作,其温度从室温起上升。根据庭山雅彦以及另外3人的“《SiCパワーデバイスの損失減小実証》、パナソニック技報(Panasonic Technical Journal)、Apr.2011、Vol.57、No.1、pp.9-14”(非特許文献1),SiC-MOSFET的导通电阻的温度依赖性在小于或等于室温时为负值,在大于或等于室温时为正值。另外,根据上述技术刊物,温度依赖性是由于与温度上升相伴的MOS的沟道电阻的减少和漂移电阻的增加而发生的。

[0004] 就SiC-MOSFET而言,现状是导通电阻中的沟道电阻的部分尤其成为问题。在使用SiC而不使用Si的情况下沟道电阻尤为变高的原因被认为是,由于MOSFET构造中的氧化膜和SiC层之间的界面处的界面态密度高,因此沟道迁移率与块体中的电子迁移率相比变得极小。因此,像例如在日本特开2009-224797号公报(专利文献1)中提及的那样,对降低界面态予以重视。

[0005] 专利文献1:日本特开2009-224797号公报

[0006] 非专利文献1:“パナソニック技報(Panasonic Technical Journal),Apr.2011, Vol.57, No.1, pp.9-14”

发明内容

[0007] 如上述技术刊物中记载所述,导通电阻在高温环境下尤为变高。即使为了对此进行改善,而如上述公报记载那样,一边重视降低界面态密度这一情况、一边调整SiC-MOSFET的制造条件,但根据本发明人的研究,依然难以将高温环境下的导通电阻大幅地减小。

[0008] 本发明就是为了解决以上所述的课题而提出的,其目的在于提供一种特别是在高温环境下能够减小导通电阻的碳化硅半导体装置及其制造方法。

[0009] 本发明的碳化硅半导体装置能够通过由栅极电压的施加来实现的沟道区域的控制而对导通状态及截止状态进行切换,该碳化硅半导体装置具有碳化硅层、栅极绝缘膜和栅极电极。碳化硅层具有沟道区域。栅极绝缘膜将碳化硅层的沟道区域覆盖。栅极电极隔着

栅极绝缘膜而与碳化硅层的沟道区域相对。导通状态下的沟道区域的电阻在大于或等于100℃而小于或等于150℃的温度具有最小值。

[0010] 本发明的碳化硅半导体装置的制造方法,用于制造能够通过由栅极电压的施加来实现的沟道区域的控制而对导通状态及截止状态进行切换的碳化硅半导体装置。本制造方法包含下述工序:形成具有沟道区域的碳化硅层;形成将碳化硅层的沟道区域覆盖的栅极绝缘膜;以及形成隔着栅极绝缘膜而与碳化硅层的沟道区域相对的栅极电极。形成栅极绝缘膜的工序包含下述工序:形成将沟道区域覆盖的氧化膜;在形成氧化膜的工序后,在氮气气氛中进行使沟道区域的界面态密度降低的第1热处理;以及在进行了第1热处理的工序后,在氧化气氛中进行使沟道区域的界面态密度增加的第2热处理。

[0011] 发明的效果

[0012] 根据本发明的碳化硅半导体装置,在作为动作温度而被认为有用性高的大于或等于100℃而小于或等于150℃的高温环境下,沟道电阻具有最小值。由此,特别是在高温环境下能够减小沟道电阻占据大比例的碳化硅半导体装置的导通电阻。

[0013] 根据本发明的碳化硅半导体装置的制造方法,通过由第1热处理实现的界面态密度的减小而使沟道电阻减小,然后通过第2热处理而将沟道电阻调整为在高温环境下具有最小值。由此,特别是在高温环境下能够减小沟道电阻占据大比例的碳化硅半导体装置的导通电阻。

附图说明

[0014] 图1是概略地表示本发明的实施方式1中的碳化硅半导体装置的结构剖视图。

[0015] 图2是图1的碳化硅半导体装置的制造方法的概略流程图。

[0016] 图3是概略地表示图1的碳化硅半导体装置的制造方法的第1工序的剖视图。

[0017] 图4是概略地表示图1的碳化硅半导体装置的制造方法的第2工序的剖视图。

[0018] 图5是概略地表示图1的碳化硅半导体装置的制造方法的第3工序的剖视图。

[0019] 图6是概略地表示图1的碳化硅半导体装置的制造方法的第4工序的剖视图。

[0020] 图7是概略地表示图1的碳化硅半导体装置的制造方法的第5工序的剖视图。

[0021] 图8是概略地表示图1的碳化硅半导体装置的制造方法的第6工序的剖视图。

[0022] 图9是概略地表示图1的碳化硅半导体装置的制造方法的第7工序的剖视图。

[0023] 图10是表示实施方式1的实施例及对比例的MOS电容器的界面态密度的能量依赖性的曲线图。

[0024] 图11是表示实施方式1的实施例中的碳化硅半导体装置的导通电阻的温度依赖性的曲线图。

[0025] 图12是对实施方式1的实施例及对比例的碳化硅半导体装置的导通电阻变得最小的温度与对应的MOS电容器的界面态密度之间的关系进行例示的曲线图。

[0026] 图13是表示图2中的形成栅极绝缘膜的工序的变形例的流程图。

具体实施方式

[0027] 下面,基于附图对本发明的实施方式进行说明。此外,在下面的附图中对相同或者相当的部分标注相同的参照标号,不重复其说明。

[0028] (实施方式1)

[0029] <构造>

[0030] 参照图1,本实施方式的MOSFET 200(碳化硅半导体装置)是能够通过由栅极电压的施加来实现的沟道区域CH的控制而对导通状态及截止状态进行切换的开关元件。MOSFET 200是纵向型半导体装置,即,是在衬底的厚度方向具有电流路径的装置。另外,MOSFET 200是平面型半导体装置,即,是具有与衬底的表面平行的栅极电极的装置。MOSFET 200具有:单晶衬底10、SiC层20(碳化硅层)、栅极绝缘膜50、栅极电极60、源极电极70、漏极电极80和层间绝缘膜90。

[0031] 单晶衬底10呈n型。单晶衬底10由具有多型4H的SiC制作。单晶衬底10具有(0001)面作为主面(在图中为上表面)。

[0032] SiC层20是在单晶衬底10的主面之上设置的外延层。由此,由单晶衬底10和SiC层20构成SiC的外延衬底。SiC层20的厚度例如为5~50 μm 。SiC层20具有:漂移层22、基极区域23和源极区域24。

[0033] 漂移层22设置在单晶衬底10之上。漂移层22呈n型。漂移层22的杂质浓度比单晶衬底10的杂质浓度高,例如为 $1 \times 10^{15} \text{cm}^{-3} \sim 1 \times 10^{17} \text{cm}^{-3}$ 。

[0034] 基极区域23设置在漂移层22之上。基极区域23的厚度比漂移层22的厚度小,例如为0.5~3 μm 。基极区域23由于被添加有受主,因此呈p型。受主例如是Al(铝)原子。基极区域23的杂质浓度例如为 $1 \times 10^{17} \text{cm}^{-3} \sim 1 \times 10^{19} \text{cm}^{-3}$ 。

[0035] 源极区域24设置在基极区域23之上,厚度比基极区域23的厚度小。由此,通过基极区域23而将源极区域24与漂移层22分隔开。源极区域24由于被添加有施主,因此呈n型。施主例如为N(氮)原子。源极区域24的杂质浓度例如为 $1 \times 10^{18} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 。

[0036] 基极区域23在SiC层20的表面之上具有沟道区域CH。沟道区域CH是基极区域23中的在导通状态下形成反转层的区域,将漂移层22和源极区域24之间相连。

[0037] 详情将在后面记述,导通状态下的沟道区域CH的电阻(沟道电阻)在大于或等于100 $^{\circ}\text{C}$ 而小于或等于150 $^{\circ}\text{C}$ 的温度具有最小值。优选的是,反映出上述的沟道电阻的温度依赖性,导通状态下的源极电极70及漏极电极80间的电阻(导通电阻)也在大于或等于100 $^{\circ}\text{C}$ 而小于或等于150 $^{\circ}\text{C}$ 的温度具有最小值。

[0038] 栅极绝缘膜50设置在SiC层20之上,将基极区域23的沟道区域CH覆盖。栅极绝缘膜50例如主要由氧化硅制作。在本实施方式中,栅极绝缘膜50也将漂移层22及源极区域24的一部分覆盖。

[0039] 沟道区域CH在从导带端算起的0.4eV的能量处,具有大于或等于 $1.7 \times 10^{12} \text{eV}^{-1} \text{cm}^{-2}$ 而小于或等于 $2.6 \times 10^{12} \text{eV}^{-1} \text{cm}^{-2}$ 的界面态密度。沟道区域CH具有与单晶衬底10的主面的面方位对应的面方位,即(0001)面。

[0040] 栅极电极60隔着栅极绝缘膜50而与SiC层20的沟道区域CH相对。栅极电极60例如是具有导电性的多晶硅膜。

[0041] 源极电极70以与源极区域24接触且与漂移层22分离的方式设置在SiC层20之上。层间绝缘膜90将栅极电极60和源极电极70之间绝缘。层间绝缘膜90的厚度例如为1~3 μm 。漏极电极80设置在单晶衬底10的与设置有SiC层20的面相反的面之上。由此,在漏极电极80和源极电极70之间,夹着由单晶衬底10及SiC层20构成的外延衬底。源极电极70及漏极电极

80由例如Al合金制作。

[0042] <动作>

[0043] 如果对栅极电极60施加比阈值电压大的正电压,则在沟道区域CH形成反转层。即,在n型的源极区域24及漂移层22之间,形成作为载流子的电子流过的路径。从源极区域24向漂移层22流入的电子,按照通过施加于漏极电极80的正电压而形成的电场,经由漂移层22及单晶衬底10而到达至漏极电极80。因此,通过对栅极电极60施加正电压,从而电流从漏极电极80流动至源极电极70。该状态被称为导通状态。

[0044] 导通状态下的源极电极70和漏极电极80之间的电阻、即导通电阻是沟道区域CH的电阻即沟道电阻与漂移层22的电阻即漂移电阻之和。沟道电阻由沟道区域CH的长度即沟道长度和沟道区域CH的电子迁移率决定。导通状态下的MOSFET 200的沟道区域的电阻,如前述所示在大于或等于100℃而小于或等于150℃的温度具有最小值。

[0045] 反之,如果对栅极电极60施加比阈值电压小的电压,则不在沟道区域CH形成反转层,因此电流不从漏极电极80流动至源极电极70。该状态被称为截止状态。

[0046] 此外,在截止状态下,由于施加于漏极电极80的正电压,耗尽层从漂移层22和基极区域23之间的pn结延伸。如果从该pn结朝向基极区域23侧延伸出的耗尽层到达至源极区域24,则可能发生穿通破坏。因此,基极区域23的杂质浓度优选高至对耗尽层的延伸充分地进行抑制的程度。另一方面,如果试图得到过高的杂质浓度,则为此而进行的离子注入所引起的晶体品质的降低可能变得显著。因此,基极区域23的底部的杂质浓度优选大于或等于 $1 \times 10^{17} \text{cm}^{-3}$ 而小于或等于 $1 \times 10^{19} \text{cm}^{-3}$ 。

[0047] <制造方法>

[0048] 接下来,关于MOSFET 200的制造方法,使用图2的流程图及图3~图9的剖视图而在下面进行说明。

[0049] 参照图3,在单晶衬底10的主面之上通过外延生长而形成SiC层20(图2:步骤S10)。作为形成方法,能够使用化学气相沉积(Cheical Vapor Deposition:CVD)法。SiC层20如图1所示,包含直接用作漂移层22的部分、和后面记述的通过离子注入而形成基极区域23及源极区域24的部分。由此,刚沉积后的SiC层20的导电型及杂质浓度与漂移层22相同。另外, SiC层20包含成为基极区域23的部分,因此具有成为沟道区域CH(图1)的部分。

[0050] 参照图4,接下来,在SiC层20的表面形成注入掩模100。接下来,使用注入掩模100对SiC层20注入Al离子而作为受主。被注入了Al离子的部分成为基极区域23,剩余部分成为漂移层22。因此,对成为基极区域23的部分以比漂移层22的施主浓度高的浓度注入受主。此外,也可以为了调整阈值电压,而对包含沟道区域CH(图1)的较浅的区域注入N离子。然后,将注入掩模100去除。

[0051] 参照图5,接下来,在SiC层20的表面形成注入掩模110。接下来,使用注入掩模110对SiC层20注入N离子而作为施主。被注入了N离子的部分成为源极区域24。为了该目的,对源极区域24以比基极区域23的受主浓度高的浓度注入施主。然后,将注入掩模110去除。

[0052] 接下来,使用热处理装置,在Ar(氩)气等非活性气体气氛中,以1300~1900℃的温度,进行30秒~1小时的热处理。通过该热处理,在图4及图5的工序中注入的离子被激活。此外,图4及图5的工序也可以相互调换。

[0053] 参照图6,接下来,形成将成为沟道区域CH(图1)的部分覆盖的栅极绝缘膜50(图2:

步骤S20)。具体地说,进行下面的工序。

[0054] 首先,进行SiC层20的表面的热氧化。由此,形成将成为沟道区域CH(图1)的部分覆盖的氧化膜(图2:步骤S21)。

[0055] 接下来,在氮化气氛中进行使沟道区域CH的界面态密度降低的第1热处理(图2:步骤S22)。该第1热处理的温度例如为1150~1350℃。作为氮化气氛,例如使用包含NO或者N₂O等氮氧化物气体、或者NH₃气的气氛。此外,也可以取代氮化气氛而利用使用了POCl₃气体或者H₂气的气氛。

[0056] 接下来,在氧化气氛中进行使沟道区域CH的界面态密度增加的第2热处理(图2:步骤S23)。经过该处理后的沟道区域CH在从导带端算起的0.4eV的能量处,具有大于或等于 $1.7 \times 10^{12} \text{eV}^{-1} \text{cm}^{-2}$ 而小于或等于 $2.6 \times 10^{12} \text{eV}^{-1} \text{cm}^{-2}$ 的界面态密度。界面态密度的增加量能够通过处理温度、处理时间或者气氛而进行控制。具体地说,该第2热处理在大于或等于800℃而小于或等于1000℃的温度进行。氧化气氛在本实施方式中是湿气氛。湿气氛优选包含H₂气及O₂气的混合气体。在形成气氛时使用的通过H₂气流量/O₂气流量而计算的流量比,优选大于或等于0.5而小于或等于1.8。

[0057] 通过以上方式,形成栅极绝缘膜50。

[0058] 参照图7,接下来,形成隔着栅极绝缘膜50而与SiC层20的沟道区域CH相对的栅极电极60(图2:步骤S30)。具体地说,进行通过减压CVD法实现的导电性多晶硅膜的形成和其图案化。

[0059] 参照图8,接下来,形成对栅极电极60进行覆盖的层间绝缘膜90。作为形成方法,例如能够使用CVD法。

[0060] 参照图9,接下来,通过使用蚀刻掩模(未图示)进行的蚀刻而在层间绝缘膜90及栅极绝缘膜50形成开口。由此,源极区域24局部地露出。

[0061] 再次参照图1,形成源极电极70及漏极电极80。通过以上方式,得到MOSFET 200。

[0062] <实施例>

[0063] 对比例A、实施例B及C各自的MOSFET是使用不同的晶片而制作出的。由于能够通过导通电阻的温度依赖性而大致掌握沟道电阻的温度依赖性,因此将沟道电阻在导通电阻中所占的比例充分大的构造用于上述MOSFET。另外,为了对MOSFET具有的MOS构造的界面态密度进行掌握,在各晶片还同时形成具有同样的MOS构造的MOS电容器。

[0064] 对比例A是以不具有第2热处理(图2:步骤S23)的方式制作出的。实施例B是使用800℃的第2热处理而制作出的。实施例C是使用900℃的第2热处理而制作出的。

[0065] 图10示出对比例A、实施例B及C各自中的界面态密度D的能量依赖性的测定结果。横轴E_c-E是界面态的能量E和与其接近的导带端的能量E_c之间的能量差。界面态密度是根据DLTS(Deep Level Transient Spectroscopy)测定(时间常数τ=0.3秒)导出的。实施例B及C的MOS电容器与对比例A相比,界面态密度在所测定的整个能量范围增加。界面态密度的增加被推测为是由于在SiC层20和栅极绝缘膜50之间的界面发生了若干氧化而导致的。

[0066] 图11示出实施例B及C各自的MOSFET的导通电阻R_{ON}和MOSFET的芯片温度T_{Chip}之间的关系。导通电阻R_{ON}变得最小的芯片温度T_{Chip}在实施例B中为100℃,在实施例C中为150℃。由此,在本实验中,对于占据导通电阻R_{ON}的大部分的沟道电阻,也认为是在实施例B中为100℃左右,在实施例C中为150℃左右。此外,在对比例A中,导通电阻R_{ON}变得最小的温度为25℃

(在图11中未图示)。

[0067] 图12是使用图10及图11的结果,对导通电阻 R_{ON} 变得最小的温度 T_{min} 和 $E_c - E = 0.4\text{eV}$ 处的界面态密度 D 之间的关系汇总得到的曲线图。作为具体的数值, $E_c - E = 0.4\text{eV}$ 处的界面态密度 D 在对比例A中为 $1.2 \times 10^{12}\text{eV}^{-1}\text{cm}^{-2}$,在实施例B中为 $1.7 \times 10^{12}\text{eV}^{-1}\text{cm}^{-2}$,在实施例C中为 $2.6 \times 10^{12}\text{eV}^{-1}\text{cm}^{-2}$ 。此外,图中的直线是为了容易掌握关系而附加的近似直线。根据该曲线图可知,在温度 T_{min} 和 $E_c - E = 0.4\text{eV}$ 处的界面态密度 D 之间,发现了高关联性。

[0068] <思考>

[0069] 根据芯片温度 $T_{chip} = 25^\circ\text{C}$ 的导通电阻 R_{ON} 的结果(图11)可知,与导带端的能量 E_c 接近的能量 E 处的界面态密度 D 越低,室温下的导通电阻 R_{ON} 越低。因此,在现有技术中,共同的说法是,为了得到具有低导通电阻 R_{ON} 的MOSFET,必须使界面态密度 D 降低。但是本发明人发现,在并非室温的 $100^\circ\text{C} \sim 150^\circ\text{C}$ 的高温下通过界面态密度 D 的增加而能够使沟道电阻变得更低。而且,基于该发现,联想到本实施方式的MOSFET 200的结构。

[0070] 如果沟道电阻在导通电阻中所占的比例大到一定程度,则能够通过沟道电阻变得最小的温度域进行控制,从而对导通电阻变得最小的温度域充分地进行控制。例如,优选向在 150°C 持续动作的逆变器如实施例C(图11)所示,搭载室温的导通电阻 R_{ON} 高、但 150°C 的导通电阻 R_{ON} 低的MOSFET。

[0071] 此外,关于具有高于 150°C 的温度 T_{min} 的MOSFET的制作,由于难以进行界面态密度的控制,因此难以稳定地进行。例如,虽然得到了具有 $E_c - E = 0.4\text{eV}$ 处的界面态密度 $D = 4 \times 10^{12}\text{eV}^{-1}\text{cm}^{-2}$ 的MOSFET,但没有发现实用温度域中的导通电阻的减小。其原因被认为是界面态密度 D 过高。

[0072] <效果>

[0073] 根据本实施方式的MOSFET 200,在作为动作温度而被认为有用性高的大于或等于 100°C 而小于或等于 150°C 的高温环境下,沟道电阻具有最小值。由此,能够将沟道电阻占据大比例的MOSFET 200的导通电阻特别是在高温环境下减小。特别是就额定电压小于或等于 1700V 的MOSFET而言,漂移电阻小,所以沟道电阻在导通电阻中所占的比例大,因此通过本实施方式,得到在高温环境下减小导通电阻的显著的效果。

[0074] SiC层20的沟道区域CH在 $E_c - E = 0.4\text{eV}$ 处,具有大于或等于 $1.7 \times 10^{12}\text{eV}^{-1}\text{cm}^{-2}$ 而小于或等于 $2.6 \times 10^{12}\text{eV}^{-1}\text{cm}^{-2}$ 的界面态密度。由此,能够容易地将在大于或等于 100°C 而小于或等于 150°C 的高温环境下具有最小值的温度依赖性赋予给沟道电阻。

[0075] 另外,MOSFET 200在比室温高的温度 T_{min} ,导通电阻 R_{ON} 最小化,因此在芯片温度 T_{chip} 为温度 T_{min} 附近的动作温度容易稳定地动作。如果芯片温度 T_{chip} 偏离温度 T_{min} 附近的动作温度,则产生试图恢复至温度 T_{min} 的作用。特别是在芯片温度 T_{chip} 比动作温度低的情况下,由于芯片的通电发热,产生芯片温度 T_{chip} 试图恢复至温度 T_{min} 的作用。

[0076] 根据本实施方式的MOSFET 200的制造方法,通过由第1热处理实现的界面态密度的减小而使沟道电阻减小,然后,通过第2热处理而将沟道电阻调整为在高温环境下具有最小值。由此,特别是在高温环境下能够减小沟道电阻占据大比例的MOSFET 200的导通电阻。

[0077] 通过使第2热处理在大于或等于 800°C 的温度进行,由此能够使界面态密度有效地增大。另外,通过使第2热处理在小于或等于 1000°C 的温度进行,由此能够高精度地对界面态密度进行控制。

[0078] 由于氧化气氛为湿气氛,因此能够在高温环境下更有效地减小导通电阻。

[0079] 湿气氛包含H₂气及O₂气的混合气体。由此,能够通过H₂气及O₂气的混合比高精度地对界面态密度进行控制。特别是在通过H₂气流量/O₂气流量计算的流量比大于或等于0.5而小于或等于1.8的情况下,能够进一步提高精度。

[0080] <变形例>

[0081] 此外,氧化气氛并不一定限定于湿气氛,也可以是O₂气氛、或者与通过热分解而实现的氧自由基的发生相伴的N₂O气氛。利用如上所述的氧化气氛,也能够使沟道区域CH的界面态密度增加。

[0082] 另外,也可以取代步骤S20(图2)而进行步骤S20V(图13)。在步骤S20V中,在形成氧化膜的工序(图13:步骤S21b)之前,进行沉积将沟道区域CH覆盖的氮化膜的工序(步骤S21a)。在步骤S21b中,沉积隔着上述氮化膜而将沟道区域CH覆盖的氧化膜。作为氮化膜及氧化膜的沉积方法,能够使用CVD法。根据本变形例,能够以更高的精度对界面态密度进行控制。

[0083] (实施方式2)

[0084] 就本实施方式的MOSFET而言,除了作为施主或者受主起作用的导电型杂质,还将大于或等于 $1 \times 10^{17} \text{cm}^{-3}$ 而小于或等于 $1 \times 10^{18} \text{cm}^{-3}$ 的浓度的添加元素添加至沟道区域CH(图1)。

[0085] 上述的添加元素也可以是非导电型杂质。即,也可以是构成母材的Si原子及C原子不同的、非导电型的杂质原子。非导电型杂质也可以是Se(硒)原子及Ge(锗)原子的至少任一者。也可以添加Se原子及Ge原子这两者,但添加任一者的方式会将工序简化。

[0086] 或者,上述的添加元素也可以是作为SiC层20的SiC晶体的晶格间原子而添加的Si原子及C原子的至少任一者。

[0087] 上述添加元素能够在实施方式1的图4的工序中,通过使用注入掩模100进行的离子注入而进行添加。

[0088] 另外,在本实施方式中,为了将工序简化,能够省略在实施方式1中详细说明书的第1及第2热处理(图2及图13:步骤S22及S23)。但是,出于得到更低的沟道电阻这一目的,优选进行第1热处理。

[0089] 此外,关于除了上述以外的结构,由于与上述的实施方式1的结构大致相同,因此对相同或者对应的要素标注相同的标号,不重复其说明。

[0090] 根据本实施方式,对沟道区域CH除了导电型杂质以外,还添加有大于或等于 $1 \times 10^{17} \text{cm}^{-3}$ 而小于或等于 $1 \times 10^{18} \text{cm}^{-3}$ 的浓度的添加元素。由此,通过适当地导入缺陷,从而能够得到在实施方式1中说明的期望范围的界面态密度。由此,得到与实施方式1相同的效果。

[0091] 在添加元素为非导电型杂质的情况下,能够避免添加元素的添加对受主浓度或者施主浓度造成影响。在非导电型杂质为Se原子及Ge原子的至少任一者的情况下,能够在高温环境下更有效地减小导通电阻。

[0092] 在添加元素为Si原子或者C原子的情况下,无需对SiC层20的母材添加杂质,就能够使界面态密度降低。

[0093] (附记)

[0094] 在上述各实施方式中对MOSFET进行了说明,但碳化硅半导体装置并不限定于

MOSFET。碳化硅半导体装置只要能够通过由栅极电压的施加来实现的沟道区域的控制而对导通状态及截止状态进行切换即可,例如也可以是IGBT。另外,也可以对碳化硅半导体装置应用超级结构。另外,栅极构造并不限于平面型,也可以是沟槽型。

[0095] 另外,在上述各实施方式中,对具有n沟道的碳化硅半导体装置进行了说明,但沟道的导电型并不限于n沟道,也可以是p沟道。为了得到p沟道,只要使各半导体区域的导电型反转即可。

[0096] 另外,沟道区域的面方位并不限于(0001)面,例如,也可以使用(000-1)、(11-20)、(0338)等其他面方位。特别是(11-20)面的沟道电阻对导通电阻的贡献大,因此与本实施方式同样地,能够通过减小沟道电阻而将导通电阻大幅地减小。具有(11-20)面的沟道也可以设置于在(0001)面或者(000-1)面之上形成的沟槽的侧壁。

[0097] 另外,沟道区域的多型并不限于4H,可以是任意的,例如也可以是3C。

[0098] 本发明能够在其发明的范围内,将实施方式适当地变形、省略,或者将各实施方式自由地组合。详细地说明了本发明,但上述说明的所有方案均为例示,本发明不限于此。可以理解为在不脱离本发明的范围的情况下能够想到未例示出的无数的变形例。

[0099] 标号的说明

[0100] CH 沟道区域,10 单晶衬底,20 SiC层(碳化硅层),22 漂移层,23 基极区域,24 源极区域,50 栅极绝缘膜,60 栅极电极,70 源极电极,80 漏极电极,90 层间绝缘膜,100、110 注入掩模,200 MOSFET(碳化硅半导体装置)。

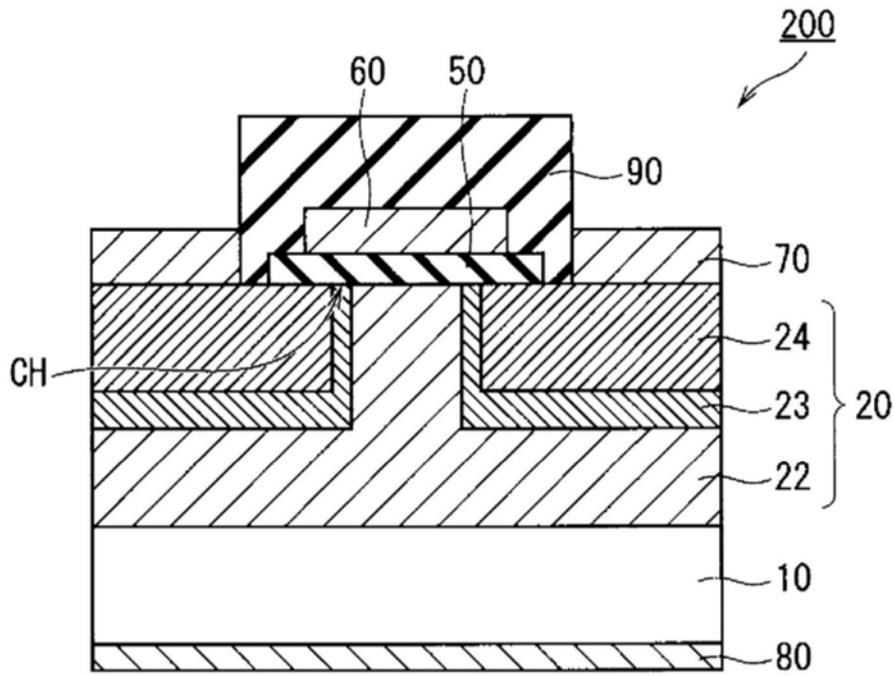


图1

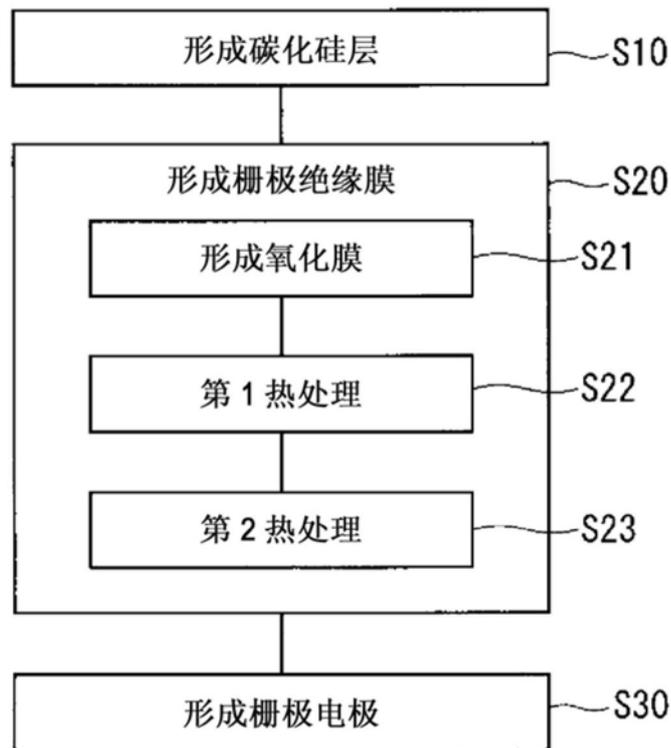


图2

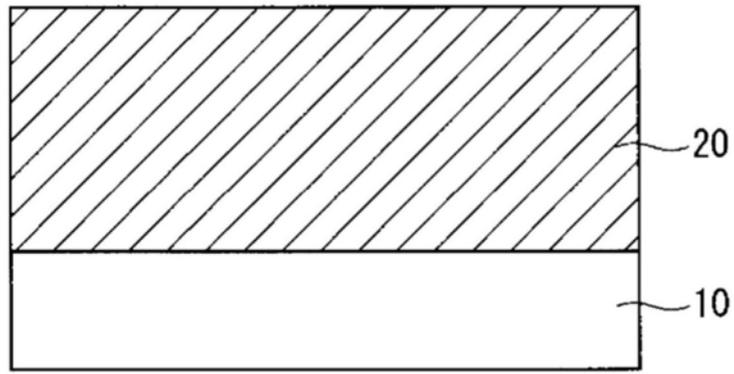


图3

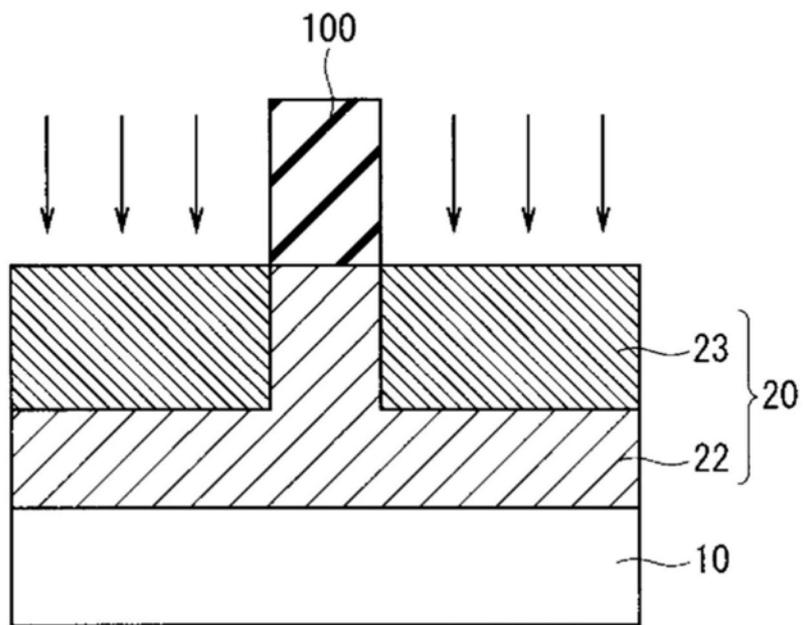


图4

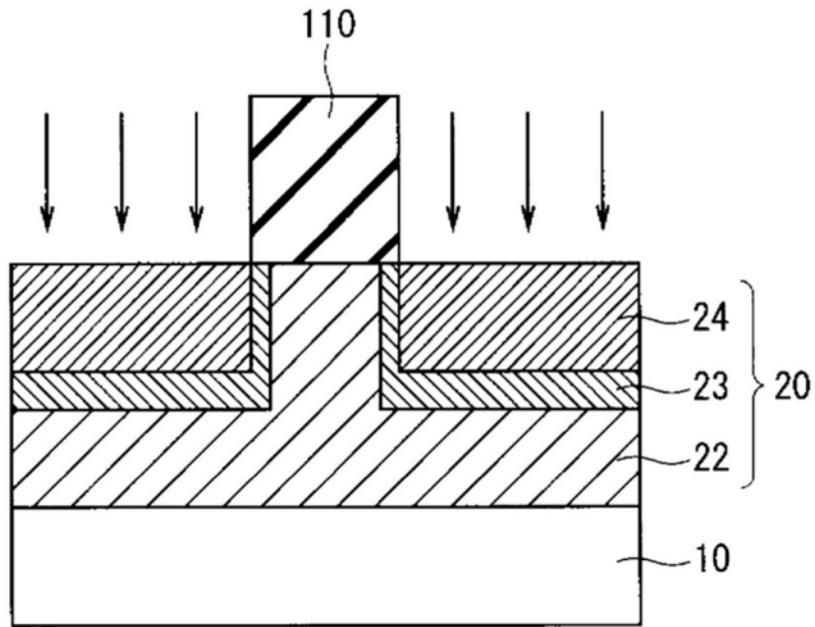


图5

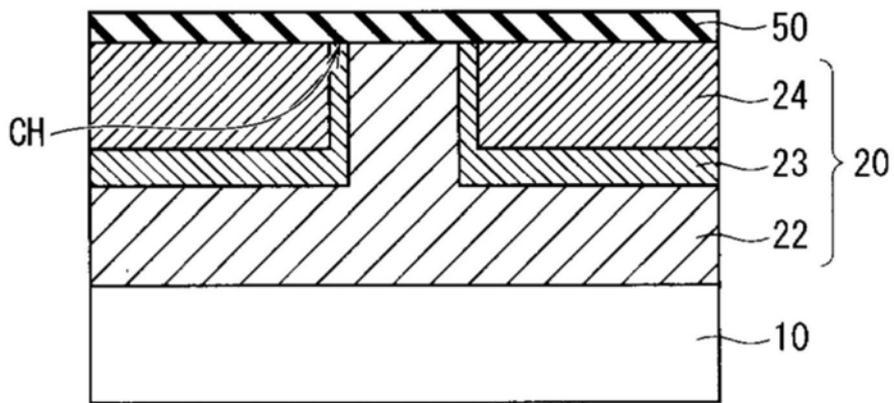


图6

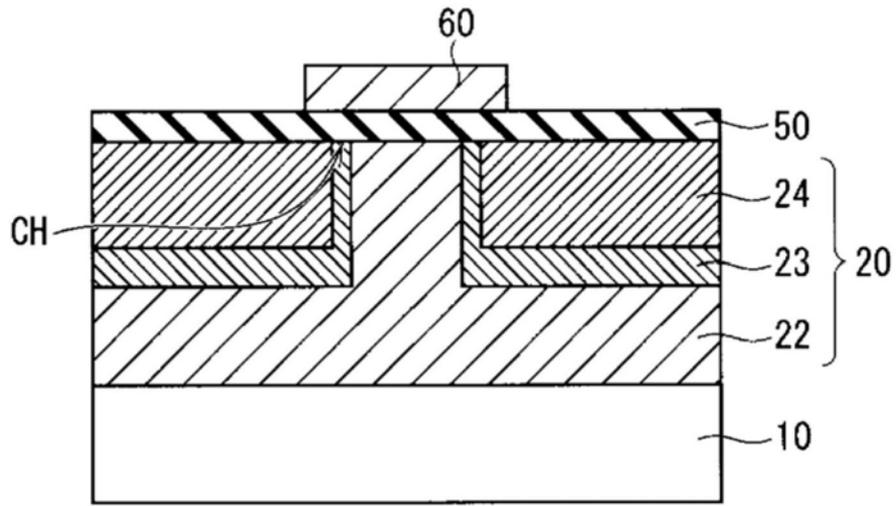


图7

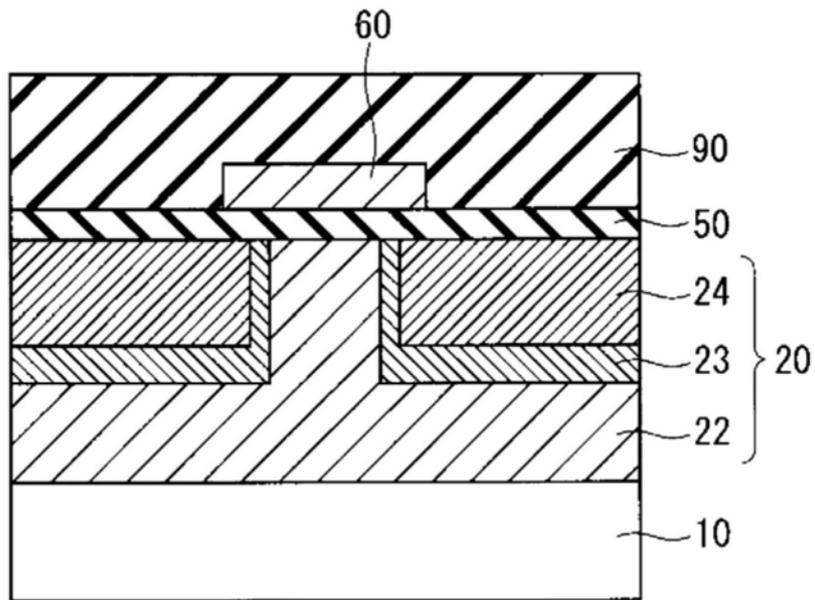


图8

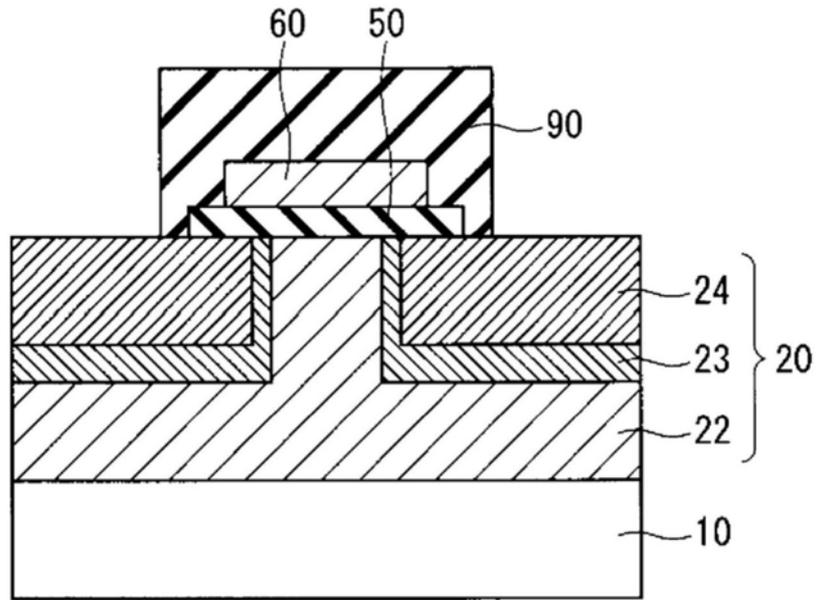


图9

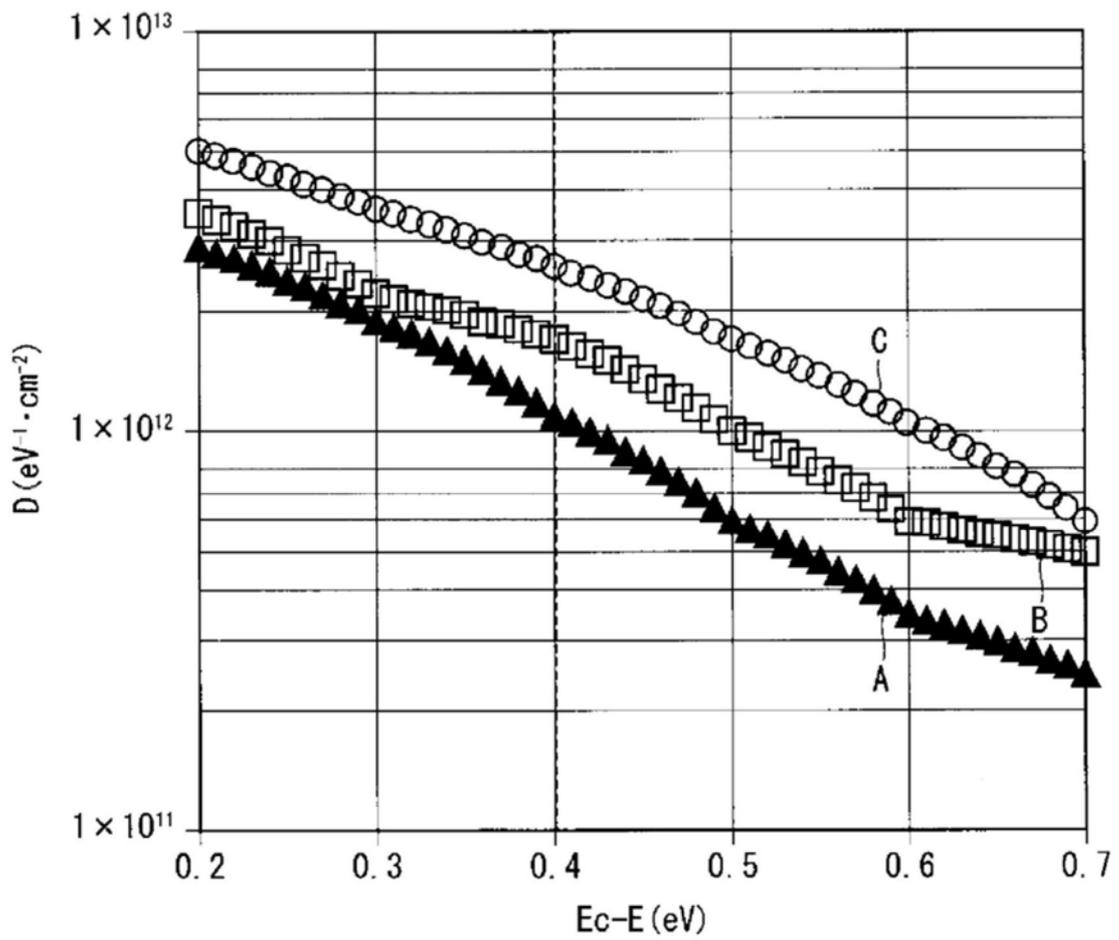


图10

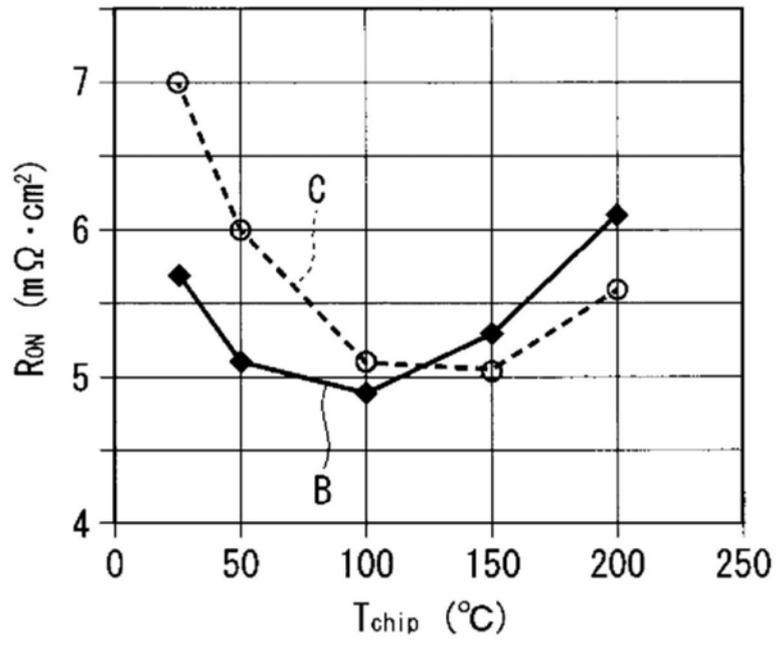


图11

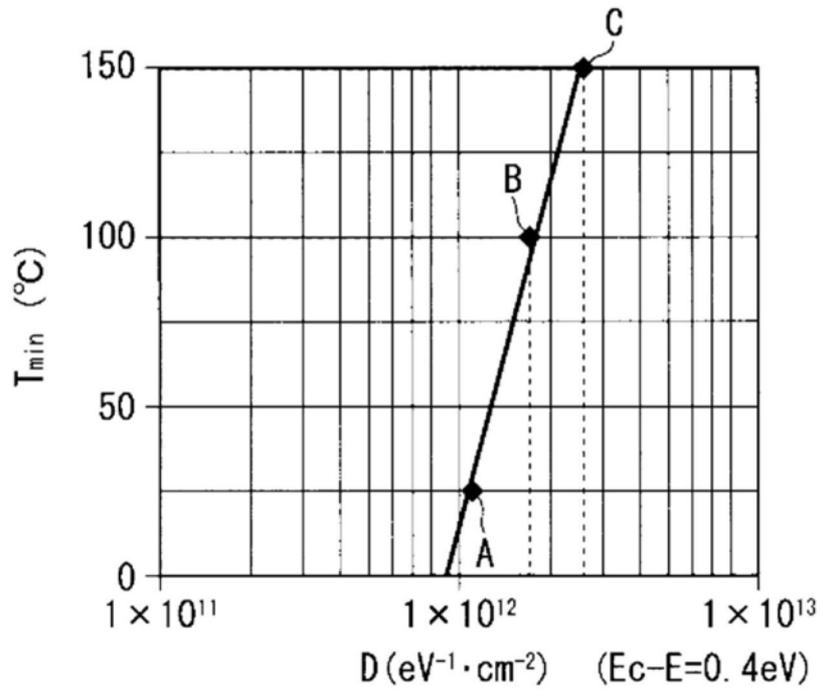


图12

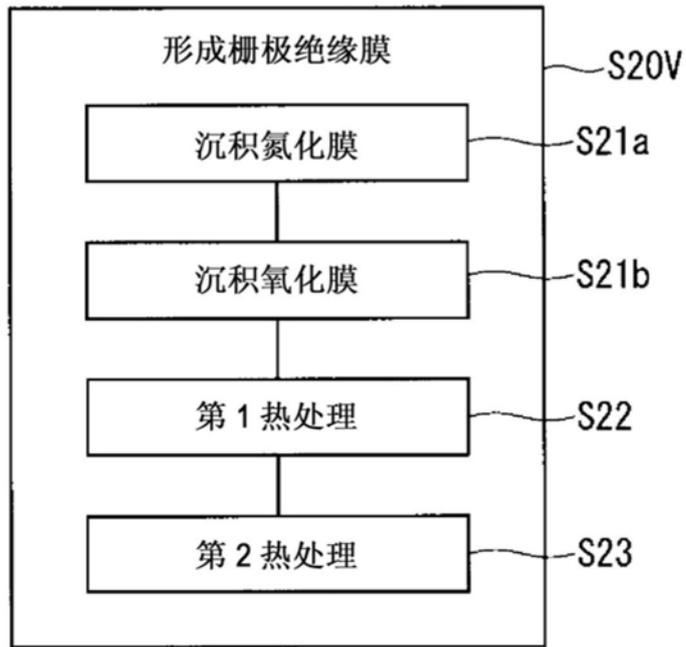


图13