

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4926726号  
(P4926726)

(45) 発行日 平成24年5月9日(2012.5.9)

(24) 登録日 平成24年2月17日(2012.2.17)

(51) Int.Cl. F I  
H O I L 23/50 (2006.01) H O I L 23/50 U

請求項の数 6 (全 12 頁)

(21) 出願番号	特願2007-5407 (P2007-5407)	(73) 特許権者	000116024
(22) 出願日	平成19年1月15日 (2007. 1. 15)		ローム株式会社
(65) 公開番号	特開2008-172115 (P2008-172115A)		京都府京都市右京区西院溝崎町2 1 番地
(43) 公開日	平成20年7月24日 (2008. 7. 24)	(74) 代理人	100085501
審査請求日	平成21年6月24日 (2009. 6. 24)		弁理士 佐野 静夫
審判番号	不服2011-15969 (P2011-15969/J1)	(74) 代理人	100134555
審判請求日	平成23年7月25日 (2011. 7. 25)		弁理士 林田 英樹
		(72) 発明者	糟谷 泰正
			京都市右京区西院溝崎町2 1 番地 ローム株式会社内
		(72) 発明者	芳我 基治
			京都市右京区西院溝崎町2 1 番地 ローム株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

半導体チップと、  
前記半導体チップの裏面全体を第1はんだで接合して搭載するダイパッドと、  
前記半導体チップと電氣的に導通される複数のリードと、  
前記ダイパッドの前記半導体チップが搭載される面の裏面に第2はんだで接合されて前記半導体チップに加わる応力を緩和する応力緩和層と、  
少なくとも前記半導体チップを封止する封止体と、  
を備え、

前記ダイパッドが前記複数のリードよりも下方に位置し、  
前記応力緩和層の表面が前記封止体の表面と面一となって露出し、  
前記応力緩和層が前記ダイパッドと接合される接合面の大きさは、前記半導体チップが前記ダイパッドと接合される接合面の大きさとほぼ等しいことを特徴とする半導体装置。

【請求項 2】

前記ダイパッドの厚みが100～150 μmであることを特徴とする請求項1に記載の半導体装置。

【請求項 3】

前記第1はんだ及び前記第2はんだが、高融点はんだ又は鉛フリーはんだであることを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項 4】

前記応力緩和層の材料が、42アロイ材、コパール材、シリコンのうちのいずれか1つであることを特徴とする請求項1～請求項3のいずれかに記載の半導体装置。

【請求項5】

前記半導体チップが、パワー系の半導体チップであることを特徴とする請求項1～請求項4のいずれかに記載の半導体装置。

【請求項6】

前記半導体チップと前記ダイパッドとを接合する第1はんだと、前記ダイパッドと前記応力緩和層とを接合する第2はんだとが同一であることを特徴とする請求項1～請求項5のいずれかに記載の半導体装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、半導体装置に関し、特に半導体チップをダイパッドにはんだを用いて接合して成る半導体装置の構成に関する。

【背景技術】

【0002】

パワートランジスタやパワーICなどの半導体チップを備えるパワー用の半導体装置においては、例えば特許文献1に示されるように、半導体チップをリードフレームのダイパッド(アイランドでも同じ)に固定する場合に、はんだを用いてその接合(ダイボンディング)が行われる。

20

【0003】

図7は、Cu合金等で形成されるダイパッドに、はんだを用いて半導体チップをダイボンディングする際の問題点を説明するための模式図である。ここで、図7(a)は、はんだによる接合を行うために、各部材が加熱状態で積層されている様子を示し、図7(b)は、はんだによる半導体チップとダイパッドとの接合が終了し、温度が所定の温度まで低下した時点の様子を示している。

【0004】

半導体チップ(Siチップ)101を形成するSiは、はんだ102による接合を行う温度範囲(例えば室温～350の範囲)において、その熱膨張係数が例えば3～4ppm/Kと小さいために、はんだ接合後に温度が低下しても収縮による変形(反り)はさほど大きくない。一方、ダイパッド103を形成するCu合金は、はんだ102による接合を行う温度範囲においてその熱膨張係数が例えば17ppm/K程度と高い熱膨張係数を有するために、はんだ接合後に温度が低下すると、図7(b)に示すように大きな反りを発生する。このため、はんだ102を用いて半導体チップ101をダイボンディングした後においては、ダイパッド103の反りによって半導体チップ101に応力が加わり、半導体チップ101にクラック等の損傷が発生する。

30

【0005】

このような問題を解決するために、従来においては、半導体チップとダイパッドの接合時に、はんだの厚みを厚くして両者の接合を行うことがある。このようにすれば、はんだ層によって、ダイパッドと半導体チップの収縮率の違いによって発生する半導体チップへの応力を低減でき、半導体チップの損傷を低減できるからである。また、半導体チップの損傷を防止するために、ダイパッドの厚みを厚くして半導体チップとダイパッドとのはんだによる接合が行われることもある。このようにすれば、はんだ接合後の温度低下によって生じるダイパッドの反りを低減でき、半導体チップに加わる応力を低減できるからである。

40

【特許文献1】特開2001-176890号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、近年の傾向として半導体装置のパッケージを薄型化する傾向にあり、今

50

後、肉厚の薄いリードフレームを用いて形成される薄型のパッケージ型半導体装置へと展開することを考慮すると、ダイパッドの厚みを厚くする従来の手法はリードフレームの厚み増加につながり、好ましい方法とは言えない。また、ダイパッドの厚みを厚くするためにリードフレームの厚みを厚くする場合、リードフレームの曲げ等が容易でなくなり、半導体装置を形成する作業が困難になる等の問題も発生する。

【0007】

また、半導体チップとダイパッドとを接合する際のはんだ層の厚みを厚くすることによって半導体チップに加わる応力を低減する方法の場合には、厚みの制御が困難であり、はんだ層の厚みにばらつきが生じる。この場合、はんだの厚みが薄くなるとダイパッドの変形によって発生する半導体チップへの応力を緩和できず、半導体チップの損傷させることになる。従って、はんだ層の厚みを厚くして半導体チップの損傷を防止する方法は、その信頼性が低く、十分な方法とは言えない。

10

【0008】

以上の点を考慮して、本発明の目的は、はんだを用いて半導体チップをダイパッドに接合する半導体装置において、半導体チップの損傷を高い精度で低減できるとともに、パッケージの薄型化が可能な半導体装置を提供することである。

【課題を解決するための手段】

【0009】

上記目的を達成するために本発明は、半導体チップと、前記半導体チップをはんだで接合して搭載するダイパッドと、前記半導体チップと電気的に導通される複数のリードと、前記ダイパッドの前記半導体チップが搭載される面の裏面に設けられて前記半導体チップに加わる応力を緩和する応力緩和層と、少なくとも前記半導体チップを封止する封止体と、を備えることを特徴としている。

20

【0010】

この構成によれば、はんだを用いて半導体チップをダイパッドに接合する場合に、接合後の冷却によってダイパッドが収縮して発生するダイパッドの反りを、応力緩和層によって低減することが可能である。そして、この構成の場合、ダイパッドの反りを低減するためにダイパッド自体の肉厚を厚くする方法に比べて、パッケージ型半導体装置を薄型化することが可能である。また、応力緩和層をダイパッドの裏面に設けて半導体チップに加わる応力を低減する構成としているため、半導体チップに加わる応力を低減するために半導体チップとダイパッドとを接合するはんだ層を厚くする場合に比べて、精度良く半導体チップに加わる応力を低減することができる。

30

【0011】

また、本発明は、上記構成の半導体装置において、前記応力緩和層は、はんだ層を介して前記ダイパッドの前記裏面に接合されることとしても構わない。この場合、半導体チップとダイパッド、及びダイパッドと応力緩和層を接合する接合剤が同一であるために、半導体装置の製造プロセスを複雑とせず済む。

【0012】

また、本発明は、上記構成の半導体装置において、前記応力緩和層は、前記ダイパッドを形成する主材料よりも熱膨張係数が小さい材料から成ることを特徴としている。この構成によれば、応力緩和層は、はんだ接合後の冷却によってダイパッドが収縮して発生するダイパッドの反りを低減して、半導体チップに加わる応力を低減することが可能となる。

40

【0013】

また、本発明は、上記構成の半導体装置において、前記応力緩和層は、熱膨張係数が前記半導体チップを形成する主材料と同等又はそれに近い材料から成るのが好ましい。この場合、応力緩和層は、接合後の冷却によってダイパッドが収縮して発生するダイパッドの反りをより効果的に低減することが可能となる。このため、半導体チップに加わる応力をより効果的に低減することが可能となる。

【0014】

また、本発明は、半導体チップと、前記半導体チップをはんだ層を介して接合搭載する

50

ダイパッドと、前記半導体チップと電氣的に導通されるリードと、熱膨張係数が前記ダイパッドを形成する主材料より小さく且つ前記半導体チップを形成する主材料と同等又はそれに近い材料から成って、前記はんだ層に介在される応力緩和層と、少なくとも前記半導体チップを封止する封止体と、を備えることを特徴としている。

#### 【0015】

この構成によれば、はんだを用いて半導体チップをダイパッドに接合する場合に、接合後の冷却によってダイパッドと半導体チップとの収縮率の違いによって発生する半導体チップへの応力を、応力緩和層によって低減することが可能である。そして、この構成の場合、ダイパッドの反りを低減するためにダイパッド自体の肉厚を厚くする方法に比べて、パッケージ型半導体装置を薄型化することが可能である。また、応力緩和層をはんだ層の間に介在させる構成のために、半導体チップに加わる応力を低減するために半導体チップとダイパッドとを接合するはんだ層を厚くする場合に比べて、精度良く半導体チップに加わる応力を低減することが可能である。更に、この構成の場合、応力緩和層を半導体チップと同じ面側に配置する構成であるために、半導体装置の製造が容易である。

#### 【発明の効果】

#### 【0016】

本発明によれば、はんだを用いて半導体チップをダイパッドに接合する半導体装置において、従来のようにリードフレーム（ダイパッド含む）やはんだ層の厚みを厚くすることなく、応力緩和層によって半導体チップに加わる応力を低減することが可能である。このため、半導体チップにクラック等の損傷が発生しにくい高信頼性の半導体装置を提供することが可能である。また、本発明の半導体装置によれば、半導体チップを搭載するダイパッドの厚みを薄くした構成で半導体チップの損傷を低減できるために、パッケージ型半導体装置の小型・薄型化への展開が行い易い。

#### 【発明を実施するための最良の形態】

#### 【0017】

以下、本発明の実施形態について図面を参照しながら説明する。なお、ここで示す実施形態は一例であって、本発明の半導体装置はここに示す実施形態に限定される趣旨ではない。

#### 【0018】

#### （第1実施形態）

まず、本発明の半導体装置の第1実施形態について、図1、図2、及び図3を参照しながら説明する。図1は、第1実施形態の半導体装置の構成を示す概略平面図である。なお、図1は、半導体装置を半導体チップが搭載される側から見た図であり、便宜上半導体チップ等を封止する封止用樹脂が透明であるものとして描いている。また、図2は、第1実施形態の半導体装置の構成を示す概略断面図で、図1のA-A位置における断面図である。図3は、第1実施形態の半導体装置を製造する際に用いるリードフレームの構成を示す概略平面図である。

#### 【0019】

第1実施形態の半導体装置1は、表面実装型のパッケージの一種である、いわゆるクワッド・フラット型パッケージ（Quad Flat Package; QFP）を有する半導体装置である。図1及び図2に示すように、半導体装置1は、半導体チップ2と、ダイパッド3と、インナーリード4と、アウターリード5と、応力緩和層6と、封止体7と、を備えている。

#### 【0020】

半導体チップ2は、平面視略矩形状のシリコン基板から成っており、その表面には、例えばパワーICが作り込まれている。本実施形態においては、半導体チップ2の厚みは、例えば300 $\mu$ m程度とされる。この半導体チップ2は、ダイパッド3に接合搭載される。

#### 【0021】

ダイパッド3は、平面視略矩形状に形成され、その平面サイズは半導体チップ2より大きめに形成されている。このダイパッド3は、上述のように半導体チップ2を接合搭載す

10

20

30

40

50

る部分であり、半導体装置 1 を製造する際に用いられるリードフレーム 10 に打ち抜き形成されている。また、ダイパッド 3 の 4 つの角からは支持バー 11 が延出しており、この支持バー 11 に支えられた状態でダイパッド 3 はリードフレーム 10 の他の部分に対してダウンオフセットされる。このため、半導体装置 1 においては、図 2 に示すようにダイパッド 3 はインナーリード 4 よりも下がった位置に配置される。なお、ダイパッド 3 等が形成されるリードフレーム 10 は、例えば Cu 合金からなっている。また、ダイパッド 3 の厚みは例えば 100 ~ 150  $\mu\text{m}$  程度とされる。

#### 【 0 0 2 2 】

半導体チップ 2 とダイパッド 3 との接合は、はんだを用いて行われ、半導体チップ 2 とダイパッド 3 との間には、はんだ層 8 が存在する。なお、本実施形態においては、はんだ 10 としては、例えば高融点はんだ (Pb - 5% Sn) が用いられるが、もちろん他の組成のはんだ (例えば鉛フリーのはんだ等) を用いる構成としても構わない。

#### 【 0 0 2 3 】

インナーリード 4 は、ダイパッド 3 を取り囲むように複数存在し、例えば金線のような金属細線 9 を介して半導体チップ 2 の上面に形成される端子パッドと電氣的に接続される。アウターリード 5 は、インナーリード 4 と連続しており、封止体 7 の側面から外部に延出する。アウターリード 5 は、その一部が屈曲された状態とされ、これによりプリント基板 (図示せず) に表面実装可能となっている。

#### 【 0 0 2 4 】

応力緩和層 6 は、半導体チップ 2 とダイパッド 3 とをはんだで接合した場合に、半導体 20 チップ 2 とダイパッド 3 との熱収縮率の違いが原因となって発生する半導体チップ 2 への応力を緩和する機能を有している。この応力緩和層 6 はダイパッド 3 の半導体チップ 2 が接合される面の裏面側に、はんだを用いて接合されている。このため、ダイパッド 3 と応力緩和層 6 との間にははんだ層 8 が存在する。本実施形態の半導体装置 1 においては、応力緩和層 6 は 42 アロイ材 (Fe - 42% Ni 合金) を用いて形成されており、その厚みは、例えば 100 ~ 150  $\mu\text{m}$  程度とされている。

#### 【 0 0 2 5 】

なお、本実施形態においては、応力緩和層 6 がダイパッド 3 と接合される接合面の大きさは、半導体チップ 2 がダイパッド 3 と接合される接合面の大きさとほぼ等しくなるように構成しているが、これに限定される趣旨ではなく、適宜変更可能である。すなわち、 30 応力緩和層 6 を配置することによって半導体チップ 2 への応力が低減される範囲で、応力緩和層 6 のダイパッド 3 と接合する接合面の大きさは適宜変更して構わない。

#### 【 0 0 2 6 】

封止体 7 は、例えばエポキシ樹脂等の封止用樹脂から成って、半導体チップ 2 が外界の雰囲気 (ガス、水分、ゴミなど) からの影響を受けないようにする。半導体装置 1 においては、封止体 7 は、半導体チップ 2 とダイパッド 3 とインナーリード 4 とを包み込み、応力緩和層 6 については、その底面が封止体 7 の底面と面一となって露出するように構成される。このように応力緩和層 6 の底面を露出させるのは、半導体チップ 2 の発熱をダイパッド 3 及び応力緩和層 7 を介して放熱し易くすること等を考慮するものである。特に、 40 パワー IC 等のパワー系の半導体チップ 2 では駆動時の発熱量が比較的大きいために、熱を外部に逃がす構成を設けるのが好ましい。

#### 【 0 0 2 7 】

次に、以上のように構成される半導体装置 1 の製造方法について説明する。なお、ここに示す半導体装置 1 の製造方法は一例であり、半導体装置 1 は他の製造方法によって製造しても、もちろん構わない。

#### 【 0 0 2 8 】

まず、図 3 に示す形状のリードフレーム 10 をプレス加工によって形成する。なお、リードフレーム 10 において、3 はダイパッド、4 はインナーリード、5 はアウターリード、11 は支持バー、12 はインナーリード 4 とアウターリード 5 の間にあってこれらのリード群を支持するタイバーである。これら各部をプレス加工によって形成すると、支持バ 50

ー 1 1 で支持されたダイパッド 3 について、パッケージ型の半導体装置 1 が形成された際に応力緩和層 6 の底面が封止体 7 の底面と面一となって露出するように、所定量押し下げる。

【 0 0 2 9 】

その後、所定の形状に加工されて応力緩和層 6 となる 4 2 アロイ材の上面（ダイパッド 3 と接合される面）にはんだを供給し、加熱（例えば 3 5 0 程度）して溶融はんだを形成する。そして、その上からリードフレーム 1 0 をダイパッド 3 が応力緩和層 6 を形成する 4 2 アロイ材と重なり合うように所定の位置に配置し、加圧等を行ってダイパッド 3 と 4 2 アロイ材とを固着する。

【 0 0 3 0 】

その後、加熱状態のままダイパッド 3 の上面（4 2 アロイ材と固着された面の裏面）にはんだを供給して溶融はんだを形成する。そして、半導体チップ 2 を溶融はんだの上に配置し、加圧等を行って固着する。その後、所定の温度まで冷却する。これにより、半導体チップ 2 とダイパッド 3 との接合、及びダイパッド 3 と応力緩和層 6 との接合が行われる。なお、上述のはんだを用いた接合は、例えば窒素ガス雰囲気中で行われる。

【 0 0 3 1 】

その後、半導体チップ 2 の上面に形成される端子パッドとインナーリード 4 とを、金属細線 9 で電気的に接続する。そして、半導体チップ 2、ダイパッド 3、インナーリード 4、及び応力緩和層 6（正確には応力緩和層 6 については、上述のように底面は樹脂によって覆われない）を、例えばモールド型を用いたトランスファーマールド法により封止用樹脂

【 0 0 3 2 】

最後に、タイバー 1 2 や封止体 7 から突出する支持バー 1 1 などの不要部分を切断除去するとともに、インナーリード 4 が延長された封止体 7 の外側の OUTER リード 5 を所定の形状に屈曲させて、半導体装置 1 の組立てを完了する。

【 0 0 3 3 】

なお、以上においては、応力緩和層 6 を形成する 4 2 アロイ材を、はんだを用いて接合する構成としたが、はんだ以外の金属を用いて高温下で接合する構成としても構わない。また、リードフレーム 1 0 を形成する時点で、応力緩和層 6 を溶接や超音波接合等によりダイパッド 3 に取り付けておくことも場合によっては可能である。ただし、半導体装置 1 は、半導体チップ 2 とダイパッド 3 とをはんだで接合する構成であるために、本実施形態のようにダイパッド 3 と応力緩和層 6 の接合についても、はんだを用いて接合の方が製造しやすい等の利点を有し、好ましい。

【 0 0 3 4 】

次に、半導体装置 1 の作用について説明する。本実施形態の半導体装置 1 においては、上述のようにダイパッド 3 の肉厚が 1 0 0 ~ 1 5 0  $\mu\text{m}$  程度と薄く形成されている。この場合、ダイパッド 3 を形成する Cu 合金の熱膨張係数は、はんだによる接合が行われる温度範囲（例えば室温 ~ 3 5 0 以下）において約 1 7  $\text{ppm}/\text{K}$  と大きな値を有するために、半導体チップ 2 のはんだによるダイボンディングが行われた後にダイパッド 3 は熱収縮によって大きな反りを発生しやすい。

【 0 0 3 5 】

この点、半導体装置 1 においては、ダイパッド 3 の半導体チップ 2 が形成される面の裏面側に、その熱膨張係数が、はんだによる接合が行われる温度範囲（例えば室温 ~ 3 5 0 ）において例えば 5 ~ 7  $\text{ppm}/\text{K}$  である 4 2 アロイ材から成る応力緩和層 6 が形成されている。この応力緩和層 6 の熱膨張係数は、半導体チップ 2 を形成する主原料である Si の熱膨張係数（例えば 3 ~ 4  $\text{ppm}/\text{K}$ ）に近く、ダイパッド 3 を形成する主原料である Cu 合金の熱膨張係数よりもかなり小さい。このため、応力緩和層 6 は、はんだ接合後においても変形が小さく、ダイパッド 3 の反りを低減することが可能となる。そして、これにより、半導体チップ 2 に対して加わる応力を低減することが可能となる。

【 0 0 3 6 】

また、半導体装置 1 においては、ダイパッド 3 の半導体チップ 2 が設けられる面の裏面に応力緩和層 6 を別途設ける構成としている。このため、従来の、半導体チップ 2 とダイパッド 3 とを接合するはんだ層の厚みを厚くすることで半導体チップ 2 に加わる応力を低減する構成の場合と異なり、高い精度で半導体チップに加わる応力を低減することが可能となる。

#### 【 0 0 3 7 】

更に、従来のようにダイパッド 3 (リードフレーム 1 0 ) の厚みを厚くして、はんだ接合によって発生する半導体チップ 2 への応力を低減するためには、ダイパッド 3 の厚みを例えば 5 0 0  $\mu\text{m}$  程度とする必要がある。一方、本実施形態の半導体装置 1 の場合、ダイパッド 3 の厚みを例えば 1 0 0 ~ 1 5 0  $\mu\text{m}$  程度とした場合に、応力緩和層 6 の厚みを例えば 1 0 0 ~ 1 5 0  $\mu\text{m}$  程度することで半導体チップ 2 に発生する応力を効果的に低減することが可能となる。このために、半導体装置 1 は、応力緩和層 6 を別途設ける構成であるが、ダイパッドの厚みを厚くして半導体チップの損傷を低減する従来の構成に比べて薄型化が可能である。すなわち、半導体装置 1 は、半導体チップ 2 の損傷を低減する構成で、パッケージ型の半導体装置の薄型化にも対応することが可能である。

#### 【 0 0 3 8 】

なお、以上に示した第 1 実施形態の半導体装置 1 においては、応力緩和層 6 の底面が封止体 7 の底面と面一となって露出する構成としたが、これに限定される趣旨ではなく、応力緩和層 6 についても、半導体チップ 2、ダイパッド 3、及びインナーリード 4 とともに封止体 7 に包み込まれる構成としても構わない。これについて、図面を参照しながら以下説明する。

#### 【 0 0 3 9 】

図 4 及び図 5 は、第 1 実施形態の半導体装置 1 の変形例を示す図で、図 4 は、半導体装置を半導体チップ 2 側から見た概略平面図、図 5 は、図 4 の B - B 位置の断面を示す概略断面図である。なお、図 4 は、便宜上半導体チップ等を封止する封止用樹脂が透明であるものとして描いている。また、図 4 においては、便宜的に半導体チップ 2 とインナーリード 4 とを電氣的に接続する金属細線 9 (図 1 参照) を省略して示している。

#### 【 0 0 4 0 】

図 4 及び図 5 に示すように、応力緩和層 6 についても封止体 7 に包み込む構成とした場合、第 1 実施形態の半導体装置 1 のように熱の放散を封止体 7 の底面から行うことができなくなる。この点を考慮して、平面視略矩形形状のダイパッド 3 から封止体 7 の外側にまで延出する延出部 1 3 を設け、この延出部 1 3 を通じてプリント基板 (図示せず) への熱の放散を可能としている。

#### 【 0 0 4 1 】

図 4 及び図 5 に示した半導体装置においては、ダイパッド 3 は第 1 実施形態の半導体装置 1 と異なり、他のリードフレームに対してダウンオフセットされることなく形成されている。このため、半導体装置 1 のように支持バー 1 1 を設けていない。ただし、図 4 及び図 5 に変形例と示した半導体装置の場合においても、支持バー 1 1 を設けてダイパッド 3 を適宜ダウンオフセットしても、もちろん構わない。

#### 【 0 0 4 2 】

また、以上に示した第 1 実施形態における半導体装置 1 を構成する部材の材料は一例であり、本発明の目的を逸脱しない範囲で種々の変更が可能である。例えば、半導体装置 1 を製造するために用いるリードフレーム 1 0 の材料として、Cu 合金でなく、Cu 等としても構わない。また、応力緩和層 6 の材料としては、4 2 アロイ材に限定されず、ダイパッド 3 を形成する主材料 (半導体装置 1 においては Cu 合金) よりも熱膨張係数が低い材料であれば、他の材料でも構わない。ただし、半導体チップ 2 を形成する主材料 (半導体装置 1 においては Si) と熱膨張係数が同等又はそれに近い材料が好ましい。すなわち、応力緩和層 6 の材料を、例えばコバルト材 (鉄にニッケル、コバルトを配合した合金; 成分例は重量%で、Ni 2 9 %、Co 1 7 %、Si 0 . 2 %、Mn 0 . 3 %、Fe 5 3 . 5 %) やシリコン (Si) 等としても構わない。

## 【0043】

(第2実施形態)

次に、本発明の半導体装置の第2実施形態について説明する。図6は、第2実施形態の半導体装置の構成を示す概略断面図である。第2実施形態の半導体装置51を説明するにあたって、第1実施形態の半導体装置1と重複する部分については同一の符号を付し、特に説明の必要がない場合にはその説明を省略する。

## 【0044】

第2実施形態の半導体装置51も第1実施形態の半導体装置1と同様にクワッド・フラット型パッケージ(QFP)を有する半導体装置である。半導体装置51は、半導体チップ2と、ダイパッド3と、インナーリード4と、アウターリード5と、応力緩和層6と、封止体7と、を備えている。半導体チップ2とインナーリード4とは、例えば金線のような金属細線9を介して電氣的に接続されている。インナーリード4は、封止体7の側面から外部に延出するアウターリード5と連続し、アウターリード5は、その一部が屈曲状態とされている。

10

## 【0045】

第2実施形態の半導体装置51においては、第1実施形態の半導体装置1の構成と異なり、応力緩和層6がダイパッド3の半導体チップ2が搭載される面の裏面側ではなく、半導体チップ2が搭載される面と同一面側に配置されている。すなわち、ダイパッド3の上面にはんだ層8を介して応力緩和層6が接合配置され、応力緩和層6の上面にはんだ層8を介して半導体チップ2が接合配置されている。

20

## 【0046】

また、半導体装置51においては、ダイパッド3はインナーリード4に対してダウンオフセットされ、その底面が封止体7の底面と面一となっている。すなわち、ダイパッド3の底面は露出した状態となっており、これにより半導体チップ2における発熱を放熱し易くなっている。

## 【0047】

次に、半導体装置51の製造方法について説明する。なお、ここに示す半導体装置51の製造方法は一例であり、半導体装置51は他の製造方法によって製造しても、もちろん構わない。

## 【0048】

まず、半導体装置51を製造するためのリードフレームを準備する。リードフレームの形状は、第1実施形態のリードフレーム10(図3参照)と同様である。ただし、支持バー11で支持されたダイパッド3は、パッケージ型の半導体装置51が形成された際に、ダイパッド3の底面が封止体7の底面と面一となって露出するように所定量押し下げられている。

30

## 【0049】

その後、リードフレーム10のダイパッド3にはんだを供給し、加熱(例えば350程度)して溶融はんだを形成する。そして、その上から応力緩和層6を形成する42アロイ材を配置し、加圧等を行ってダイパッド3と42アロイ材とを固着する。次に、加熱状態のまま応力緩和層6を形成する42アロイ材の上面にはんだを供給して溶融はんだを形成する。そして、半導体チップ2を溶融はんだの上に配置し、加圧等を行って固着する。

40

## 【0050】

半導体チップ2を固着後、所定の温度まで冷却する。これにより、はんだ層8に応力緩和層6が介在した状態で、半導体チップ2はダイパッド3に接合される。なお、上述のはんだを用いた接合は、例えば窒素ガス雰囲気中で行われる。

## 【0051】

その後、半導体チップ2の上面に形成される端子パッドとインナーリード4とを、金属細線9で電氣的に接続する。そして、半導体チップ2、ダイパッド3(正確にはダイパッド3については、上述のように底面は樹脂で覆われない)、インナーリード4、及び応力

50



緩和層 6 を、例えばモールド型を用いたトランスファーマールド法により封止用樹脂で覆い、封止体 7 を形成する。

【 0 0 5 2 】

最後に、タイバー 1 2 や封止体 7 から突出する支持バー 1 1 などの不要部分を切断除去するとともに、インナーリード 4 が延長された封止体 7 の外側の OUTER リード 5 を所定の形状に屈曲させて、半導体装置 5 1 の組立てを完了する。

【 0 0 5 3 】

次に、半導体装置 5 1 の作用について説明する。半導体装置 5 1 においては、半導体チップ 2 とダイパッド 3 とを接合するはんだ層 8 の間に応力緩和層 6 が介在する構成となっている。そして、この応力緩和層 6 は、その熱膨張係数が半導体チップ 2 を形成する主原料である Si の熱膨張係数に近く、ダイパッド 3 を形成する主原料である Cu 合金の熱膨張係数よりもかなり小さい 4 2 アロイ材から成っている。このため、半導体装置 5 1 においては、ダイパッド 3 に半導体チップ 2 を接合搭載する際に、半導体チップ 2 とダイパッド 3 との熱収縮の違いによって発生する半導体チップへの応力を応力緩和層 6 が緩和し、半導体チップ 2 の損傷を防ぐことができる。

【 0 0 5 4 】

また、半導体装置 5 1 においては、半導体チップ 2 とダイパッド 3 とを接合するはんだ層 8 に応力緩和層 6 を介在させる構成としている。このため、従来の、半導体チップ 2 とダイパッド 3 とを接合するはんだ層の厚みを厚くすることで半導体チップ 2 に加わる応力を低減する構成の場合と異なり、高い精度で半導体チップに加わる応力を低減することが可能となる。

【 0 0 5 5 】

更に、従来のようにダイパッド 3 (リードフレーム 1 0 ) の厚みを厚くして、はんだ接合によって発生する半導体チップ 2 への応力を低減するためには、ダイパッドの厚みを例えば 5 0 0 μ m 程度とする必要がある。一方、本実施形態の半導体装置 5 1 の場合、ダイパッド 3 の厚みを例えば 1 0 0 ~ 1 5 0 μ m 程度とした場合に、応力緩和層 6 の厚みを例えば 1 0 0 ~ 1 5 0 μ m 程度することで半導体チップ 2 に発生する応力を効果的に低減することが可能となる。このために、半導体装置 5 1 は、応力緩和層 6 を別途設ける構成であるが、ダイパッドの厚みを厚くして半導体チップの損傷を低減する従来の構成に比べて薄型化が可能である。すなわち、半導体装置 5 1 は、半導体チップ 2 の損傷を低減する構成で、パッケージ型の半導体装置の薄型化に対応することが可能である。

【 0 0 5 6 】

なお、第 2 実施形態の半導体装置 5 1 においては、ダイパッド 3 の底面を封止体 7 の底面と面一として、ダイパッド 3 の底面を露出させる構成としたが、ダイパッド 3 についても、半導体チップ 2、インナーリード、及び応力緩和層 6 とともに封止体 7 に包み込まれる構成としても構わない。この場合には、第 1 実施形態の変形例として図 4 及び図 5 にその構成を示した半導体装置と同様に、放熱を良くするためにダイパッド 3 から延出部 1 3 を延出し、これを用いて放熱する構成とすることも可能である。

【 0 0 5 7 】

また、半導体装置 5 1 においては、応力緩和層 6 を構成する材料として 4 2 アロイ材を用いているが、これに限定される趣旨ではない。応力緩和層 6 の材料としては、ダイパッド 3 を形成する主材料 (例えば Cu 合金、Cu など) より熱膨張係数が低く、半導体チップ 2 を形成する主材料 (例えば Si) と熱膨張係数が同等又はそれに近い材料が好ましい。このような材料として、例えばコパール材、シリコン等が挙げられる。

【 0 0 5 8 】

その他、以上に示した第 1 及び第 2 実施形態においては、半導体装置はクワッド・フラット型パッケージ (QFP) を有する半導体装置を例に説明した。しかし、本発明はこれに限られず、本発明の目的を逸脱しない範囲で、他のパッケージ構造を有する半導体装置にも広く適用可能である。すなわち、例えば、SOP (Small Outline Package)、SOJ (Small Outline J-lead package)、SON (Small Outline Non-lead package)、QFJ (

10

20

30

40

50

Quad Flat J-lead package)、QFN (Quad Flat Non-lead package)等の表面実装型のパッケージ型半導体装置や、リード挿入型のパッケージ型半導体装置等にも広く適用可能である。

【産業上の利用可能性】

【0059】

本発明によれば、半導体チップにクラック等の損傷が発生しにくい高信頼性のパッケージ型の半導体装置を提供することが可能である。また、本発明によれば、半導体チップを搭載するダイパッドの厚みを薄くした構成で半導体チップの損傷を低減できるために、パッケージ型半導体装置の小型・薄型化への展開が行い易い。従って、本発明の半導体装置は、パッケージ型の半導体装置として非常に有用である。

10

【図面の簡単な説明】

【0060】

【図1】は、第1実施形態の半導体装置の構成を示す概略平面図である。

【図2】は、第1実施形態の半導体装置の構成を示す概略断面図で、図1のA - A位置における断面図である。

【図3】は、第1実施形態の半導体装置を製造する際に用いるリードフレームの構成を示す概略平面図である。

【図4】は、第1実施形態の半導体装置の変形例を示す図である。

【図5】は、図4のB - B位置における概略断面図である。

【図6】は、第2実施形態の半導体装置の構成を示す概略断面図である。

20

【図7】は、従来の半導体装置における問題点を説明するための図である。

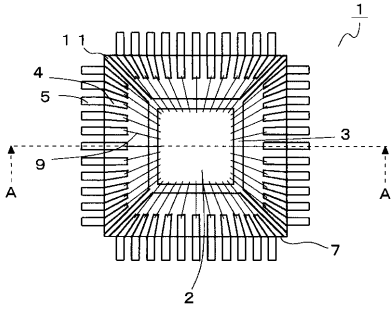
【符号の説明】

【0061】

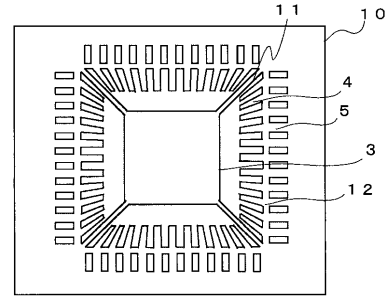
1、51	半導体装置
2	半導体チップ
3	ダイパッド
4	インナーリード
5	アウターリード
6	応力緩和層
7	封止体
8	はんだ層

30

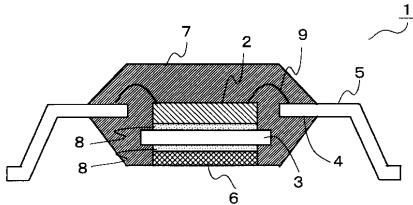
【図 1】



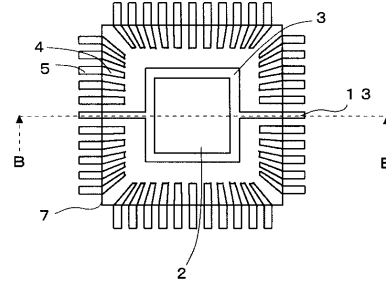
【図 3】



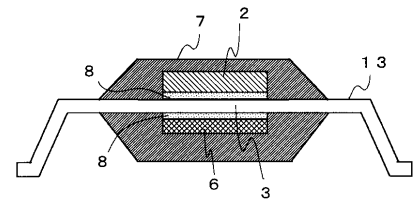
【図 2】



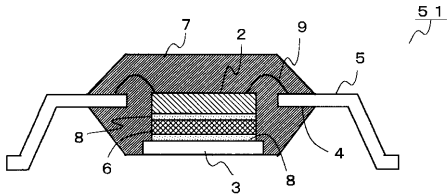
【図 4】



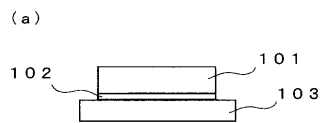
【図 5】



【図 6】



【図 7】



---

フロントページの続き

(72)発明者 安永 尚司  
京都市右京区西院溝崎町2番地 ローム株式会社内

合議体

審判長 川向 和実

審判官 小関 峰夫

審判官 杉浦 貴之

(56)参考文献 特開平6-295970(JP,A)  
特開平4-340751(JP,A)  
特開平5-299445(JP,A)  
特開昭63-52451(JP,A)  
実開昭63-127129(JP,U)

(58)調査した分野(Int.Cl., DB名)  
H01L23/50,21/52