



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2010년07월07일  
 (11) 등록번호 10-0968458  
 (24) 등록일자 2010년06월30일

(51) Int. Cl.

G11C 8/12 (2006.01) G11C 8/04 (2006.01)

(21) 출원번호 10-2008-0100552  
 (22) 출원일자 2008년10월14일  
 심사청구일자 2008년10월14일  
 (65) 공개번호 10-2010-0041392  
 (43) 공개일자 2010년04월22일  
 (56) 선행기술조사문헌  
 JP09265775 A

(73) 특허권자  
**주식회사 하이닉스반도체**  
 경기 이천시 부발읍 아미리 산136-1  
 (72) 발명자  
**문형욱**  
 서울 중랑구 신내2동 화성아파트 801동 207호  
**이정우**  
 서울 동작구 신대방2동 신동아아파트 1동 1202호  
**최원준**  
 서울 노원구 상계10동 주공아파트 905동 1403호  
 (74) 대리인  
**김성남**

전체 청구항 수 : 총 12 항

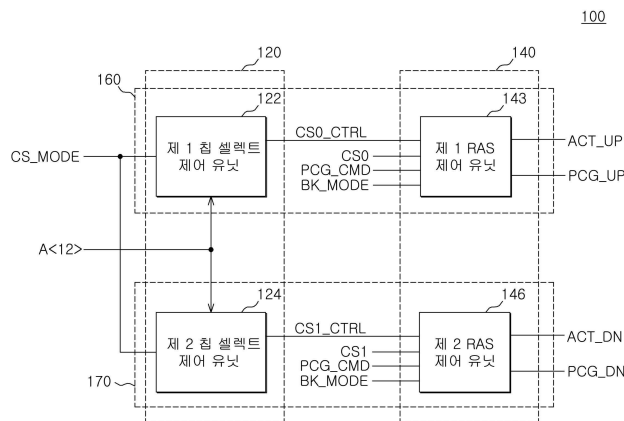
심사관 : 윤진훈

**(54) 반도체 메모리 장치**

**(57) 요약**

반도체 메모리 장치를 개시한다. 개시된 본 발명의 반도체 메모리 장치는, 제 1 및 제 2 뱅크 블록, 상기 제 1 및 제 2 뱅크 블록의 동작 모드를 제어하는 칩 선택 모드 신호를 제공하는 모드 생성부 및 상기 칩 선택 모드 신호, 상기 제 1 및 제 2 뱅크 블록의 구동을 각각 제어하는 제 1 및 제 2 칩 선택 신호 및 소정의 어드레스 신호에 응답하여 상기 제 1 및 제 2 뱅크 블록을 구동시키는 제어부를 포함하며, 상기 제어부는 싱글 칩 모드를 결정하는 레벨의 상기 칩 선택 모드 신호를 수신하여 상기 제 1 및 제 2 뱅크 블록을 하나의 뱅크 단위로 동작을 제어하되, 상기 소정의 어드레스 신호를 이용하여 상기 제 1 및 제 2 뱅크 블록을 선택적으로 활성화시킨다.

**대표도 - 도2**



## 특허청구의 범위

### 청구항 1

메모리 셀을 포함하는 제 1 및 제 2 बैं크 블록;

상기 제 1 및 제 2 बैं크 블록의 동작 모드를 제어하는 칩 선택 모드 신호를 제공하는 모드 생성부; 및

상기 칩 선택 모드 신호, 상기 제 1 및 제 2 बैं크 블록의 구동을 각각 제어하는 제 1 및 제 2 칩 선택 신호 및 소정의 어드레스 신호에 응답하여 상기 제 1 및 제 2 बैं크 블록을 구동시키는 제어부를 포함하며,

상기 제어부는 싱글 칩 모드를 결정하는 레벨의 상기 칩 선택 모드 신호를 수신하여 상기 제 1 및 제 2 बैं크 블록을 하나의 बैं크 단위로 동작을 제어하되, 상기 소정의 어드레스 신호를 이용하여 상기 제 1 및 제 2 बैं크 블록을 선택적으로 활성화시키는 반도체 메모리 장치.

### 청구항 2

제 1항에 있어서,

상기 소정의 어드레스 신호는 상기 제 1 및 제 2 बैं크 블록 내 상기 메모리 셀을 지정하는데 참여하지 않은 어드레스 신호인 반도체 메모리 장치.

### 청구항 3

제 1항에 있어서,

상기 제어부는 상기 제 1 및 제 2 칩 선택 신호가 모두 활성화되어도, 상기 소정의 어드레스 신호의 레벨에 응답하여 상기 제 1 및 제 2 बैं크 블록의 구동 여부를 선택적으로 제어하는 반도체 메모리 장치.

### 청구항 4

메모리 셀을 가지는 복수의 बैं크를 각각 포함하는 제 1 및 제 2 बैं크 블록;

뱅크 모드 신호 및 동작 모드를 제어하는 칩 선택 모드 신호를 제공하는 모드 생성부; 및

상기 칩 선택 모드 신호가 활성화되면 제 1 및 제 2 칩 선택 신호의 레벨에 따라 상기 제 1 및 제 2 बैं크 블록의 활성화 여부를 제어하고, 상기 칩 선택 모드 신호가 비활성화되면 소정의 어드레스 신호를 이용하여 상기 제 1 및 제 2 बैं크 블록의 활성화 여부를 제어하며, 프리차지 모드시에는 상기 बैं크 모드 신호에 응답하여 상기 제 1 및 제 2 बैं크 블록의 프리차지를 선택적으로 제어하는 제어부를 포함하는 반도체 메모리 장치.

### 청구항 5

제 4항에 있어서,

상기 소정의 어드레스 신호는 상기 제 1 및 제 2 बैं크 블록 내 상기 메모리 셀을 지정하는데 참여하지 않은 어드레스 신호인 반도체 메모리 장치.

### 청구항 6

제 4항에 있어서,

상기 제어부는 상기 제 1 및 제 2 칩 선택 신호가 모두 활성화되어도, 상기 소정의 어드레스 신호의 레벨에 응답하여 상기 제 1 및 제 2 बैं크 블록의 활성화 여부를 선택적으로 제어하는 반도체 메모리 장치.

### 청구항 7

제 4항에 있어서,

상기 칩 선택 모드 신호가 제 1레벨이면 상기 제 1 및 제 2 बैं크 블록은 상기 소정의 어드레스 신호에 따라 동일한 컬럼 명령어에 응답하여 동작하고, 상기 칩 선택 모드 신호가 제 2 레벨이면 상기 제 1 및 제 2 बैं크 블록은 상기 소정의 어드레스 신호와 무관하며, 각각의 बैं크 블록에 제공되는 컬럼 명령어에 응답하여 동작하는 반도체 메모리 장치.

**청구항 8**

제 4항에 있어서,

상기 제어부는,

상기 칩 선택 모드 신호 및 상기 소정의 어드레스 신호를 이용하여 제 1 및 제 2 칩 선택 제어 신호를 제공하는 칩 선택 제어 블록; 및

상기 제 1 및 제 2 칩 선택 제어 신호, 상기 제 1 및 제2 칩 선택 신호, 프리차지 명령 신호 및 상기뱅크 모드 신호를 수신하여 제 1 및 제 2 액티브 신호와 제 1 및 제 2 프리차지 신호를 제공하는 라스(RAS) 제어 블록을 포함하는 반도체 메모리 장치.

**청구항 9**

제 8항에 있어서,

상기 칩 선택 제어 블록은,

상기 칩 선택 모드 신호와 상기 소정의 어드레스 신호에 응답하여 상기 제 1 칩 선택 제어 신호를 제공하는 제 1 칩 선택 제어 유닛; 및

상기 칩 선택 모드 신호와 상기 소정 어드레스 신호의 반전된 레벨에 응답하여 상기 제 2 칩 선택 제어 신호를 제공하는 제 2 칩 선택 제어 유닛을 포함하는 반도체 메모리 장치.

**청구항 10**

제 8항에 있어서,

상기 라스 제어 블록은,

상기 제 1 뱅크 블록의 활성화 여부 및 프리차지 여부를 제어하는 제 1 라스 제어 유닛; 및

상기 제 2 뱅크 블록의 활성화 여부 및 프리차지 여부를 제어하는 제 2 라스 제어 유닛을 포함하는 반도체 메모리 장치.

**청구항 11**

제 10항에 있어서,

상기 제 1 라스 제어 유닛은 상기 제 1 칩 선택 제어 신호에 응답하여 상기 제 1 액티브 신호를 제공하고,

상기 제 2 라스 제어 유닛은 상기 제 2 칩 선택 제어 신호에 응답하여 상기 제 2 액티브 신호를 제공하는 반도체 메모리 장치.

**청구항 12**

제 10항에 있어서,

상기 제 1 라스 제어 유닛과 상기 제 2 라스 제어 유닛 각각은,

상기 프리차지 명령 신호가 활성화되면, 상기 뱅크 모드 신호 및 상기 제 1 칩 선택 제어 신호 또는 상기 제 2 칩 선택 제어 신호에 따라 각각 상기 제 1 프리차지 신호 및 상기 제 2 프리차지 신호를 제공하며,

상기 뱅크 모드 신호에 응답하여 상기 제 1 및 제 2 프리차지 신호를 동시에 활성화시키거나, 선택적으로 활성화시킬 수 있는 반도체 메모리 장치.

**명세서**

**발명의 상세한 설명**

**기술분야**

본 발명은 반도체 메모리 장치에 관한 것으로서, 보다 구체적으로는 랭크 및 뱅크 블록을 제어하는 반도체 메모리 장치에 관한 것이다.

[0001]

리 장치에 관한 것이다.

**배경 기술**

[0002] 일반적으로 반도체 메모리 장치에서 랭크(rank)라 함은 하나의 칩 선택 신호에 의하여 제어되는 독립적인 기능을 갖는 단위 메모리 칩을 말한다. 반도체 메모리 장치의 구성에 따라 랭크의 개수는 하나일 수도 있고 복수개일 수도 있다. 여기서, 랭크(rank)를 활성화시키는 신호로서 칩 선택 신호(chip select signal; CS) 또는 칩 인에이블 신호(chip enable signal; CE)일 수 있다. 따라서, 각 랭크는 인쇄 회로 기판(PCB)에 다수개의 반도체 메모리 셀이 집적된 단위 메모리 칩이 부착되어 다수의 접촉 단자에 의해 패널(panel)등에 연결되어 설치된다. 그리하여, 동일한 랭크에 있는 모든 메모리 셀들은 칩 선택 신호, 커맨드 및 어드레스 신호들이 통과하는 버스를 공유한다. 따라서, 어드레스 버스를 이용하여 MRS 커맨드를 전송하는 경우 동일한 랭크 내부의 디램들에 대해서 모두 동일한 동작 모드를 설정하게 된다.

[0003] 한편, 복수개의 칩 선택 신호로 복수개의 랭크를 각각 구동시키는 반도체 메모리 장치에서, 이를 하나의 칩 선택 신호를 이용하여 멀티 랭크 또는 하나의 랭크처럼 구동시키는 것을 혼용하는 시스템을 구성하기에는 어려움이 발생할 수 있다.

**발명의 내용**

**해결 하고자하는 과제**

[0004] 본 발명의 기술적 과제는 복수개의 랭크를 하나의 뱅크 블록처럼 동작시킬 수 있는 반도체 메모리 장치를 제공하는 것이다.

**과제 해결수단**

[0005] 본 발명의 기술적 과제를 달성하기 위하여, 본 발명의 반도체 메모리 장치는, 제 1 및 제 2 뱅크 블록, 상기 제 1 및 제 2 뱅크 블록의 동작 모드를 제어하는 칩 셀렉트 모드 신호를 제공하는 모드 생성부 및 상기 칩 셀렉트 모드 신호, 상기 제 1 및 제 2 뱅크 블록의 구동을 각각 제어하는 제 1 및 제 2 칩 셀렉트 신호 및 소정의 어드레스 신호에 응답하여 상기 제 1 및 제 2 뱅크 블록을 구동시키는 제어부를 포함하며, 상기 제어부는 싱글 칩 모드를 결정하는 레벨의 상기 칩 셀렉트 모드 신호를 수신하여 상기 제 1 및 제 2 뱅크 블록을 하나의 랭크 단위로 동작을 제어하되, 상기 소정의 어드레스 신호를 이용하여 상기 제 1 및 제 2 뱅크 블록을 선택적으로 활성화시킨다.

[0006] 본 발명의 기술적 과제를 달성하기 위하여, 본 발명의 다른 실시예에 따른 반도체 메모리 장치는, 복수의 뱅크를 각각 포함하는 제 1 및 제 2 뱅크 블록, 뱅크 모드 신호 및 동작 모드를 제어하는 칩 셀렉트 모드 신호를 제공하는 모드 생성부 및 상기 칩 셀렉트 모드 신호가 활성화되면 제 1 및 제 2 칩 셀렉트 신호의 레벨에 따라 상기 제 1 및 제 2 뱅크 블록의 활성화 여부를 제어하고, 상기 칩 셀렉트 모드 신호가 비활성화되면 소정의 어드레스 신호를 이용하여 상기 제 1 및 제 2 뱅크 블록의 활성화 여부를 제어하며, 프리차지 모드시에는 상기 뱅크 모드 신호에 응답하여 상기 제 1 및 제 2 뱅크 블록의 프리차지를 선택적으로 제어하는 제어부를 포함한다.

**효과**

[0007] 본 발명의 일 실시예에 따른 반도체 메모리 장치는 듀얼 칩 모드뿐 아니라 싱글 칩 모드로 구동시킬 수 있다.

[0008] 즉, 메모리 영역에 이용되지 않는 잉여의 어드레스 신호를 이용하여, 칩 셀렉트 신호대신 사용함으로써 싱글 칩 모드에서도 뱅크 블록을 선택적으로 구동시킬 수 있다. 특히, 뱅크 정보 플래그 신호를 이용하면 다양한 뱅크 모드를 지원하는 것이 가능하다. 이로써, 다양한 칩 모드뿐 아니라 뱅크 모드를 지원하는 반도체 메모리 장치를 제공함으로써 메모리 시장(memory market)에서 유연한(flexible) 제품 지원이 가능하다.

**발명의 실시를 위한 구체적인 내용**

[0009] 이하에서는 본 발명의 일 실시예에 따른 반도체 집적 회로에 대하여 첨부된 도면을 참조하여 설명하도록 한다.

[0010] 도 1은 본 발명의 일 실시예에 따른 반도체 메모리 장치의 블록도이다.

[0011] 도 1을 참조하면, 일 실시예에 따른 반도체 메모리 장치는 모드 생성부(10), 제어부(100) 및 메모리 뱅크 블록(200)을 포함한다.

- [0012] 우선, 모드 생성부(10)는 외부의 명령에 따라 반도체 메모리 장치의 동작 모드를 제어한다. 보다 구체적으로, 모드 생성부(10)는 구동 बैं크 수 및 칩 제어 모드를 제어하는 बैं크 모드 신호(BK\_MODE) 및 칩 선택 모드 신호(CS\_MODE)의 신호를 제공한다. 이러한 모드 생성부(10)는 예컨대, MRS(Mode Register Set)를 이용할 수 있다.
- [0013] 한편, 제어부(100)는 외부에서 인가되는 제 1 및 제 2 칩 선택 신호(CS0, CS1), 소정의 어드레스 신호(A<12>), बैं크 모드 신호(BK\_MODE), 칩 선택 모드 신호(CS\_MODE)에 응답하여 제 1 및 제 2 액티브 신호(ACT\_UP, ACT\_DN)와 제 1 및 제 2 프리차지 신호(PCG\_UP, PCG\_DN)를 제공한다. 특히, 제어부(100)는 제 1 및 제 2 칩 선택 신호(CS0, CS1)가 활성화된 레벨로 제공되더라도, 소정의 어드레스 신호(A<12>)를 이용하여, 서로 다른 칩 제어 모드(또는 랭크 모드)로 제어할 수 있다.
- [0014] 메모리 영역(200)은 제 1 बैं크 블록(210) 및 제 2 बैं크 블록(220)을 포함한다.
- [0015] 여기서, 제 1 बैं크 블록(210)은 제 1 칩 선택 신호(CS0)에 의해 활성화되는 메모리 블록이다. 제 2 बैं크 블록(220)은 제 2 칩 선택 신호(CS1)에 의해 활성화되는 메모리 블록이다. 또한, बैं크 블록의 배치에 따라 제 1 및 제 2 बैं크 블록(210, 220)은 각각 업 बैं크 블록 및 다운 बैं크 블록으로 지칭될 수도 있다. 하지만, 두개의 칩 선택 모드(이하, '듀얼 칩 모드' 라 함)일 경우, 제 1 및 제 2 बैं크 블록(210, 220)은 제 1 및 제 2 랭크라고 지칭할 수 있음은 물론이다.
- [0016] 제 1 बैं크 블록(210)은 제 1 내지 제 8뱅크(BK0-BK7)를 포함한다. 제 2 बैं크 블록(220)은 제 9내지 제 16 बैं크(BK8-BK15)를 포함한다.
- [0017] 통상, 두개의 랭크를 지원하는 듀얼 칩 모드의 반도체 메모리 장치는 디폴트(default)로 두개의 개별의 칩 선택 신호(CS0, CS1)를 모두 이용하도록 되어 있다. 이에 따라 제 1 및 제 2 랭크로서 제 1 및 제 2 बैं크 블록(210, 220)이 독립적으로 구동될 수 있다. 하지만, 이는 서로 독립적인 동작(리드, 라이트, 프리차지 동작등)을 지원하는 개별의 단위 칩으로 구동되도록 되어 있다. 즉, 종래에는 두개의 칩 선택 신호에 따라 독립적으로 동작하는 두개의 랭크를 구동시킨다. 각각의 랭크는 8개의 बैं크가 구비되므로, 전술한 바와 같이, 두개의 칩 선택 신호(CS0, CS1)에 응답하여 제 1 내지 제 8뱅크(BK0-BK7)와 제 9내지 제 16 बैं크(BK8-BK15)가 서로 독립적으로 구동되도록 구비된다. 따라서, 두개의 개별의 칩 선택 신호(CS0, CS1)를 모두 이용하는 종래의 반도체 메모리 장치로는 하나의 랭크처럼(이하, '싱글 칩 모드' 라 함) 구동하는 것을 지원하기는 제어 스킴이 복잡하고 어려웠다.
- [0018] 하지만, 본 발명의 일 실시예에 따르면 제 1 및 제 2 칩 선택 신호(CS0, CS1)를 대신할 수 있도록 소정의 어드레스 신호(A<12>)를 이용하도록 한다.
- [0019] 따라서, 종래 기술과 같이 제 1 및 제 2 칩 선택 신호(CS0, CS1)에 의해 제 1 및 제 2 랭크로서 제 1 및 제 2 बैं크 블록(210, 220)을 독립적으로 구동시킬 수 다. 이뿐 아니라, 소정의 어드레스 신호(A<12>)를 이용하여 하나의 단위 메모리 칩, 즉 싱글 칩처럼 제 1 및 제 2 बैं크 블록(210, 220)을 구동시키는 것도 가능하다. 여기서, 소정의 어드레스 신호(A<12>)는 메모리 영역(200)의 메모리 셀을 지정하는데 참여하지 않는 잉여의 어드레스 신호이면 가능하다.
- [0020] 즉, 소정의 어드레스 신호(A<12>)의 논리 레벨에 따라, 제 1 및 제 2 बैं크 블록(210, 220)을 싱글 칩처럼 동시에 활성화시키는 것이 가능하다. 싱글 칩처럼 활성화시킨다는 것은, 칩의 동작 모드가 제공되면 구동되는 메모리 블록이 단일 메모리 블록이라는 것이다. 이미 공지된 바와 같이, 구동되는 메모리 블록은 하나일지라도, 4뱅크, 8뱅크, 16 बैं크 모드등 다양한 बैं크 모드로 동작될 수 있다. 여기서는, 설명의 편의상 8뱅크 및 16 बैं크 모드를 지원하는 반도체 메모리 장치로 예시하기로 한다. 그리하여, 본 발명의 일 실시예에 따른 반도체 메모리 장치는 듀얼 칩 모드일 경우의 제 1 및 제 2 랭크(210, 220)는 8뱅크 모드로 동작한다. 또한, 싱글 칩 모드일 경우에는 제 1 및 제 2 बैं크 블록(210, 220)은 8뱅크 또는 16뱅크로 동작할 수 있다. 물론, 8뱅크 모드일 경우는 제 1 बैं크 블록(210)의 제 1 बैं크(BK0)와 제 2 बैं크 블록(220)의 제 9뱅크(BK8)가 연동하여 구동되는 것을 전제로 한다.
- [0021] 여기서는, 전술한 대로 칩 선택 모드(CS\_MODE)가 로우 레벨인 경우에 두개의 칩 선택 신호(CS0, CS1)대신, 소정의 어드레스 신호(A<12>)로 बैं크 블록을 선택적으로 구동시킬 수 있는 반도체 메모리 장치를 개시하기로 한다.
- [0022] 다시 말하면, 칩 선택 모드(CS\_MODE)가 로우 레벨인 경우, 즉 싱글 칩 모드의 경우에 소정의 어드레스 신호(A<12>)의 논리 레벨에 따라 하나의 칩 선택 신호에 의해 구동되는 싱글 칩 모드처럼 구동시킬 수 있다. 하지

만, 칩 선택 모드(CS\_MODE)가 하이 레벨이 되고, 제 1 및 제 2 칩 선택 신호(CS0, CS1)에 응답하여 제 1 및 제 2 뱅크 블록(210, 220)을 구동시킨다면 이는 개별의 듀얼 칩 모드처럼 구동시키는 것이 된다.

- [0023] 이에 대한 자세한 설명은 다음의 도면을 참조하여 상술하기로 한다.
- [0024] 도 2는 도 1에 따른 제어부(100)의 블록도이다.
- [0025] 도 2를 참조하면, 제어부(100)는 칩 선택 제어 블록(120) 및 RAS 제어 블록(140)을 포함한다.
- [0026] 우선, 칩 선택 제어 블록(120)은 제 1 및 제 2 칩 선택 제어 유닛(122, 124)을 포함한다.
- [0027] 제 1 칩 선택 제어 유닛(122)은 칩 선택 모드 신호(CS\_MODE) 및 소정의 어드레스 신호(A<12>)에 응답하여 제 1 칩 선택 제어 신호(CS0-CTRL)를 제공한다.
- [0028] 제 2 칩 선택 제어 유닛(124)은 칩 선택 모드 신호(CS\_MODE) 및 소정의 어드레스 신호(A<12>)의 반전된 레벨에 응답하여 제 2 칩 선택 제어 신호(CS1-CTRL)를 제공한다.
- [0029] 이와 같이, 칩 선택 모드 신호(CS\_MODE)가 로우 레벨인 경우에 소정의 어드레스 신호(A<12>)의 논리 레벨에 따라 제 1 뱅크 블록(210) 또는 제 2 뱅크 블록(220)을 선택적으로 구동시킬 수 있음을 알 수 있다. 이는 통상의 단일 랭크 모드(또는 싱글 칩 모드)의 반도체 메모리 장치에서, 업 뱅크 블록 또는 다운 뱅크 블록을 선택적으로 구동시키는 것과 동일한 구동 원리에 의해 가능하다.
- [0030] RAS 제어 블록(140)은 제 1 RAS 제어 유닛(143) 및 제 2 RAS 제어 유닛(146)을 포함한다.
- [0031] 제 1 RAS 제어 유닛(143)은 제 1 칩 선택 제어 신호(CS0-CTRL), 제 1 칩 선택 신호(CS0), 프리차지 명령 신호(PCG\_CMD), 뱅크 모드 신호(BK\_MODE)에 응답하여 제 1 액티브 신호(ACT\_UP) 및 제 1 프리차지 신호(PCG\_UP)를 제공한다.
- [0032] 제 2 RAS 제어 유닛(146)은 제 2 칩 선택 제어 신호(CS1-CTRL), 제 2 칩 선택 신호(CS1), 프리차지 명령 신호(PCG\_CMD), 뱅크 모드 신호(BK\_MODE)에 응답하여 제 2 액티브 신호(ACT\_DN) 및 제 2 프리차지 신호(PCG\_DN)를 제공한다.
- [0033] 여기서, 프리차지 명령 신호(PCG\_CMD)는 도시하지 않았으나 프리차지 모드에 응답하여 통상의 명령어 디코더로부터 제공되는 것으로 예시한다
- [0034] 본 발명의 일 실시예에 따르면 제어부(100)는 제 1 뱅크 블록 제어부(160) 및 제 2 뱅크 블록 제어부(170)로 구분할 수도 있다.
- [0035] 즉, 제 1 뱅크 블록 제어부(160)는 칩 셋 모드, 뱅크 모드에 따라 제 1 뱅크 블록의 활성화 및 프리차지 동작을 제어할 수 있다. 또한, 제 2 뱅크 블록 제어부(170)는 칩 셋 모드, 뱅크 모드에 따라 제 2 뱅크 블록의 활성화 및 프리차지 동작을 제어할 수 있다.
- [0036] 본 발명의 일 실시예에 따르면, 어드레스 신호(A<12>)의 레벨에 따라 제 1 및 제 2 액티브 신호(ACT\_UP, ACT\_DN)를 제공할 수 있다. 제 1 액티브 신호(ACT\_UP)는 제 1 뱅크 블록(도 1의 210 참조)을 활성화시킬 수 있는 신호이고, 제 2 액티브 신호(ACT\_DN)는 제 2 뱅크 블록(도 1의 220 참조)을 활성화시킬 수 있는 신호이다. 따라서, 본 발명의 일 실시예에 따르면, 어드레스 신호(A<12>)의 레벨에 따른 활성화된 제 1 액티브 신호(ACT\_UP)는 제 1 뱅크 블록(도 1의 210 참조)을 선택적으로 활성화시킬 수 있다. 그리하여, 싱글 칩 모드에서, 뱅크 모드에 따라 8뱅크 모드 또는 16 뱅크로 동작하도록 할 수 있다. 어드레스 신호(A<12>)의 레벨에 따라 뱅크의 업 블록, 또는 다운 블록을 선택적으로 활성화시키면 16 뱅크 모드로 동작할 수 있다. 하지만, 어드레스 신호(A<12>)의 레벨에 따라 제 1 액티브 신호(ACT\_UP)만 활성화되고, 제 2 액티브 신호(ACT\_DN)가 비활성화된다면, 전술한 바와 같이 8 뱅크 모드에서는 업 블록의 제 1 뱅크(BK0)와 다운 블록의 제 9 뱅크(BK8)가 동시에 활성화되도록 내부적으로 구동됨으로써 동시 제어가 가능하다.
- [0037] 하지만, 프리차지 시에는 해당 뱅크 블록을 완전히 프리차지시키기 위해서는 뱅크 모드의 정보가 필요하다. 따라서, 이들 각각의 해당 뱅크 블록을 활성화시킬 수 있도록 뱅크 모드 신호를 추가하도록 한다. 즉, 8 뱅크 모드일 경우에는 이미 모두 활성화된 뱅크 블록(210, 220)을 동시에 프리차지 시키도록 모든 뱅크 블록을 프리차지 시키며, 16 뱅크 모드일 경우는 활성화된 뱅크 블록에 대해서만 프리차지 시키도록 뱅크 정보의 플래그 신호를 이용하면 가능하다. 이에 대해서는 후술하기로 한다.
- [0038] 도 3은 도 2에 따른 칩 선택 제어 블록(120)의 회로도이다.

- [0039] 도 3을 참조하면, 칩 셀렉트 제어 블록(120)은 제 1 및 제 2 칩 셀렉트 제어 유닛(122, 124)을 포함한다.
- [0040] 제 1 칩 셀렉트 제어 유닛(122)은 제 2 인버터(INV1) 및 제 1 노어 게이트(NOR1)를 포함한다.
- [0041] 그리하여, 제 1 칩 셀렉트 제어 유닛(122)은 칩 셀렉트 모드(CS\_MODE)에 따라, 소정의 어드레스 신호(A<12>)의 논리 레벨에 응답하여 활성화된 제 1 칩 셀렉트 제어 신호(CS0-CTRL)를 제공한다.
- [0042] 이 경우, 칩 셀렉트 모드(CS\_MODE)가 하이 레벨이면, 랭크별로 동작하는 모드를 의미하고, 칩 셀렉트 모드(CS\_MODE)가 로우 레벨이면 랭크 구분없이 하나의 칩처럼 동작하는 모드를 의미한다.
- [0043] 다시 말하면, 칩 셀렉트 모드(CS\_MODE)가 로우 레벨이면 하나의 랭크, 즉 전체적인 칩 동작이 라이트 명령이 수신되면 라이트 동작을, 리드 명령이 제공되면 리드를 하도록 동작된다. 즉, 하나의 랭크처럼 동작한다는 것은 외부 컬럼계 명령어에 응답하여 모든 뱅크 블록에 단일의 동작 모드가 수행되는 것이다.
- [0044] 제 1 칩 셀렉트 제어 유닛(122)은 칩 셀렉트 모드(CS\_MODE) 및 어드레스 신호(A<12>)가 로우 레벨인 경우, 비활성화된 로우 레벨의 제 1 칩 셀렉트 제어 신호(CS0-CTRL)를 제공한다.
- [0045] 제 2 칩 셀렉트 제어 유닛(124)은 제 1 인버터(INV1), 제 2 노어 게이트(NOR2) 및 제 3 인버터(INV3)를 포함한다.
- [0046] 또한, 제 2 칩 셀렉트 제어 유닛(124)은 칩 셀렉트 모드(CS\_MODE)가 로우 레벨이고 어드레스 신호(A<12>)가 로우 레벨인 경우, 활성화된 하이 레벨의 제 2 칩 셀렉트 제어 신호(CS1-CTRL)를 제공한다.
- [0047] 따라서, 칩 셀렉트 모드(CS\_MODE)가 로우 레벨인 경우, 어드레스 신호(A<12>)의 논리 레벨에 따라 제 1 및 제 2 칩 셀렉트 제어 신호(CS0\_CTRL, CS1\_CTRL)를 선택적으로 활성화시킬 수 있다.
- [0048] 한편, 칩 셀렉트 모드(CS\_MODE)가 하이 레벨인 경우는 어드레스 신호(A<12>)의 논리 레벨과 무관하게 제 1 및 제 2 칩 셀렉트 제어 신호(CS0\_CTRL, CS1\_CTRL)를 모두 활성화시킬 수 있다.
- [0049] 도 4 및 도 5는 도 2에 따른 제 1 및 제 2 RAS 제어 유닛(143, 146)의 블록도이다.
- [0050] 도 4 및 도 5를 참조하면, 제 1 RAS제어 유닛(143)은 제 1 액티브 모드 제어부(141) 및 제 1 프리차지 모드 제어부(142)를 포함한다. 제 2 RAS제어 유닛(146)은 제 2 액티브 모드 제어부(144) 및 제 2 프리차지 모드 제어부(145)를 포함한다.
- [0051] 우선, 제 1 액티브 모드 제어부(141)는 제 1 칩 셀렉트 제어 신호(CS0\_CTRL) 및 제 1 칩 셀렉트 신호(CS0)에 응답하여 제 1 액티브 신호(ACT\_UP)를 제공할 수 있다. 보다 자세히 설명하면, 제 1 액티브 모드 제어부(141)는 제 1 칩 셀렉트 신호(CS0)가 활성화되어도, 제 1 칩 셀렉트 제어 신호(CS0\_CTRL)의 레벨로써 제 1 액티브 신호(ACT\_UP)의 활성화 여부를 제어한다. 제 2 액티브 모드 제어부(144)도 제 1 액티브 모드 제어부(141)의 구동 원리는 동일하나, 다만 수신하는 신호가 다를 뿐이므로 자세한 설명은 생략하기로 한다.
- [0052] 한편, 제 1 프리차지 모드 제어부(142)는 제 1 칩 셀렉트 제어 신호(CS0\_CTRL), 프리차지 명령 신호(PCG\_CMD) 및 뱅크 모드 신호(BK\_MODE)에 응답하여 제 1 프리차지 신호(PCG\_UP)를 제공한다. 이와 마찬가지로, 제 2 프리차지 모드 제어부(145)는 제 2 칩 셀렉트 제어 신호(CS1\_CTRL), 프리차지 명령 신호(PCG\_CMD) 및 뱅크 모드 신호(BK\_MODE)에 응답하여 제 2 프리차지 신호(PCG\_DN)를 제공한다. 제 1 및 제 2 프리차지 모드 제어부(142, 145)가 다른 것은 제 1 칩 셀렉트 제어 신호(CS0\_CTRL) 또는 제 2 칩 셀렉트 제어 신호(CS1\_CTRL)를 수신하는 차이뿐이다.
- [0053] 따라서, 중복되는 설명을 피하기 위하여, 제 1 프리차지 모드 제어부(142)에 대해서만 자세히 설명하기로 한다.
- [0054] 제 1 프리차지 모드 제어부(142)는 프리차지 명령 신호(PCG\_CMD)가 활성화되면, 뱅크 모드 신호(BK\_MODE) 또는 제 1 칩 셀렉트 제어 신호(CS0-CTRL)에 따라 활성화된 제 1 프리차지 신호(PCG\_UP)를 제공한다.
- [0055] 여기서, 뱅크 모드 신호(BK\_MODE)란 뱅크 모드의 플래그 신호로서, 16뱅크 모드시 하이 레벨이고, 8뱅크 모드시 로우 레벨이 되는 신호로 정의하기로 한다. 물론, 듀얼 칩 모드일 경우에는 16뱅크로 동작할 수 없으므로 로우 레벨인 신호일 것이다.
- [0056] 도 6은 도 4에 따른 제 1 액티브 모드 제어부(141)의 회로도이다.
- [0057] 도 6을 참조하면, 제 1 액티브 모드 제어부(141)는 제 1 인버터(INV1)와 낸드 게이트(ND)를 포함한다. 낸드 게이트(ND)는 제 1 칩 셀렉트 신호(CS0)와 제 1 칩 셀렉트 제어 신호(CS0\_CTRL)에 대해 낸드 게이팅 동작을 한다.

제 1 인버터(INV1)는 낸드 게이트(ND)의 출력 신호를 반전시킨다.

[0058] 우선, 싱글 칩 모드의 경우, 제 1 칩 셀렉트 신호(CS0)가 하이 레벨로 제공되는 것으로 예시한다.

[0059] 그리하여, 제 1 액티브 모드 제어부(141)는 싱글 칩 모드일 경우에는 로우 레벨의 제 1 칩 셀렉트 제어 신호(CS0\_CTRL)와 하이 레벨의 제 1 칩 셀렉트 신호(CS0)에 응답하여 비활성화된 로우 레벨의 제 1 액티브 신호(ACT\_UP)를 제공한다. 한편, 제 1 액티브 모드 제어부(141)가 듀얼 칩 모드일 경우에는 하이 레벨의 제 1 칩 셀렉트 제어 신호(CS0\_CTRL)를 수신하므로, 제 1 칩 셀렉트 신호(CS0)의 레벨에 응답하여 제 1 액티브 신호(ACT\_UP)를 제공한다.

[0060] 다음의 표 1에서 도 3내지 도 6의 신호 레벨을 정리하였다.

**표 1**

CS_MODE	A<12>	CS0-CTRL	CS1_CTRL	ACT_UP	ACT_DN
L	L	L	H	L	H
L	H	H	L	H	L
H	X(don't care)	H	H	CS0에 따라	CS1에 따라
H	X(don't care)	H	H	CS0에 따라	CS1에 따라

[0062] 표 1을 참조하면, 도색된 부분은 싱글 칩 모드인 경우를 예시하고, 도색되지 않은 부분은 듀얼 칩 모드인 경우를 예시하였다.

[0063] 표 1에서 알 수 있듯이, 싱글 칩 모드의 경우, 소정의 어드레스 신호(A<12>)의 레벨에 따라 하나의 랭크처럼 동작시키되, 업 बैं크 및 다운 बैं크로 제어하기 위해 제 1 및 제 2 칩 셀렉트 제어 신호(CS0\_CTRL, CS1\_CTRL)가 선택적으로 활성화된다. 또한, 제 1 및 제 2 칩 셀렉트 제어 신호(CS0\_CTRL, CS1\_CTRL)의 레벨에 따라 제 1 또는 제 2 액티브 신호(ACT\_UP, ACT\_DN)가 활성화됨을 알 수 있다.

[0064] 또한, 듀얼 칩 모드의 경우, 서로 다른 컬럼계 명령어에 응답하도록, 각각의 बैं크 블록을 선택적으로 활성화 시킴에 따라 제 1 및 제 2 칩 셀렉트 신호(CS0, CS1)의 레벨에 응답하는 제 1 및 제 2 액티브 신호(ACT\_UP, ACT\_DN)가 제공되는 것을 알 수 있다. 이러한 듀얼 칩 모드의 경우, 제 1 및 제 2 액티브 신호(ACT\_UP, ACT\_DN)는 소정의 어드레스 신호(A<12>)와는 무관함을 알 수 있다.

[0065] 이로써, 본 발명의 일 실시예에 따르면, 제 1 및 제 2 칩 셀렉트 제어 신호(CS0\_CTRL, CS1\_CTRL)와 소정의 어드레스 신호(A<12>)를 이용하면 싱글 칩 모드 또는 듀얼 칩 모드로 메모리 영역(200)을 활성화시킬 수 있음을 알 수 있다.

[0066] 도 7은 도 4에 따른 제 1 프리차지 모드 제어부(142)의 회로도이다.

[0067] 도 7을 참조하면, 제 1 프리차지 모드 제어부(142)는 제 1 및 제 2 인버터(IV1-IV2), 제 1 및 제 2 낸드 게이트(ND1-ND2)를 포함한다.

[0068] 제 1 프리차지 모드 제어부(142)는 듀얼 칩 모드일 경우에는 활성화된 프리차지 명령 신호(PCG\_CMD)에 응답하여 활성화된 제 1 프리차지 신호(PCG\_UP)를 제공한다.

[0069] 그러나, 제 1 프리차지 모드 제어부(142)는 싱글 칩 모드일 경우에는 프리차지 명령 신호(PCG\_CMD)가 활성화될 때, बैं크 모드 신호(BK\_MODE) 또는 제 1 칩 셀렉트 제어 신호(CS0\_CTRL)에 응답하여 활성화된 제 1 프리차지 신호(PCG\_UP)를 제공한다.

[0070] 우선, 싱글 칩 모드에서 8뱅크 모드일 경우를 설명하기로 한다.

[0071] 이 때는 बैं크 모드 신호(BK\_MODE)가 로우 레벨이므로, 제 1 칩 셀렉트 제어 신호(CS0\_CTRL)에 무관하게 활성화된 제 1 프리차지 신호(PCG\_UP)를 제공한다. 이는 도시하지 않았으나, 제 2 프리차지 모드 제어부(145)에서도 बैं크 모드 신호(BK\_MODE)가 로우 레벨이므로, 제 2 칩 셀렉트 제어 신호(CS1\_CTRL)에 무관하게 활성화된 제 2 프리차지 신호(PCG\_DN)를 제공할 수 있다.

[0072] 그러나, 싱글 칩 모드에서 16뱅크 모드일 경우를 설명하기로 한다.



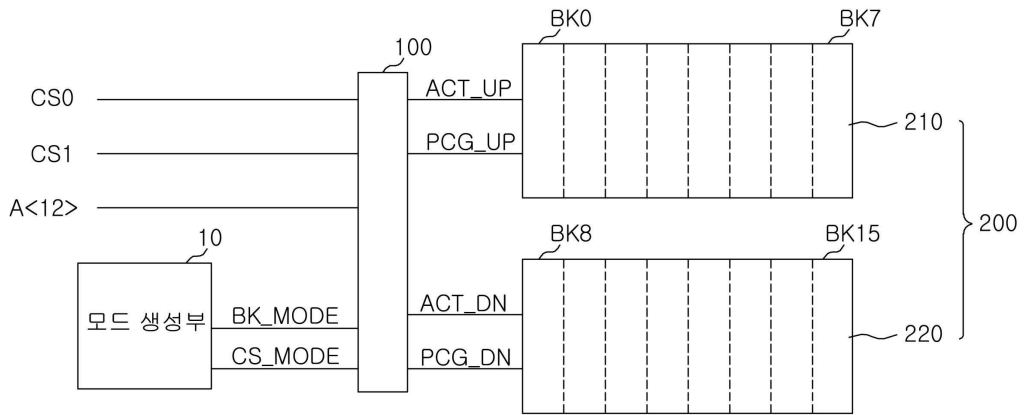
- [0073] 이 경우, 뱅크 모드 신호(BK\_MODE)가 하이 레벨이고, 제 1 칩 셀렉트 제어 신호(CS0-CTRL)가 하이 레벨이면 활성화된 제 1 프리차지 신호(PCG\_UP)를 제공한다. 즉, 제 1 낸드 게이트(ND1)의 일측 수신 단자가 로우 레벨을 수신하므로 하이 레벨의 신호를 제공한다. 따라서, 제 2 낸드 게이트(ND2)의 양측 수신 단자에 모두 하이 레벨이 수신되므로, 제 1 프리차지 신호(PCG\_UP)는 하이 레벨이 된다. 이와 같이, 싱글 칩 모드에서 16 뱅크 모드를 지원하려면, 각각의 뱅크 블록을 프리차지하도록 싱글 칩 모드의 정보를 갖는 신호와 16 뱅크 모드의 정보를 갖는 별도의 신호가 필요함을 의미한다.
- [0074] 물론, 따로 설명하지 않지만, 듀얼 칩 모드인 경우는 전술한 바와 같이 각각의 랭크(도 1의 210, 220 참조)가 8 뱅크로 동작하는 경우이다. 그리하여, 뱅크 플레그 신호인 뱅크 모드 신호(BK\_MODE)의 로우 레벨에 응답하여 활성화된 제 1 프리차지 신호(PCG\_UP)를 제공할 수 있다.
- [0075] 이와 같이, 본 발명의 일 실시예에 따른 반도체 메모리 장치는 듀얼 칩 모드뿐 아니라 싱글 칩 모드로 구동시킬 수 있다.
- [0076] 특히, 메모리 영역에 이용되지 않는 잉여의 어드레스 신호를 이용하여, 칩 셀렉트 신호대신 사용하고, 뱅크 정보 플레그 신호를 이용하여 뱅크 모드를 구분하도록 함으로써 가능하다.
- [0077] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있으므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

**도면의 간단한 설명**

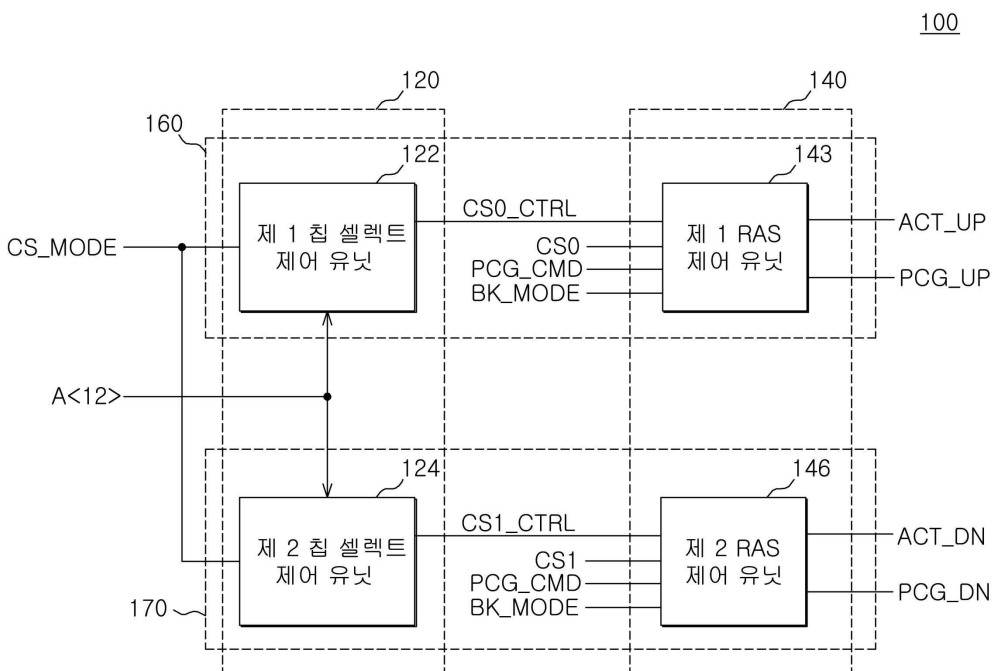
- [0078] 도 1은 본 발명의 일 실시예에 따른 반도체 메모리 장치의 블록도,
- [0079] 도 2는 도 1에 따른 제어부의 블록도,
- [0080] 도 3은 도 2에 따른 칩 셀렉트 제어 블록의 블록도,
- [0081] 도 4 및 도 5는 도 2에 따른 제 1 RAS 제어 유닛 및 제 2 RAS 제어 유닛의 블록도,
- [0082] 도 6은 도 4에 따른 제 1 액티브 모드 제어부의 간략한 회로도, 및
- [0083] 도 7은 도 4에 따른 제 1 프리차지 모드 제어부의 간략한 회로도이다.
- [0084] <도면의 주요 부분에 대한 부호의 설명>
- |                              |                      |
|------------------------------|----------------------|
| [0085] 100 : 제어부             | 120 : 칩 셀렉트 제어 블록    |
| [0086] 140 : RAS 제어 블록       | 141 : 제 1 액티브 모드 제어부 |
| [0087] 142 : 제 1 프리차지 모드 제어부 | 144 : 제 2 액티브 모드 제어부 |
| [0088] 145 : 제 2 프리차지 모드 제어부 |                      |

도면

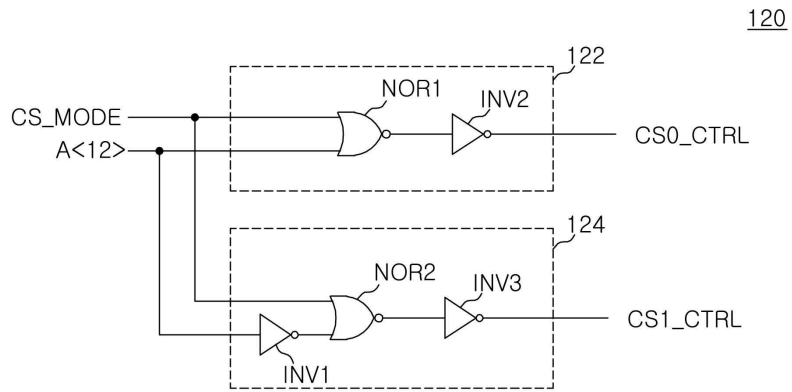
도면1



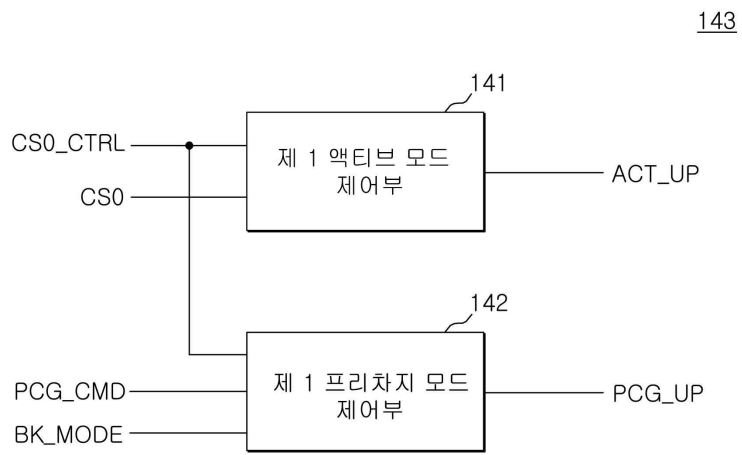
도면2



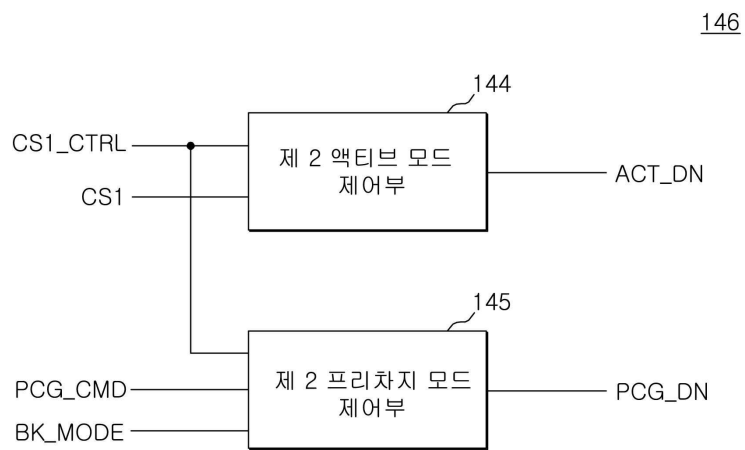
도면3



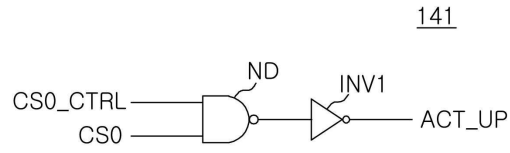
도면4



도면5



도면6



도면7

