



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I852036 B

(45)公告日：中華民國 113 (2024) 年 08 月 11 日

(21)申請案號：111125495 (22)申請日：中華民國 111 (2022) 年 07 月 07 日

(51)Int. Cl. : *H01L29/06 (2006.01)* *H01L29/40 (2006.01)*  
*H01L29/772 (2006.01)* *H01L29/92 (2006.01)*

(30)優先權：2021/07/16 美國 63/222,767  
 2022/03/01 美國 17/683,944

(71)申請人：台灣積體電路製造股份有限公司(中華民國) TAIWAN SEMICONDUCTOR  
 MANUFACTURING COMPANY, LTD. (TW)  
 新竹市力行六路八號

(72)發明人：周智超 CHOU, CHIH-CHAO (TW)；邱奕勳 CHIU, YI-HSUN (TW)；張尚文  
 CHANG, SHANG-WEN (TW)；蔡慶威 TSAI, CHING-WEI (TW)；王志豪 WANG,  
 CHIH-HAO (TW)；曹 敏 CAO, MIN (US)

(74)代理人：洪澄文

(56)參考文獻：

TW	202115849A	US	9991171B1
US	2015/0035103A1	US	2020/0294998A1

審查人員：何立瑋

申請專利範圍項數：14 項 圖式數：33 共 112 頁

(54)名稱

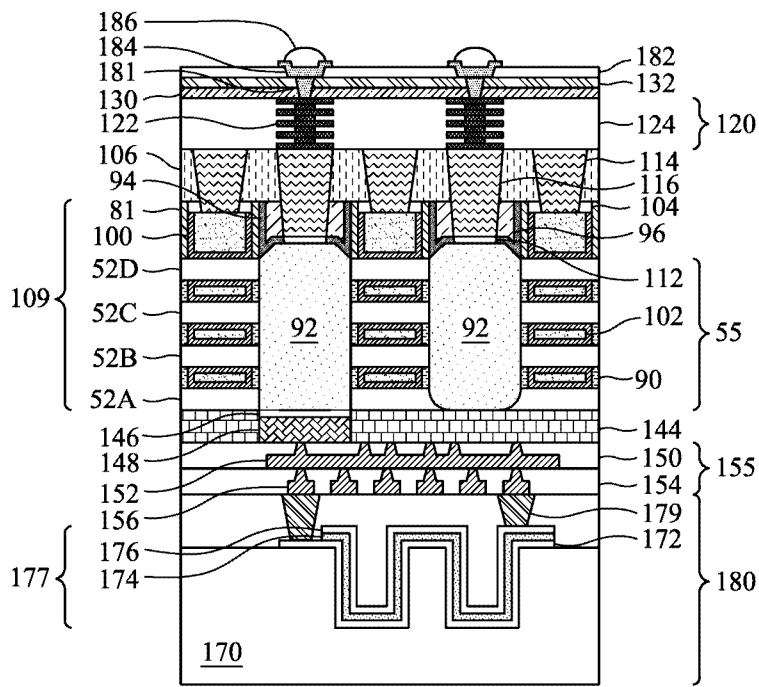
半導體裝置及其形成方法

(57)摘要

本揭露一些實施例提供一種半導體裝置及其形成方法，包括第一電晶體結構、前側內連線結構、背側內連線結構、以及第一電容結構。前側內連線結構位在第一電晶體結構的前側，前側內連線結構包括前側導電線。背側內連線結構，位在第一電晶體結構的背側，背側內連線結構包括背側導電線，背側導電線的線寬大於前側導電線的線寬。第一電容結構耦接到背側內連線結構。

Semiconductor devices including backside capacitors and methods of forming the same are disclosed. A semiconductor device includes a first transistor structure; a front-side interconnect structure on a front-side of the first transistor structure, the front-side interconnect structure including a front-side conductive line; a backside interconnect structure on a backside of the first transistor structure, the backside interconnect structure including a backside conductive line, the backside conductive line having a line width greater than a line width of the front-side conductive line; and a first capacitor structure coupled to the backside interconnect structure.

指定代表圖：



第 33 圖

符號簡單說明：

- 170:基板  
 52A,52B,52C,52D:第一奈米結構  
 55:奈米結構  
 81:第一間隔物  
 90:第一內部間隔物  
 92:磊晶源極/汲極區  
 94:接點蝕刻停止層  
 96:第一層間介電層  
 100:閘極介電層  
 102:閘極電極  
 104:閘極蓋層  
 106:第二層間介電層  
 109:電晶體結構  
 112:第一矽化區域  
 114:閘極接點  
 116:源極/汲極接點  
 120:前側內連線結構  
 122:導電特徵  
 124,144:介電層  
 130,150,174:第一介電層  
 132,154:第二介電層  
 146:第二矽化區域  
 148:背側導孔  
 152:第一導電特徵  
 155:背側內連線結構  
 156:第二導電特徵  
 172:第一導電層  
 176:第二導電層  
 177:電容  
 179:電容接點  
 180:電容結構  
 181:導孔  
 182:鈍化層  
 184:凸塊下金屬  
 186:外部連接元件



I852036

## 【發明摘要】

【中文發明名稱】半導體裝置及其形成方法

【英文發明名稱】SEMICONDUCTOR DEVICE AND FORMING METHOD

THEREOF

## 【中文】

本揭露一些實施例提供一種半導體裝置及其形成方法，包括第一電晶體結構、前側內連線結構、背側內連線結構、以及第一電容結構。前側內連線結構位在第一電晶體結構的前側，前側內連線結構包括前側導電線。背側內連線結構，位在第一電晶體結構的背側，背側內連線結構包括背側導電線，背側導電線的線寬大於前側導電線的線寬。第一電容結構耦接到背側內連線結構。

## 【英文】

Semiconductor devices including backside capacitors and methods of forming the same are disclosed. A semiconductor device includes a first transistor structure; a front-side interconnect structure on a front-side of the first transistor structure, the front-side interconnect structure including a front-side conductive line; a backside interconnect structure on a backside of the first transistor structure, the backside interconnect structure including a backside conductive line, the backside conductive line having a line width greater than a line width of the front-side conductive line; and a first capacitor structure coupled to the backside interconnect structure.

【指定代表圖】 第33圖

## 【代表圖之符號簡單說明】

170:基板

52A,52B,52C,52D:第一奈米結構

55:奈米結構

81:第一間隔物

90:第一內部間隔物

92:磊晶源極/汲極區

94:接點蝕刻停止層

96:第一層間介電層

100:閘極介電層

102:閘極電極

104:閘極蓋層

106:第二層間介電層

109:電晶體結構

112:第一矽化區域

114:閘極接點

116:源極/汲極接點

120:前側內連線結構

122:導電特徵

124,144:介電層

130,150,174:第一介電層

132,154:第二介電層

146:第二矽化區域

148:背側導孔

152:第一導電特徵

155:背側內連線結構

156:第二導電特徵

172:第一導電層

176:第二導電層

177:電容

179:電容接點

180:電容結構

181:導孔

182:鈍化層

184:凸塊下金屬

186:外部連接元件

【特徵化學式】 無

## 【發明說明書】

【中文發明名稱】 半導體裝置及其形成方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND FORMING METHOD

THEREOF

【技術領域】

【0001】 本揭露是關於一種半導體裝置及其形成方法。

【先前技術】

【0002】 在各種電子應用，例如個人電腦、手機、數位相機和其他電子裝置中使用了半導體裝置。通常係藉由在半導體基板上依序沉積絕緣層或介電層、導電層和半導體層，並使用微影製程來圖案化各種材料層，以在材料層上形成電路部件和元件來製造半導體裝置。

【0003】 半導體工業藉由不斷降低最小特徵尺寸，而不斷提高各種電子部件(例如電晶體、二極體、電阻、電容等)的整合密度，從而可將更多的部件整合到給定的區域中。然而，由於特徵尺寸持續降低，出現了應解決的其他問題。

【發明內容】

【0004】 本揭露一些實施例提供一種半導體裝置，包括第一電晶體結構、前側內連線結構、背側內連線結構、以及第一電容結構。前側內連線結構位在第一電晶體結構的前側，前側內連線結構包括前側導電線。背側內連線結構，位在第一電晶體結構的背側，背側內連線結構包括背側導電線，背側導電線的

線寬大於前側導電線的線寬。第一電容結構耦接到背側內連線結構。

**【0005】** 本揭露一些實施例提供一種半導體裝置，包括閘極結構、第一源極/汲極區、閘極接點、第一源極/汲極接點、第一內連線結構、以及電容結構。閘極結構位在半導體通道區上方。第一源極/汲極區鄰接閘極結構以及半導體通道區。閘極接點耦接到閘極結構面朝第一方向的面。第一源極/汲極接點耦接到第一源極/汲極區面朝第二方向的面，第一方向與第二方向相反。第一內連線結構耦接到第一源極/汲極接點，並在第二方向與第一源極/汲極區相對。電容結構耦接到在第二方向與第一源極/汲極區相對的第一內連線結構，電容結構藉由介電對介電接合以及金屬對金屬接合耦接到第一內連線結構。

**【0006】** 本揭露一些實施例提供一種半導體裝置的製作方法，包括在第一基板上形成第一電晶體；在第一電晶體上方形成前側內連線結構；薄化第一基板；在第一電晶體上方形成背側內連線結構，背側內連線結構與前側內連線結構相對，背側內連線結構包括背側導孔，電性耦接到第一電晶體之第一源極/汲極區；提供電容結構；以及在電容結構以及背側內連線結構之間形成混合接合。

### **【圖式簡單說明】**

**【0007】** 以下將配合所附圖式詳述本揭露之實施例。應注意的是，依據在業界的標準做法，多種特徵並未按照比例繪示且僅用以說明例示。事實上，可能任意地放大或縮小元件的尺寸，以清楚地表現出本揭露的特徵。

**【0008】** 第1圖是根據一些實施例的奈米結構場效應電晶體(nanostructure field-effect transistor, nano-FET)的三維視圖的範例。

**【0009】** 第2圖、第3圖、第4圖、第5圖、第6A圖、第6B圖、第6C圖、第

7A圖、第7B圖、第7C圖、第8A圖、第8B圖、第8C圖、第9A圖、第9B圖、第9C圖、第10A圖、第10B圖、第10C圖、第11A圖、第11B圖、第11C圖、第11D圖、第12A圖、第12B圖、第12C圖、第12D圖、第12E圖、第13A圖、第13B圖、第13C圖、第14A圖、第14B圖、第14C圖、第15A圖、第15B圖、第15C圖、第16A圖、第16B圖、第16C圖、第17A圖、第17B圖、第17C圖、第18A圖、第18B圖、第18C圖、第19A圖、第19B圖、第19C圖、第20A圖、第20B圖、第20C圖、第21A圖、第21B圖、第21C圖、第22A圖、第22B圖、第22C圖、第23A圖、第23B圖、第23C圖、第24A圖、第24B圖、第24C圖、第25A圖、第25B圖、第25C圖、第26圖、第27圖、第28圖、第29圖、第30A圖、第30B圖、第30C圖、第30D圖、第31圖、第32圖、和第33圖是根據一些實施例的製造奈米結構場效應電晶體的中間階段的剖面圖。

### 【實施方式】

【0010】 以下公開許多不同的實施方法或是範例來實行所提供之標的之不同特徵，以下描述具體的元件及其排列的實施例以闡述本揭露。當然這些實施例僅用以例示，且不該以此限定本揭露的範圍。舉例來說，在說明書中提到第一特徵部件形成於第二特徵部件上方，其包括第一特徵部件與第二特徵部件是直接接觸的實施例，另外也包括於第一特徵部件與第二特徵部件之間另外有其他特徵的實施例，亦即，第一特徵部件與第二特徵部件並非直接接觸。此外，在不同實施例中可能使用重複的標號或標示，這些重複僅為了簡單清楚地敘述本揭露，不代表所討論的不同實施例及/或結構之間有特定的關係。

【0011】 此外，其中可能用到與空間相關用詞，例如「在下方」、「下方」、



”下”、”上方”、”上”及類似的用詞，這些空間相關用詞係為了便於描述圖示中一個(些)元件或特徵與另一個(些)元件或特徵之間的關係，這些空間相關用詞旨在涵蓋包括特徵的裝置的不同方向。當設備被轉向不同方位時(旋轉90度或其他方位)，則其中所使用的空間相關形容詞也將依轉向後的方位來解釋。

**【0012】** 在各種實施例中，提供了將電容接合到電晶體結構背側的方法，以及由此方法形成的半導體裝置。可以在電晶體結構的兩側上形成前側內連線結構(也稱為後段製程(back end of line, BEOL)內連線結構)和背側內連線結構(也稱為隱藏式電源網路(buried power network, BPN))。電容可以形成在載體基板上。然後可以藉由如混合接合(hybrid bonding)的製程將電容接合到背側內連線結構。將電容接合到背側內連線結構釋放了前側內連線結構中的區域，此區域可用於形成電容，並允許形成具有更高電容值(capacitance)的電容。因此，可以在免於面積懲罰(area penalty)的情況下形成大的電容，並且可以提高裝置性能。

**【0013】** 以下描述包括奈米結構場效應電晶體(nanostructure field effect transistors, nano-FET)的晶粒的特定實施例。然而，可以將各種實施例應用於包括其他類型的電晶體，例如鰭式場效應電晶體(fin field effect transistors, FinFETs)、平面電晶體等，來代替奈米結構場效應電晶體或與奈米結構場效應電晶體組合的晶粒。

**【0014】** 第1圖示出根據一些實施例的奈米結構場效應電晶體的範例的三維視圖，例如奈米線場效應電晶體(nanowire FETs)、奈米片場效應電晶體(nanosheet FETs, Nano-FETs)等。奈米結構場效應電晶體包括在基板50(例如半導體基板)上的鰭片66上的奈米結構55(例如奈米片、奈米線等)。奈米結構55做為奈米結構場效應電晶體的通道區(channel region)。奈米結構55可以包括適用於

在P型電晶體、N型電晶體等中形成通道區的材料。相鄰的鰭片66之間設置有隔離區68，鰭片66可以突出於隔離區68之上並形成在相鄰的隔離區68之間。雖然隔離區68描述和說明為與基板50分開，但在本說明書中使用的用語「基板」可以指半導體基板本身或者是半導體基板和隔離區的組合。此外，雖然鰭片66的底部部分繪示為單一的且與基板50連續的材料，鰭片66的底部及/或基板50可以包括單一材料或多種材料。在說明書中，鰭片66是指相鄰的隔離區68之間延伸的部分。

**【0015】** 閘極介電層100位於鰭片66的頂表面和側壁之上，並且沿著奈米結構55的頂表面、側壁和底表面。閘極電極102位於閘極介電層100的上方。磊晶源極/汲極區92設置在閘極介電層100和閘極電極102兩側的鰭片66上。

**【0016】** 第1圖進一步說明了在隨後的圖式中使用的參考剖面。剖面A-A'是沿著閘極電極102的縱軸，並且在例如垂直於奈米結構場效應電晶體的磊晶源極/汲極區92之間的電流方向的方向上。B-B'剖面平行於A-A'剖面，並延伸穿過奈米結構場效應電晶體的磊晶源極/汲極區92。剖面C-C'垂直於剖面A-A'，並且平行於奈米結構場效應電晶體的鰭片66的縱軸，並且例如在奈米結構場效應電晶體的磊晶源極/汲極區92之間的電流流動的方向上。為清楚起見，隨後的圖參考了這些參考剖面。

**【0017】** 本文討論的一些實施例是基於使用後閘極製程(gate-last process)形成的奈米結構場效應電晶體來進行討論。在一些實施例中，可以使用先閘極製程(gate-first process)。此外，一些實施例考慮了可用於平面裝置(例如平面場效應電晶體)或鰭式場效應電晶體的方面。

**【0018】** 第2圖至第33圖是根據一些實施例的製造奈米結構場效應電晶體

的中間階段的剖面圖。第2圖至第5圖、第6A圖、第7A圖、第8A圖、第9A圖、第10A圖、第11A圖、第12A圖、第13A圖、第14A圖、第15A圖、第16A圖、第17A圖、第18A圖、第19A圖、第20A圖、第21A圖、第22A圖、第23A圖、第24A和第25A圖說明了如第1圖所示的參考剖面A-A'。第6B圖、第7B圖、第8B圖、第9B圖、第10B圖、第11B圖、第12B圖、第12D圖、第13B圖、第14B圖、第15B圖、第16B圖、第17B圖、第18B圖、第19B圖、第20B圖、第21B圖、第22B圖、第23B圖、第24B圖、第25B圖說明了如第1圖所示的參考剖面B-B'。第6C圖、第7C圖、第8C圖、第9C圖、第10C圖、第11C圖、第11D圖、第12C圖、第12E圖、第13C圖、第14C圖、第15C圖、第16C圖、第17C圖、第18C圖、第19C圖、第20C圖、第21C圖、第22C圖、第23C圖、第24C圖、第25C圖、第26圖、第27圖、第28圖、第29圖、第30A圖、第30B圖、第30C圖、第30D圖、第31圖、第32圖和第33圖說明了如第1圖所示的參考剖面C-C'。

【0019】 在第2圖中，提供了基板50。基板50可為半導體基板，例如塊體半導體(bulk semiconductor)、絕緣體上半導體(semiconductor-on-insulator, SOI)基板等，其可以為摻雜的(例如使用P型或N型摻質)或未摻雜的。基板50可為晶圓，例如矽晶圓。通常來說，絕緣體上半導體基板是形成在絕緣層上的一層半導體材料。絕緣層可為例如埋氧(buried oxide, BOX)層、氧化矽層等。絕緣層設置在基板上，通常是矽或玻璃基板。也可以使用其他基板，例如多層或梯度基材。在一些實施例中，基板50的半導體材料可以包括矽、鍺、包括碳化矽、砷化鎵、磷化鎵、磷化銻、砷化銻及/或銻化銻的化合物半導體、包括矽鍺、磷化砷化鎵、砷化鋁銻、砷化鋁鎵、砷化鎵銻、磷化鎵銻及/或磷化砷化鎵銻的合金半導體、或其組合。

【0020】 基板50具有N型區域50N和P型區域50P。N型區域50N可用於形成N型裝置，例如NMOS電晶體(如N型奈米結構場效應電晶體)。P型區域50P可以用於形成P型裝置，例如PMOS電晶體(例如P型奈米結構場效應電晶體)。N型區域50N可以與P型區域50P物理分離(如分隔符號20所示)，並且可將任何數量的裝置特徵(例如其他主動裝置、摻雜區、隔離結構等)設置在N型區域50N和P型區域50P之間。雖然圖中示出了一個N型區域50N和一個P型區域50P，但是可以提供任意數量的N型區域50N和P型區域50P。

【0021】 可在基板50上形成蝕刻停止層56。可以由對基板50的材料具有高蝕刻選擇性的材料形成蝕刻停止層56。可以包括蝕刻停止層56以保護覆蓋在其上的結構，而覆蓋在其上的結構在後續製程中用於去除基板50(在第24A圖至第24C圖中討論)。在一些實施例中，蝕刻停止層56可為矽鍺或類似的材料。在一些實施例中，蝕刻停止層56可由介電材料形成，例如磷矽酸鹽玻璃(phosphosilicate glass, PSG)、硼矽酸鹽玻璃(borosilicate glass, BSG)、硼摻雜的磷矽酸鹽玻璃(boron-doped phosphosilicate glass, BPSG)、未摻雜的矽酸鹽玻璃(undoped silicate glass, USG)、氮化矽、氧化矽、矽氧氮化物(silicon oxynitride)等。可以使用如化學氣相沉積(chemical vapor deposition, CVD)、原子層沉積(atomic layer deposition, ALD)、氣相磊晶(vapor phase epitaxy, VPE)、分子束磊晶(molecular beam epitaxy, MBE)等方式來磊晶地生長蝕刻停止層56。

【0022】 此外，在第2圖中，在蝕刻停止層56上方形成多層堆疊64。多層堆疊64包括交替的第一半導體層51A、51B、51C、51D(統稱為第一半導體層51)和第二半導體層53A、53B、53C(統稱為第二半導體層53)。為了說明，並且於隨後進行更詳細討論，將去除第二半導體層53並且將圖案化第一半導體層51，以

在N型區域50N和P型區域50P中形成奈米結構場效應電晶體的通道區域。在這種實施例中，N型區域50N和P型區域50P中的通道區可以具有相同的材料成分(例如矽或其他半導體材料)，並且可以同時形成。第33圖示出了由這種實施例產生的結構，其中P型區域50P和N型區域50N的通道區中都包括例如矽。

**【0023】** 在一些實施例中，可以去除第二半導體層53並且可以圖案化第一半導體層51，以在N型區域50N中形成奈米結構場效應電晶體的通道區，並且可以去除第一半導體層51並圖案化第二半導體層53，以在P型區域50P中形成奈米結構場效應電晶體的通道區。在一些實施例中，可以去除第一半導體層51並且可以圖案化第二半導體層53，以在N型區域50N中形成奈米結構場效應電晶體的通道區，並且可以去除第二半導體層53並且圖案化第一半導體層51，以在P型區域50P中形成奈米結構場效應電晶體的通道區。在一些實施例中，可以去除第一半導體層51並且可以圖案化第二半導體層53，以在N型區域50N和P型區域50P中形成奈米結構場效應電晶體的通道區。

**【0024】** 為了說明，將多層堆疊64繪示成四層半導體層，其中包括四層第一半導體層51和三層第二半導體層53。在一些實施例中，多層堆疊64可以包括任何數量的第一半導體層51和第二半導體層53。每層半導體層可以使用化學氣相沉積、原子層沉積、氣相磊晶、分子束磊晶等製程磊晶生長。在一些實施例中，第一半導體層51可以由如矽、碳化矽等的第一半導體材料形成，並且第二半導體層53可以由如矽鍺等的第二半導體材料形成。為了說明，多層堆疊64的最底層是第一半導體材料形成的第一半導體層51。在一些實施例中，多層堆疊64的最底層是第二半導體材料形成的第二半導體層53。

**【0025】** 第一半導體材料和第二半導體材料可為互相具有高蝕刻選擇性

的材料。因此去除包括第二半導體材料的第二半導體層53時不會顯著地去除包括第一半導體材料的第一半導體層51。這允許圖案化第一半導體層51，以形成奈米結構場效應電晶體的通道區。類似地，在去除第一半導體層51並且圖案化第二半導體層53以形成通道區的實施例中，去除包括第一半導體材料的第一半導體層51時，不會顯著地去除包括第二半導體材料的第二半導體層53。這允許圖案化第二半導體層53，以形成奈米結構場效應電晶體的通道區。

**【0026】** 在第3圖中，鱗片66形成基板50中及/或上，並且奈米結構55形成在多層堆疊64中。在一些實施例中，藉由蝕刻多層堆疊64、蝕刻停止層56、基板50中的溝槽，奈米結構55以及鱗片66可分別形成在多層堆疊64以及基板50中。蝕刻可為任何可接受的蝕刻製程，例如反應離子蝕刻(reactive ion etching，RIE)、中性束蝕刻(neutral beam etching，NBE)等或其組合。蝕刻可為各向異性(anisotropic)的。藉由蝕刻多層堆疊64形成奈米結構55，可以從第一半導體層51定義第一奈米結構52A、52B、52C、52D(合稱為第一奈米結構52)，並且可以從第二半導體層53定義第二奈米結構54A、54B、54C(合稱為第二奈米結構54)。第一奈米結構52和第二奈米結構54可以統稱為奈米結構55。

**【0027】** 可以使用任何合適的方法來圖案化鱗片66和奈米結構55。舉例來說，可以使用一或多道微影製程來圖案化鱗片66和奈米結構55，包括雙重圖案化或多重圖案化製程。通常，雙重圖案化或多重圖案化製程結合了微影和自對準製程，從而允許產生具有例如比使用單道直接微影製程可獲得的間距更小的間距的圖案。舉例來說，在一些實施例中，在基板上方形形成犧牲層，並使用微影製程圖案化犧牲層。使用自對準製程在圖案化的犧牲層旁邊形成間隔物。接著去除犧牲層，隨後可以使用剩餘的間隔物來圖案化鱗片66和奈米結構55。

【0028】 為了說明，第3圖將N型區域50N和P型區域50P中的鱗片66繪示為具有實質上相等的寬度。在一些實施例中，N型區域50N中的鱗片66的寬度可以大於或小於P型區域50P中的鱗片66的寬度。此外，雖然每個鱗片66和奈米結構55繪示為具有一致的寬度，但在一些實施例中，鱗片66及/或奈米結構55可以具有錐形的側壁。因此，每個鱗片66及/或奈米結構55的寬度可以在朝向基板50的方向上連續地增加。在這種實施例中，垂直堆疊中的每個奈米結構55可以具有不同的寬度，並且可具有梯形的形狀。

【0029】 在第4圖中，淺溝槽隔離區68形成在鱗片66旁邊。可以在基板50、鱗片66、蝕刻停止層56、奈米結構55上方、以及相鄰的鱗片66之間沉積絕緣材料，以形成淺溝槽隔離區68。絕緣材料可為氧化物(如氧化矽)、氮化物等或其組合。可以藉由高密度電漿化學氣相沉積(high-density plasma CVD, HDP-CVD)、可流動化學氣相沉積(flowable CVD, FCVD)或其組合等製程形成絕緣材料。也可以使用藉由任何可接受的製程形成的其他絕緣材料。在所示實施例中，絕緣材料是藉由可流動化學氣相沉積製程形成的氧化矽。在形成絕緣材料之後，可以執行退火製程。在一些實施例中，絕緣材料形成為使得多餘的絕緣材料覆蓋奈米結構55。雖然絕緣材料示為單層，但在一些實施例中，可以使用多層的絕緣材料。舉例來說，在一些實施例中，可以沿著基板50、鱗片66、蝕刻停止層56、和奈米結構55的表面形成襯層(未單獨示出)。此後可以在襯層上方形成填充材料，例如前述填充材料。

【0030】 然後對絕緣材料施行去除製程以去除奈米結構55上的多餘絕緣材料。在一些實施例中，可以使用如化學機械研磨(chemical mechanical polish, CMP)、回蝕刻製程、其組合等的平坦化製程。平坦化製程露出奈米結構55，使

得在平坦化製程之後，奈米結構55的頂表面與絕緣材料是水平的。

**【0031】** 然後凹蝕絕緣材料以形成淺溝槽隔離區68。凹蝕絕緣材料使得N型區域50N和P型區域50P中的奈米結構55突出於相鄰的淺溝槽隔離區68之間。如圖所示，淺溝槽隔離區68的頂表面可以具有平坦表面、凸表面、凹表面(例如碟形)或其組合。可以藉由適當的蝕刻製程將淺溝槽隔離區68的頂表面形成平坦表面、凸表面及/或凹表面。可以採用可接受的蝕刻製程來凹蝕淺溝槽隔離區68，例如對絕緣材料具有選擇性的蝕刻製程(例如以比蝕刻奈米結構55更快的速率來蝕刻絕緣材料)。舉例來說，可以使用使用稀氫氟酸(dilute hydrofluoric, dHF)來去除氧化物。如第4圖所示，淺溝槽隔離區68的頂表面可以與蝕刻停止層56的頂表面齊平。然而，在一些實施例中，淺溝槽隔離區68的頂表面可以設置在蝕刻停止層56的頂表面上方或下方。

**【0032】** 第2圖至第4圖的製程僅為可如何形成鱗片66和奈米結構55的其中一個範例。在一些實施例中，可以使用遮罩和磊晶生長製程形成鱗片66及/或奈米結構55。舉例來說，可以在基板50的頂表面上形成介電層，並且可以蝕穿介電層的溝槽以露出下方的基板50。可以在溝槽中磊晶生長磊晶結構，並且可以凹蝕介電層，使得磊晶結構從介電層突出而形成鱗片66、蝕刻停止層56及/或奈米結構55。磊晶結構可以包括交替的上述半導體材料層，例如第一半導體材料和第二半導體材料。在磊晶生長以形成磊晶結構的一些實施例中，磊晶生長的材料可以在生長期間原位摻雜，這可以省略之前及/或隨後進行的佈植製程。在一些實施例中，可以一起進行原位摻雜和佈植摻雜。

**【0033】** 此外，第一半導體層51(和所形成的第一奈米結構52)和第二半導體層53(和所形成的第二奈米結構54)在本揭露實施例中示意為包括與P型區域



50P和N型區域50N相同的材料，但其僅是為了用來說明。因此，在一些實施例中，第一半導體層51和第二半導體層53中的一者或兩者可為不同的材料，或以不同的順序形成在P型區域50P和N型區域50N中。

**【0034】** 進一步在第4圖中，可以在鱗片66、奈米結構55、及/或淺溝槽隔離區68中形成適當的阱(未單獨示出)。在具有不同阱類型的實施例中，可以使用光阻或其他遮罩(未單獨示出)來實現用於N型區域50N和P型區域50P的不同佈植步驟。舉例來說，可以在N型區域50N和P型區域50P中的鱗片66和淺溝槽隔離區68上形成光阻。對光阻進行圖案化以露出P型區域50P。可以藉由使用旋轉塗佈技術形成光阻，並且可以使用可接受的微影技術對光阻進行圖案化。一旦光阻被圖案化，可在P型區域50P中佈植N型摻質，並且光阻可以作為遮罩來防止N型摻質佈植到N型區域50N中。N型摻質可為磷、砷、銻等，其佈植到此區域的濃度範圍為約 $10^{13}$ 原子/cm<sup>3</sup>至約 $10^{14}$ 原子/cm<sup>3</sup>。在佈植之後去除光阻，例如藉由可接受的灰化製程去除光阻。

**【0035】** 在P型區域50P的佈植之後或之前，在P型區域50P和N型區域50N中的鱗片66、奈米結構55、淺溝槽隔離區68上形成光阻或其他遮罩(未單獨示出)。圖案化光阻以露出N型區域50N。可以藉由使用旋轉塗佈技術形成光阻，並且可以使用可接受的微影技術對光阻進行圖案化。一旦光阻被圖案化，可在N型區域50N中佈植P型摻質，並且光阻可以作為遮罩來防止P型摻質佈植到P型區域50P中。P型摻質可為硼、氟化硼、銦等，其佈植到此區域的濃度範圍為約 $10^{13}$ 原子/cm<sup>3</sup>至約 $10^{14}$ 原子/cm<sup>3</sup>。在佈植之後去除光阻，例如藉由可接受的灰化製程去除光阻。

**【0036】** 在N型區域50N和P型區域50P的佈植之後，可以執行退火，以修

復佈植造成的損傷，並活化佈植的P型及/或N型摻質。在一些實施例中，所生長的磊晶鱗片材料可以在生長期間進行原位摻雜，從而可省略佈植的步驟。在一些實施例中，可以一起使用原位摻雜和佈植摻雜。

**【0037】** 在第5圖中，在鱗片66及/或奈米結構55上形成虛置介電層70。虛置介電層70可為例如氧化矽、氮化矽、其組合等。可以根據可接受的技術沉積或熱成長虛置介電層70。

**【0038】** 在虛置介電層70上方形成虛置閘極層72，在虛置閘極層72上方形成遮罩層74。虛置閘極層72可以沉積在虛置介電層70上，然後例如藉由化學機械研磨平坦化。虛置閘極層72可為導電或非導電材料，並且可以擇自非晶矽、多晶矽(polysilicon)、多晶矽鍺(poly-SiGe)、金屬氮化物、金屬矽化物、金屬氧化物和金屬的族群。虛置閘極層72可以藉由物理氣相沉積(physical vapor deposition, PVD)、化學氣相沉積、濺鍍沉積、或用於沉積選定材料的其他技術來沉積。虛置閘極層72可以採用對淺溝槽隔離區68的蝕刻具有高蝕刻選擇性的材料。

**【0039】** 遮罩層74可以沉積在虛置閘極層72上。遮罩層74可以包括例如氮化矽、氮氧化矽等。在所示實施例中，單層虛置閘極層72和單層遮罩層74可形成為跨越N型區域50N和P型區域50P。需要注意的是，為了說明，虛置介電層70繪示為僅覆蓋鱗片66和奈米結構55。在一些實施例中，虛置介電層70可以沉積為覆蓋淺溝槽隔離區68。因此，虛置介電層70可以在虛置閘極層72和淺溝槽隔離區區68之間延伸。

**【0040】** 第6A圖到第33圖示出製造實施例中的裝置的各個額外的步驟。第6A圖到第33圖顯示了N型區域50N或P型區域50P中的特徵。在第6A圖到第6C

圖中，可以使用可接受的微影和蝕刻技術對遮罩層74(見第5圖)進行圖案化，以形成遮罩78。然後可以將遮罩78的圖案轉移到虛置閘極層72和虛置介電層70以分別形成虛置閘極76和虛置閘極介電質71。虛置閘極76覆蓋奈米結構55的各個通道區域。遮罩78的圖案可以用於將每個虛置閘極76與相鄰的虛置閘極76物理分離。虛置閘極76的長度方向可以與各個鰭片66的長度方向垂直。

**【0041】** 在第7A圖至第7C圖中，第一間隔層80和第二間隔層82分別形成在第6A圖至第6C圖所示的結構之上。隨後，對第一間隔層80和第二間隔層82進行圖案化，以將其做為形成自對準源極/汲極區之間隔物。在第7A圖到第7C圖中，第一間隔層80形成在淺溝槽隔離區68的頂表面、奈米結構55和遮罩78的頂表面和側壁、以及虛置閘極76和虛置閘極介電質71的側壁上。第二間隔層82沉積在第一間隔層80上方。可以由氧化矽、氮化矽、氧氮化矽等來形成第一間隔層80，例如使用熱氧化或化學氣相沉積、原子層沉積等的沉積技術形成第一間隔層80。可以由與第一間隔層80的材料具有不同蝕刻速率的材料形成第二間隔層82，例如氧化矽、氮化矽、氮氧化矽等，並且可以使用化學氣相沉積、原子層沉積等形成第二間隔層82。

**【0042】** 在形成第一間隔層80之後，並且在形成第二間隔層82之前，可以對輕摻雜源極/汲極(lightly doped source/drain, LDD)區域(並未單獨示出)進行佈植。在具有不同裝置類型的實施例中，類似於在第4圖中所討論的佈植製程，可以在N型區域50N上方形成遮罩(例如光阻)，並同時露出P型區域50P，而且可將適當類型的摻質(例如P型)佈植到在P型區域50P中所露出的鰭片66和奈米結構55。然後，可以去除遮罩。隨後，可以在P型區域50P上方形成遮罩(例如光阻)，並同時露出N型區域50N，而且可以將適當類型的摻質(例如N型)佈植到在N型區

域50N中露出的鱗片66和奈米結構55。然後，可以去除遮罩。N型摻質可為前面討論的任何N型摻質，P型摻質可為前面討論的任何P型摻質。輕摻雜源極/汲極區的摻質濃度可以在從大約 $1 \times 10^{15}$ 原子/cm<sup>3</sup>到大約 $1 \times 10^{19}$ 原子/cm<sup>3</sup>的範圍內。可以使用退火來修復佈植造成的損傷並活化所佈植的摻質。

**【0043】** 在第8A圖至第8C圖中，蝕刻第一間隔層80和第二間隔層82，以形成第一間隔物81和第二間隔物83。如隨後將更詳細討論的，第一間隔物81和第二間隔物83用於自對準隨後形成的源極/汲極區，以及在隨後的處理期間保護第一鱗片66及/或奈米結構55的側壁。可以使用合適的蝕刻製程來蝕刻第一間隔層80和第二間隔層82，例如各向同性蝕刻製程(例如濕蝕刻製程)、各向異性蝕刻製程(例如乾蝕刻製程)等。在一些實施例中，第二間隔層82的材料具有與第一間隔層80的材料不同的蝕刻速率，使得第一間隔層80可以作為圖案化第二間隔層82時的蝕刻停止層，而第二間隔層82可以作為圖案化第一間隔層80時的遮罩。舉例來說，可以使用各向異性蝕刻製程來蝕刻第二間隔層82，其中第一間隔層80用作蝕刻停止層。如第8B圖所示，第二間隔層82的剩餘部分形成第二間隔物83。此後，如第8B圖和第8C圖所示，第二間隔物83作為蝕刻第一間隔層80的露出部分時的遮罩，以形成第一間隔物81。

**【0044】** 如第8B圖所示，第一間隔物81和第二間隔物83設置在奈米結構55的側壁上。如第8C圖所示，在一些實施例中，可以從相鄰遮罩78、虛置閘極76、虛置閘極介電質71處的第一間隔層80上方去除第二間隔層82，且第一間隔物81可設置在遮罩78、虛置閘極76、虛置閘極介電質71的側壁。在一些實施例中，第二間隔層82的一部分可以保留在相鄰遮罩78、虛置閘極76、虛置閘極介電質71處的第一間隔層80的上方。

【0045】 需要注意的是，以上揭露的內容一般描述了形成間隔物和輕摻雜源極/汲極區域的製程。可以使用其他製程和順序。舉例來說，可以使用更少或額外的間隔物，可以使用不同順序的步驟(例如可以在沉積第二間隔層82之前圖案化第一間隔物81)，及/或可以形成和去除額外的間隔物等。此外，可以使用不同的結構和步驟來形成N型和P型裝置。

【0046】 在第9A圖至第9C圖中，第一凹槽86和第二凹槽87形成於奈米結構55、蝕刻停止層56、鰭片66和基板50中。隨後在第二凹槽87中形成可用作犧牲材料的磊晶材料，隨後在第一凹槽86和第二凹槽87中形成可用作源極/汲極區的磊晶材料。第一凹槽86延伸穿過第一奈米結構52A、52B、52C、52D和第二奈米結構54A、54B、54C至蝕刻停止層56。在一些實施例中，淺溝槽隔離區68的頂表面可以與第一凹槽86的底表面齊平。在一些實施例中，可以蝕刻鰭片66，使得第一凹槽86的底表面設置在淺溝槽隔離區68等的頂表面下方。第二凹槽87可延伸穿過第一奈米結構52A、52B、52C、52D、第二奈米結構54A、54B、54C、蝕刻停止層56，並延伸到鰭片66和基板50中。第二凹槽87的底表面可以設置在第一凹槽86的底表面和淺溝槽隔離區68的頂表面下方。

【0047】 可以藉由使用反應離子蝕刻、中性束蝕刻等各向同性蝕刻製程來蝕刻奈米結構55、蝕刻停止層56、鰭片66和基板50以形成第一凹槽86和第二凹槽87。第一間隔物81、第二間隔物83、以及遮罩78在用來形成第一凹槽86和第二凹槽87的蝕刻製程中遮蔽部分的奈米結構55、蝕刻停止層56、鰭片66、基板50。可以使用單道蝕刻製程或多道蝕刻製程來蝕刻奈米結構55、蝕刻停止層56、鰭片66和基板50的每一層。在第一凹槽86和第二凹槽87達到期望深度之後，可以使用定時蝕刻製程來停止蝕刻。可以藉由與用於蝕刻第一凹槽86相同的製

程，以及在第一凹槽86被蝕刻之前或之後的額外蝕刻製程來蝕刻第二凹槽87。在一些實施例中，在執行用於第二凹槽87的額外蝕刻製程時，可遮蔽對應於第一凹槽86的區域。

**【0048】** 在第10A圖至第10C圖中，蝕刻從第一凹槽86和第二凹槽87露出的由第二半導體材料(例如第二奈米結構54)形成的多層堆疊64各層的側壁部分，從而在N型區域50N跟P型區域50P中形成側壁凹槽88。雖然與側壁凹槽88相鄰的第二奈米結構54的側壁在第10C圖中示為是筆直的，但是這些側壁也可為凹陷的或凸起的。可以使用各向同性蝕刻製程來蝕刻側壁，例如濕蝕刻等。在第一奈米結構52包括例如Si或SiC，且第二奈米結構54包括例如SiGe的實施例中，可使用氟化氫的濕蝕刻或乾蝕刻製程或其他氟基蝕刻劑等來蝕刻N型區域50N和P型區域50P中的第二奈米結構54的側壁。

**【0049】** 在第11A圖至第11D圖中，在側壁凹槽88中形成了第一內部間隔物90。可以藉由在第10A圖至第10C圖所示的結構上沉積內部間隔層(並未單獨示出)，來形成第一內部間隔物90。第一內部間隔物90係作為隨後形成的源極/汲極區和閘極結構之間的隔離特徵。源極/汲極區將形成在第一凹槽86和第二凹槽87之中，而第二奈米結構54將被相應的閘極結構代替，隨後將進一步進行討論。

**【0050】** 可以藉由共形沉積製程沉積內部間隔層，例如化學氣相沉積、原子層沉積等。內部間隔層可以包括如氮化矽或氮氧化矽的材料，雖然也可以使用任何合適的材料，如k值小於約3.5的低介電常數(low-k)材料。然後可以對內部間隔層進行各向異性蝕刻以形成第一內部間隔物90。雖然第一內部間隔物90的外側壁被圖示為與第一奈米結構52的側壁齊平，但第一內部間隔物90的外側壁可以延伸超過第一奈米結構52的側壁，或從第二奈米結構的側壁凹陷。

【0051】 此外，雖然第一內部間隔物90的外側壁在第11C圖中被示為是直的，但是第一內部間隔物90的外側壁可為凹的或凸的。舉例來說，在第11D圖的實施例中，第二奈米結構54的側壁是凹陷的，第一內部間隔物90的外側壁是凹陷的，並且第一內部間隔物90從第一奈米結構52的側壁凹陷。可以藉由如反應離子蝕刻、中性束蝕刻等的各向異性蝕刻製程來蝕刻內部間隔層。第一內部間隔物90可用於防止隨後形成的源極/汲極區(例如第12A圖至第12E圖中的磊晶源極/汲極區92)被隨後的蝕刻製程(例如用於形成閘極結構的蝕刻製程)損壞。

【0052】 在第12A圖至第12E圖中，第一磊晶材料91形成在第二凹槽87中，而磊晶源極/汲極區92形成在第一凹槽86和第二凹槽87中。在一些實施例中，第二凹槽87中的第一磊晶材料91可為犧牲材料，隨後將被去除以形成背側導孔(例如隨後在第25A圖至第25C圖中的背側導孔148)。在一些實施例中，形成在第一凹槽86和第二凹槽87中的磊晶源極/汲極區92可以對第一奈米結構52施加應力，從而提高性能。

【0053】 如第12C圖所示，磊晶源極/汲極區92形成在第一凹槽86和第二凹槽87中，使得各個虛置閘極76設置在相鄰的一對磊晶源極/汲極區92之間。在一些實施例中，第一間隔物81用於將磊晶源極/汲極區92與虛置閘極76隔開，第一內部間隔物90用於將磊晶源極/汲極區92與第二奈米結構54隔開適當的橫向距離，使得磊晶源極/汲極區92不會與隨後形成的所得奈米結構場效應電晶體的閘極發生短路。

【0054】 第一磊晶材料91可以生長成使得第一磊晶材料91的頂表面與第一凹槽86的底表面(見第11B圖至第11D圖)、蝕刻停止層56的頂表面、以及淺溝槽隔離區68的頂表面齊平。然而，在一些實施例中，第一磊晶材料91的頂表面

可以設置在蝕刻停止層56的頂表面、第一凹槽86的底表面、以及淺溝槽隔離區68的頂表面的上方或下方。可以採用化學氣相沉積、原子層沉積、氣相磊晶、分子束磊晶等製程將第一磊晶材料91磊晶生長在第二凹槽87中。第一磊晶材料91可以包括任何可接受的材料，例如矽鍺等。可由對蝕刻停止層56、磊晶源極/汲極區92、介電層(如淺溝槽隔離區68、介電層144，隨後在第24A圖至第24C圖中討論)具有高蝕刻選擇性的材料形成第一磊晶材料91。因此，可以去除第一磊晶材料91並取代為背側導孔，而不會顯著去除蝕刻停止層56、磊晶源極/汲極區92和介電層。

**【0055】** 可以藉由遮蔽P型區域50P(例如PMOS區域)來形成N型區域50N(例如NMOS區域)中的磊晶源極/汲極區92。然後，磊晶源極/汲極區92在N型區域50N的第一凹槽86和第二凹槽87中磊晶生長。磊晶源極/汲極區92可以包括適用於N型奈米結構場效應電晶體的任何可接受的材料。舉例來說，如果第一奈米結構52是矽，則磊晶源極/汲極區92可以包括在第一奈米結構52上施加拉伸應變的材料，例如矽、碳化矽、磷摻雜碳化矽、矽磷化物等。磊晶源極/汲極區92可以具有從奈米結構55的各個表面凸起的表面，並且可以具有刻面(facet)。

**【0056】** 可以藉由遮蔽N型區域50N(例如NMOS區域)來形成P型區域50P(例如PMOS區域)中的磊晶源極/汲極區92。然後，磊晶源極/汲極區92在P型區域50P的第一凹槽86和第二凹槽87中磊晶生長。磊晶源極/汲極區92可以包括適用於P型奈米結構場效應電晶體的任何可接受的材料。舉例來說，如果第一奈米結構52是矽，則磊晶源極/汲極區92可以包括對第一奈米結構52施加壓縮應變的材料，例如矽鍺、硼摻雜的矽鍺、鍺、鍺錫等。磊晶源極/汲極區92也可以具有從奈米結構55的各個表面凸起的表面，並且可以具有刻面。



【0057】 可以藉由類似前述形成輕摻雜源極/汲極區的製程，將摻質佈植到磊晶源極/汲極區92、第一奈米結構52、第二奈米結構54、鰭片66及/或基板50，以形成源極/汲極區，然後再進行退火。源極/汲極區的摻質濃度可以介於約 $1 \times 10^{19}$  原子/cm<sup>3</sup>和約 $1 \times 10^{21}$  原子/cm<sup>3</sup>之間。源極/汲極區的N型及/或P型摻質可為先前討論的任何摻質。在一些實施例中，可以在生長磊晶源極/汲極區97的期間進行原位摻雜。

【0058】 在N型區域50N和P型區域50P中形成磊晶源極/汲極區92的磊晶製程使得磊晶源極/汲極區92的上表面具有刻面，這些刻面橫向向外延伸超過奈米結構55的側壁。在一些實施例中，這些刻面使得相同奈米結構場效應電晶體的相鄰磊晶源極/汲極區92進行合併，如第12D圖所示。在一些實施例中，相鄰的磊晶源極/汲極區92在完成磊晶製程之後保持分離，如第12B圖所示。在第12B圖和第12D圖所示的實施例中，第一間隔物81可以形成為延伸到淺溝槽隔離區68的頂表面，從而阻止磊晶生長。在一些實施例中，第一間隔物81可以覆蓋奈米結構55的部分側壁，以進一步阻擋磊晶生長。在一些實施例中，可以調整用於形成第一間隔物81的間隔物蝕刻，以去除間隔物材料，並允許磊晶生長區域延伸到淺溝槽隔離區68的表面。

【0059】 磊晶源極/汲極區92可以包括一或多層半導體材料層。舉例來說，磊晶源極/汲極區92可以包括第一半導體材料層92A、第二半導體材料層92B、和第三半導體材料層92C。磊晶源極/汲極區92可使用任何數量的半導體材料層。每一層第一半導體材料層92A、第二半導體材料層92B、和第三半導體材料層92C可以由不同的半導體材料形成，並且可以摻雜為具有不同的摻質濃度。在一些實施例中，第一半導體材料層92A的摻質濃度可以小於第二半導體材料層

92B的摻質濃度，並且大於第三半導體材料層92C的摻質濃度。在磊晶源極/汲極區92包括三層半導體材料層的實施例中，可以沉積第一半導體材料層92A，可以在第一半導體材料層92A上方沉積第二半導體材料層92B，並且可以在第二半導體材料層92B上方沉積第三半導體材料層92C。

**【0060】** 在第12E圖的一些實施例中，第二奈米結構54的側壁是凹的，第一內部間隔物90的外側壁是凹的，並且第一內部間隔物90從第一奈米結構52的側壁凹陷。如第12E圖所示，磊晶源極/汲極區92可以形成為與第一內部間隔物90接觸並且可以延伸超過第一奈米結構52的側壁。

**【0061】** 在第13A圖至第13C圖中，第一層間介電層96分別沉積在第12A圖至第12C圖所示的結構上。第一層間介電層96可以由介電材料形成，並且可以藉由任何合適的方法沉積，例如化學氣相沉積、電漿增強化學氣相沉積(plasma-enhanced CVD, PECVD)或可流動化學氣相沉積。介電材料可以包括磷酸鹽玻璃、硼磷酸鹽玻璃、硼摻雜的磷酸鹽玻璃、未摻雜的磷酸鹽玻璃等。可以使用藉由任何可接受的製程形成的其他絕緣材料。在一些實施例中，接點蝕刻停止層94設置在第一層間介電層96和磊晶源極/汲極區92、遮罩78、第一間隔物81、第二間隔物83和淺溝槽隔離區68之間。接點蝕刻停止層94的材料可以包括具有與覆蓋在其上的第一層間介電層96的材料不同的蝕刻速率的介電材料，例如氮化物、氧化矽、氮氧化矽等。

**【0062】** 在第14A圖至第14C圖中，可以執行平坦化製程，例如化學機械研磨，以使第一層間介電層96的頂表面與虛置閘極76的頂表面齊平。平坦化製程可以去除虛置閘極76上的遮罩78，以及一部分沿著遮罩78側壁的第一間隔物81。在平坦化製程之後，第一間隔物81、第一層間介電層96、接點蝕刻停止層

94的頂表面可以在製程變化範圍內彼此齊平。因此，虛置閘極76的頂表面從第一層間介電層96露出。

**【0063】** 在第15A圖至第15C圖中，在一或多道蝕刻步驟中去除虛置閘極76以形成凹槽98。也去除了凹槽98中的一部分虛置閘極介電質71。在一些實施例中，藉由各向異性乾蝕刻製程去除虛置閘極76和虛置閘極介電質71。舉例來說，蝕刻製程可以包括使用反應氣體的乾蝕刻製程，此反應氣體蝕刻虛置閘極76的速度比蝕刻第一層間介電層96、接點蝕刻停止層94、或第一間隔物81的速度快。每個凹槽98露出及/或覆蓋部分奈米結構55，奈米結構55在隨後完成的奈米結構場效應電晶體中作為通道區。作為通道區的奈米結構55的部分設置在相鄰的一對磊晶源極/汲極區92之間。當蝕刻虛置閘極76時，虛置閘極介電質71可以用作蝕刻停止層。然後可以在去除虛置閘極76之後去除虛置閘極介電質71。

**【0064】** 在第16A圖至第16C圖中，去除第二奈米結構54以延伸凹槽98。可以藉由使用對第二奈米結構54的材料有選擇性的蝕刻劑來執行各向同性蝕刻製程(例如濕蝕刻等)以去除第二奈米結構54，而第一奈米結構52、基板50、淺溝槽隔離區68、第一層間介電層96、接點蝕刻停止層94、第一間隔物81、和第一內部間隔物90與第二奈米結構54相比保持未蝕刻。在第一奈米結構52包括例如Si或SiC且第二奈米結構54A、54B、54C包括例如SiGe的實施例中，可使用四甲基氫氧化銨(tetramethylammonium hydroxide，TMAH)、氫氧化銨(ammonium hydroxide，NH<sub>4</sub>OH)等來去除第二奈米結構54。

**【0065】** 在第17A圖至第17C圖中，形成閘極介電層100和閘極電極102以替換閘極。閘極介電層100共形地沉積在凹槽98中。閘極介電層100可以形成在第一奈米結構52的頂表面、側壁和底表面上。閘極介電層100也可以沉積在第一

層間介電層96、接點蝕刻停止層94、第一間隔物81和淺溝槽隔離區68的頂表面上。

**【0066】** 根據一些實施例，閘極介電層100包括一層或多層介電層，例如氧化物、金屬氧化物等或其組合。舉例來說，在一些實施例中，閘極介電層100可以包括氧化矽層和在氧化矽層上方的金屬氧化物層。在一些實施例中，閘極介電層100包括高介電常數介電材料，並且在這些實施例中，閘極介電層100可以具有大於約7.0的介電常數(k值)，並且閘極介電層100可以包括鉛、鋁、銦、鏷、錳、鋇、鈦、鉛的金屬氧化物或矽酸鹽及其組合。N型區域50N和P型區域50P中的閘極介電層100的結構可以彼此相同也可以不同。閘極介電層100的形成方法可以包括分子束沉積(molecular-beam deposition, MBD)、原子層沉積、電漿增強化學氣相沉積等。

**【0067】** 閘極電極102沉積在閘極電極層100上，並填充凹槽98的剩餘部分。閘極電極102可以包括金屬材料，例如氮化鈦、氧化鈦、氮化鉭、碳化鉭、鈷、鈦、鋁、鎢、其組合或多層。舉例來說，雖然第17A圖和第17C圖中示出單層閘極電極102，但是閘極電極102可以包括任意數量的襯層、任意數量的功函數調整層和填充材料。可以在相鄰的第一奈米結構52之間沉積構成閘極電極102的層的任意組合。

**【0068】** 可以同時形成N型區域50N和P型區域50P中的閘極介電層100，以由相同的材料形成每個區域中的閘極介電層100，並且可以同時形成閘極電極102，以由相同的材料形成每個區域中的閘極電極102。在一些實施例中，可以由不同的製程形成每個區域中的閘極介電層100，使得閘極介電層100可為不同的材料及/或具有不同的層數，及/或可以由不同的製程形成每個區域中的閘極電

極102，使得閘極電極102可為不同的材料及/或具有不同的層數。當使用不同的製程時，可以使用各種遮蔽步驟來遮蔽和露出適當的區域。

**【0069】** 在填充凹槽98之後，可以執行平坦化製程，例如化學機械研磨，以去除閘極介電層100的多餘部分和閘極電極102的材料，這些多餘部分在第一層間介電層96、第一間隔物81、接點蝕刻停止層94的頂表面。閘極電極102和閘極介電層100的剩餘材料部分因此形成所得奈米結構場效應電晶體的替換閘極結構。閘極電極102和閘極介電層100可統稱為“閘極結構”。

**【0070】** 在第18A圖至第18C圖中，凹蝕閘極結構(包括閘極介電層100和相應的上方閘極電極102)，以在每個閘極結構的正上方和第一間隔物81相對的部分之間形成凹槽。將包括一層或多層介電材料(例如氮化矽、氮氧化矽等)的閘極蓋層104填充在凹槽中，然後進行平坦化製程以去除在第一層間介電層96、接點蝕刻停止層94、第一間隔物81上延伸的介電材料的多餘部分。隨後形成的閘極接點(例如在第20A圖和第20C圖討論的閘極接點114)穿透閘極蓋層104以接觸凹陷的閘極電極102的頂表面。

**【0071】** 如第18A圖至第18C圖進一步所示，第二層間介電層106沉積在第一層間介電層96、接點蝕刻停止層94和閘極蓋層104上方。在一些實施例中，第二層間介電層106是藉由可流動化學氣相沉積形成的可流動膜。在一些實施例中，由如磷矽酸鹽玻璃、硼矽酸鹽玻璃、硼摻雜的磷矽酸鹽玻璃、未摻雜的矽酸鹽玻璃等的介電材料形成第二層間介電層106，並且可以藉由如化學氣相沉積、電漿增強化學氣相沉積等的任何合適的方法來沉積第二層間介電層106。

**【0072】** 在第19A圖至第19C圖中，蝕刻第二層間介電層106和閘極蓋層104，以形成露出閘極結構的第三凹槽108，並且蝕刻第二層間介電層106、第一

層間介電層96和接點蝕刻停止層94，以形成露出磊晶源極/汲極區92的第四凹槽110。可以藉由使用如反應離子蝕刻、中性束蝕刻等的各向異性蝕刻製程進行蝕刻而形成第三凹槽108和第四凹槽110。可以同時或分開形成第三凹槽108和第四凹槽110。在一些實施例中，可以使用第一蝕刻製程蝕穿第二層間介電層106和第一層間介電層96，可以使用第二蝕刻製程蝕穿閘極蓋層104，並且可以使用第三蝕刻製程蝕穿接點蝕刻停止層94，以形成第三凹槽108和第四凹槽110。可以在第二層間介電層106上方形成遮罩(例如光阻)並進行圖案化，以在第一蝕刻製程和第二蝕刻製程遮蔽一部分第二層間介電層106。在一些實施例中，蝕刻製程可能會過度蝕刻，因此第三凹槽108和第四凹槽110可能會延伸到閘極結構及/或磊晶源極/汲極區92中。第三凹槽108和第四凹槽110的底表面可以與閘極結構及/或磊晶源極/汲極區的頂表面92齊平(例如處於相同水平，或與基板50具有相同距離)，或低於閘極結構及/或磊晶源極/汲極區的頂表面92(例如更靠近基板50)。雖然第19C圖將第三凹槽108和第四凹槽110顯示為在同一剖面中露出閘極結構和磊晶源極/汲極區92，但在一些實施例中，可以在不同的剖面露出閘極結構和磊晶源極/汲極區92，從而降低隨後形成的接點發生短路的風險。

**【0073】** 在形成第四凹槽110之後，在磊晶源極/汲極區92上方形成第一矽化區域112。在一些實施例中，藉由首先沉積能夠與下方的磊晶源極/汲極區92的半導體材料(例如矽、矽鍺、鍺等)形成矽化物或鍺化物區域的金屬來形成第一矽化區域112。這些金屬可包括鎳、鈷、鈦、鉭、鉑、鎢、其他貴金屬、其他難熔金屬、稀土金屬或它們的合金。這些金屬可以沉積在磊晶源極/汲極區92露出的部分上，然後可以執行熱退火製程以形成第一矽化區域112。然後藉由例如蝕刻製程來去除所沉積金屬的未反應部分。雖然第一矽化區域112被稱為矽化物區

域，但第一矽化區域112也可為鍺化物區域或鍺化矽區域(例如包括矽和鍺的區域)等。在一些實施例中，第一矽化區域112包括TiSi，並且具有範圍從大約2nm到大約10nm的厚度。

**【0074】** 在第20A圖至第20C圖中，閘極接點114和源極/汲極接點116(也稱為接觸插塞)分別形成在第三凹槽108和第四凹槽110中。閘極接點114及源極/汲極接點116可分別包含一層或多層，例如阻障層、擴散層及填充材料。舉例來說，在一些實施例中，閘極接點114和源極/汲極接點116各自包括阻障層和導電材料。閘極接點114和源極/汲極接點116各自電性耦接到下方的導電特徵(例如在所示實施例中的磊晶源極/汲極區92上方的閘極電極102或第一矽化區域112)。閘極接點114與閘極電極102電性耦接，源極/汲極接點116與磊晶源極/汲極區92上方的第一矽化區域112電性耦接。阻障層可以包括鈦、氮化鈦、鉭、氮化鉭等。導電材料可為銅、銅合金、銀、金、鎢、鈷、鋁、鎳等。可以執行平坦化製程，例如化學機械研磨，以去除位於第二層間介電層106的頂表面之上的閘極接點114和源極/汲極接點116的多餘部分。

**【0075】** 磊晶源極/汲極區92、第一奈米結構52、和閘極結構(包括閘極介電層100和閘極電極102)可統稱為電晶體結構109。第一內連線結構(例如隨後第21A圖至第21C圖中的前側內連線結構120)可以形成在電晶體結構109的前側上方，且第二內連線結構(例如第26圖中的背側內連線結構155)可以形成在電晶體結構109的背側。雖然電晶體結構109描述為包括奈米結構場效應電晶體，但其他實施例可以包括具有不同類型的電晶體(例如平面電晶體(planar FET)、鰭式場效電晶體(FinFET)、薄膜電晶體(TFT)等)的電晶體結構109。

**【0076】** 雖然第20A圖至第20C圖示出延伸到每個磊晶源極/汲極區92的

源極/汲極接點116，但某些磊晶源極/汲極區92可省略源極/汲極接點116。舉例來說，導電特徵(例如背側導孔或電源軌(power rail))隨後可以藉由一或多個磊晶源極/汲極區92的背側進行附接，之後將進一步解釋。對於這些特定的磊晶源極/汲極區92來說，可省略源極/汲極接點116，或者源極/汲極接點116可為不與任何上覆的導電線(例如第21A圖至第21C圖中的導電特徵122)電性耦接的虛置接點。

**【0077】** 第21A圖至第26圖示出在電晶體結構109上形成前側內連線結構和背側內連線結構的中間步驟。前側內連線結構和背側內連線結構可以各自包括電性耦接到形成在基板50上的奈米結構場效應電晶體的導電特徵。在第21A圖至第25C圖中，以“A”結尾的圖示出沿第1圖的線段A-A'的剖面圖，以“B”結尾的圖示出沿第1圖的線段B-B'的剖面圖，以“C”結尾的圖示出沿第1圖的線段C-C'的剖面圖。第26圖示出沿第1圖的線 C-C'的剖面圖。第21A圖至第26圖中描述的製程步驟均可施加於N型區域50N和P型區域50P。如上所述，背側導電特徵(例如背側導孔或電源軌)可以耦接到磊晶源極/汲極區92中的一或多者。因此可以可選地從磊晶源極/汲極區92中省略源極/汲極接點116。

**【0078】** 在第21A圖至第21C圖中，前側內連線結構120形成在第二層間介電層106上。前側內連線結構120可以被稱為前側內連線結構，因為它形成在電晶體結構109的前側(例如與基板50相對的一側，而電晶體結構109形成在基板50上)。

**【0079】** 前側內連線結構120可以包含一層或多層導電特徵122，形成於一或多層堆疊的介電層124中。每層堆疊的介電層124可以包括介電材料，例如低介電常數介電材料、超低介電常數(extra low-k, ELK)介電材料等。可以使用如化學氣相沉積、原子層沉積、物理氣相沉積、電漿增強化學氣相沉積等的適當



製程來沉積介電層124。

【0080】 導電特徵122可以包括導電線和內連接各層導電線的導孔。導孔可以延伸穿過介電層124中的相應介電層以垂直連接各層導電線。可以藉由任何可接受的製程形成導電特徵122，例如鑲嵌(damascene)製程、雙鑲嵌(dual damascene)製程等。

【0081】 在一些實施例中，可以使用鑲嵌製程形成導電特徵122，其中利用微影和蝕刻技術的組合對相應的介電層124進行圖案化，以形成與所需的導電特徵122圖案相對應的溝槽。可以沉積可選的擴散阻障層及/或可選的黏接層，然後可以用導電材料填充溝槽。阻障層的合適材料包括鈦、氮化鈦、氧化鈦、鈮、氮化鈮、氧化鈮、其組合等，導電材料的合適材料包括銅、銀、金、鎢、鋁、其組合等。在一些實施例中，可以藉由沉積銅或銅合金的晶種層並藉由電鍍來填充溝槽，以形成導電特徵122。可使用化學機械研磨製程等以從相應介電層124的表面去除多餘的導電材料，並使介電層124和導電特徵122的表面平坦化以進行後續處理。

【0082】 第21A圖至第21C圖示出了前側內連線結構120中的五層導電特徵122和介電層124。然而，應當理解的是，前側內連線結構120可以包括設置在任意數量的介電層124中的任意數量的導電特徵122。前側內連線結構120可電性耦接至閘極接點118及源極/汲極接點116以形成功能電路。在一些實施例中，前側內連線結構120所形成的功能電路可以包括邏輯電路(logic circuits)、記憶電路(memory circuits)、圖像感應電路(image sensor circuits)等。

【0083】 在第22A圖至第22C圖中，第一介電層130、第二介電層132、和第三介電層134形成在前側內連線結構120的上方。第一介電層130、第二介電層

132、和第三介電層134可包括介電材料。可以藉由化學氣相沉積、原子層沉積、物理氣相沉積等沉積第一介電層130、第二介電層132和第三介電層134。介電材料可以包括磷矽酸鹽玻璃、硼矽酸鹽玻璃、硼摻雜的磷矽酸鹽玻璃、未摻雜的矽酸鹽玻璃、氮化矽、氧化矽、高密度電漿(high-density plasma, HDP)氧化物、氮氧化矽等。在一些實施例中，第一介電層130可以包括未摻雜的矽酸鹽玻璃，第二介電層132可以包括氮化矽，並且第三介電層134可以包括高密度電漿氧化物。

**【0084】** 在第23A圖至第23C圖中，載體基板140藉由介電層142接合到第三介電層134。載體基板140可為玻璃載體基板、陶瓷基板、晶圓(例如矽晶圓)等。載體基板140可以在後續處理步驟和完成後的裝置中提供結構支持。介電層142可為例如使用化學氣相沉積、原子層沉積、物理氣相沉積、熱氧化等製程進行接合之前，形成在載體基板140表面上的氧化層。介電層142可使用其他合適的材料。

**【0085】** 在一些實施例中，可以使用合適的技術將載體基板140接合到第三介電層134，例如介電對介電(dielectric-to-dielectric)接合等。介電對介電接合製程可以包括對第三介電層134和介電層142的一或多者施加表面處理。表面處理可以包括電漿處理。可以在真空環境中進行電漿處理。在電漿處理之後，表面處理可進一步包括可施加於第三介電層134和介電層142的一或多者的清潔製程(例如用去離子水等沖洗)。然後對準載體基板140以及第三介電層134，並且進行施壓以預接合載體基板140以及第三介電層134。可以在室溫(例如在約21°C和約25°C之間)進行預接合。在預接合之後，例如可以將載體基板140以及第三介電層134加熱到約170°C以進行退火。

【0086】 此外，在第23A圖至第23C圖中，在接合載體基板140以及第三介電層134之後，可將裝置翻面，使得電晶體結構109的背側朝上。電晶體結構109的背側可以指與電晶體結構109的前側相反的一側。

【0087】 在第24A圖至第24C圖中，可以對基板50的背側施加薄化製程。薄化製程可以包括平坦化製程(例如機械研磨、化學機械研磨等)、回蝕刻製程、其組合等。薄化製程可去除基板50，並且露出蝕刻停止層56、淺溝槽隔離區68、第一磊晶材料91與前側內連線結構120相反的表面。在薄化製程後，蝕刻停止層56、淺溝槽隔離區68和第一磊晶材料91的背側可彼此齊平。

【0088】 此外，在第24A圖至第24C圖中，去除蝕刻停止層56並由介電層144代替。可以使用合適的蝕刻製程去除蝕刻停止層56，前述蝕刻製程可為各向同性的蝕刻製程，例如濕蝕刻。與淺溝槽隔離區68、第一奈米結構52A、第一磊晶材料91、磊晶源極/汲極區92相比，用來去除蝕刻停止層56的蝕刻製程對蝕刻停止層56有較高的蝕刻選擇性，使得去除蝕刻停止層56時，不傷害淺溝槽隔離區68、第一奈米結構52A、第一磊晶材料91、磊晶源極/汲極區92。

【0089】 介電層144可以沉積在淺溝槽隔離區68、第一奈米結構52A、第一磊晶材料91和磊晶源極/汲極區92的表面上方並與它們接觸。介電層144的材料以及形成方法可以與第13A圖至第13C圖描述的第一層間介電層96相同或相似。可以執行如化學機械研磨的平坦化製程，以去除介電層144位於淺溝槽隔離區68和第一磊晶材料91的頂表面之上的多餘部分。在一些實施例中，在形成介電層144之前，可以由與第13A圖至第13C圖描述的接點蝕刻停止層94相同或相似的材料以及方法沉積襯層。在一些實施例中，蝕刻停止層56可以由介電材料形成。在這種實施例中，可以不去除並保留蝕刻停止層56，而非替換為介電層144。

【0090】 在第25A圖至第25C圖中，去除第一磊晶材料91，並替換為第二矽化區域146和背側導孔148。可以藉由適當的蝕刻製程去除第一磊晶材料91，蝕刻製程可為各向同性蝕刻製程，例如濕蝕刻製程。蝕刻製程可以對第一磊晶材料91的材料具有高的蝕刻選擇性。從而可以去除第一磊晶材料91，而不會顯著去除淺溝槽隔離區68、介電層144、或磊晶源極/汲極區92的材料。藉由去除第一磊晶材料91所形成的凹槽可露出淺溝槽隔離區68和介電層144的側壁以及磊晶源極/汲極區92的背側。

【0091】 第二矽化區域146隨後可形成在磊晶源極/汲極區92的背側上的凹槽中。第二矽化區域146可以類似於第19A圖至第19C圖的第一矽化區域112。舉例來說，可以由與第一矽化區域112相同的材料並使用相同的製程形成第二矽化區域146。

【0092】 此外，在第25A圖至第25C圖中，背側導孔148形成在第二矽化區域146上方的凹槽中。背側導孔148可以延伸穿過介電層144和淺溝槽隔離區68，並且可以藉由第二矽化區域146與磊晶源極/汲極區92電性耦接。背側導孔148可以與第20A圖至第20C圖的源極/汲極接點116類似。舉例來說，可以由與源極/汲極接點116類似的材料和類似的製程形成背側導孔148。背側導孔148可以包括銅、銅合金、銀、金、鎢、鈷、鋁、鎳、鈦等。可以執行例如化學機械研磨的平坦化製程，以去除背側導孔148位於淺溝槽隔離區68和介電層144的頂表面之上的多餘部分。

【0093】 在第26圖中，背側內連線結構155形成在淺溝槽隔離區68、介電層144、和背側導孔148的上方。背側內連線結構155可包括第一介電層150、第一導電特徵152、第二介電層154、和第二導電特徵156。第一介電層150可以與

第21A圖至第21C圖的介電層124的材料和形成方法相同或相似。

**【0094】** 在第一介電層150中形成第一導電特徵152。第一導電特徵152的形成方式可以包括例如使用微影和蝕刻製程的組合，在第一介電層150中圖案化凹槽。第一介電層150中的凹槽圖案可以對應於第一導電特徵152。然後藉由在凹槽中沉積導電材料來形成第一導電特徵152。在一些實施例中，第一導電特徵152包括金屬層，可為單層或複合層，複合層包括由不同材料形成的多個子層。在一些實施例中，第一導電特徵152包括銅、鋁、鈷、鎢、鈦、鉭、鈹等。可以在用導電材料填充凹槽之前，沉積可選的擴散阻障層及/或可選的黏接層。用於阻障層或黏接層的合適材料包括鈦、氮化鈦、氧化鈦、鉭、氮化鉭、氧化鈦等。可以使用例如化學氣相沉積、原子層沉積、物理氣相沉積、電鍍等形成第一導電特徵152。第一導電特徵152通過背側導孔148和第二矽化區域146電性耦接到磊晶源極/汲極區92。可以執行平坦化製程(例如化學機械研磨、研磨、回蝕刻等)以去除形成在第一介電層150上的第一導電特徵152的多餘部分。

**【0095】** 在一些實施例中，第一導電特徵152是背側電源軌，並且是將磊晶源極/汲極區92電性耦接到參考電壓(reference voltage)、電源電壓(supply voltage)等的導線。藉由將電源軌放置在所得半導體晶粒的背側而非半導體晶粒的前側具有優點。舉例來說，可以增加奈米結構場效應電晶體的閘極密度及/或前側內連線結構120的內連接密度。此外，半導體晶粒的背側可以容納更寬的電源軌，從而降低電阻並提高向奈米結構場效應電晶體供電的效率。舉例來說，第一導電特徵152的寬度可為前側內連線結構120的第一級導電線(例如導電特徵122)寬度的至少兩倍。

**【0096】** 背側內連線結構155的剩餘部分形成在第一介電層150和第一導

電特徵152上方。背側內連線結構155可以包括第一介電層150和第一導電特徵152。背側內連線結構155的其餘部分可以包括與第21A圖至第21C圖的前側內連線結構120相同或相似的材料以及製程。具體來說，背側內連線結構155可以包括在第二介電層154中形成的第二導電特徵156的疊層(第21A圖至第21C圖中僅繪示單層第二導電特徵156和第二介電層154)。第二導電特徵156可以包括佈線(routing line，例如用於佈線到隨後形成的接觸墊和外部連接器和從接觸墊和外部連接器進行佈線)。可以進一步圖案化第二導電特徵156，以包括一或多個埋入式被動裝置，例如電阻、電容、電感等。埋入的被動裝置可以與第一導電特徵152(例如電源軌)整合，以在奈米結構場效應電晶體的背側提供電路(例如電源電路)。

**【0097】** 在一些實施例中，背側內連線結構155可包括一至三層金屬層。舉例來說，在一些實施例中，可以省略在第二介電層154中形成的第二導電特徵156，並且在一些實施例中，可以形成在第二介電層154中形成第二導電特徵156的額外層。在第26圖所示的實施例中，第二導電特徵156在背側內連線結構的頂部金屬層中。第二導電特徵156可以具有範圍從約20nm到約100nm的寬度 $W_1$ 和範圍從約500nm到約2 $\mu$ m的節距 $P_1$ 。如隨後的第32圖中，第二導電特徵156的臨界尺寸可能小於與第二導電特徵156接合的電容結構的導電特徵的臨界尺寸。這樣有助於將電容結構的導電特徵與第二導電特徵156進行對準，從而提高裝置性能，並減少裝置缺陷。

**【0098】** 第27圖至第30D圖示出在載體基板上形成電容的中間步驟。在第27圖中，提供基板170。基板170可為載體基板，例如玻璃載體基板、陶瓷載體基板等。基板170可為晶圓，從而可以在基板170上同時形成多個電容。

【0099】 凹槽171可以形成在基板170中。可以使用如反應離子蝕刻、中性束蝕刻等的各向異性蝕刻製程來形成凹槽171。蝕刻製程可以包括形成圖案化蝕刻遮罩(未單獨示出)，例如圖案化光阻，然後使用圖案化光阻作為遮罩來蝕刻基板170。然後去除圖案化的蝕刻遮罩。在凹槽171達到期望深度之後，可以使用定時蝕刻製程來停止蝕刻。凹槽171可以具有範圍從大約50nm到大約500nm的寬度 $W_2$ 和範圍從大約1 $\mu\text{m}$ 到大約8 $\mu\text{m}$ 的深度 $D_1$ 。

【0100】 在第28圖中，第一導電層172、第一介電層174、和第二導電層176沉積在基板170上和凹槽171中。第一導電層172和第二導電層176可以包括鎢、氮化鈦、矽、氮化鈦、其組合或多層等。第一介電層174可以包括氧化鈣、氧化矽、氧化鋅、氧化鈦、其組合或多層等。第一導電層172可具有約40nm至約80nm的厚度，第一介電層174可具有約5nm至約15nm的厚度，第二導電層176可具有約40nm至約80nm的厚度。可以使用化學氣相沉積、原子層沉積、物理氣相沉積等形成第一導電層172、第一介電層174、和第二導電層176。

【0101】 在第29圖中，蝕刻第一導電層172、第一介電層174、和第二導電層176，以修整第一導電層172、第一介電層174、和第二導電層176，並露出第一導電層172的表面。可以使用各向異性蝕刻製程(例如反應離子蝕刻、中性束蝕刻等)來蝕刻第一導電層172、第一介電層174、和第二導電層176。前述蝕刻製程可以包括形成一或多個圖案化的蝕刻遮罩(並未單獨示出)，例如圖案化光阻，然後使用前述圖案化光阻作為遮罩，來蝕刻第一導電層172、第一介電層174、和第二導電層176。接著，去除圖案化的蝕刻遮罩。因為第一導電層172、第一介電層174、和第二導電層176係由不同的材料形成，用來去除這些層的露出部分的蝕刻劑可能會不同。在一些實施例中，第一介電層174在蝕刻第二導電層176

時作為蝕刻停止層，第一導電層172在蝕刻第一介電層174時作為蝕刻停止層，並且基板170作為蝕刻在蝕刻第一導電層172時作為蝕刻停止層。第一圖案化光阻可用於蝕刻第二導電層176和第一介電層174，並且第二圖案化光阻可用於蝕刻第一導電層172。第一導電層172、第一介電層174、第二導電層176可以作為電容177，並且可以統稱為“電容”。

**【0102】** 在第30A圖中，在第29圖的結構上形成介電層178和電容接點179，以形成電容結構180。基板170、第一導電層172、第一介電層174、第二導電層176、介電層178、電容接點179統稱為電容結構180。第30B圖至第30D圖示出根據幾個替代實施例的電容結構。介電層178可以由介電材料形成，並且可以藉由任何合適的方法沉積，例如化學氣相沉積、電漿增強化學氣相沉積或可流動化學氣相沉積。介電材料可以包括氮化矽、氧化矽、氮氧化矽、磷矽酸鹽玻璃、硼矽酸鹽玻璃、硼摻雜的磷矽酸鹽玻璃、未摻雜的矽酸鹽玻璃等。可以使用藉由任何可接受的製程形成的其他絕緣材料。

**【0103】** 可以蝕刻介電層178以形成露出第一導電層172和第二導電層176的凹槽(未單獨示出)。可以藉由蝕刻來形成凹槽，如反應離子蝕刻、中性束蝕刻等的各向異性蝕刻製程。可以同時或分開形成露出第一導電層172和第二導電層176的凹槽。可以在介電層178上形成和圖案化遮罩(例如光阻)，以在蝕刻製程時遮蔽一部分介電層178。

**【0104】** 然後在露出第一導電層172和第二導電層176的凹槽中形成電容接點179。電容接點179可以包括一或多層，例如阻障層、擴散層和填充材料。舉例來說，在一些實施例中，電容接點179包括阻障層和導電材料(未單獨示出)。電容接點179電性耦接並且物理接觸其下的導電層(例如第一導電層172和第二導



電層176)。阻障層可以包括鈦、氮化鈦、鈹、氮化鈹等。導電材料可為銅、銅合金、銀、金、鎢、鈷、鋁、鎳等。可以執行平坦化製程(例如化學機械研磨)以去除電容接點179位於介電層178的頂表面之上的多餘部分。電容接點179的寬度 $W_3$ 的範圍為約100nm至約300nm，間距 $P_2$ 的範圍為約 $3\mu\text{m}$ 至約 $5\mu\text{m}$ 。電容接點179隨後將結合到第二導電特徵156上(在第31圖中討論)，且電容接點179的臨界尺寸可大於第二導電特徵156的臨界尺寸。舉例來說，電容接點179的寬度 $W_3$ 與第二導電特徵156的寬度 $W_1$ 的比值可以介於約5至約10的範圍內。這有助於使電容接點179與第二導電特徵156對準，從而減少裝置缺陷並提高裝置性能。

**【0105】** 在凹槽171中形成電容177增加了電容177的面積和電容值，而不增加被電容177佔據的基板170的面積(例如增加電容177的密度)。舉例來說，電容177可具有大於約 $100\text{nF}/\text{mm}^2$ 的電容密度，從而使裝置具有更快的速度和更高的性能。此外，可以在基板170中形成電容177，基板170通常與半導體裝置接合，然後被去除。在基板170中形成電容177會利用基板170，而非浪費基板170。因此減少了浪費，得到更大的電容177，並且最小化額外的步驟。

**【0106】** 在第30B圖所示的實施例中，省略了用於形成凹槽171的製程，並在基板170a的平面頂表面上方形成電容177a(第一導電層172a、第一介電層174a、和第二導電層176a)。介電層178a和電容接點179a形成在基板170a上方。可以省略第27圖描述的製程，並且可以執行第28圖至第30A圖中描述的製程，以形成電容結構180a。與電容結構180相比，可以用更少的步驟形成電容結構180a，並且比電容結構180具有更薄的基板170a。以更少的步驟形成電容結構180a可以減少裝置缺陷。基板170a、第一導電層172a、第一介電層174a、第二導電層176a、介電層178a、電容接點179a可以與上述電容結構180的元件相同或相似。

【0107】 在第30C圖所示的實施例中，三個凹槽171b形成在基板170b，中並且電容177b(包括第一導電層172b、第一介電層174b、和第二導電層176b)形成在溝槽171b中。介電層178b形成在基板170b和電容177b上方並填充凹槽171b。形成延伸穿過介電層178b的電容接點179b，以接觸電容177b，其中一個電容接點179b延伸到其中一個凹槽171b中。在一些實施例中，兩個電容連接點179b都可延伸到凹槽171b中。可以使用與第27圖相似或相同的製程來形成凹槽171b，隨後是與第28圖至第30A圖相似或相同的製程，以形成電容結構180b。增加其中形成有電容177b的凹槽171b的數量可以進一步增加電容密度、提高速度、並提高裝置性能。可以提供任何數量的凹槽171b。基板170b、第一導電層172b、第一介電層174b、第二導電層176b、介電層178b、電容接點179b可以與上述電容結構180的元件相同或相似。

【0108】 在第30D圖所示的實施例中，電容177c(包括第一導電層172c、第一介電層174c、和第二導電層176c)形成在凹槽171c中，凹槽171c形成在基板170c中。介電層178c形成在基板170c和電容177c上方，並填充凹槽171c。電容接點179c延伸穿過介電層178c以接觸電容177c，兩個電容接點179c都延伸到凹槽171c中。可以使用與第27圖相似或相同的製程來形成凹槽171c，隨後是與第28圖至第30A圖相似或相同的製程，以形成電容結構180c。使用設置在凹槽171c中的電容177c來形成電容結構180c，可以增加電容和隨後與電容結構180c接合的電晶體結構之間的距離。基板170c、第一導電層172c、第一介電層174c、第二導電層176、介電層178c、電容接點179c可以與上述電容180的元件相同或相似。

【0109】 在第31圖中，電容結構180接合到位在電晶體結構109上方的背側內連線結構155。在一些實施例中，電容結構180可以藉由混合接合來接合到背

側內連線結構155。舉例來說，電容結構180的介電層178可以直接接到合背側內連線結構155的第二介電層154，而電容結構180的電容接點179可以直接接合到背側內連線結構155的第二導電特徵156。在一些實施例中，介電層178和第二介電層154之間的鍵結可為氧化至氧化鍵(oxide-to-oxide bond)等。混合接合製程藉由金屬對金屬直接接合，將電容結構180的電容接點179直接接合到背側內連線結構155的第二導電特徵156。因此，電容接點179到第二導電特徵156之間的物理連接提供了電容結構180和電晶體結構109之間通過背側內連線結構的電性連接。

**【0110】** 作為範例，可以對電容結構180的介電層178及/或背側內連線結構155的第二介電層154施加表面處理，以開始混合接合製程。表面處理可以包括電漿處理。可以在真空環境中進行電漿處理。在電漿處理之後，表面處理可進一步包括可應用於介電層178及/或第二介電層154的清潔製程(例如用去離子水沖洗等)。混合接合製程接著可以將電容接點179與第二導電特徵156對準。在一些實施例中，電容接點179的中心線可能與第二導電特徵156的中心線不對齊。舉例來說，電容接點179的中心線可與第二導電特徵156的中心線錯開大約50nm到大約100nm的距離。形成臨界尺寸小於電容接點179的臨界尺寸的第二導電特徵156，有助於確保電容接點179和第二導電特徵156之間的良好接觸(即使當電容接點179的中心線與第二導電特徵156的中心線未對準時也是)，以降低裝置缺陷並提高裝置性能。接下來，混合接合包括預接合步驟，此時電容接點179與第二導電特徵156物理接觸。可以在室溫(例如在約21°C和約25°C之間)進行預接合。混合接合製程接下來在約150°C至約400°C的溫度範圍內，執行退火約0.5小時至約3小時。退火後電容接點179的金屬(例如銅)和第二導電特徵156的金屬(例

如銅)相互擴散(inter-diffuse)，以形成直接的金屬對金屬接合。退火可以進一步在介電層178和第二介電層154之間形成共價鍵。在一些實施例中，可以使用其他接合參數及/或方法(例如焊接)。

**【0111】** 傳統的半導體裝置可以包括在前側內連線結構內的電容(類似於前側內連線結構120)。在電容結構180中的基板170上形成電容177並且將電容結構180接合到背側內連線結構155可允許使用更大的電容。此外，背側內連線結構155可以具有比前側內連線結構120更大的線寬(例如第一導電特徵152和第二導電特徵156可以具有比導電特徵122更大的線寬)，這改進了電容結構180和電晶體結構109與形成在前側內連線結構120中的電容的連接。通常可將載體基板附接到背側內連線結構155，並且隨後去除載體基板。電容結構180可以用作載體基板，但可以不去除電容結構180，從而減少浪費，並降低額外的製程步驟。

**【0112】** 在第32圖中，在前側內連線結構120上方的第二介電層132分離(或剝離)載體基板140。在一些實施例中，剝離包括將光(例如雷射或紫外光)投射到第三介電層134及/或介電層142，以使第三介電層134及/或介電層142在光的熱量下進行分解，可以去除載體基板140。進一步在第32圖中，在去除載體基板140之後，可以翻轉裝置，使得電晶體結構109的前側朝上。

**【0113】** 在第33圖中，在第一介電層130和第二介電層132中形成導孔181，在第二介電層132和導孔181上形成鈍化層182、凸塊下金屬184、和外部連接元件186。導孔181可以與第21A圖至第21C圖的導電特徵122相同或相似。導孔181可以延伸穿過第一介電層130和第二介電層132，以垂直連接導電特徵122和凸塊下金屬184。可以藉由任何可接受的製程形成第一介電層130和第二介電層132，例如鑲嵌製程、雙鑲嵌製程等。在一些實施例中，可以使用鑲嵌製程形成

導孔181，並利用微影和蝕刻技術的組合圖案化第一介電層130和第二介電層132，以形成對應於導孔181所需圖案的溝槽。可以沉積可選的擴散阻障層及/或可選的黏接層，然後可以用導電材料填充溝槽。阻障層的合適材料包括鈦、氮化鈦、氧化鈦、鉭、氮化鉭、氧化鈦、其組合等，導電材料的合適材料包括銅、銀、金、鎢、鋁、其組合等。在一些實施例中，可以藉由沉積銅或銅合金的晶種層，並以電鍍的方式填充溝槽，從而形成導孔181。為了進行後續的處理，可使用化學機械研磨製程等，從第二介電層132的表面去除多餘的導電材料，並平坦化第二介電層132和導孔181的表面。

**【0114】** 然後可以在第二介電層132和導孔181上形成鈍化層182。鈍化層182可以包括聚合物，例如聚苯并噁唑(Polybenzoxazole，PBO)、聚醯亞胺(polyimide)、苯並環丁烯(Benzocyclobutene，BCB)等。或者，鈍化層182可包括非有機介電材料，例如氧化矽、氮化矽、碳化矽、氮氧化矽等。可以藉由例如化學氣相沉積、物理氣相沉積、原子層沉積等來沉積鈍化層182。

**【0115】** 凸塊下金屬184形成為穿過鈍化層182到導孔181，外部連接元件186形成在凸塊下金屬184上。凸塊下金屬184可以包括一或多層銅、鎳、金等，藉由電鍍製程等形成凸塊下金屬184。在凸塊下金屬184上形成外部連接元件186(例如焊球)。形成外部連接元件186可以包括將焊球放置在凸塊下金屬184的露出部分上，然後回流焊球。在一些實施例中，形成外部連接元件186包括執行電鍍步驟以在凸塊下金屬184上方形成焊料區，然後回流焊料區。凸塊下金屬184和外部連接元件186可與其他電子元件進行輸入/輸出連接，例如其他裝置晶粒、重分佈結構、印刷電路板(printed circuit boards，PCB)、主機板等。凸塊下金屬184和外部連接元件186也可以稱為背側輸入/輸出墊，可以提供上述奈米結構場

效應電晶體的訊號、電源電壓及/或接地連接。

**【0116】** 本揭露一些實施例可以實現各種優點。舉例來說，電容177可以形成在接合到背側內連線結構155的基板170中，而不是形成在前側內連線結構120中。這樣允許使用具有更大的電容密度的更大電容，以提高了裝置的速度和性能。基板170可為載體基板，通常與電晶體結構接合，隨後去除基板170。在基板170中形成電容177允許以最少的額外製程步驟來形成電容177，並且降低了浪費。

**【0117】** 本揭露一些實施例提供一種半導體裝置，包括第一電晶體結構、前側內連線結構、背側內連線結構、以及第一電容結構。前側內連線結構位在第一電晶體結構的前側，前側內連線結構包括前側導電線。背側內連線結構，位在第一電晶體結構的背側，背側內連線結構包括背側導電線，背側導電線的線寬大於前側導電線的線寬。第一電容結構耦接到背側內連線結構。在一些實施例中，第一電容結構藉由介電對介電接合以及金屬對金屬接合耦接到背側內連線結構。在一些實施例中，背側內連線結構的第一導電接點物理地且電性地耦接到第一電容結構之第二導電接點，第一導電接點具有第一寬度，第二導電接點具有第二寬度，且第二寬度大於第一寬度。在一些實施例中，第一電容結構包括基板以及位在基板上的電容。在一些實施例中，電容延伸到基板之頂表面下方。在一些實施例中，第一電容結構更包括介電層以及第一導電接點。介電層位在基板以及電容上方。第一導電接點物理地且電性地耦接電容，第一導電接點延伸到基板之頂表面下方。在一些實施例中，第一電容結構更包括第二導電接點，物理地且電性地耦接到電容，第二導電接點延伸到基板之頂表面下方。

**【0118】** 本揭露一些實施例提供一種半導體裝置，包括閘極結構、第一源極/汲極區、閘極接點、第一源極/汲極接點、第一內連線結構、以及電容結構。閘極結構位在半導體通道區上方。第一源極/汲極區鄰接閘極結構以及半導體通道區。閘極接點耦接到閘極結構面朝第一方向的表面。第一源極/汲極接點耦接到第一源極/汲極區面朝第二方向的表面，第一方向與第二方向相反。第一內連線結構耦接到第一源極/汲極接點，並在第二方向與第一源極/汲極區相對。電容結構耦接到在第二方向與第一源極/汲極區相對的第一內連線結構，電容結構藉由介電對介電接合以及金屬對金屬接合耦接到第一內連線結構。在一些實施例中，半導體裝置更包括第二內連線結構以及外部連接元件。第二內連線結構耦接到閘極接點，並在第一方向上與閘極結構相對。外部連接元件耦接到第二內連線結構，電容結構包括位在基板上方的電容，在第二方向，基板位在電容上。在一些實施例中，電容結構包括電容，沿著基板的平坦表面延伸。在一些實施例中，電容結構包括基板、電容、介電層。基板包括第一凹槽。電容沿著基板之一頂表面以及在第一凹槽中延伸。介電層位在基板上方，且填充第一凹槽。在一些實施例中，電容結構包括第一接點，穿過介電層延伸到第一凹槽中，以延伸到電容。在一些實施例中，電容結構包括基板、電容、介電層。基板包括第一凹槽。電容沿著第一凹槽的表面延伸，其中電容不位在基板之頂表面。介電層位在基板上方，且填充第一凹槽。在一些實施例中，第一內連線結構之第一接點藉由金屬對金屬接合來耦接到電容結構的第二接點，第一接點具有第一寬度，第二接點具有第二寬度，且第二寬度與第一寬度的比值介於3至5之間。

**【0119】** 本揭露一些實施例提供一種半導體裝置的形成方法，包括在第一基板上形成第一電晶體；在第一電晶體上方形成前側內連線結構；薄化第一基

板；在第一電晶體上方形成背側內連線結構，背側內連線結構與前側內連線結構相對，背側內連線結構包括背側導孔，電性耦接到第一電晶體之第一源極/汲極區；提供電容結構；以及在電容結構以及背側內連線結構之間形成混合接合。在一些實施例中，提供電容結構的操作包括提供第二基板；在第二基板中形成第一凹槽；在第二基板上以及第一凹槽中沉積三層電容層；修整三層電容層，以去除位在第一凹槽外部的三層電容層；在三層電容層以及第二基板上沉積介電層，其中介電層填充第一凹槽；以及形成延伸穿過介電層至電容結構的電容接點。在一些實施例中，提供電容結構的操作包括提供第二基板；在第二基板中形成第一凹槽；在第二基板上以及第一凹槽中沉積三層電容層；修整三層電容層，在修整三層電容層之後，三層電容層沿著第一凹槽的底表面和側壁以及沿著第二基板的頂表面延伸；在三層電容層以及第二基板上沉積介電層，介電層填充第一凹槽；以及形成延伸穿過介電層至電容結構的電容接點。在一些實施例中，形成電容接點的操作包括蝕刻介電層以形成第二凹槽，第一凹槽中的三層介電層之第一表面從第二凹槽露出；以及在第二凹槽中形成電容接點。在一些實施例中，半導體裝置的形成方法更包括形成第二電容接點，形成第二電容接點的操作包括蝕刻介電層以形成第三凹槽，第一凹槽中的三層介電層之第二表面從三凹槽露出；以及在第三凹槽中形成第二電容接點。在一些實施例中，薄化第一基板的操作露出與前側內連線結構相對的第一源極/汲極區上方的第一磊晶材料，其中半導體裝置的形成方法更包括使用背側導孔替換第一磊晶材料。

**【0120】** 上述內容概述許多實施例的特徵，因此任何所屬技術領域中具有通常知識者，可更加理解本揭露之各面向。任何所屬技術領域中具有通常知識



者，可能無困難地以本揭露為基礎，設計或修改其他製程及結構，以達到與本揭露實施例相同的目的及/或得到相同的優點。任何所屬技術領域中具有通常知識者也應了解，在不脫離本揭露之精神和範圍內做不同改變、代替及修改，如此等效的創造並沒有超出本揭露的精神及範圍。

## 【符號說明】

### 【0121】

50,170,170a:基板

50N:N型區域

50P:P型區域

51,51A,51B,51C,51D:第一半導體層

52,52A,52B,52C,52D:第一奈米結構

53,53A,53B,53C:第二半導體層

54,54A,54B,54C:第二奈米結構

55:奈米結構

56:蝕刻停止層

64:多層堆疊

66:鱗片

68:隔離區(淺溝槽隔離區)

70:虛置介電層

71:虛置閘極介電質

72:虛置閘極層

74:遮罩層

76:虛置閘極

78:遮罩

80:第一間隔層

81:第一間隔物

82:第二間隔層

83:第二間隔物

86:第一凹槽

87:第二凹槽

88:側壁凹槽

90:第一內部間隔物

91:第一磊晶材料

92:磊晶源極/汲極區

92A:第一半導體材料層

92B:第二半導體材料層

92C:第三半導體材料層

94:接點蝕刻停止層

96:第一層間介電層

98:凹槽

100:閘極介電層

102:閘極電極

104:閘極蓋層

- 106:第二層間介電層
- 108:第三凹槽
- 109:電晶體結構
- 110:第四凹槽
- 112:第一矽化區域
- 114:閘極接點
- 116:源極/汲極接點
- 120:前側內連線結構
- 122:導電特徵
- 124,142,144,178,178a,178b,178c:介電層
- 130,150,174,174a,174b,174c:第一介電層
- 132,154:第二介電層
- 134:第三介電層
- 140:載體基板
- 146:第二矽化區域
- 148:背側導孔
- 152:第一導電特徵
- 155:背側內連線結構
- 156:第二導電特徵
- 171,171b:凹槽
- 172,172a,172b,172c:第一導電層
- 176,176a,176b,176c:第二導電層

177,177a,177b,177c:電容

179,179a,179b,179c:電容接點

180,180a,180b,180c:電容結構

181:導孔

182:鈍化層

184:凸塊下金屬

186:外部連接元件

## 【生物材料寄存】

【0122】 無

## 【發明申請專利範圍】

【請求項1】 一種半導體裝置，包括：

—第一電晶體結構；

—前側內連線結構，位在該第一電晶體結構的一前側，該前側內連線結構包括一前側導電線；

—背側內連線結構，位在該第一電晶體結構的一背側，該背側內連線結構包括一背側導電線，該背側導電線的線寬大於該前側導電線的線寬；以及

—第一電容結構，耦接到該背側內連線結構，包括：

—基板，包括一凹槽；

—電容，位在該凹槽中，並延伸到該基板之一頂表面下方；

—介電層，位在該基板以及該電容上方，且形成在該凹槽中；以及

—電容接點，延伸穿過該介電層，並接觸該電容。

【請求項2】 如請求項1之半導體裝置，其中該第一電容結構藉由介電對介電接合以及金屬對金屬接合耦接到該背側內連線結構。

【請求項3】 如請求項1之半導體裝置，其中該背側內連線結構的一第一導電接點物理地且電性地耦接到該第一電容結構之一第二導電接點，其中該第一導電接點具有一第一寬度，該第二導電接點具有一第二寬度，且該第二寬度大於該第一寬度。

【請求項4】 如請求項1之半導體裝置，其中該第一電容結構與該背側內連線結構位在不同的平面上。

【請求項5】 一種半導體裝置，包括：

—閘極結構，位在一半導體通道區上方；

第 111125495 號之申請專利範圍修正本

一第一源極/汲極區，鄰接該閘極結構以及該半導體通道區；

一閘極接點，耦接到該閘極結構面朝一第一方向的一表面；

一第一源極/汲極接點，耦接到該第一源極/汲極區面朝一第二方向的一表面，該第一方向與該第二方向相反；

一第一內連線結構，耦接到該第一源極/汲極接點，並在該第二方向與該第一源極/汲極區相對；以及

一電容結構，耦接到該第一內連線結構，並在該第二方向與該第一源極/汲極接點相對，其中該電容結構藉由介電對介電接合以及金屬對金屬接合耦接到該第一內連線結構，且該電容結構包括：

一基板，包括一第一凹槽；

一電容，在該第一凹槽中延伸；

一介電層，位在該基板上方，且填充該第一凹槽；以及

一電容接點，延伸穿過該介電層，並接觸該電容。

**【請求項6】** 如請求項5之半導體裝置，更包括：

一第二內連線結構，耦接到該閘極接點，並在該第一方向上與該閘極結構相對；以及

一外部連接元件，耦接到該第二內連線結構，其中該電容結構包括位在一基板上方的一電容，在該第二方向，該基板位在該電容上。

**【請求項7】** 如請求項5之半導體裝置，其中該電容沿著一基板的一平坦表面延伸。

**【請求項8】** 如請求項5之半導體裝置，其中該電容沿著該基板之該頂表面延伸。

第 111125495 號之申請專利範圍修正本

【請求項9】如請求項8之半導體裝置，其中該電容接點延伸到該第一凹槽中。

【請求項10】如請求項5之半導體裝置，其中該電容不位在該基板之一頂表面。

【請求項11】如請求項5之半導體裝置，其中該第一內連線結構之一第一接點藉由金屬對金屬接合來耦接到該電容接點，該第一接點具有一第一寬度，該電容接點具有一第二寬度，且該第二寬度與該第一寬度的比值介於3至5之間。

【請求項12】一種半導體裝置的形成方法，包括：

在一第一基板上形成一第一電晶體；

在該第一電晶體上方形成一前側內連線結構；

薄化該第一基板；

在該第一電晶體上方形成一背側內連線結構，其中該背側內連線結構與該前側內連線結構相對，該背側內連線結構包括一背側導孔，電性耦接到該第一電晶體之一第一源極/汲極區；

提供一電容結構，包括：

提供一第二基板；

在該第二基板中形成一第一凹槽；

在該第二基板上以及該第一凹槽中沉積三層電容層；

在該三層電容層以及該第二基板上沉積一介電層，其中該介電層填充該第一凹槽；

在該電容結構以及該背側內連線結構之間形成混合接合；以及

形成延伸穿過該介電層至該電容結構的一電容接點。

第 111125495 號之申請專利範圍修正本

【請求項13】如請求項12之半導體裝置的形成方法，其中提供該電容結構的操作更包括：

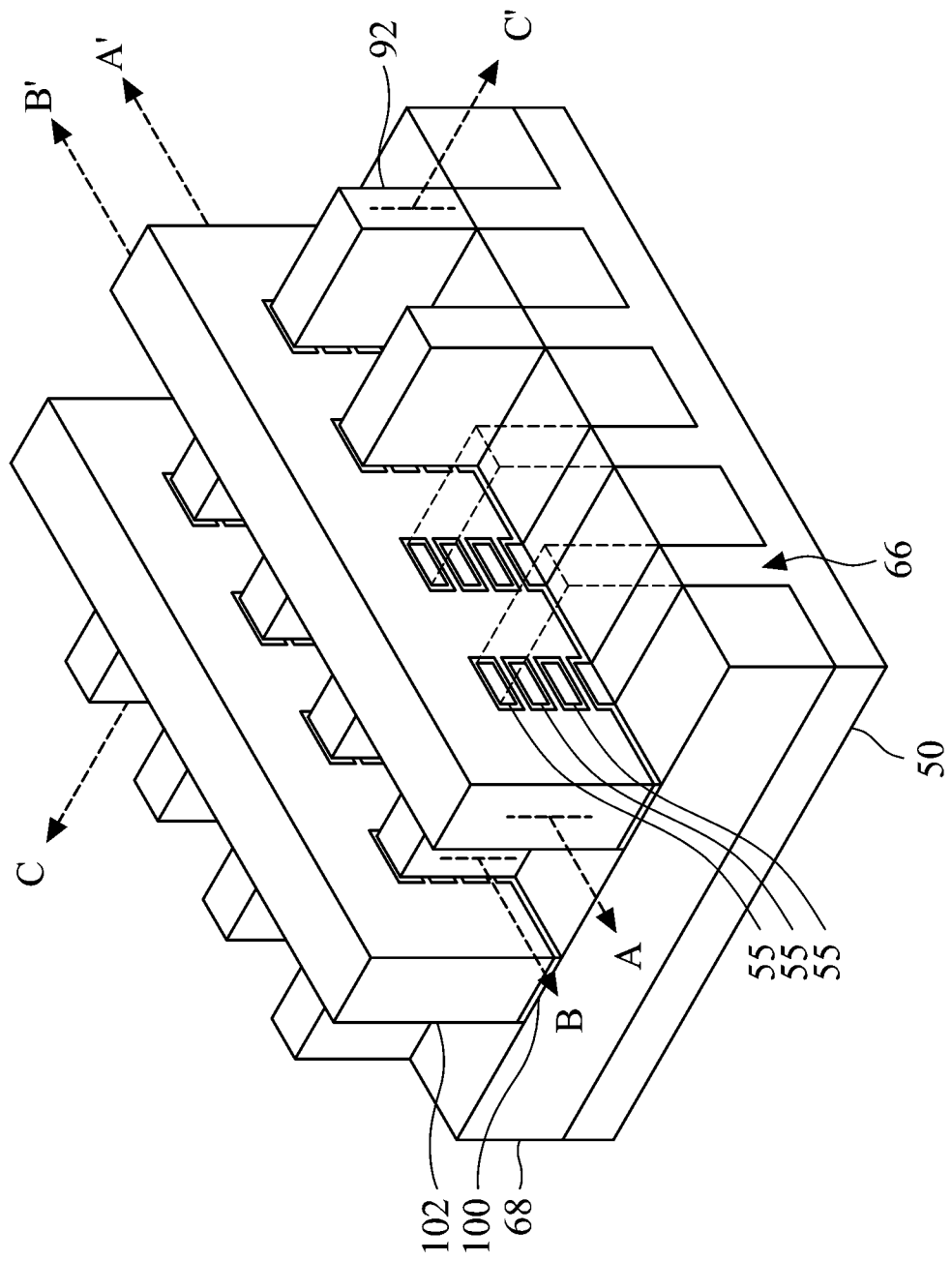
修整該三層電容層，以去除位在該第一凹槽外部的該三層電容層。

【請求項14】如請求項12之半導體裝置的形成方法，其中提供該電容結構的操作更包括：

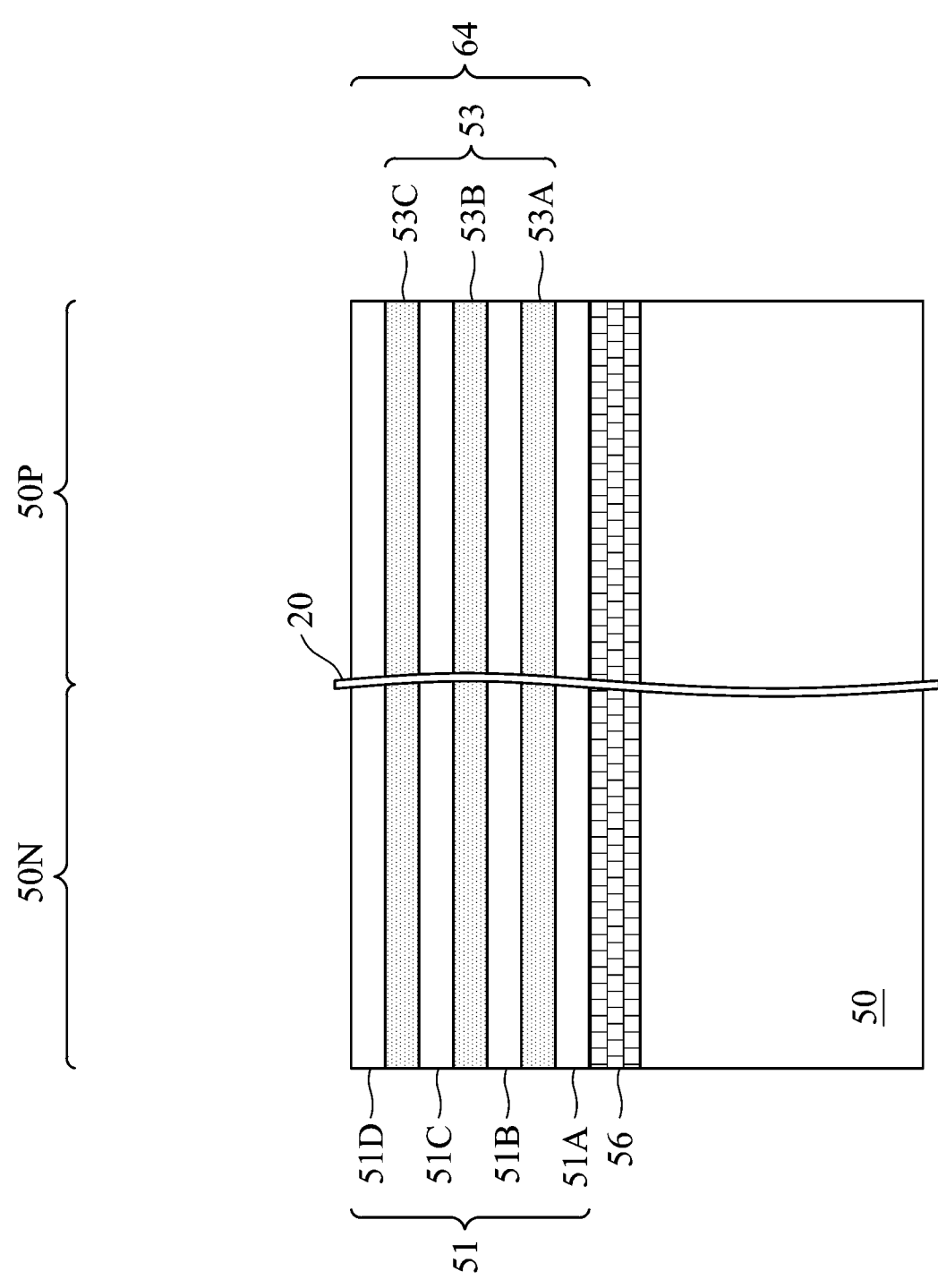
修整該三層電容層，在修整該三層電容層之後，該三層電容層沿著該第一凹槽的一底表面和一側壁以及沿著該第二基板的一頂表面延伸。



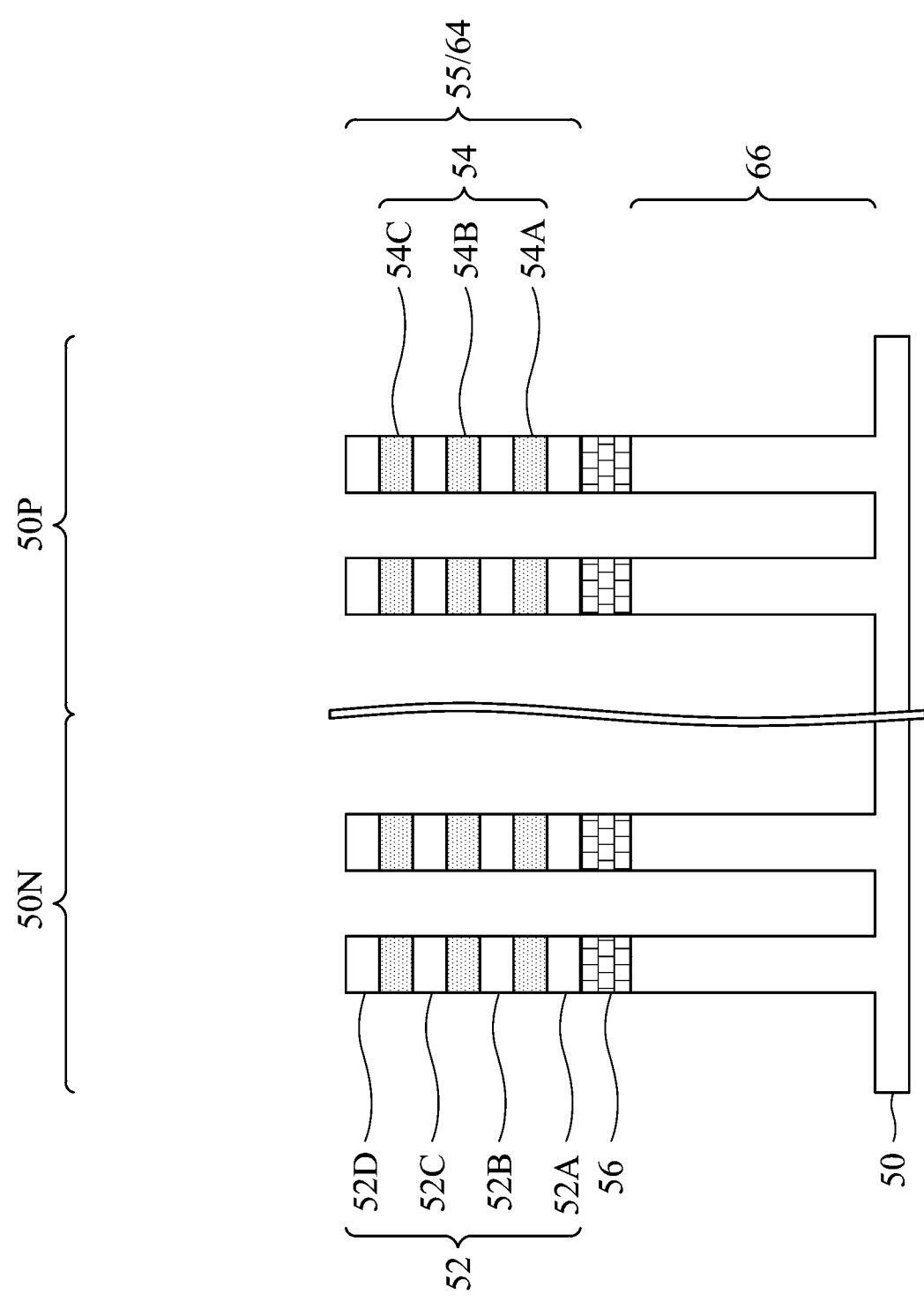
【發明圖式】



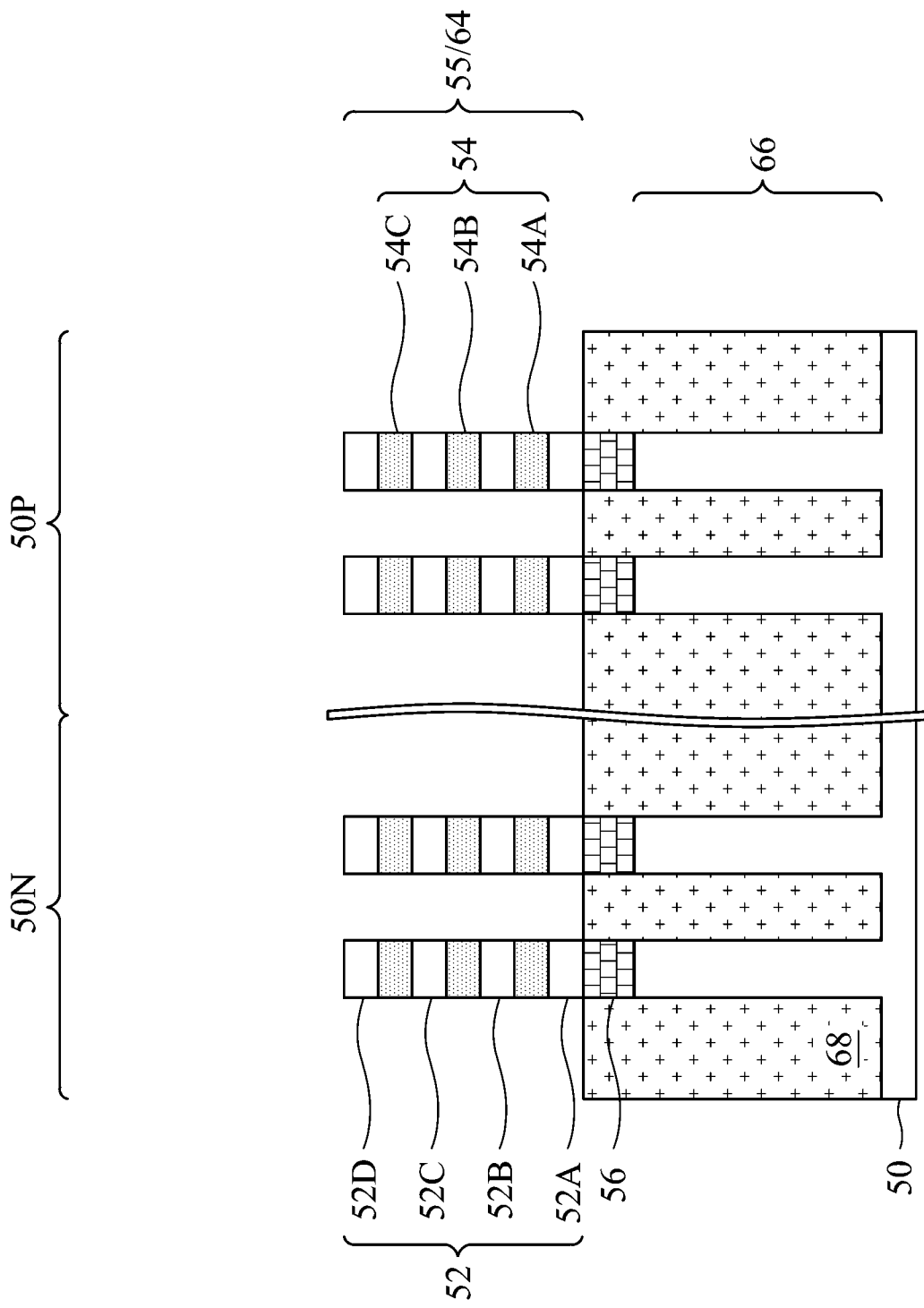
第 1 圖



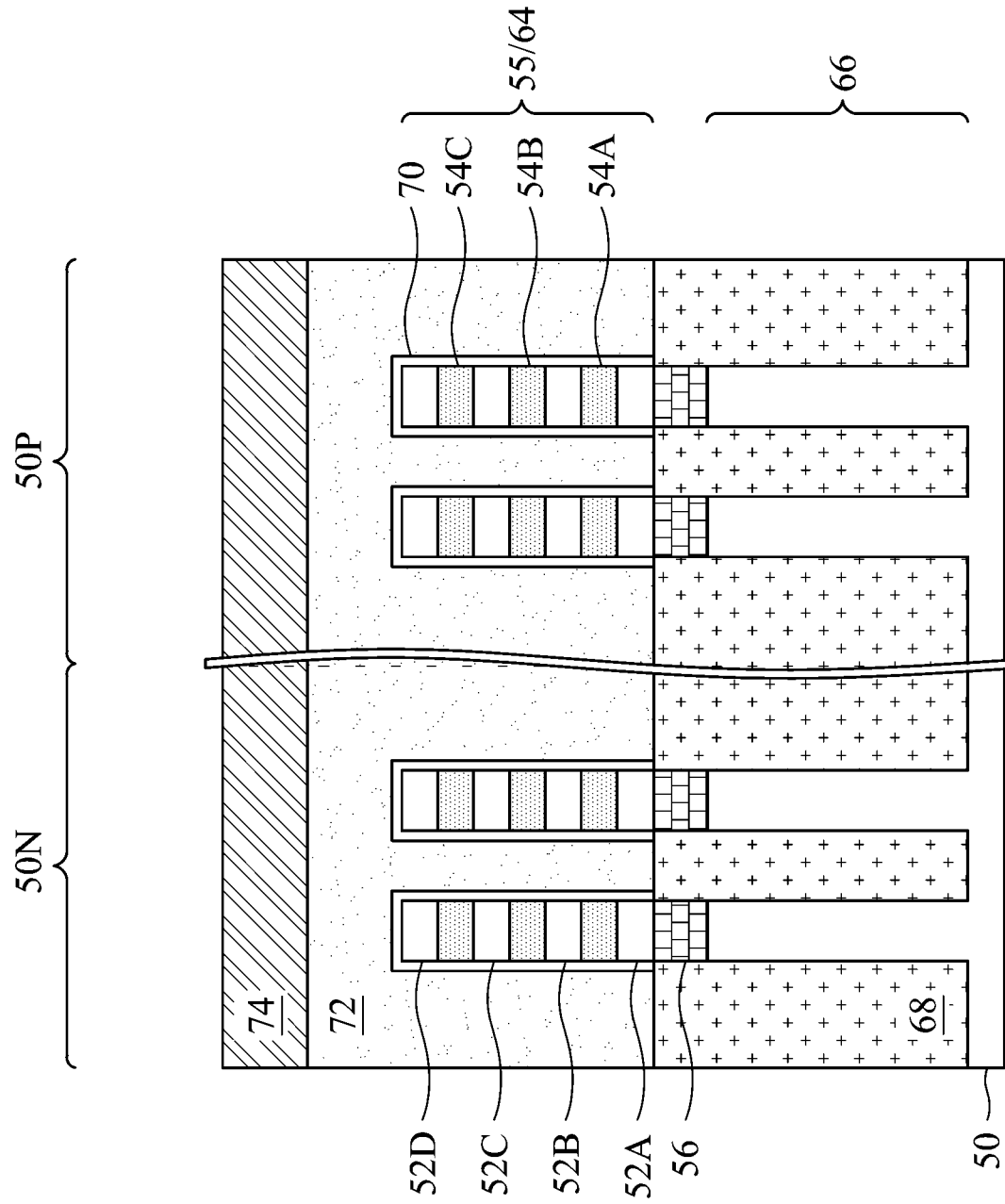
第 2 圖



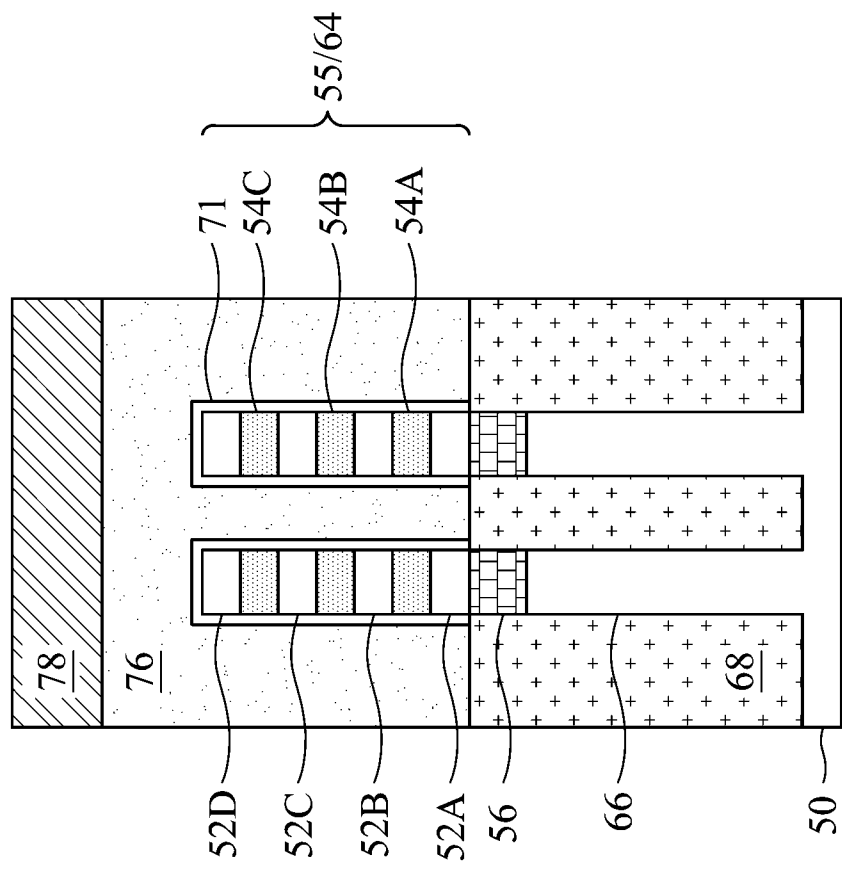
第3圖



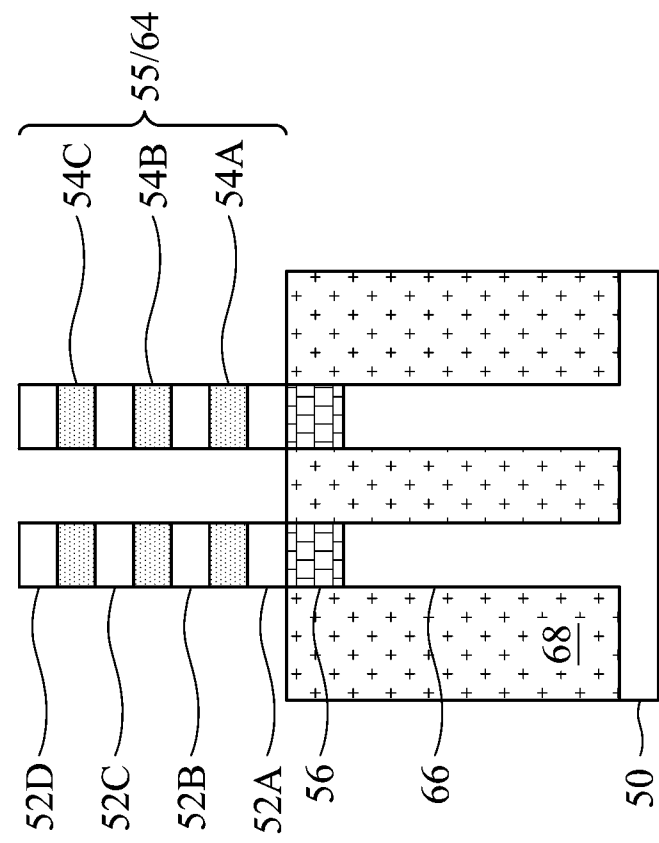
第4圖



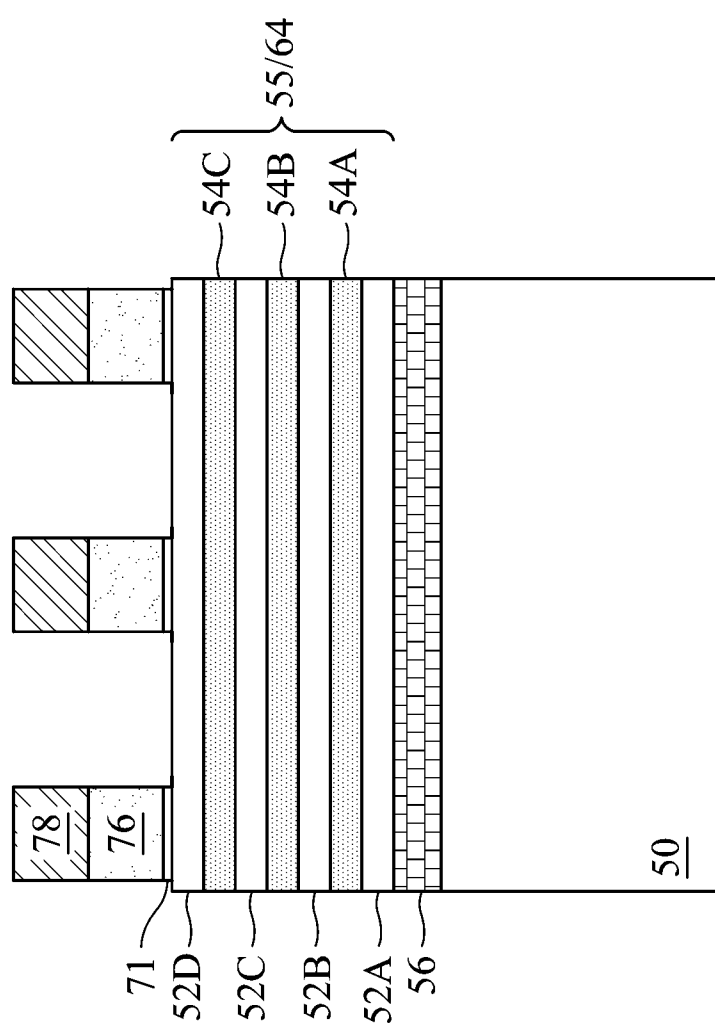
第 5 圖



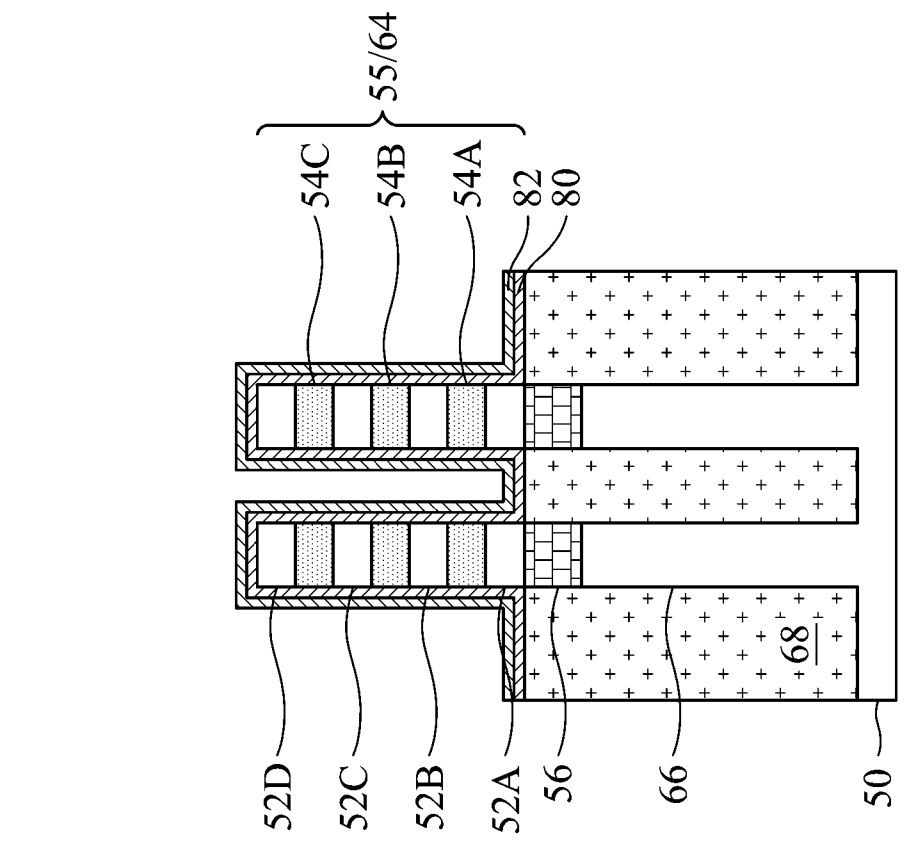
第6A圖



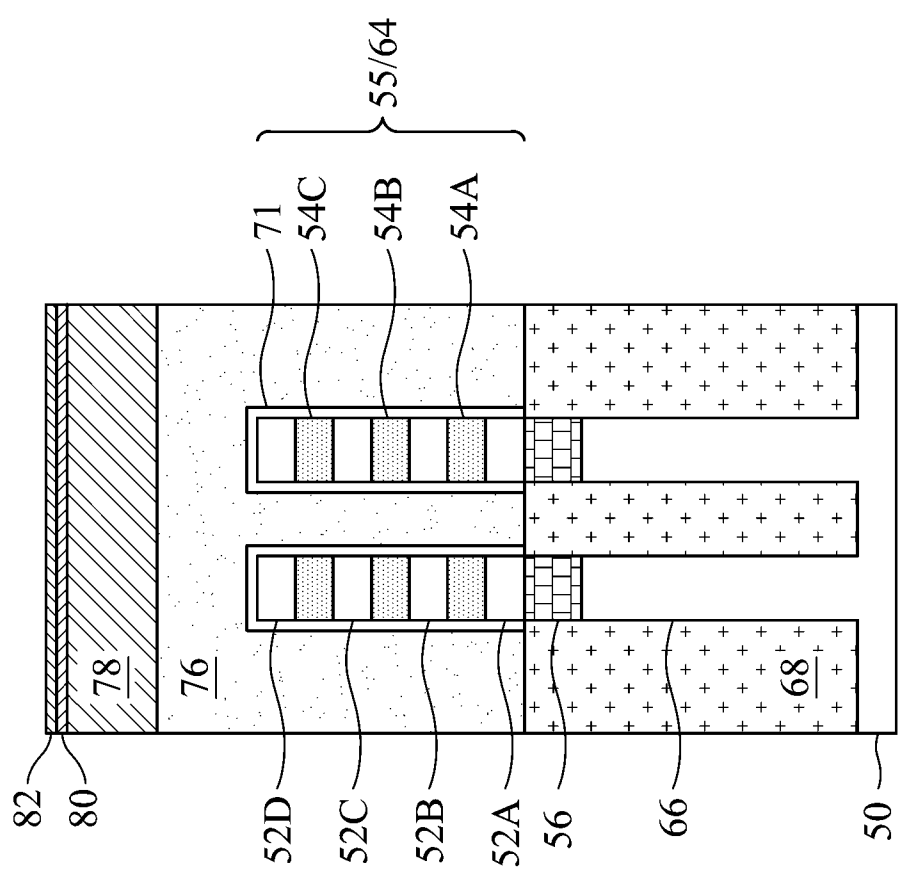
第6B圖



第6C圖

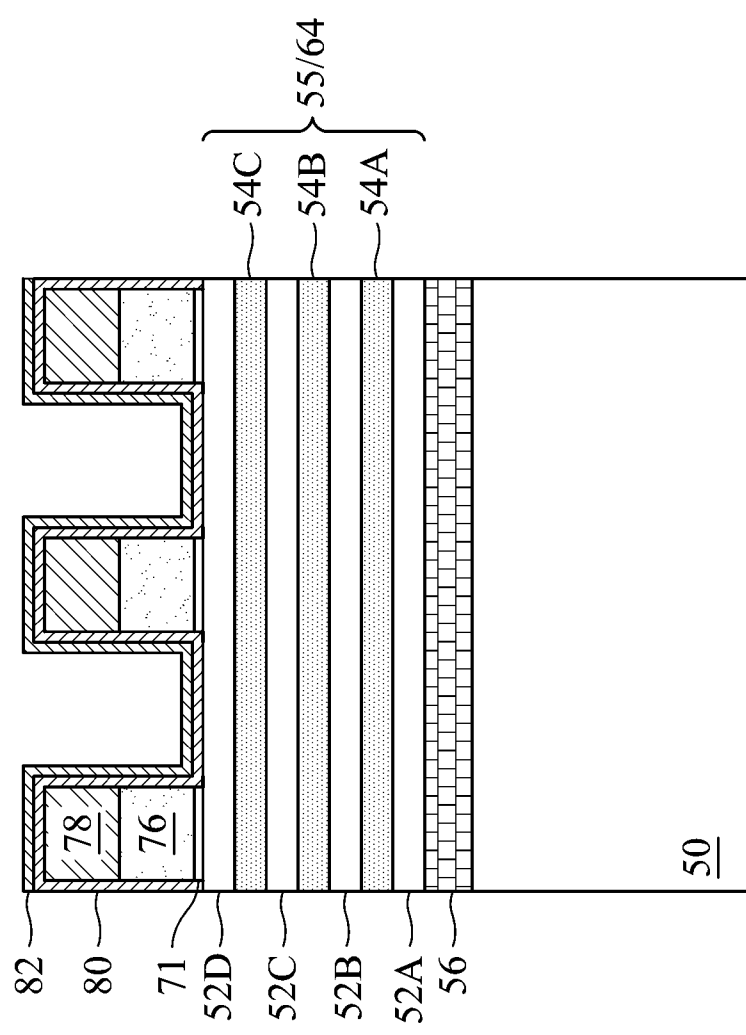


第 7A 圖

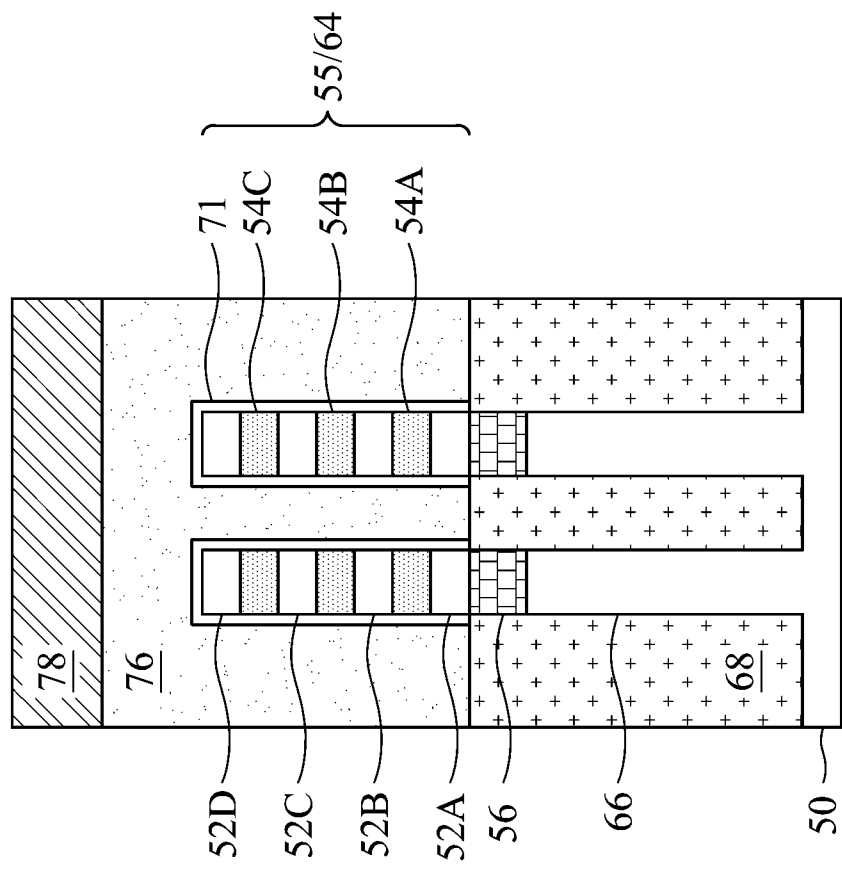


第 7B 圖

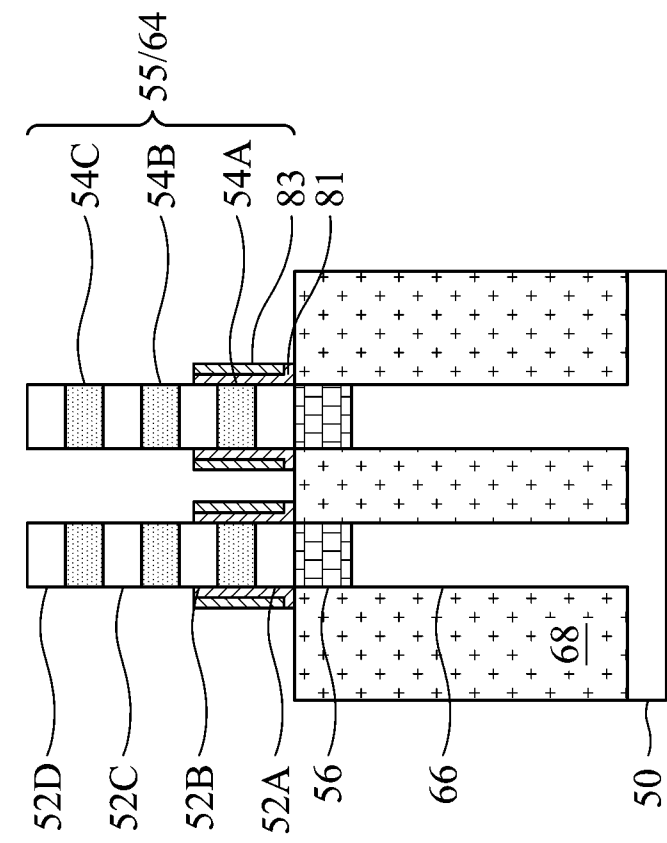




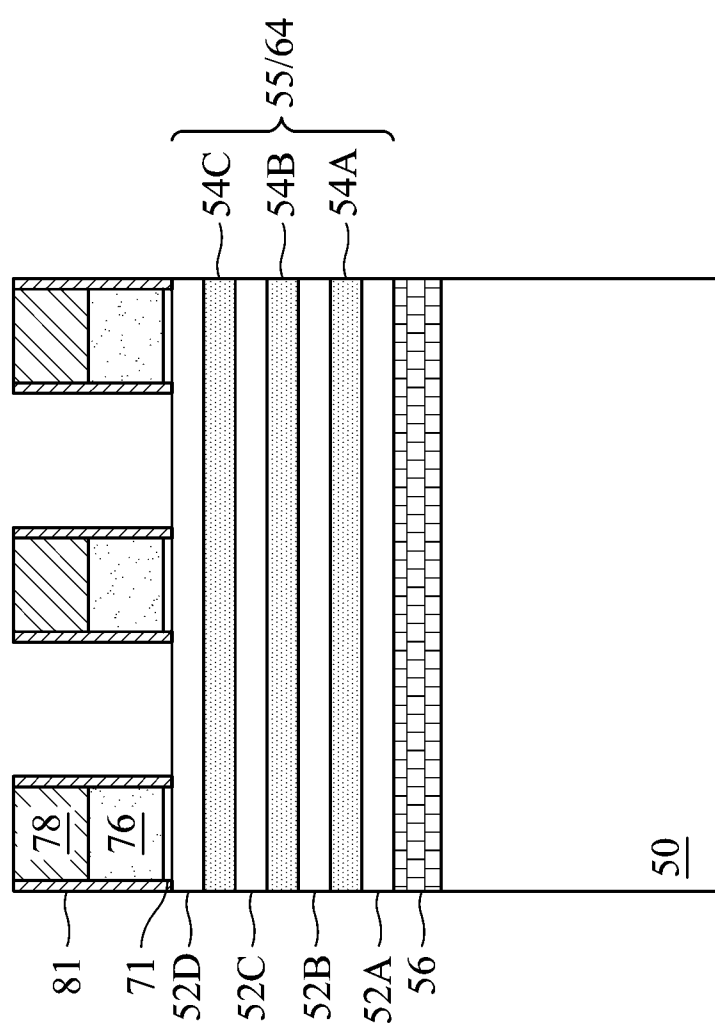
第 7C 圖



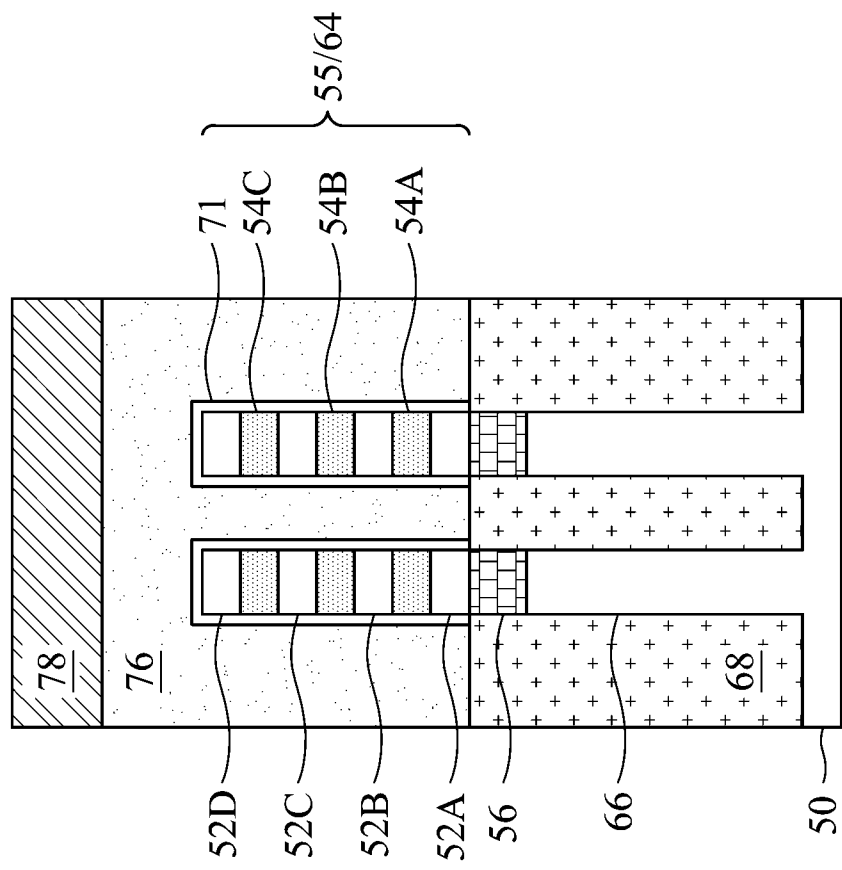
第8A圖



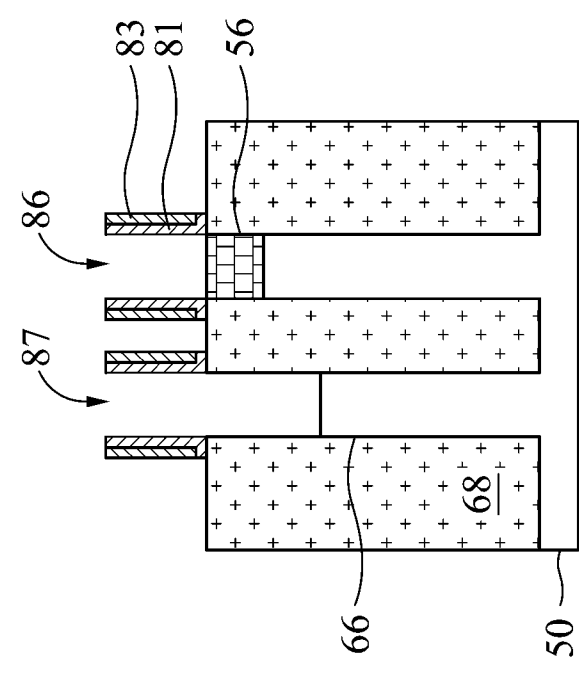
第8B圖



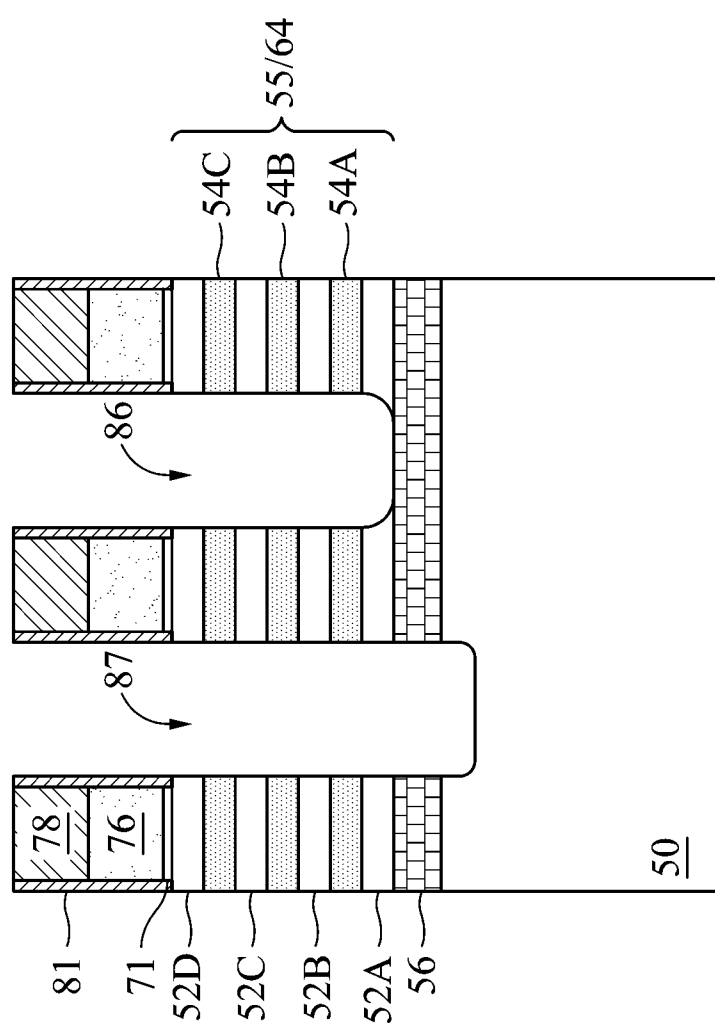
第 8C 圖



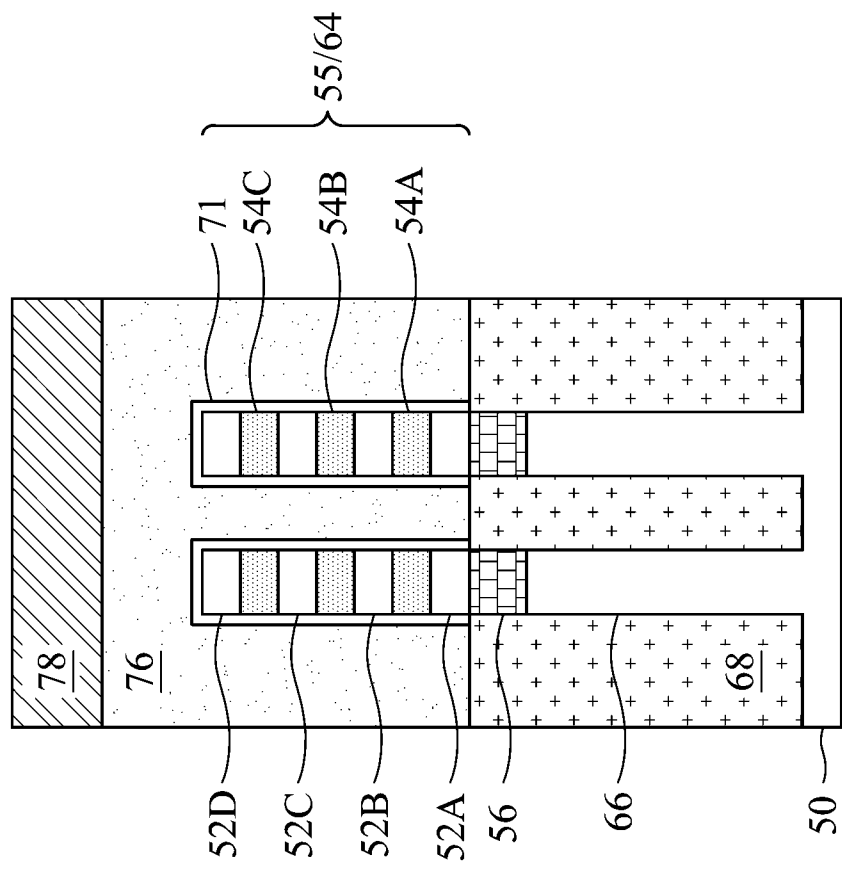
第9A圖



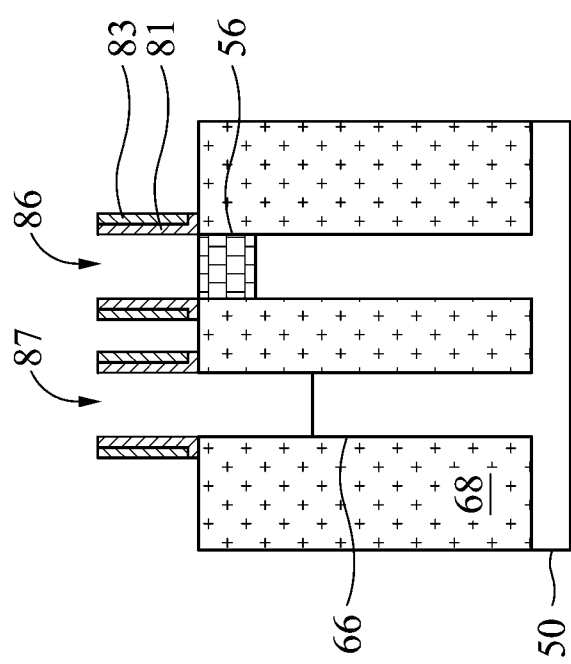
第9B圖



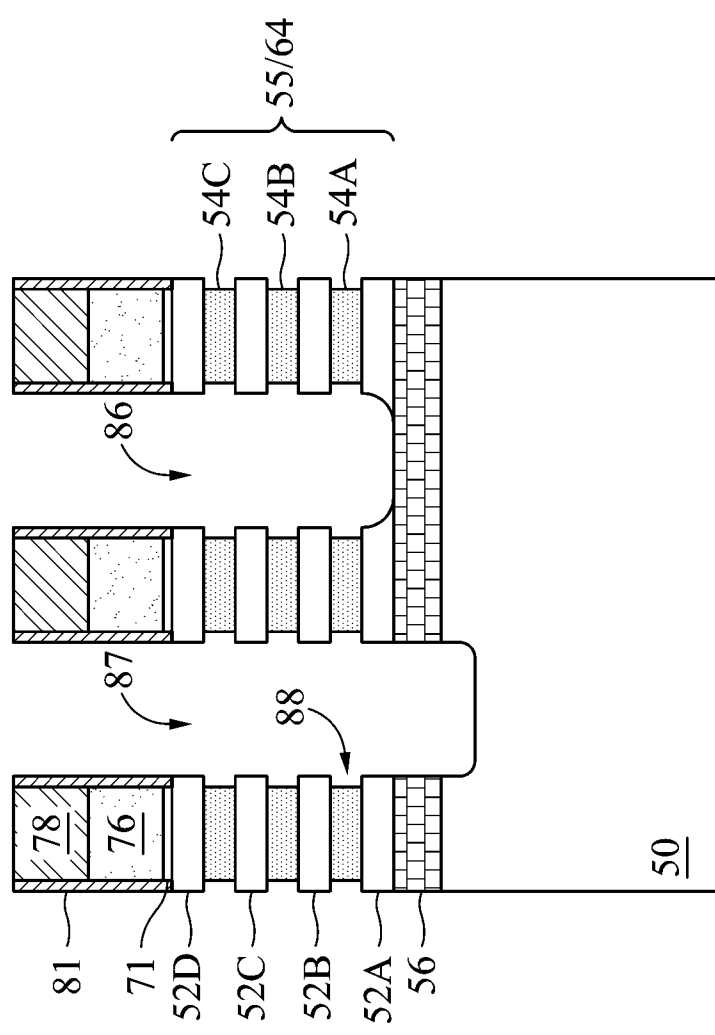
第9C圖



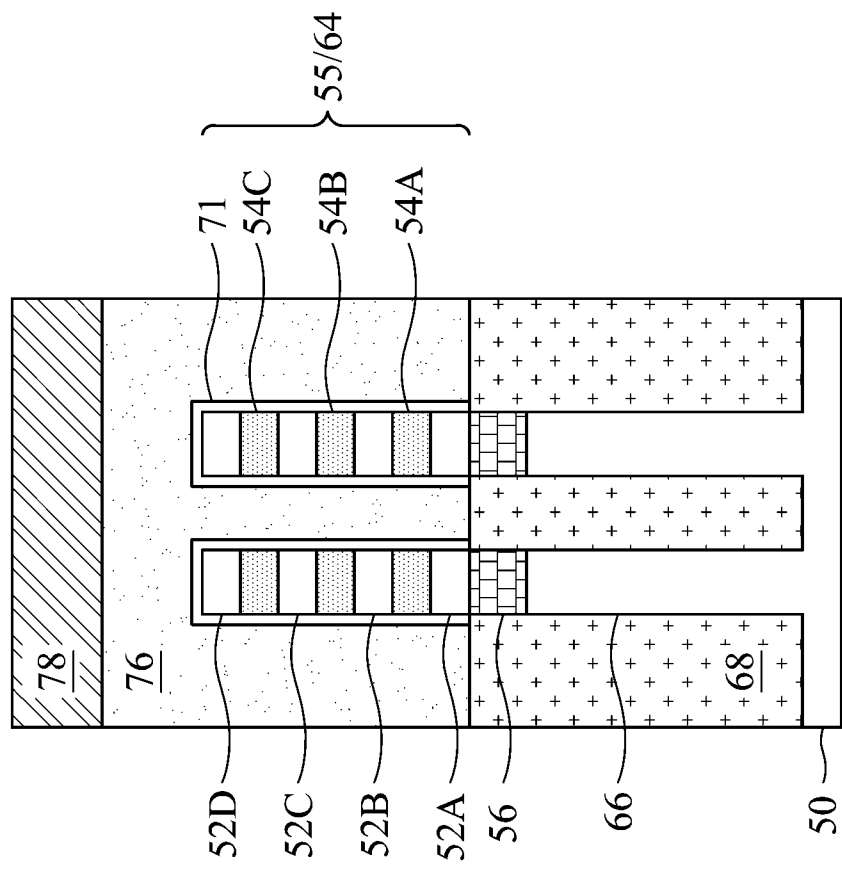
第 10A 圖



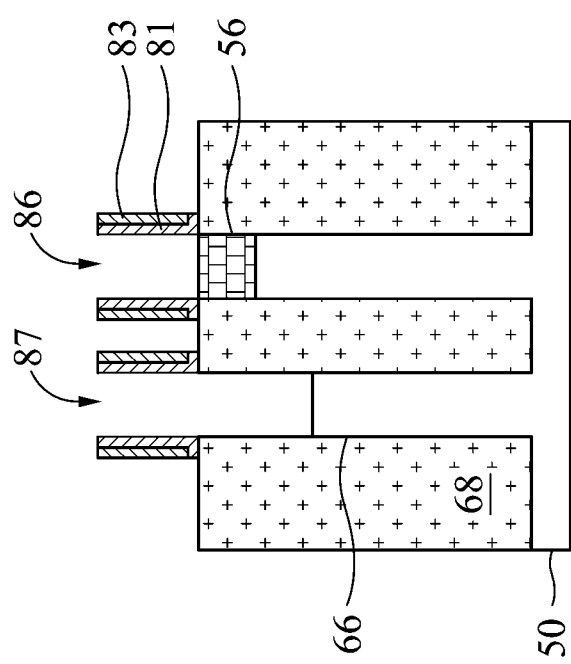
第 10B 圖



第 10C 圖

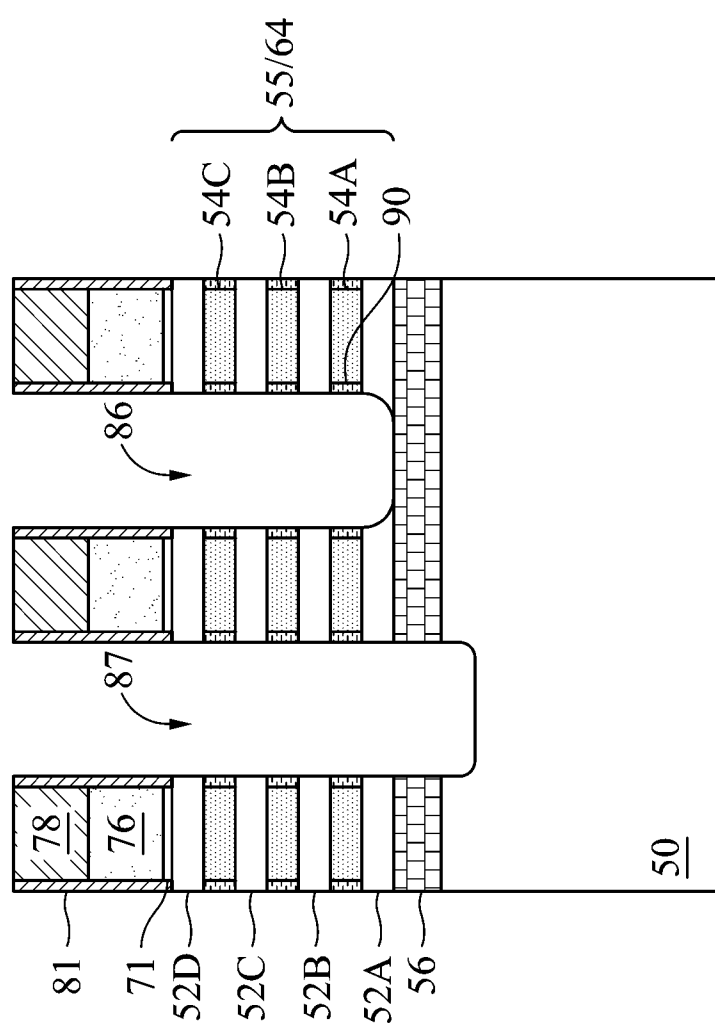


第 11A 圖

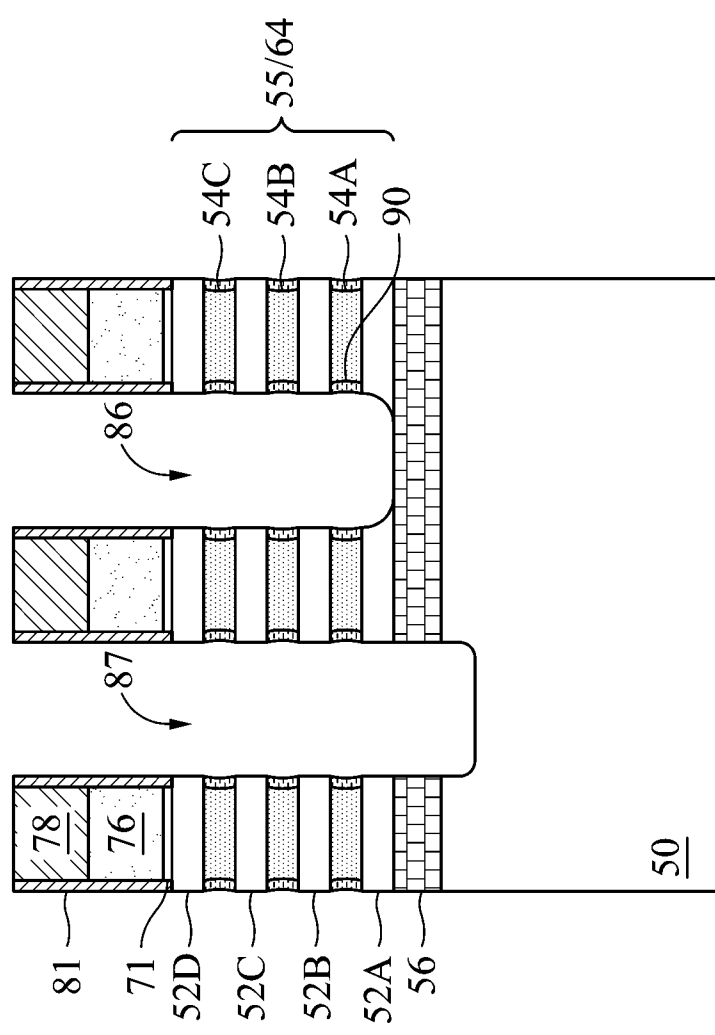


第 11B 圖

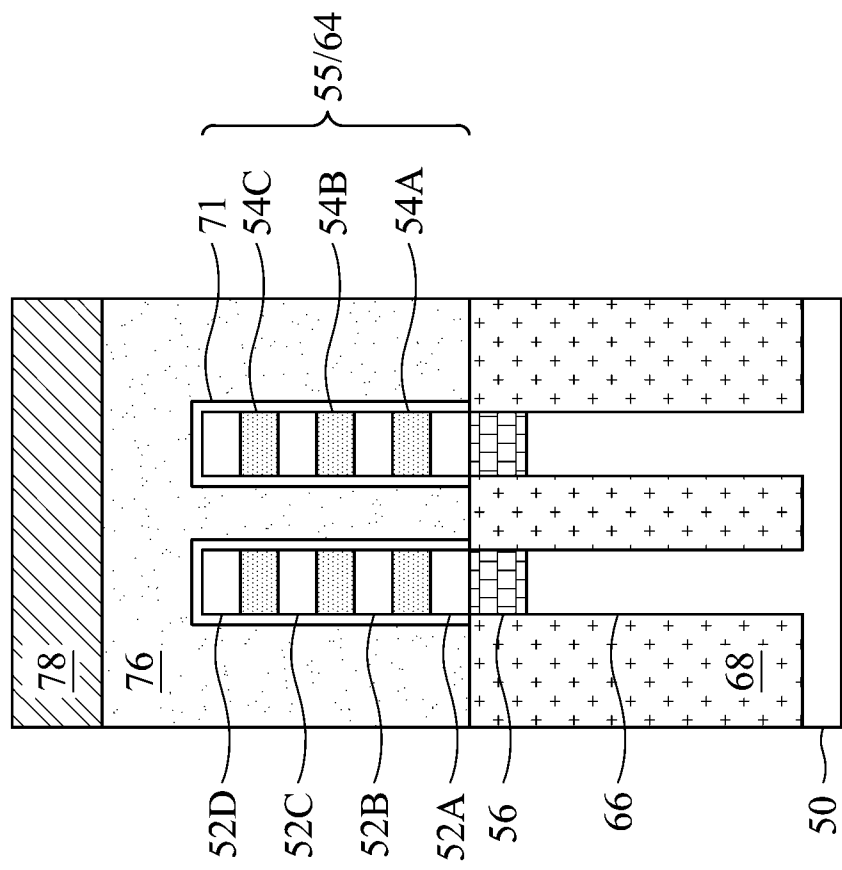




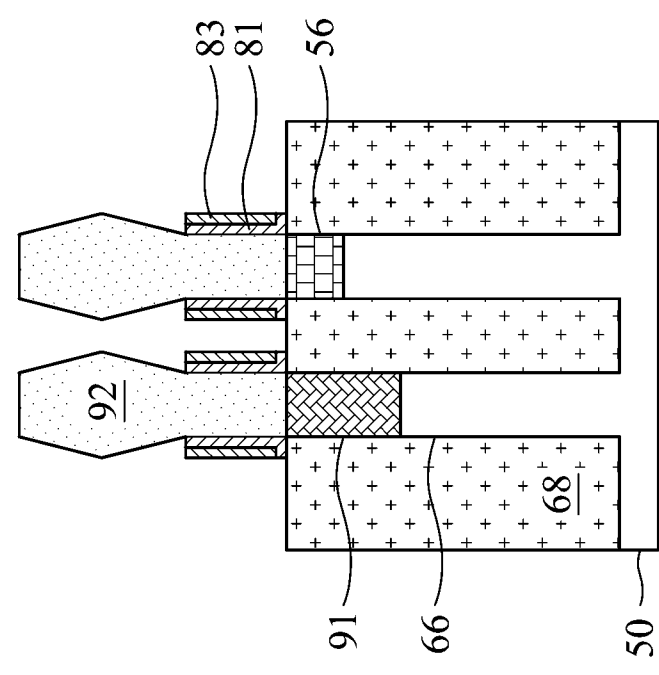
第 11C 圖



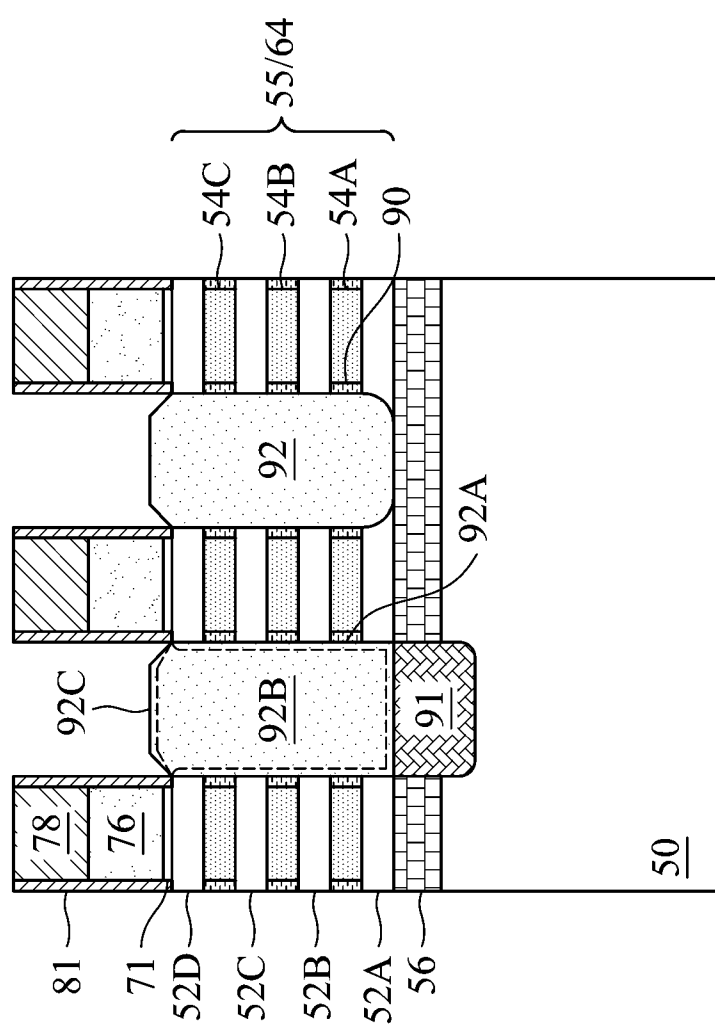
第 11D 圖



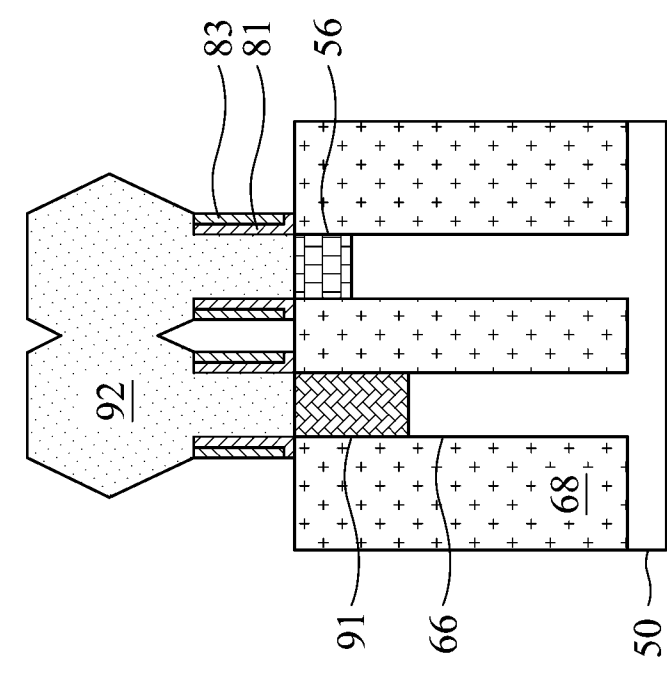
第 12A 圖



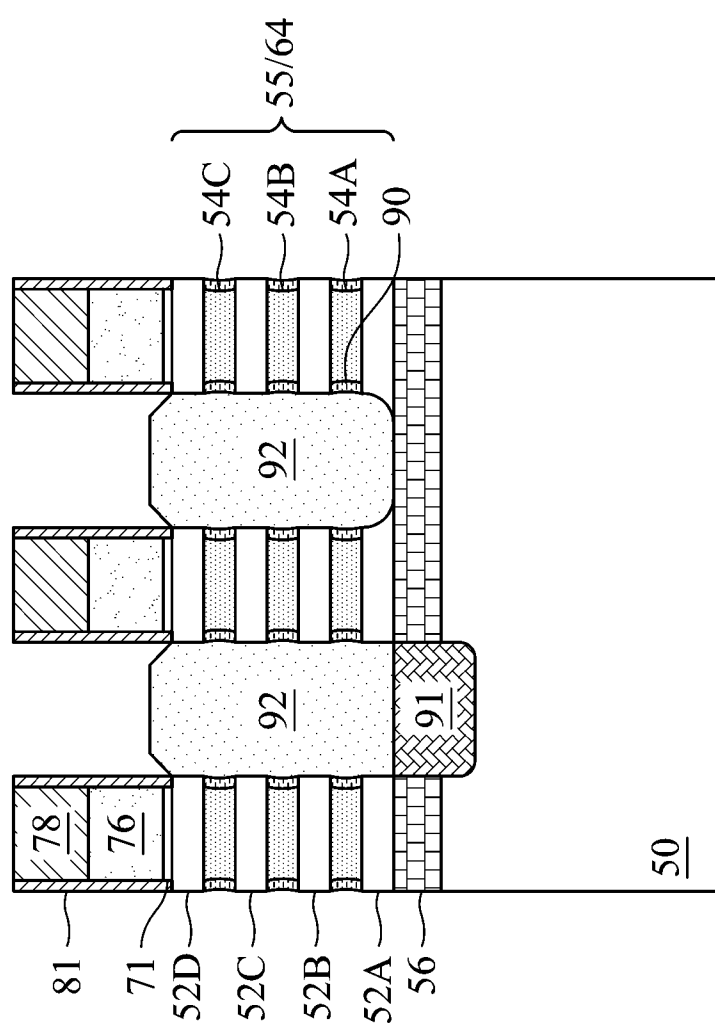
第 12B 圖



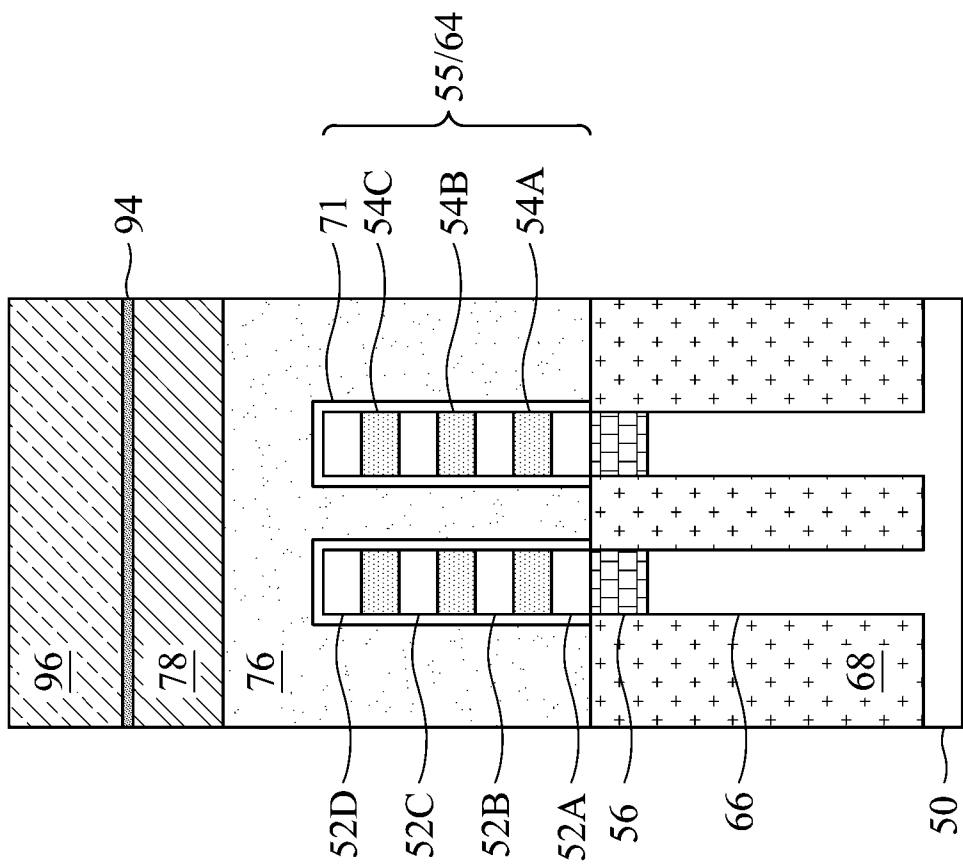
第 12C 圖



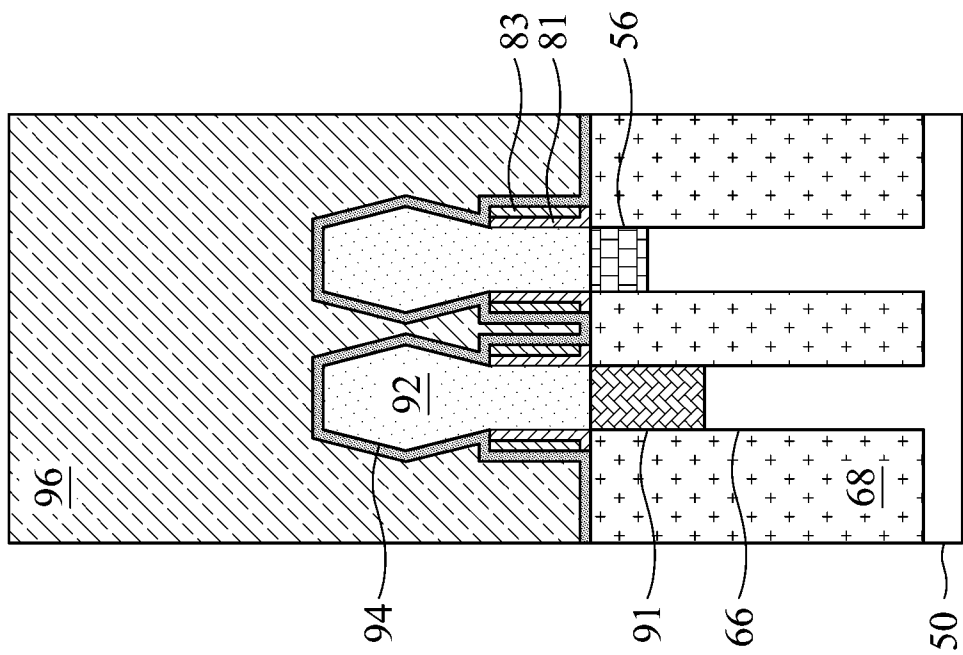
第 12D 圖



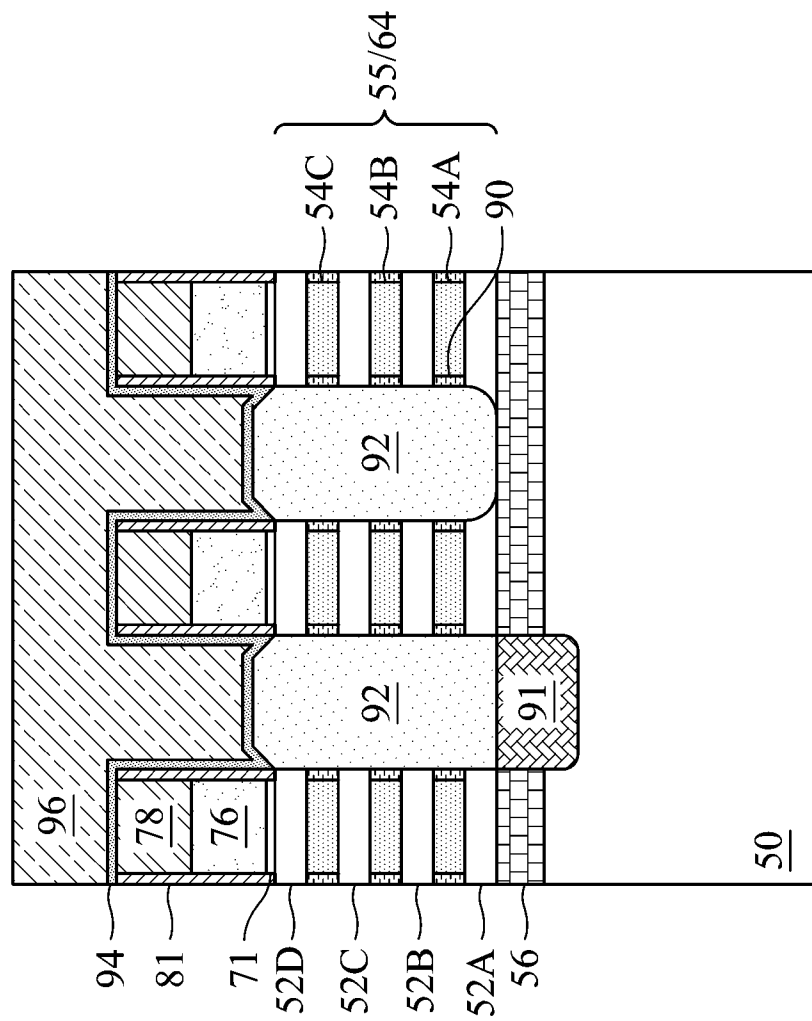
第 12E 圖



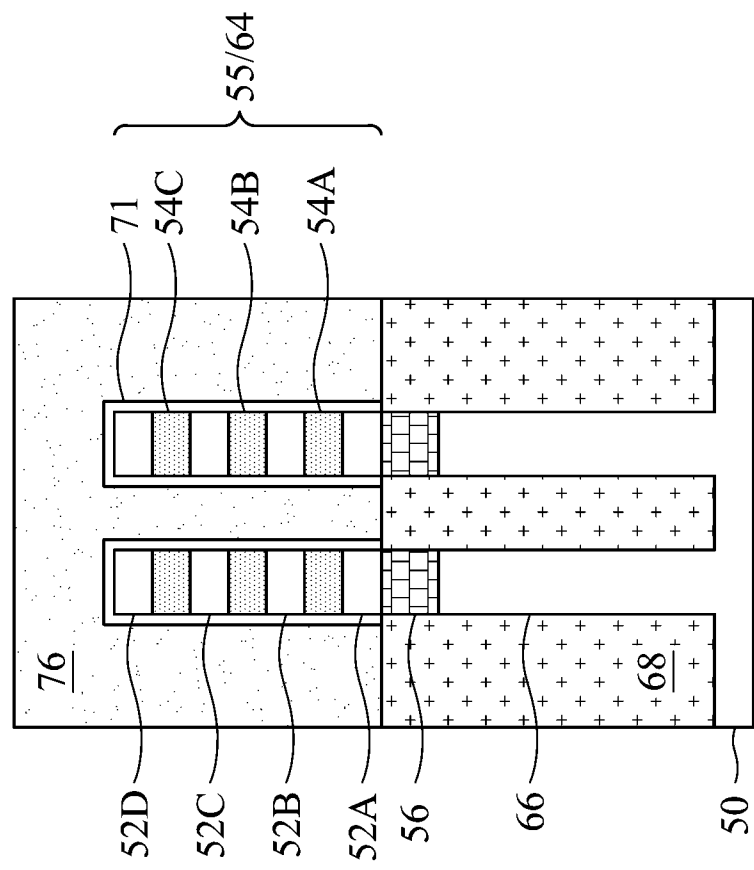
第 13A 圖



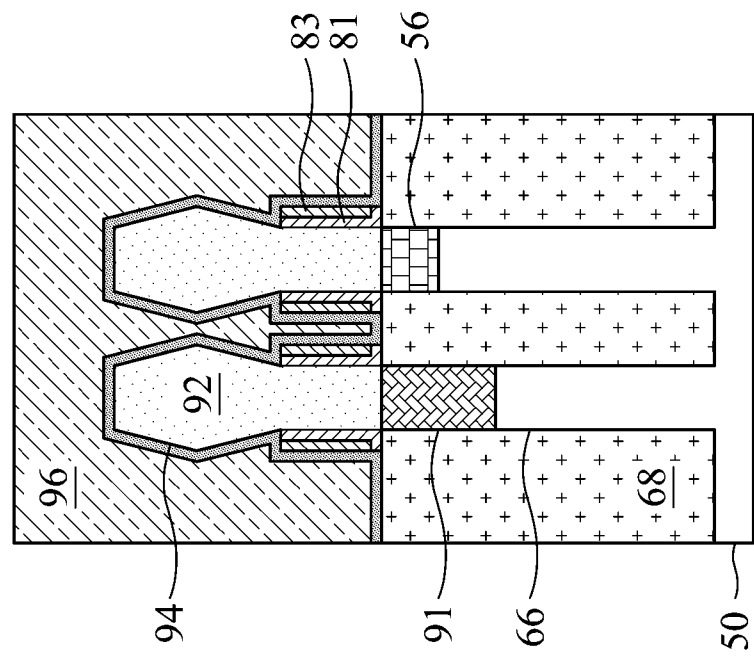
第 13B 圖



第 13C 圖

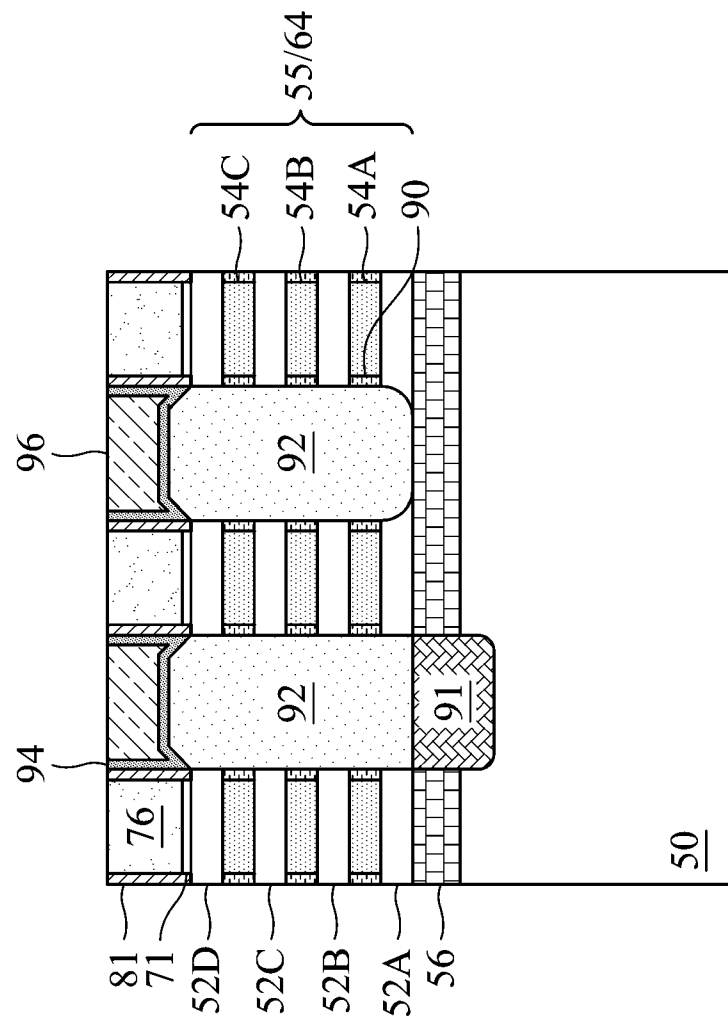


第14A圖

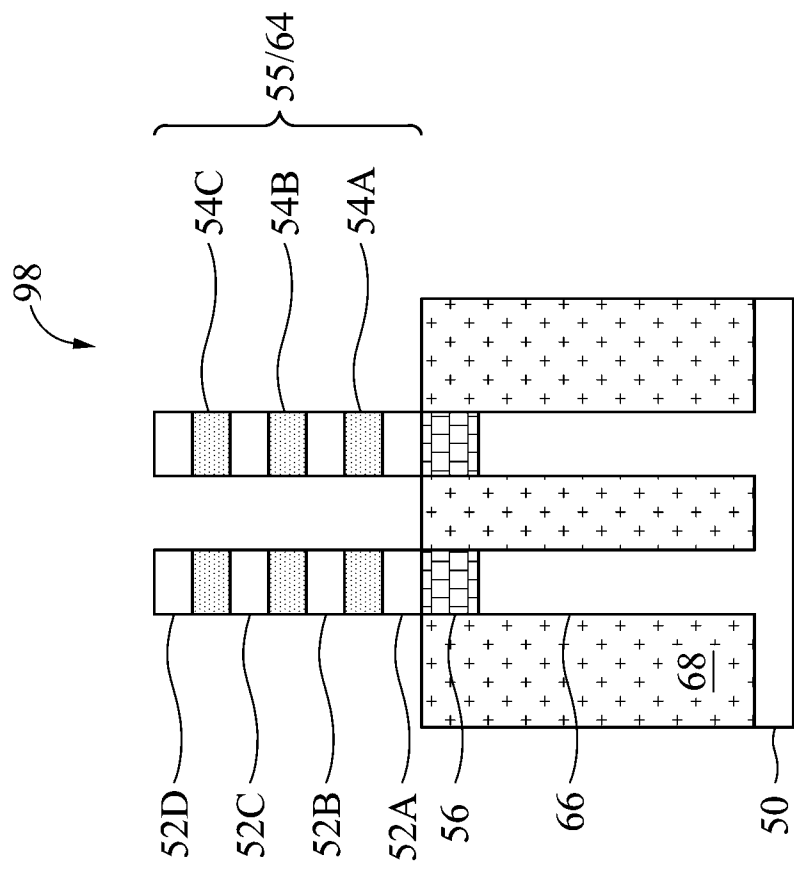


第14B圖

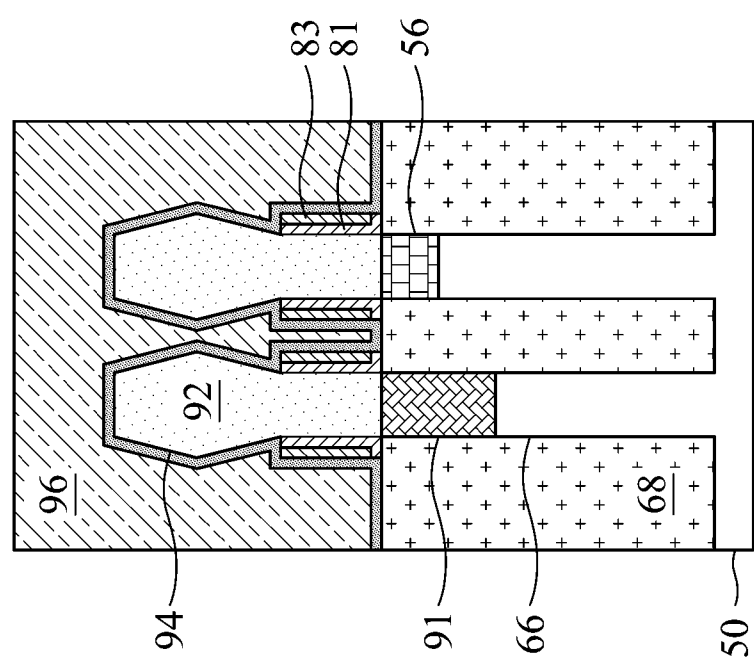




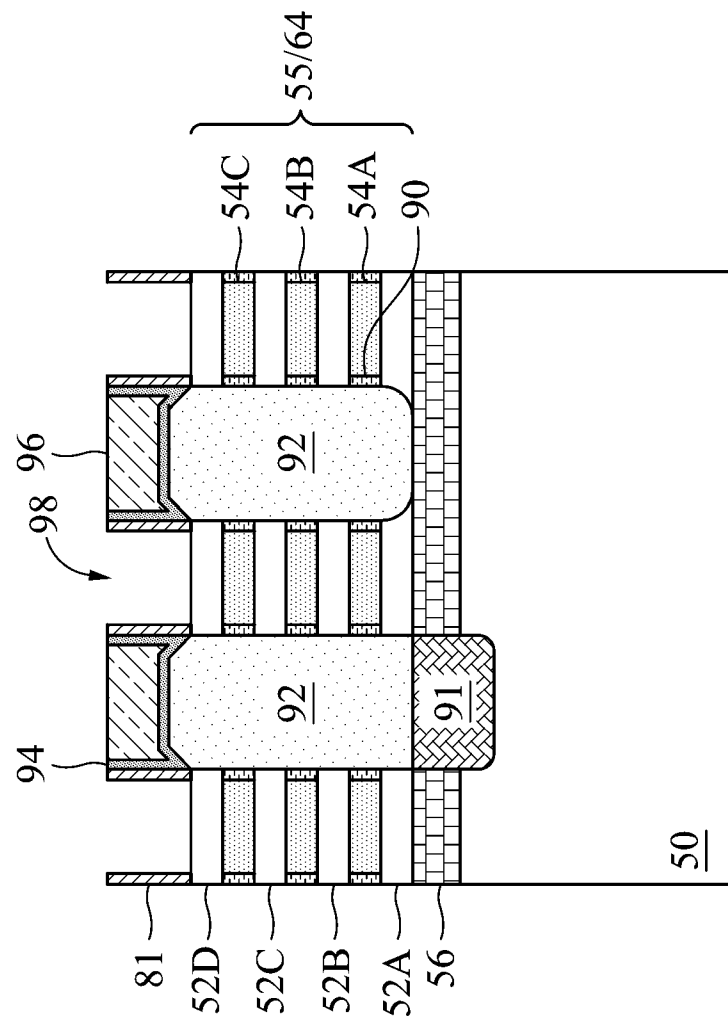
第 14C 圖



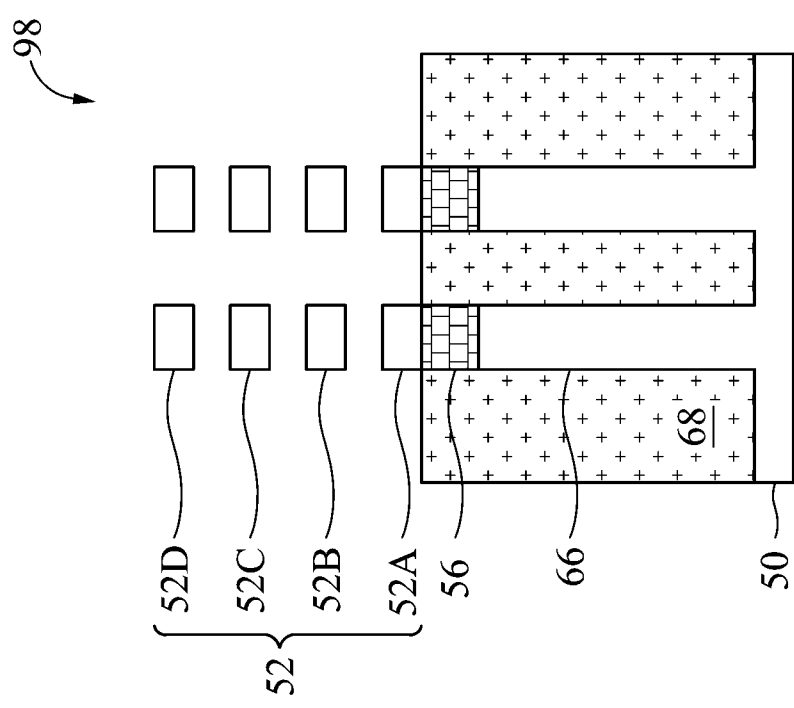
第 15A 圖



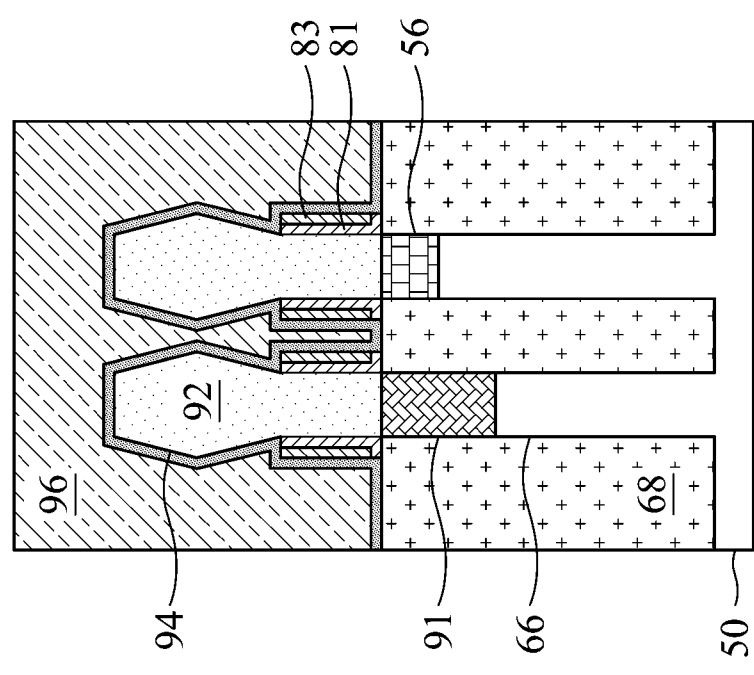
第 15B 圖



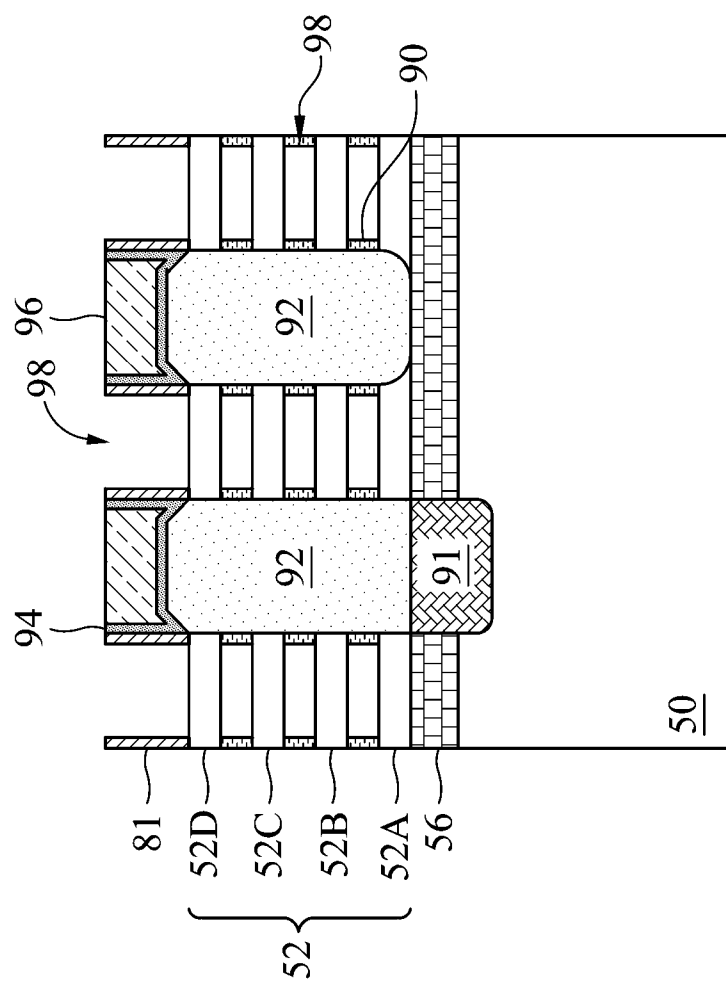
第 15C 圖



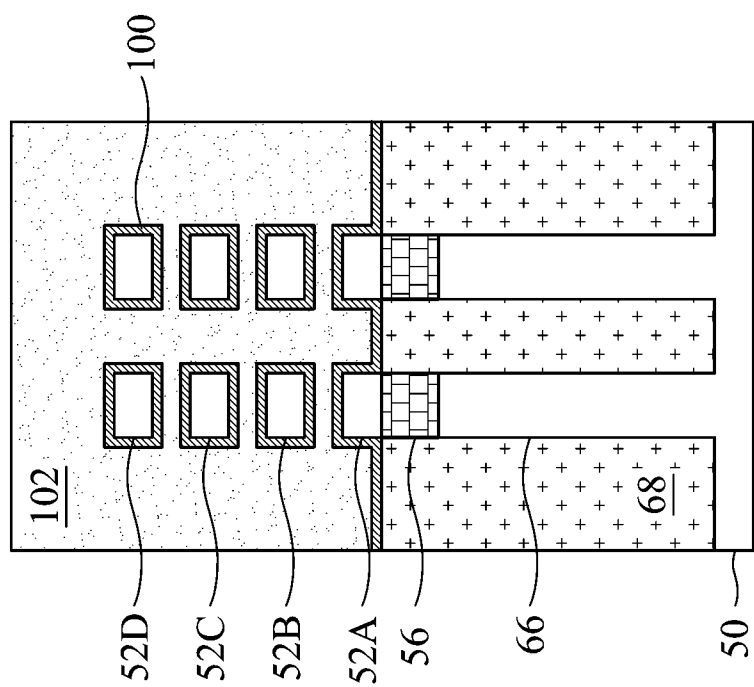
第 16A 圖



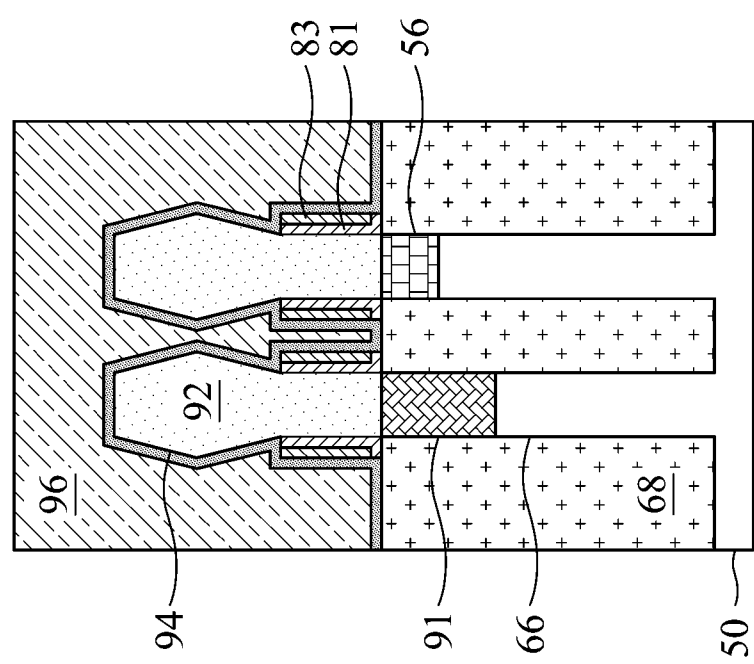
第 16B 圖



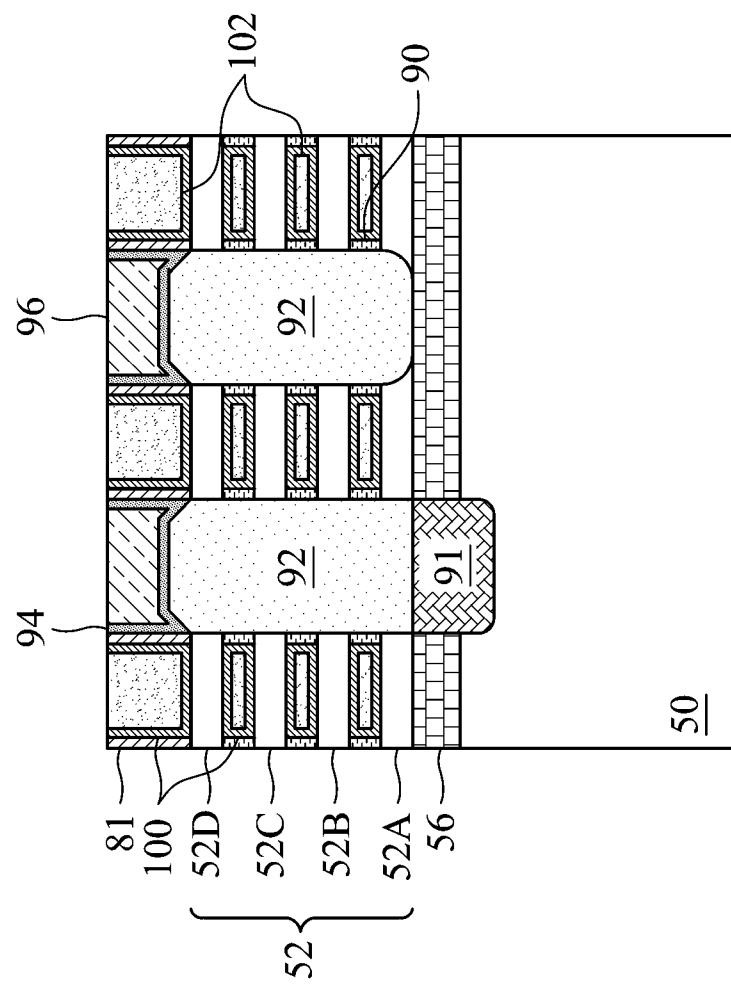
第 16C 圖



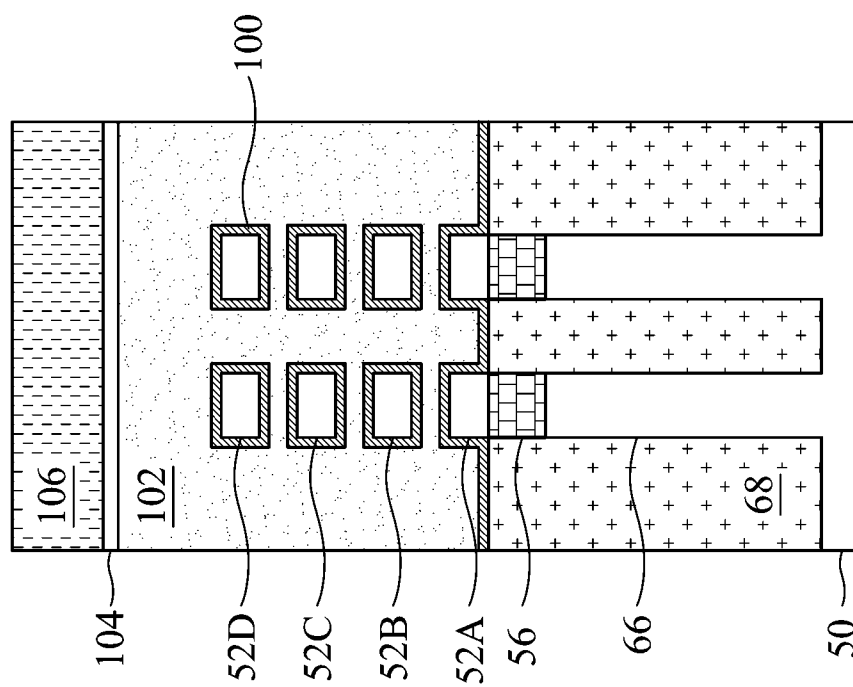
第17A圖



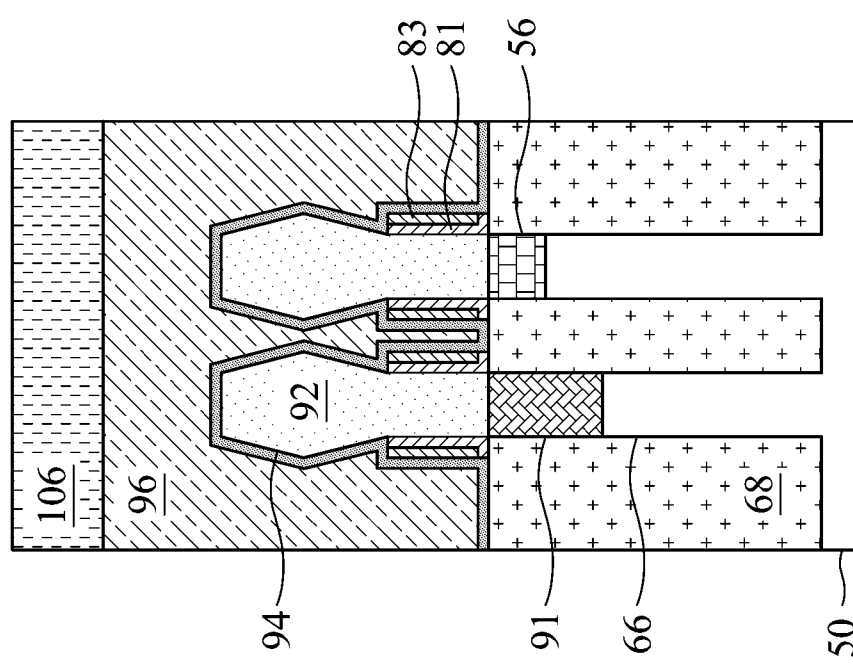
第17B圖



第 17C 圖

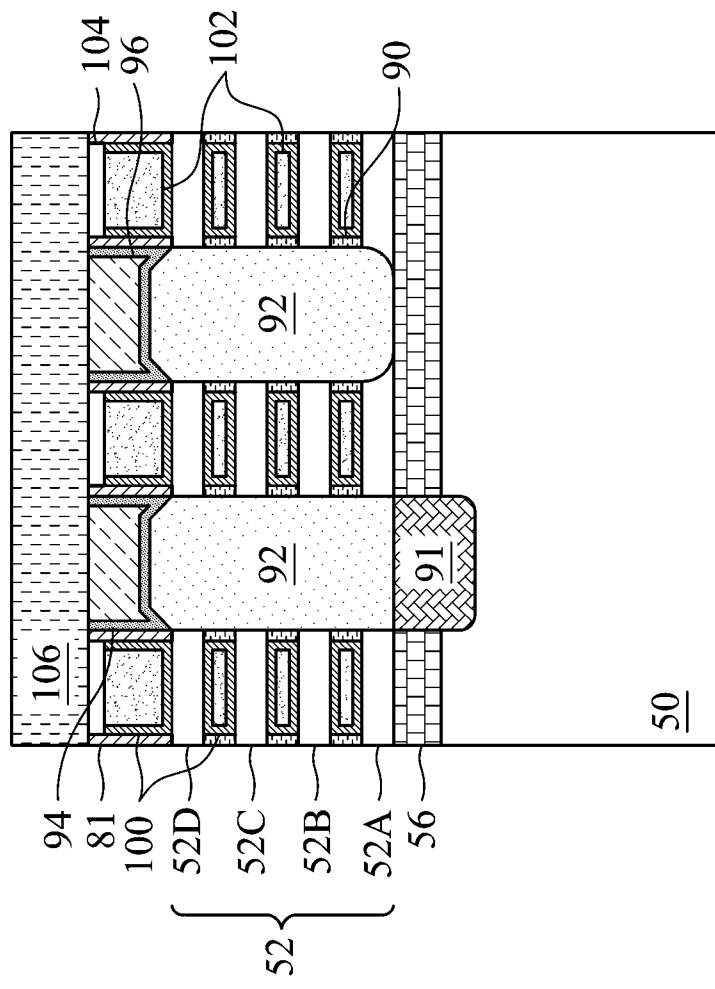


第 18A 圖

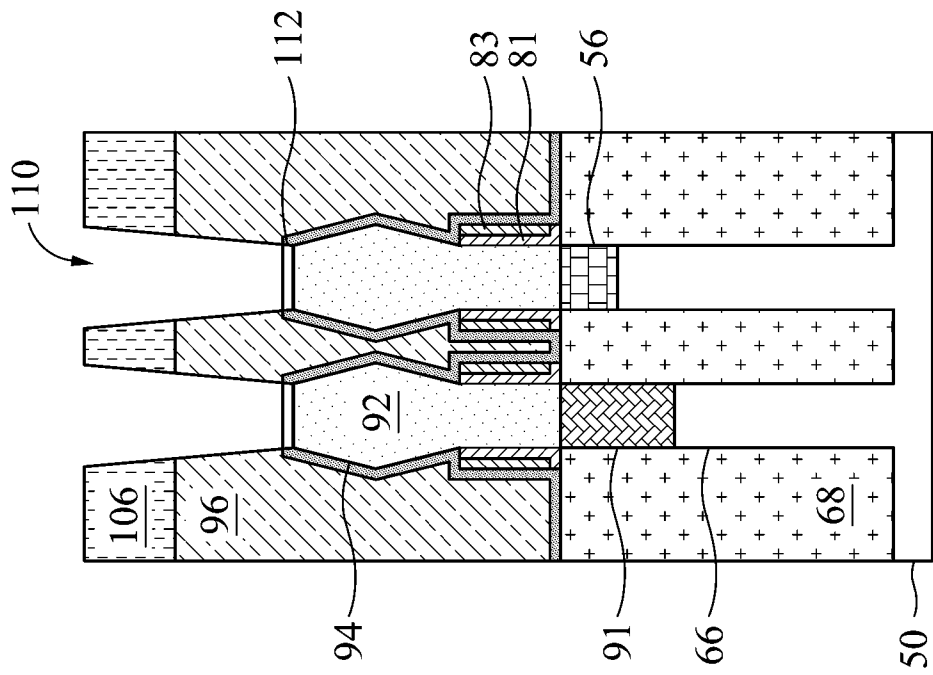


第 18B 圖

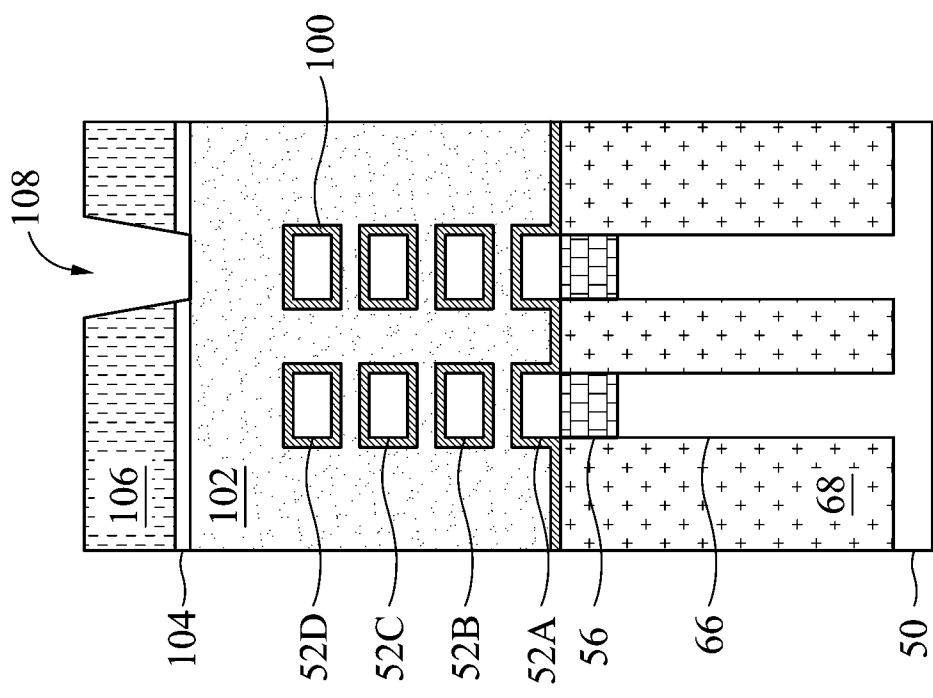




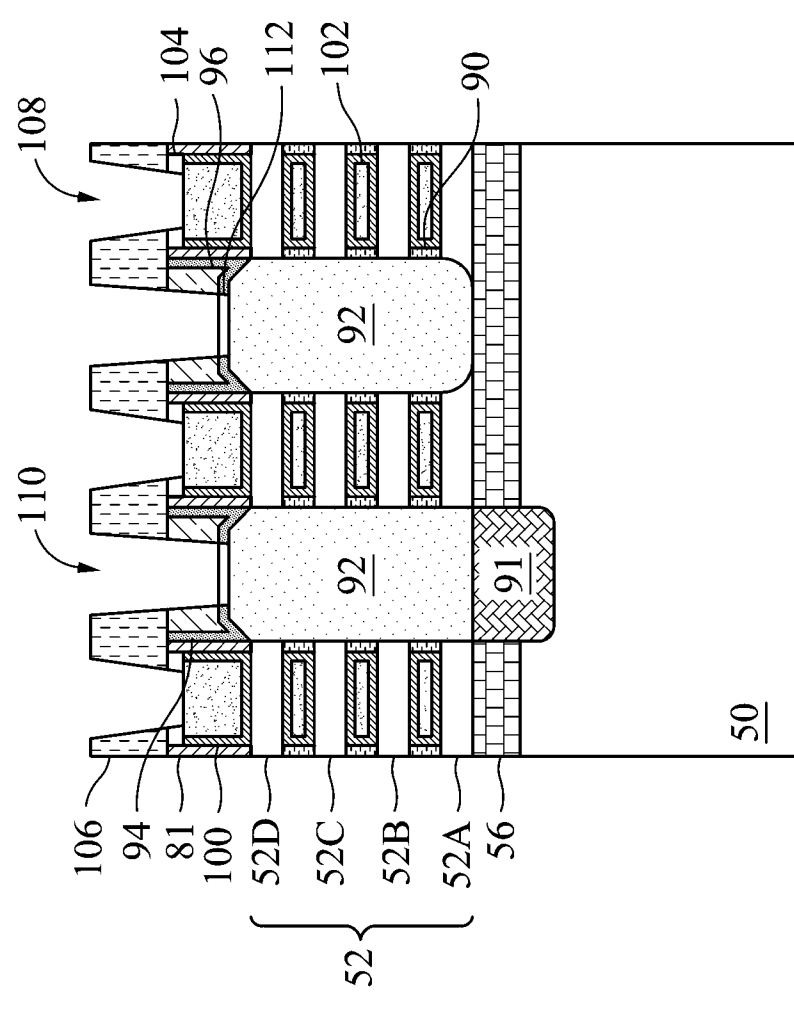
第 18C 圖



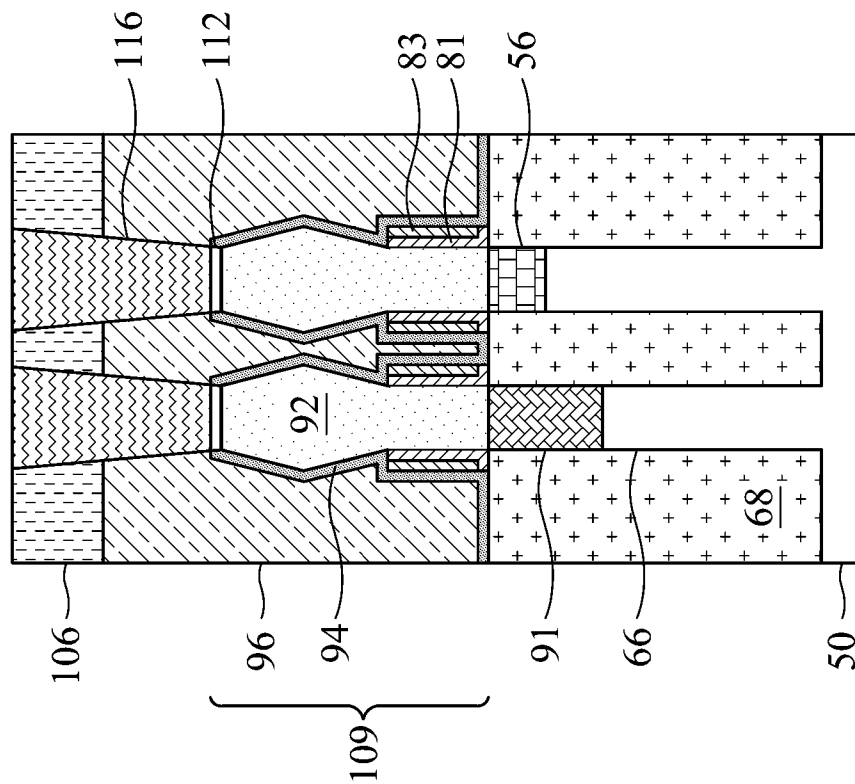
第 19B 圖



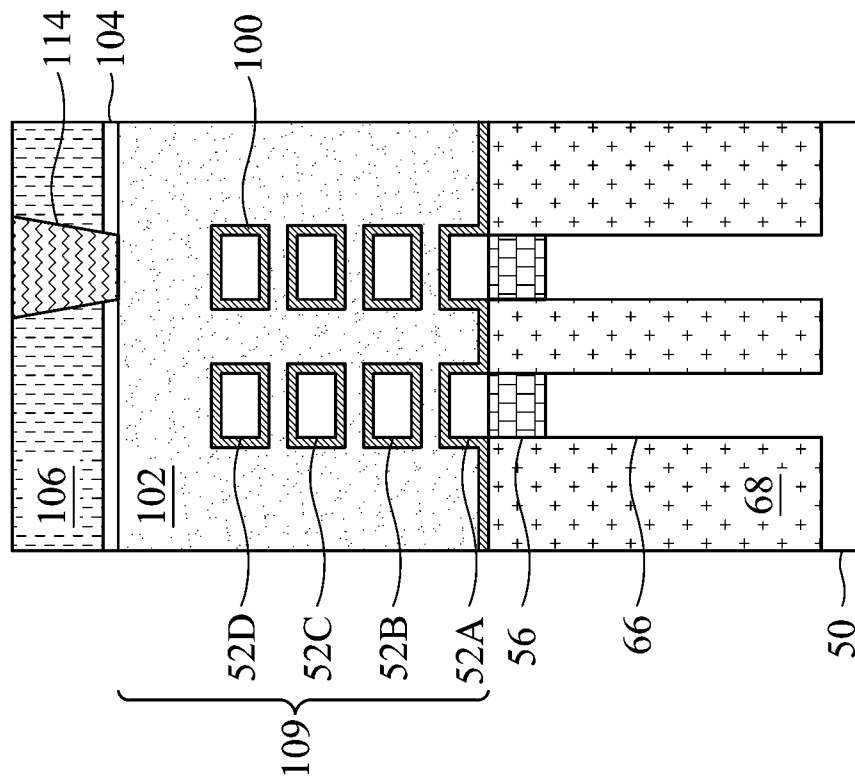
第 19A 圖



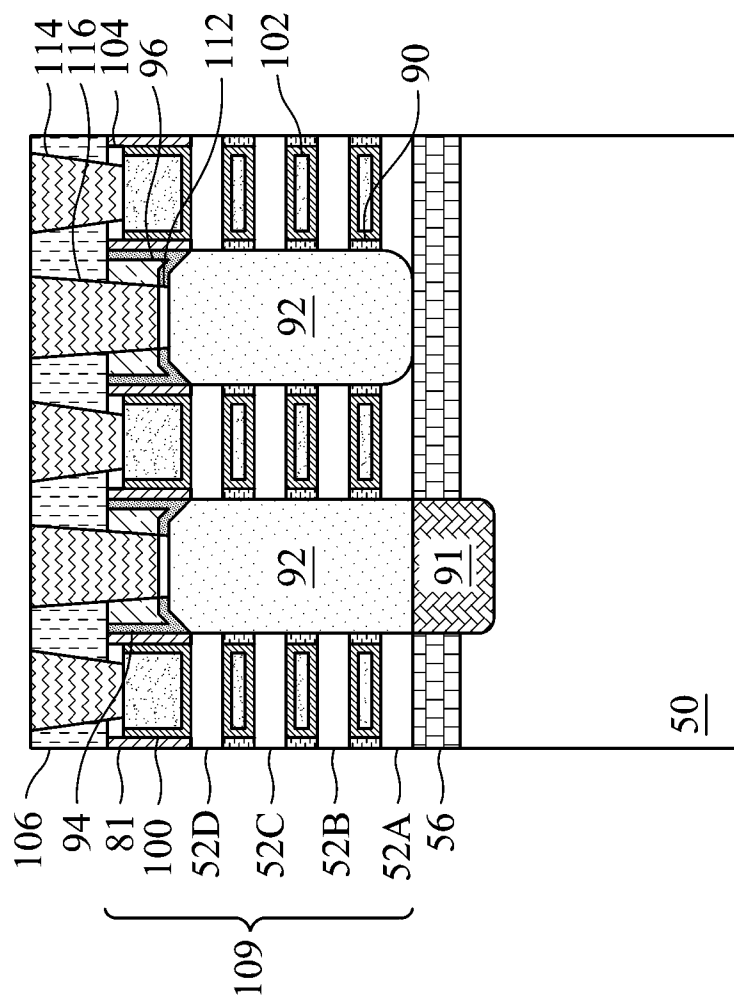
第 19C 圖



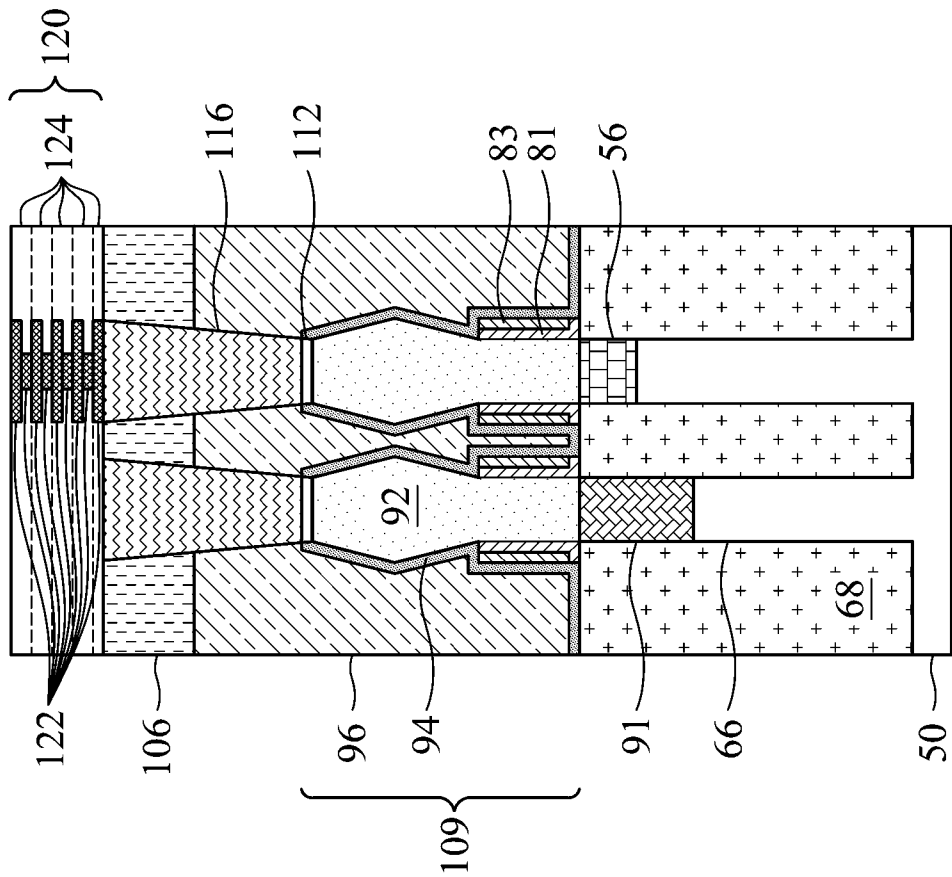
第 20B 圖



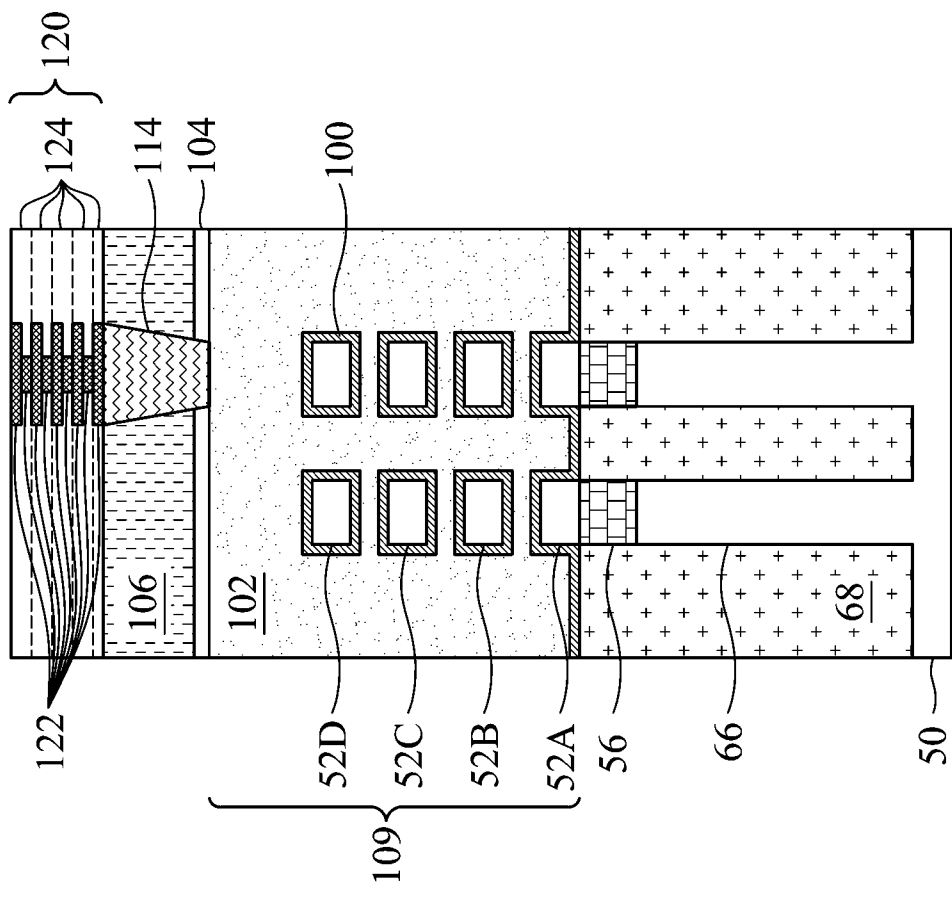
第 20A 圖



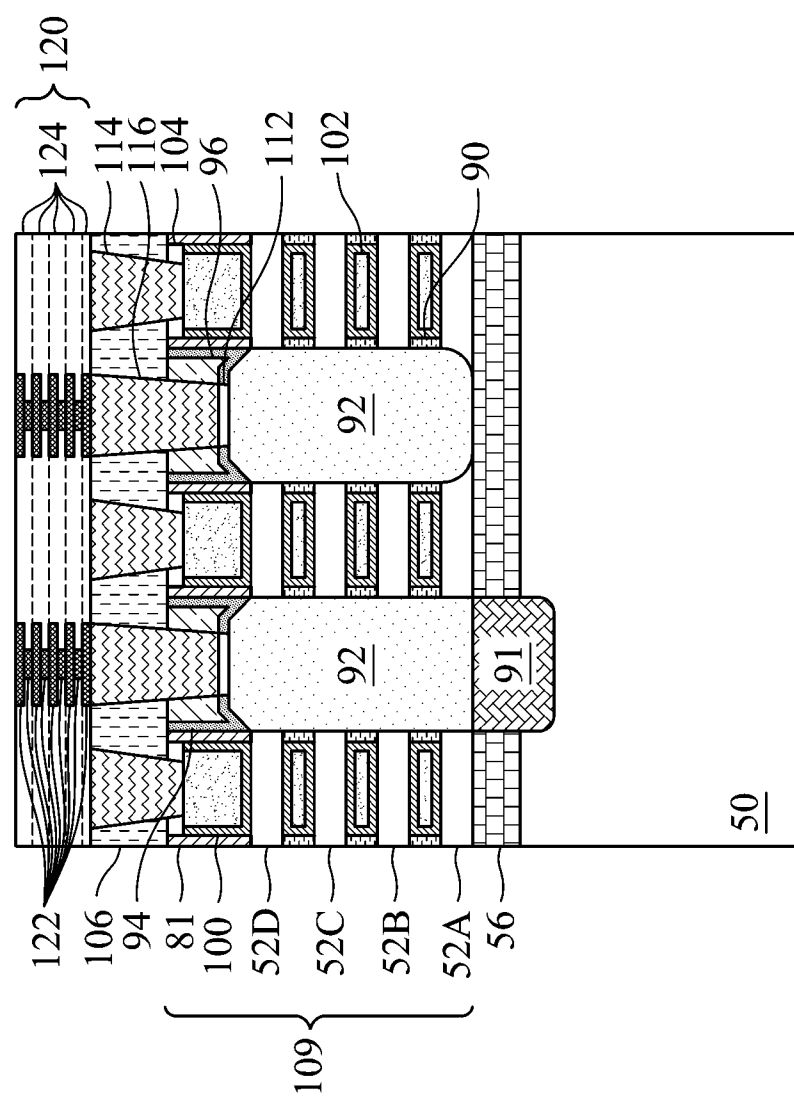
第 20C 圖



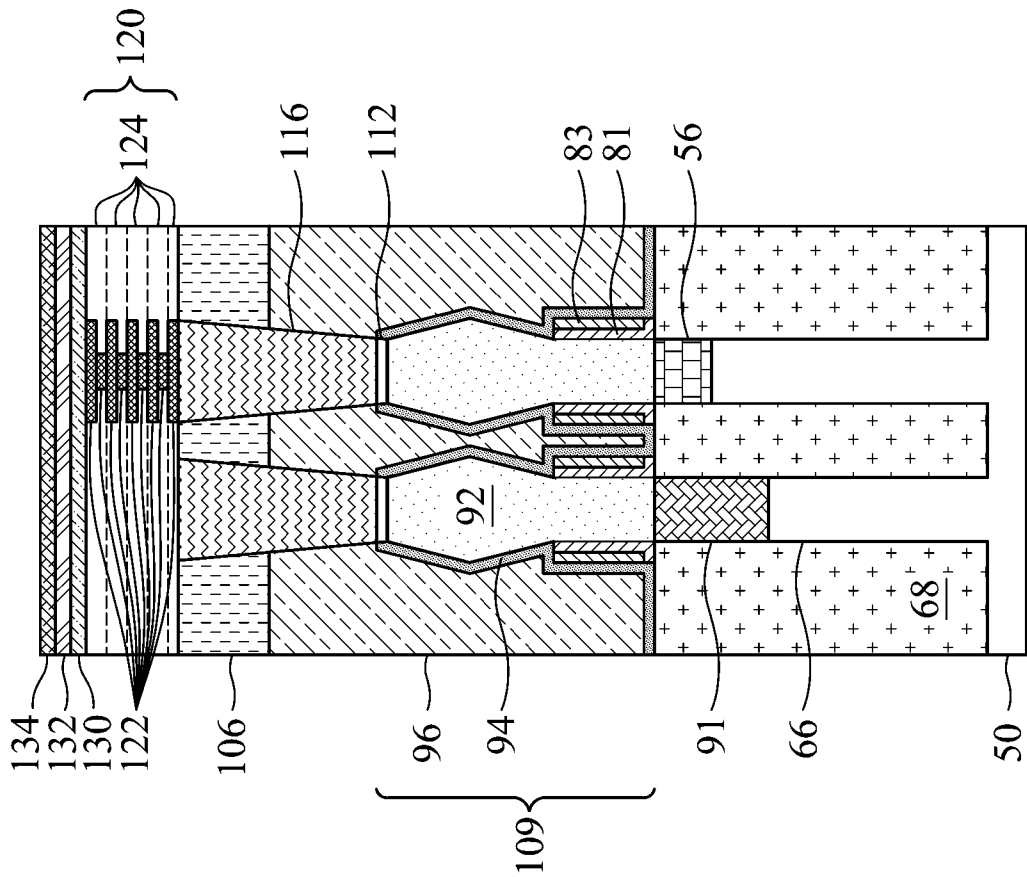
第 21B 圖



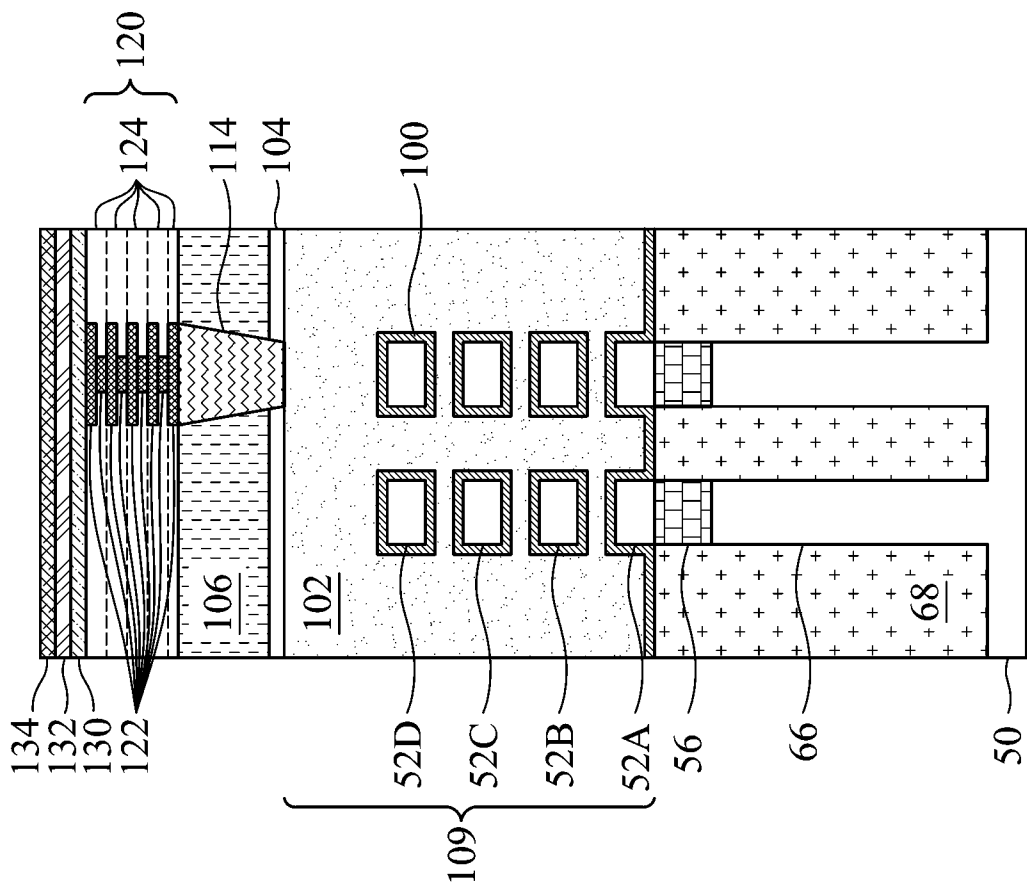
第 21A 圖



第 21C 圖

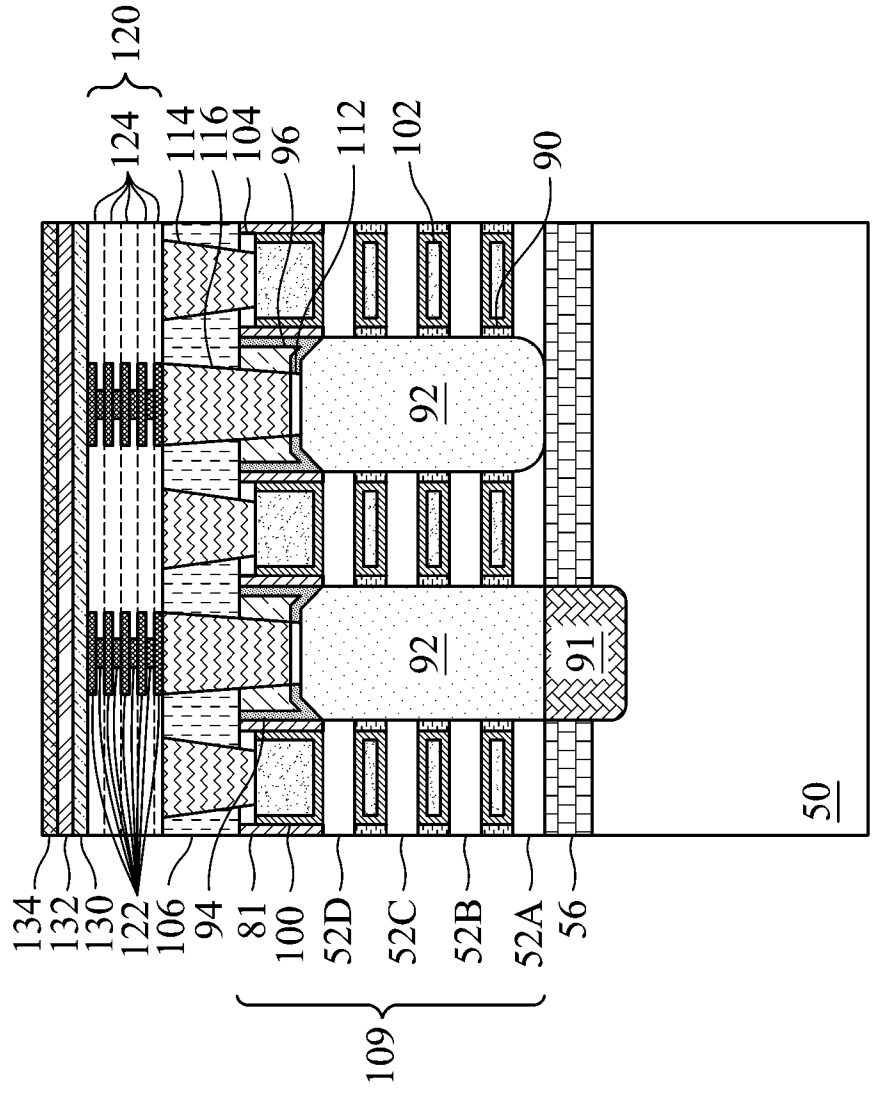


第 22B 圖

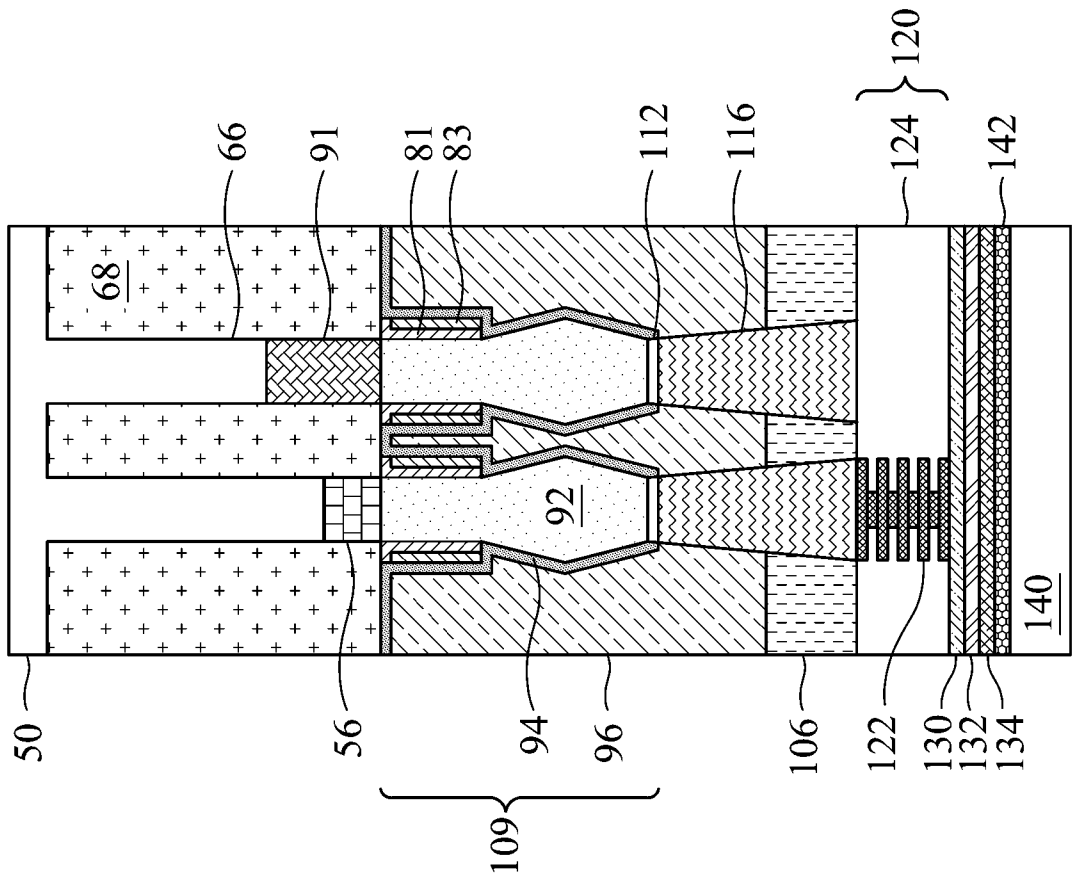


第 22A 圖

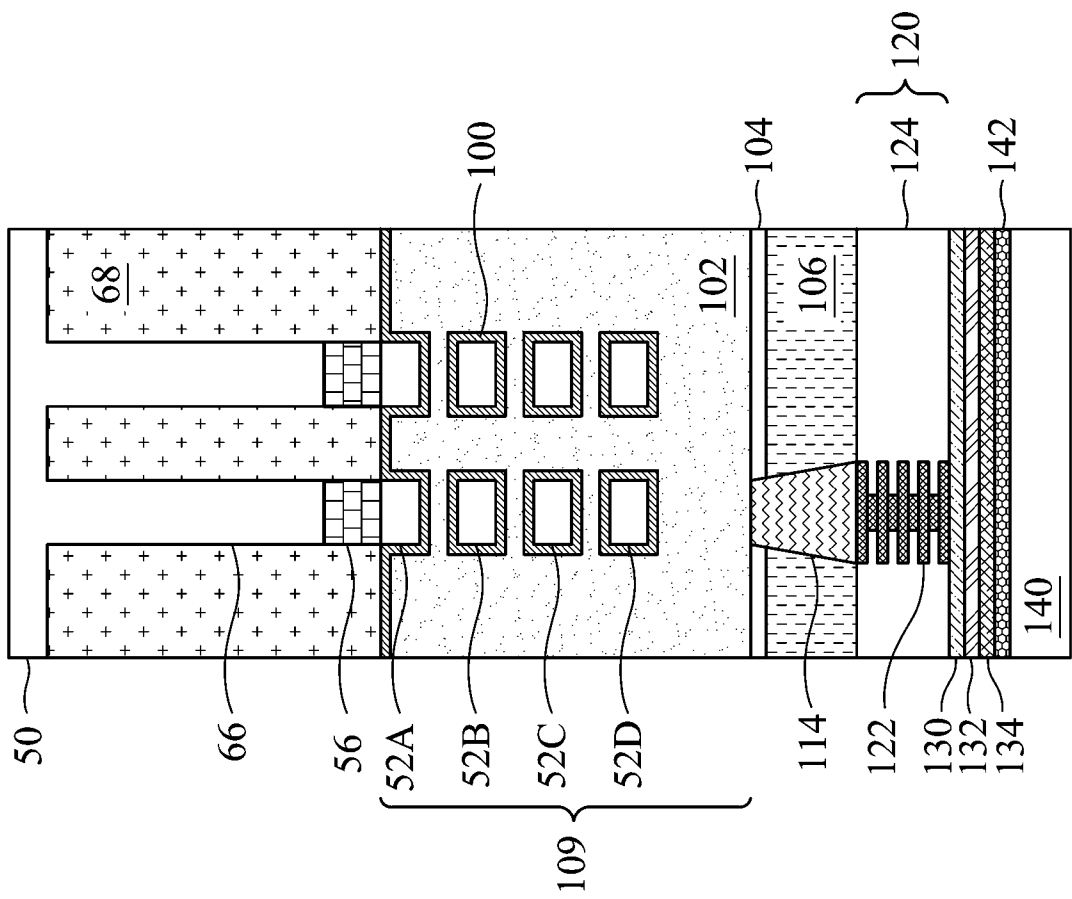




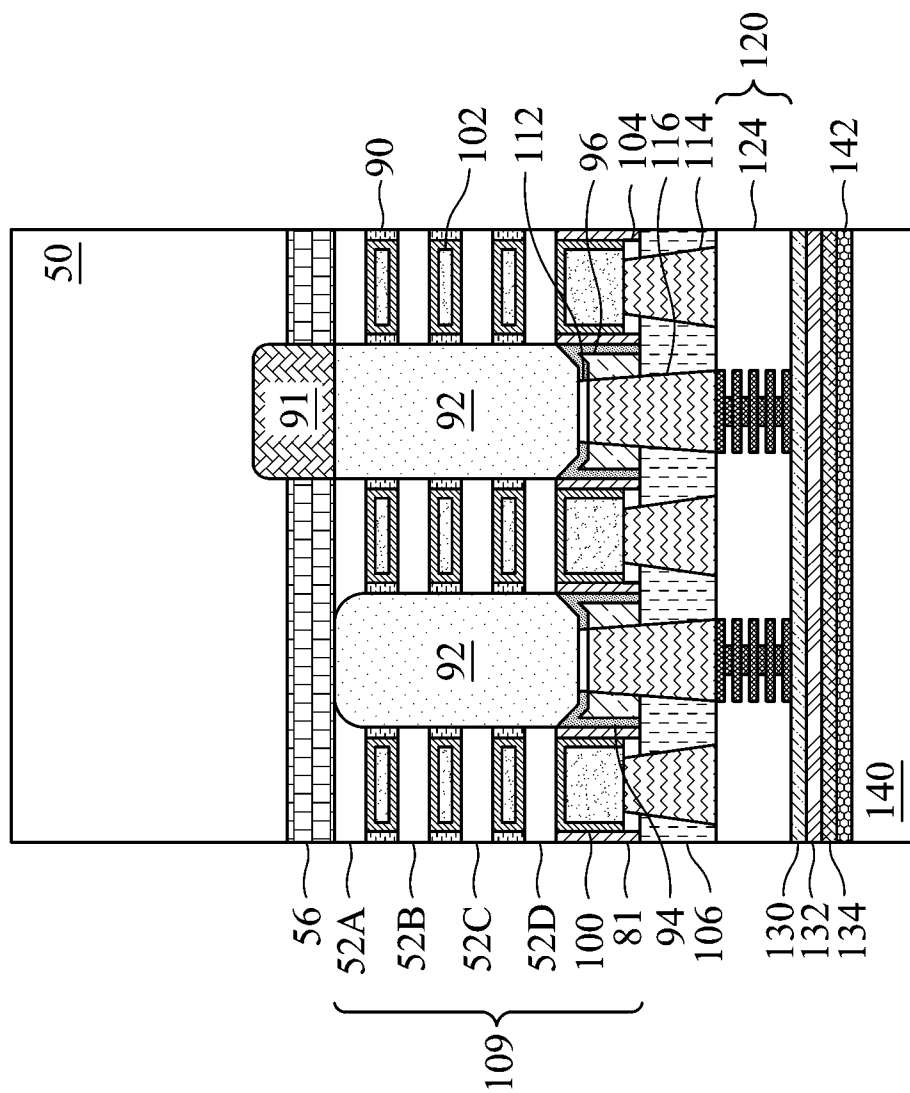
第 22C 圖



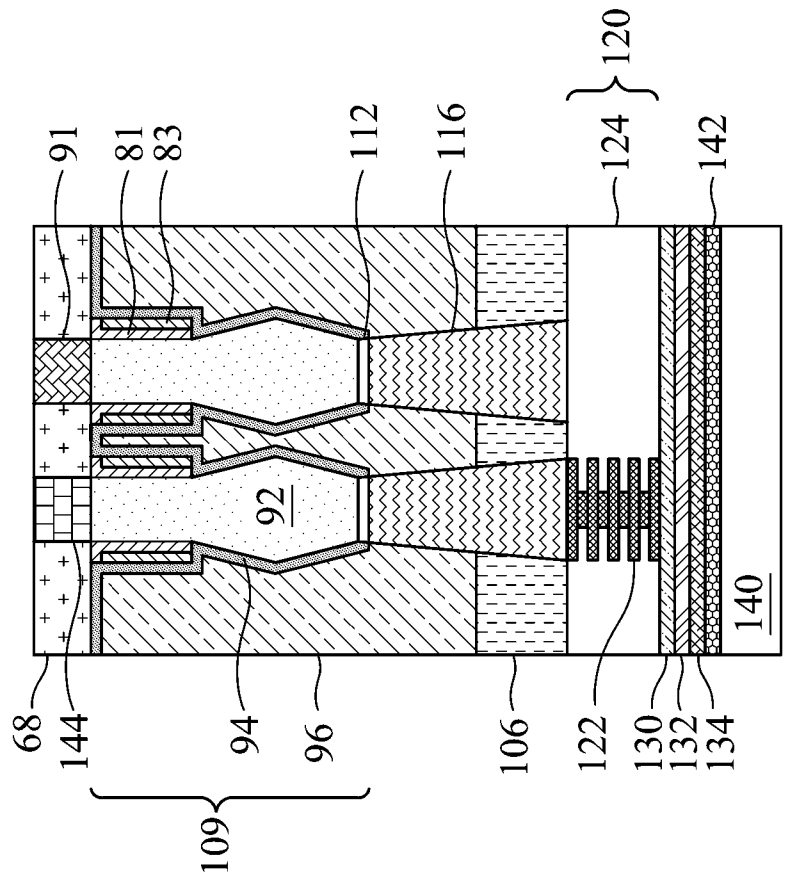
第 23B 圖



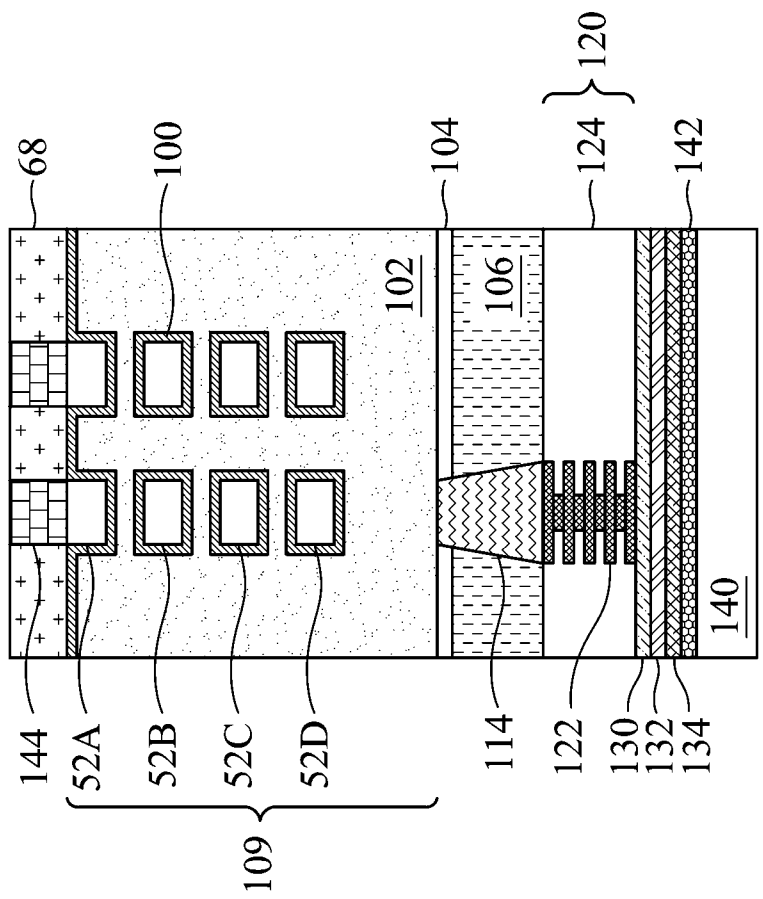
第 23A 圖



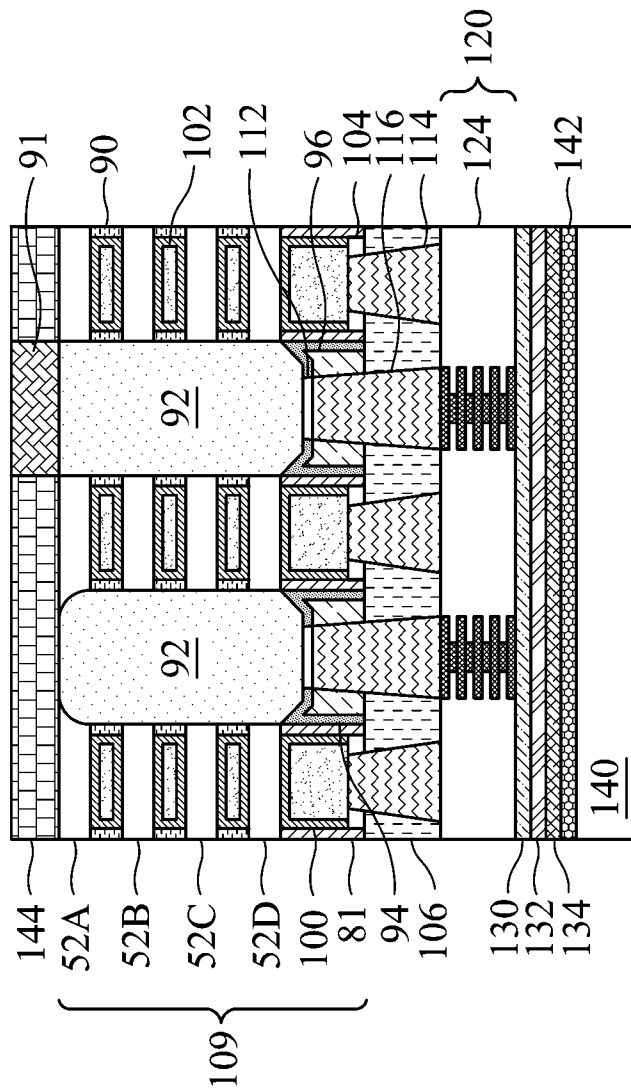
第 23C 圖



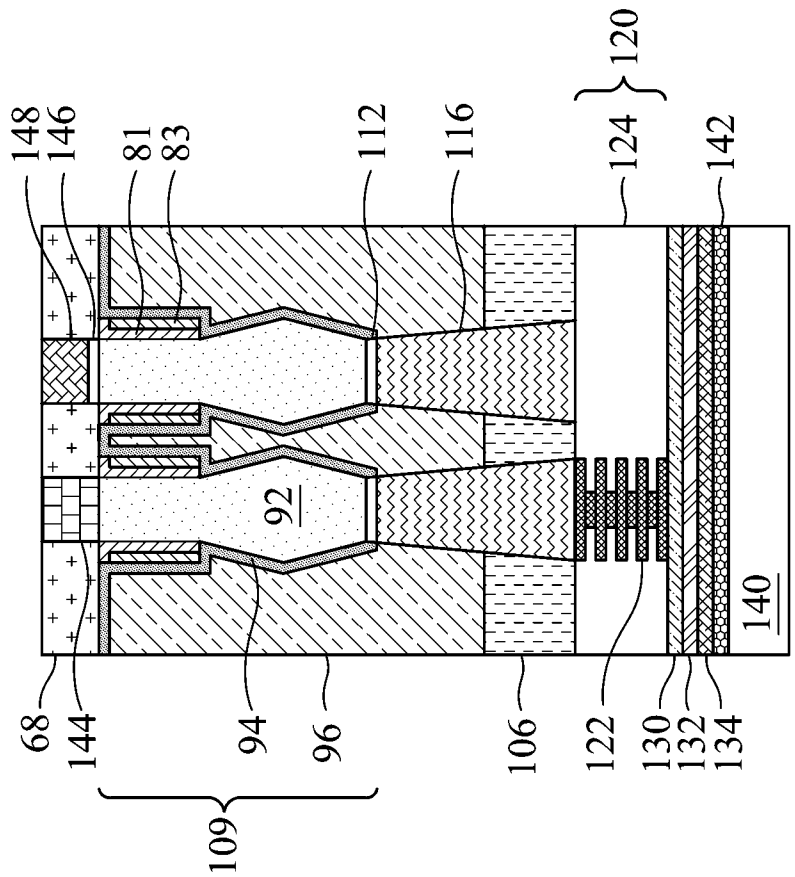
第 24B 圖



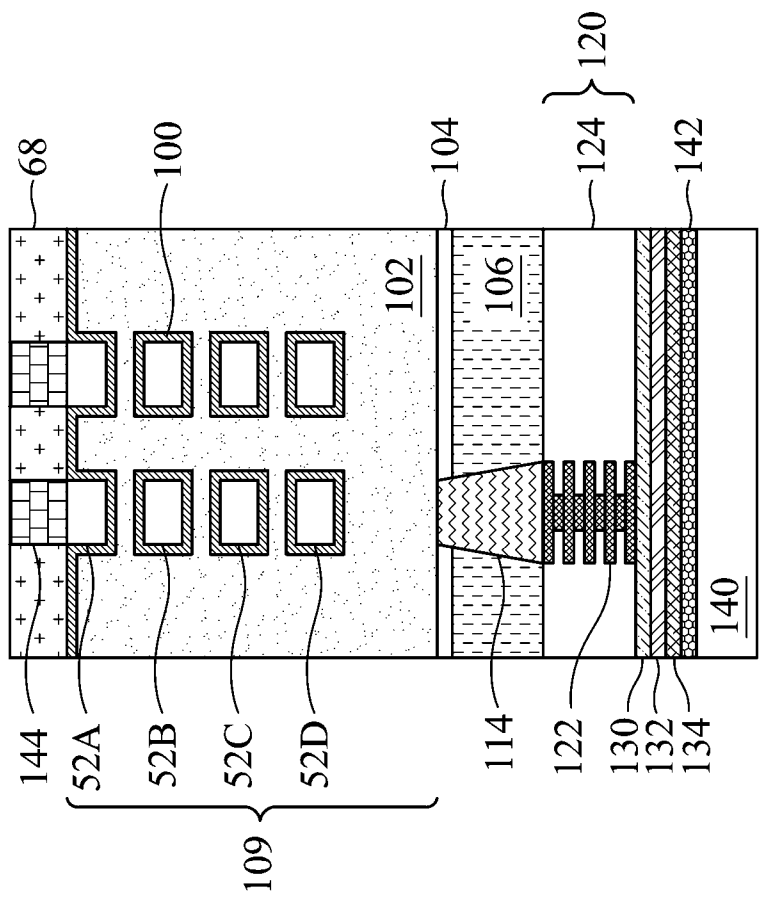
第 24A 圖



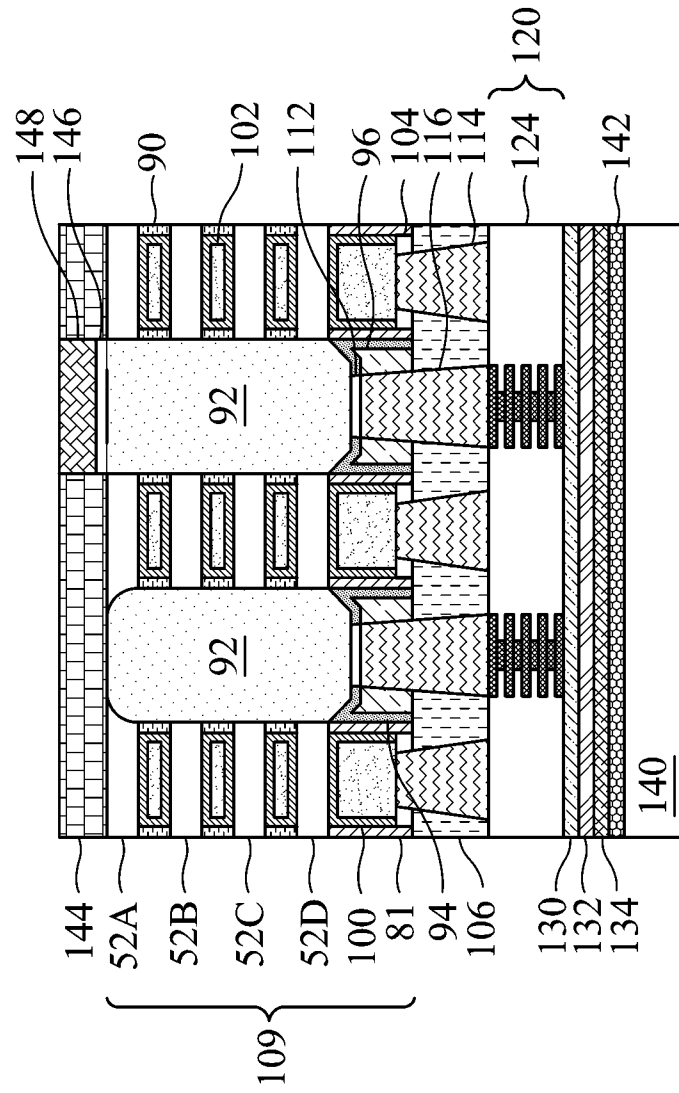
第 24C 圖



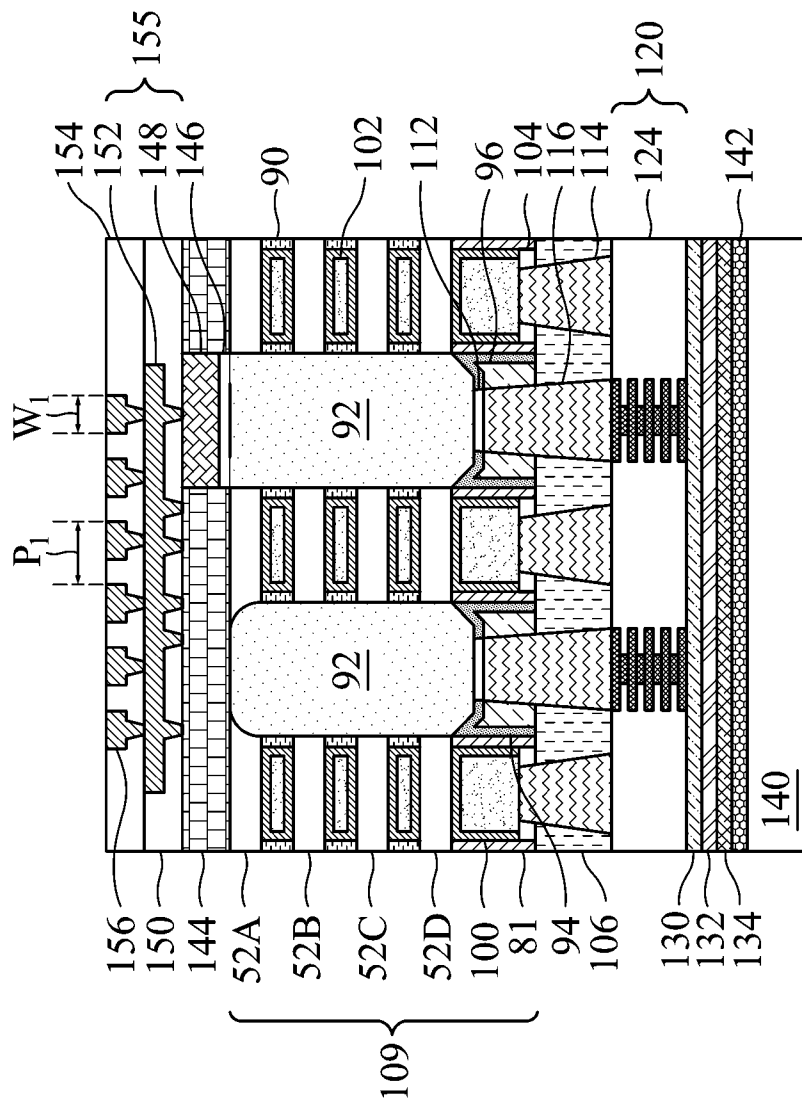
第 25B 圖



第 25A 圖

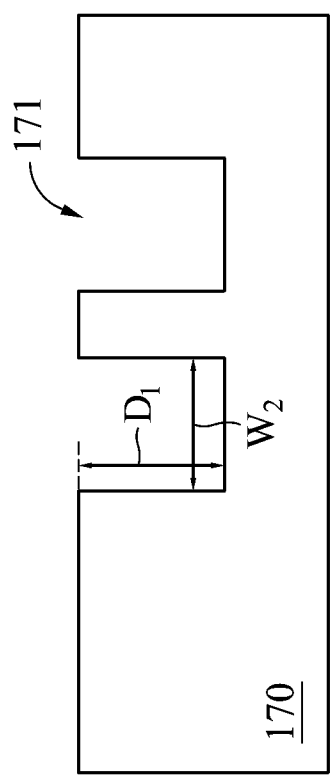


第 25C 圖

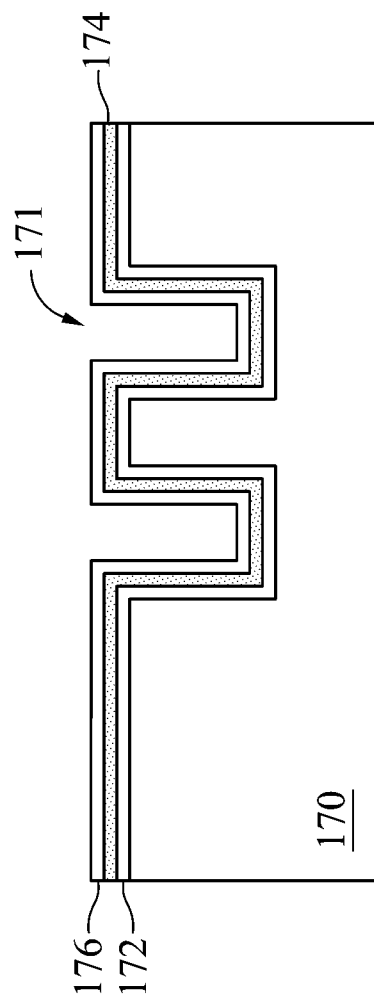


第 26 圖

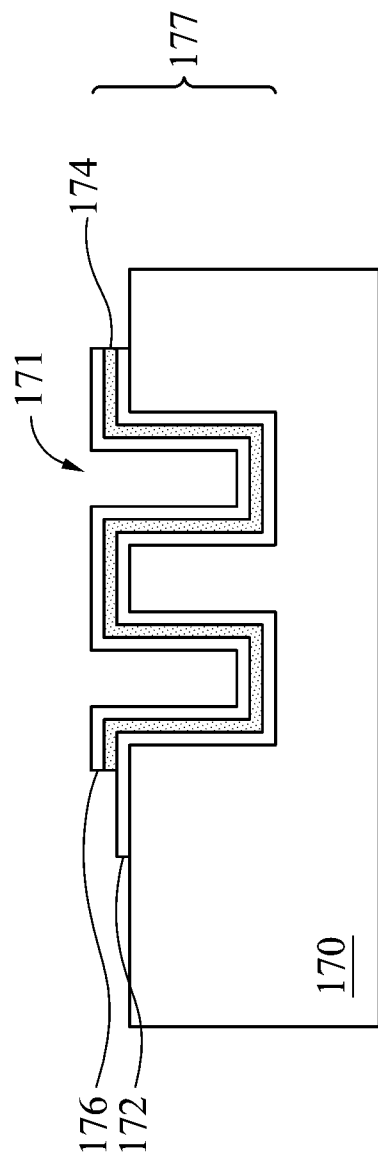




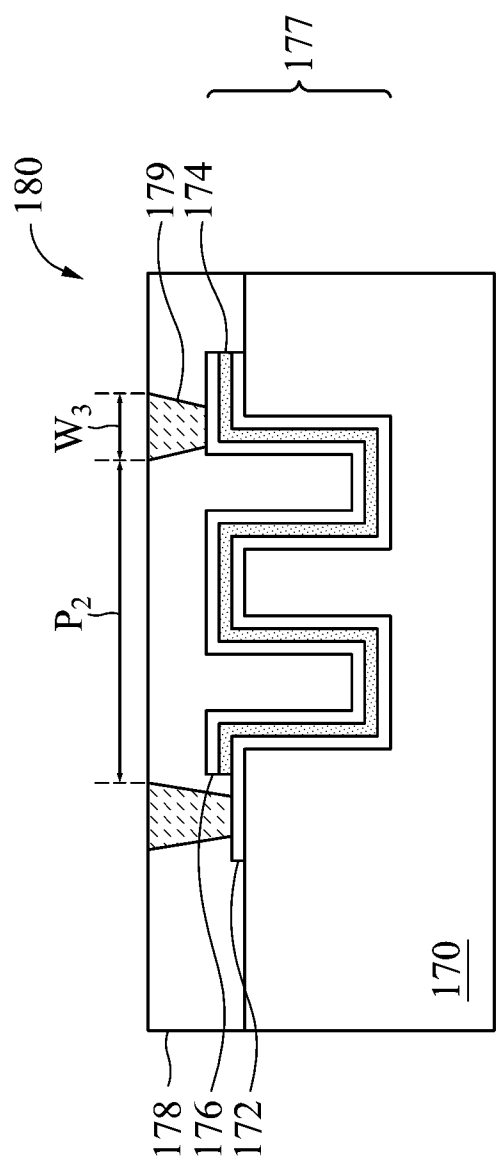
第 27 圖



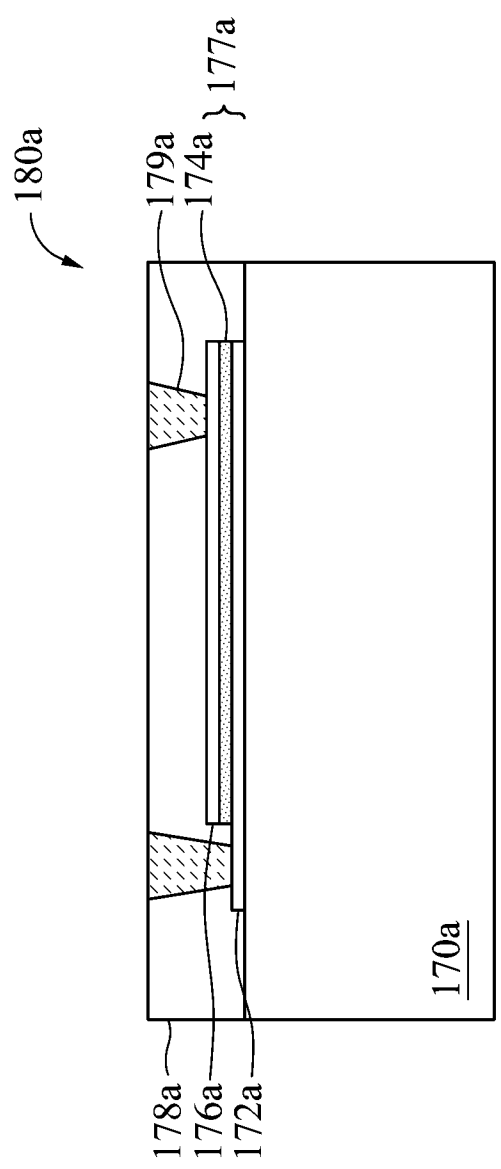
第 28 圖



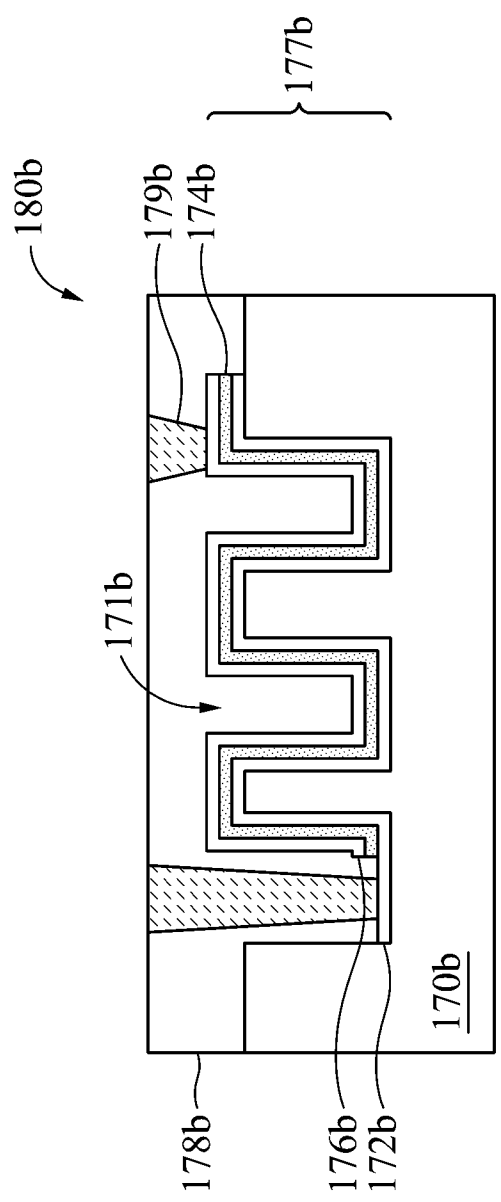
第 29 圖



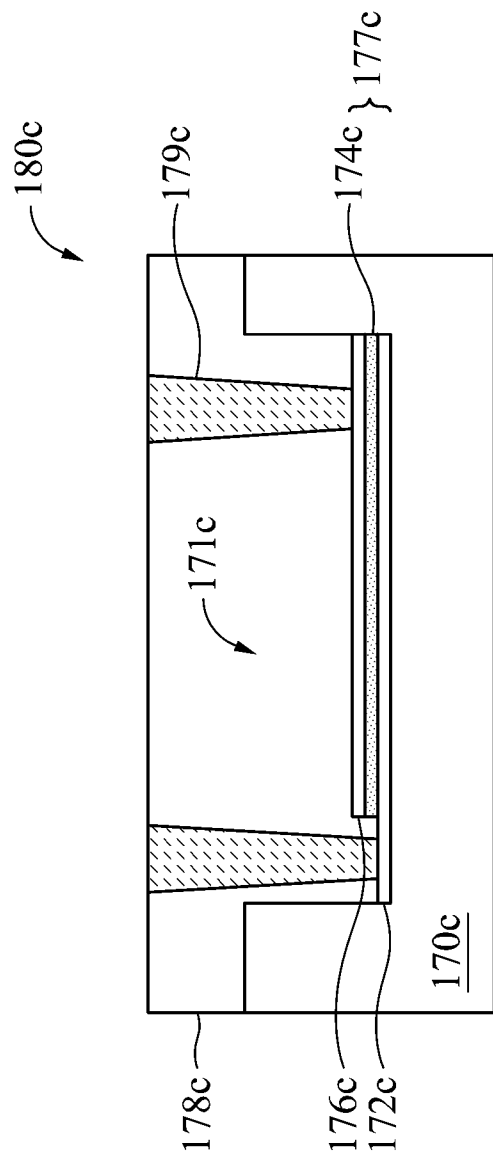
第 30A 圖



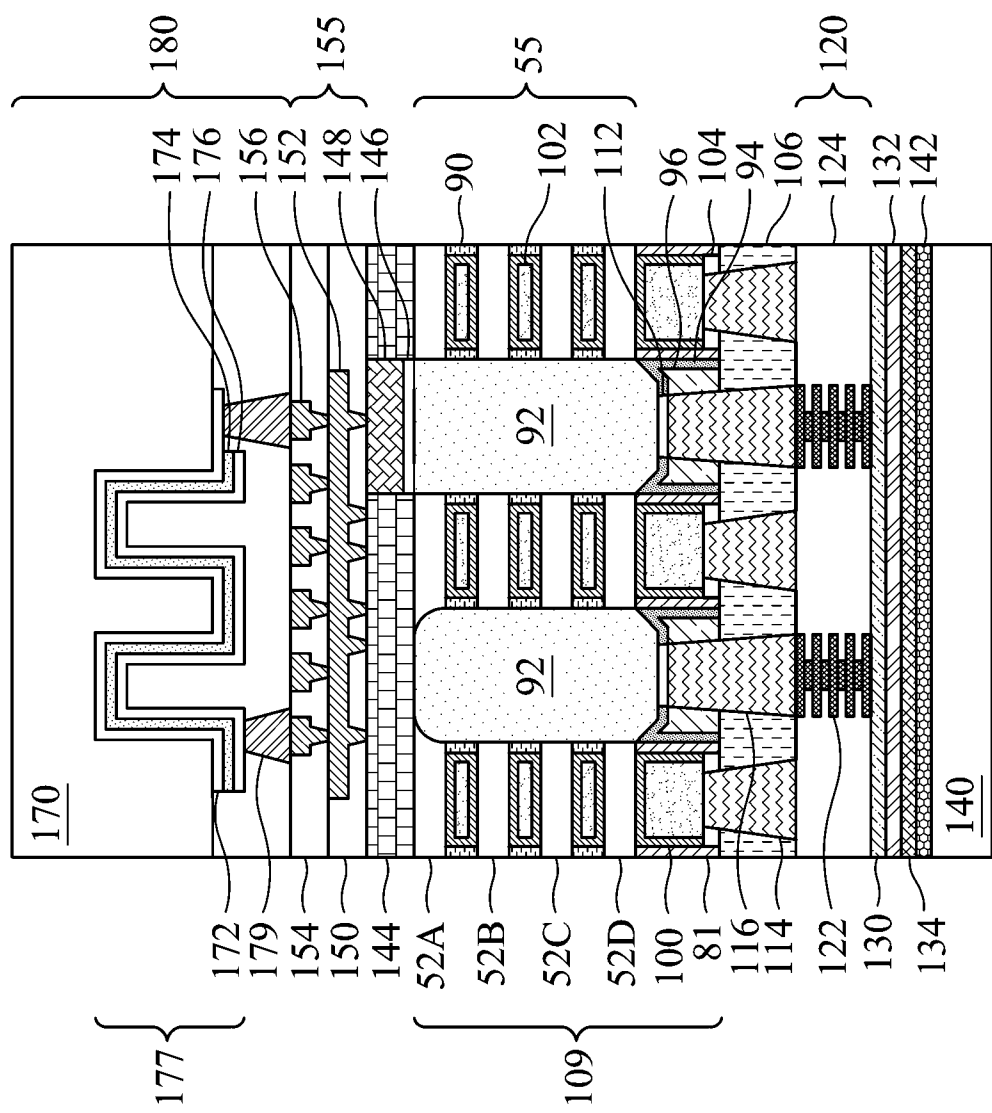
第 30B 圖



第 30C 圖

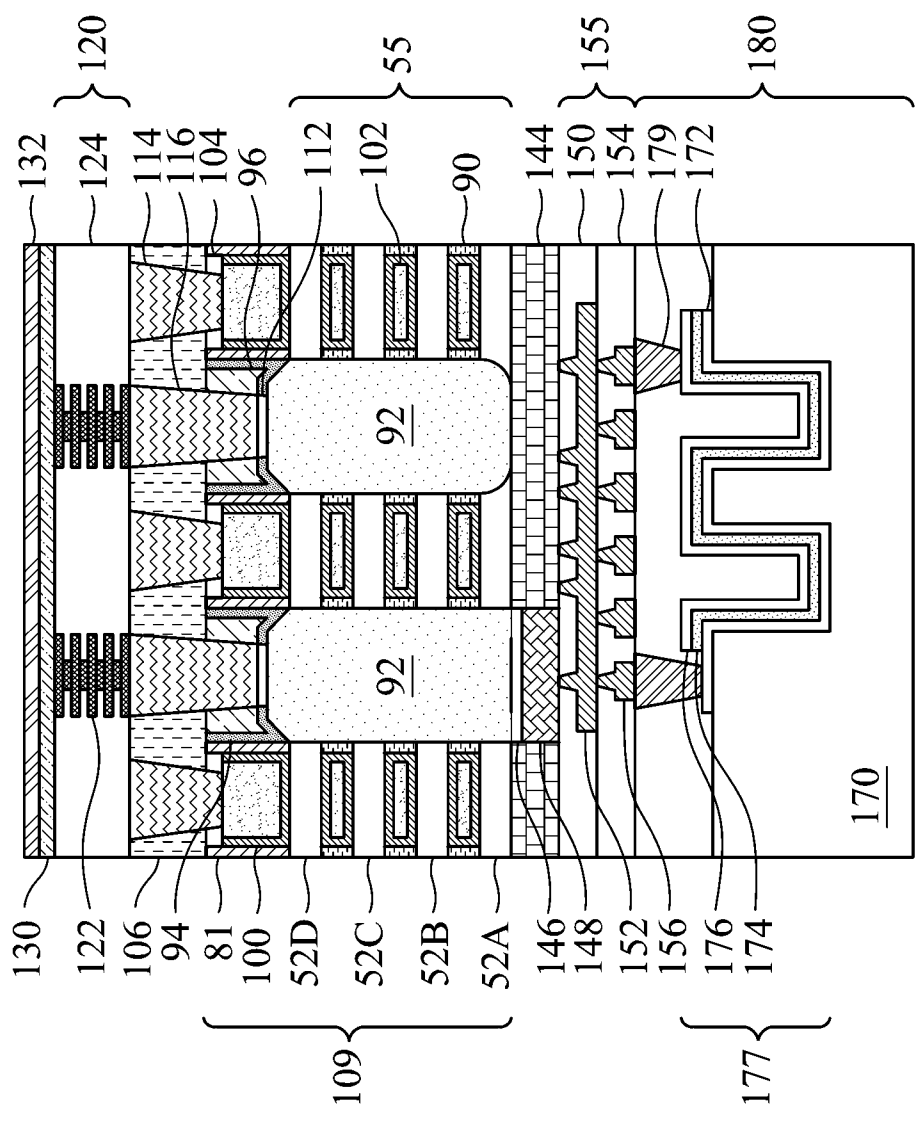


第 30D 圖

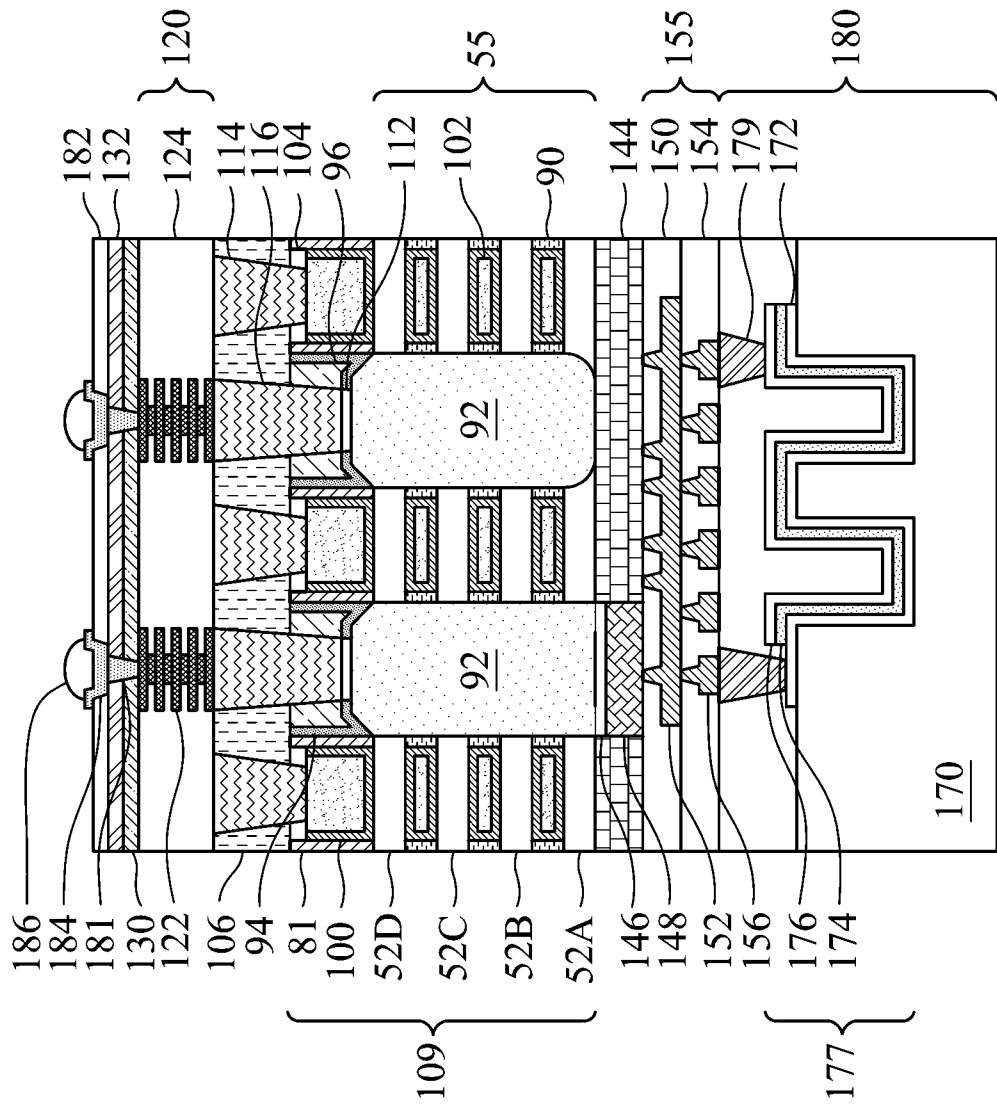


第31圖





第 32 圖



第 33 圖