

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6018219号  
(P6018219)

(45) 発行日 平成28年11月2日(2016.11.2)

(24) 登録日 平成28年10月7日(2016.10.7)

(51) Int.Cl.		F I
HO 1 L 33/16	(2010.01)	HO 1 L 33/16
HO 1 L 33/32	(2010.01)	HO 1 L 33/32
HO 1 L 33/42	(2010.01)	HO 1 L 33/42
HO 1 L 33/22	(2010.01)	HO 1 L 33/22
HO 1 L 33/36	(2010.01)	HO 1 L 33/36

請求項の数 8 (全 22 頁)

(21) 出願番号	特願2014-547096 (P2014-547096)	(73) 特許権者	506029004
(86) (22) 出願日	平成24年12月12日(2012.12.12)		ソウル バイオシス カンパニー リミテッド
(65) 公表番号	特表2015-504242 (P2015-504242A)		SEOUL VIOSYS CO., LTD.
(43) 公表日	平成27年2月5日(2015.2.5)		大韓民国 ギョンギード アンサンーシ
(86) 国際出願番号	PCT/KR2012/010765		ダンウォンーグ サンダンーロ 163ベ
(87) 国際公開番号	W02013/089417		オンーギル 65-16
(87) 国際公開日	平成25年6月20日(2013.6.20)		65-16, Sandan-ro 163
審査請求日	平成26年7月31日(2014.7.31)		Beon-gil, Danwon-gu
(31) 優先権主張番号	10-2011-0134129		, Ansan-si, Gyeonggi-do, Republic of Korea
(32) 優先日	平成23年12月14日(2011.12.14)	(74) 代理人	110000408
(33) 優先権主張国	韓国 (KR)		特許業務法人高橋・林アンドパートナーズ
(31) 優先権主張番号	10-2011-0135513		最終頁に続く
(32) 優先日	平成23年12月15日(2011.12.15)		
(33) 優先権主張国	韓国 (KR)		

(54) 【発明の名称】 発光ダイオードの製造方法

(57) 【特許請求の範囲】

【請求項 1】

C面に対して15°～85°範囲の角度だけ傾斜した主面を有するミスカット半極性窒化ガリウム基板を準備し、

前記基板上に半極性窒化ガリウム系列の各半導体層を成長させることによって半導体積層体を形成し、

前記半導体積層体上に反射層を形成し、

前記反射層上に支持基板を貼りつけ、

前記半極性窒化ガリウム基板を除去し、

前記半極性窒化ガリウム基板が除去された後、前記半導体積層体の表面に凹凸パターンを形成することを含む発光ダイオードの製造方法。

10

【請求項 2】

前記半導体積層体上に透明酸化層を形成することをさらに含む、請求項 1 に記載の発光ダイオードの製造方法。

【請求項 3】

前記透明酸化層は凹凸パターンを有する、請求項 2 に記載の発光ダイオードの製造方法。

【請求項 4】

前記半極性窒化ガリウム基板上に半導体積層体を形成する前に、電気化学的エッチング技術を用いて前記基板上に多孔構造の窒化物層を形成することをさらに含む、請求項 1 に

20

記載の発光ダイオードの製造方法。

【請求項 5】

前記半極性窒化ガリウム基板は、前記多孔構造の窒化物層を用いて前記半導体積層体から分離される、請求項 4 に記載の発光ダイオードの製造方法。

【請求項 6】

前記半導体積層体上に透明酸化層を形成することをさらに含む、請求項 1 に記載の発光ダイオードの製造方法。

【請求項 7】

前記透明酸化層は凹凸パターンを有する、請求項 6 に記載の発光ダイオードの製造方法。

10

【請求項 8】

前記透明酸化層は I T O または Z n O である請求項 6 に記載の発光ダイオードの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子及びそれを製造する方法に関し、特に、発光ダイオード及びそれを製造する方法に関する。

【背景技術】

【0002】

発光ダイオードは、光を発する半導体素子であって、環境低負荷、低電圧、長い寿命及び低価格などの特徴を有する。発光ダイオードは、従来は、表示用ランプや数字などの単純情報表示に多く応用されてきたが、近年は、産業技術の発展、特に情報表示技術と半導体技術の発展に伴い、ディスプレイ分野、自動車ヘッドランプ、プロジェクターなどの多方面にわたって使用されるに至っている。

20

【0003】

特に、窒化ガリウム系化合物半導体は、可視光及び紫外線発光素子や高出力電子素子などに使用されている。窒化ガリウム系化合物半導体層は、通常、M B E ( M o l e c u l a r B e a m E p i t a x y )、M O C V D ( M e t a l - O r g a n i c C h e m i c a l V a p o r D e p o s i t i o n ) または H V P E ( H y d r i d e V a p o r P h a s e E p i t a x y ) などの成長技術を用いて基板上に成長する。

30

【0004】

一般に、窒化ガリウム系化合物半導体は、サファイア基板などの異種基板上で成長し、特に C 面を成長面として有するサファイア基板上に成長する。窒化物半導体層と異種基板は、格子定数が互いに異なり、熱膨張係数が互いに異なる。その結果、異種基板上に窒化物半導体層を成長させる場合、この窒化物半導体層内に結晶欠陥が多く発生する。

【0005】

このような結晶欠陥は、窒化物半導体層を含む電子素子または発光素子の特性、例えば、発光素子の発光効率を低下させるなどの問題を発生させる。

【0006】

さらに、C 軸方向に成長した窒化ガリウム系化合物半導体は、自発分極及び圧電分極による極性を示し、その結果、電子と正孔との再結合率が低くなり、発光効率の改善に限界がある。

40

【0007】

一方、a 面または m 面に成長した窒化ガリウム系化合物半導体は、非極性を有するので、自発分極や圧電分極を発生させない。しかし、a 面または m 面に窒化ガリウム系化合物半導体を成長させることは、解決すべき課題が多く残っているので、未だに広く適用されていない。

【0008】

一方、発光ダイオードを含む半導体素子は、多様な半導体素子製造装置、例えば、I C

50

P (Inductively Coupled Plasma) 装置、PECVD (Plasma Enhanced Chemical Vapor Deposition) 装置、E-Beam (Electron-Beam) 装置またはフォトリソグラフィ (Photolithography) 装置などを用いて製造される。

【0009】

このとき、前記半導体素子を製造するにおいて、基板の移送及び保管などの便宜性のために複数の基板を層単位で積載したカセットを用いる。

【0010】

しかし、半導体素子、特に発光ダイオード素子を大量生産するためには、半導体素子製造装置内に複数の基板をローディングして工程を進める場合が多い。このとき、層単位で積載された各半導体基板をカセットから一つずつ引き出して半導体素子装置内に装入する。

10

【0011】

その結果、個別の基板を一つずつ半導体製造装置内にローディングするので、基板ローディング時間が多くかかるという短所がある。

【発明の概要】

【発明が解決しようとする課題】

【0012】

本発明が解決しようとする課題は、発光効率を改善できる発光ダイオード及びそれを製造する方法を提供することにある。

20

【0013】

本発明が解決しようとする他の課題は、GaN基板を用いて半極性発光ダイオードを製造する方法を提供することにある。

【0014】

本発明が解決しようとする更に他の課題は、成長させようとする半導体層と同一又は類似する物質、格子定数または熱膨張係数を有するシード層を有する半導体素子基板及びそれを用いて半導体素子を製造する方法を提供することにある。

【0015】

本発明が解決しようとする更に他の課題は、複数の基板を半導体素子製造装置内にローディングする時間を短縮できる半導体素子の製造方法を提供することにある。

30

【課題を解決するための手段】

【0016】

本発明の一態様に係る発光ダイオードは、導電性基板と、前記基板上に位置する窒化ガリウム系列の半導体積層体と、を含む。ここで、前記半導体積層体は、半極性半導体層の活性層を含む。

【0017】

また、前記窒化ガリウム系列の半導体積層体は、半極性窒化ガリウム基板上で成長した各半導体層を含む。さらに、前記半極性窒化ガリウム基板は、C面に対して $15^{\circ} \sim 85^{\circ}$  範囲の角度だけ傾斜した主面を有するミスカット半極性窒化ガリウム基板であり得る。

【0018】

いくつかの実施例において、前記導電性基板が前記半極性窒化ガリウム基板であり得るが、これに限定されることはない。例えば、前記基板は、半導体積層体に貼りつけられた金属基板であり得る。さらに、反射層が前記基板と前記半導体積層体との間に位置し得る。

40

【0019】

一方、前記発光ダイオードは、前記半導体積層体上に位置する透明酸化層をさらに含むことができ、この透明酸化層は凹凸パターンを有することができる。また、前記透明酸化層と接する前記半導体積層体の上部面は凹凸パターンを有することができる。

【0020】

本発明の他の態様に係る発光ダイオードの製造方法は、C面に対して $15^{\circ} \sim 85^{\circ}$  範

50

囲の角度だけ傾斜した主面を有するミスカット半極性窒化ガリウム基板を準備し、前記基板上に半極性窒化ガリウム系列の各半導体層を成長させることによって半導体積層体を形成することを含む。

【0021】

さらに、前記方法は、前記半導体積層体上に透明酸化層を形成することをさらに含むことができ、前記透明酸化層は凹凸パターンを有することができる。

【0022】

いくつかの実施例において、前記方法は、前記半導体積層体上に反射層を形成し、前記反射層上に支持基板を貼りつけ、前記半極性窒化ガリウム基板を除去することをさらに含むことができる。

10

【0023】

また、前記半極性窒化ガリウム基板上に半導体積層体を形成する前に、電気化学的エッチング技術を用いて前記基板上に多孔構造の窒化物層を形成することができ、前記半極性窒化ガリウム基板は、前記多孔構造の窒化物層を用いて前記半導体積層体から分離することができる。

【0024】

前記半極性窒化ガリウム基板を除去した後、前記半導体積層構造体の表面に凹凸パターンを形成することができる。

【0025】

以上では、発光ダイオード及び発光ダイオードの製造方法を説明したが、発光ダイオードに限定されることはなく、他の窒化物系半導体素子にも適用可能である。

20

【0026】

本発明の更には他の態様によると、支持基板を用意し、前記支持基板の一侧表面上にナノロッドを形成し、前記ナノロッド上にシード層を形成することを含む半導体素子の製造方法が提供される。

【0027】

前記シード層を形成することは、前記ナノロッド上にCVD (Chemical Vapor Deposition) 法またはHVPE (Hydride Vapor Phase Epitaxy) 法を用いて前記シード層を形成することを含むことができる。

【0028】

前記シード層を形成することは、バルク基板を用意し、前記支持基板の一侧表面上に前記バルク基板を接合し、前記バルク基板を前記接合層から一定の厚さになるように切断・分離してシード層を形成することを含むことができる。

30

【0029】

前記バルク基板は、HVPE法、ナトリウムフラックス (Na Flux) 法またはアモノサーマル (Ammonothermal) 法で製造されたものであり得る。

【0030】

前記シード層は、GaNを含んで構成することができる。

【0031】

前記ナノロッドは、AlNまたはGaNを含んで構成することができる。

40

【0032】

前記支持基板は、Si基板、サファイア基板、AlN基板、Ge基板またはSiC基板であり得る。

【0033】

前記支持基板は、その一侧表面に凹凸パターンを備えることができる。

【0034】

前記半導体素子の製造方法は、前記シード層を形成した後、前記シード層上に少なくとも第1の導電型半導体層、活性層及び第2の導電型半導体層を含む複数の半導体層を形成し、前記各半導体層をパターンニングし、第1型半導体層の一部が露出した半導体積層構造体を形成し、前記半導体積層構造体の第2の導電型半導体層上にTCO層を形成し、前記

50

の露出した第1の導電型半導体層上に第1の電極を形成し、前記TCO層上に第2の電極を形成することをさらに含むことができる。

【0035】

前記半導体素子の製造方法は、前記複数の半導体層を形成する前に、前記シード層の表面を平坦化することをさらに含むことができる。

【0036】

前記TCO層は、その表面に凹凸を含むことができる。

【0037】

前記第2の導電型半導体層上にTCO層を形成することは、前記半導体積層構造体上に第1のTCO層を形成し、前記第1のTCO層上にフォトレジストパターンを形成し、前記フォトレジストパターンが形成された第1のTCO層上に第2のTCO層を形成し、前記フォトレジストパターン、及び前記フォトレジストパターン上に形成された前記第2のTCO層の一部をリフトオフ(Lift Off)法で除去して形成することを含むことができる。

10

【0038】

前記第2の導電型半導体層上にTCO層を形成することは、前記TCO層上に複数のオープン領域を有するフォトレジストパターンを形成し、前記フォトレジストパターンをマスクとして前記TCO層の表面を一定の深さにウエットエッチングし、前記TCO層の表面に凹凸を形成することをさらに含むことができる。

【0039】

20

前記半導体素子の製造方法は、前記シード層を形成するステップ後、前記シード層上に少なくとも第1の導電型半導体層、活性層及び第2の導電型半導体層を含む複数の半導体層を形成し、前記複数の半導体層の第2の導電型半導体層上にエッチングストップパターンを形成し、前記エッチングストップパターンが形成された前記シード層上に金属ボンディング層を形成し、前記金属ボンディング層上に金属基板を形成し、前記支持基板を分離し、前記複数の半導体層をパターンニングすることによって半導体積層構造体を形成し、前記支持基板を分離し、露出した表面上にTCO層を形成し、前記TCO層上に電極パッドを形成することをさらに含むことができる。

【0040】

前記支持基板を分離することは、前記ナノロッドに熱衝撃を加えることによって前記ナノロッドを破壊・分離することであり得る。

30

【0041】

前記半導体素子の製造方法は、前記支持基板を分離した後、前記TCO層を形成する前に、前記シード層を除去することをさらに含むことができる。

【0042】

前記半導体素子の製造方法は、前記複数の半導体層を形成した後、前記金属ボンディング層を形成する前に、前記複数の半導体層と金属ボンディング層との間にオーミック反射パターンを形成することをさらに含むことができる。

【0043】

前記オーミック反射パターンは、前記エッチングストップパターンのオープン領域に充填されるように提供されることができる。

40

【0044】

前記半導体素子の製造方法は、前記複数の半導体層を形成する前に、前記シード層の表面を平坦化することをさらに含むことができる。

【0045】

前記TCO層は、その表面に凹凸を含むことができる。

【0046】

前記支持基板が分離された表面上にTCO層を形成することは、前記支持基板が分離された表面上に第1のTCO層を形成し、前記第1のTCO層上にフォトレジストパターンを形成し、前記フォトレジストパターンが形成された第1のTCO層上に第2のTCO層

50

を形成し、前記フォトリソパターン及び前記フォトリソパターン上に形成された前記第2のTCO層の一部をリフトオフ法で除去して形成することを含むことができる。

【0047】

前記支持基板が分離された表面上にTCO層を形成することは、前記支持基板が分離された表面上に複数のオープン領域を有するフォトリソパターンを形成し、前記フォトリソパターンをマスクとして前記TCO層の表面を一定の深さにウエットエッチングし、前記TCO層の表面に凹凸を形成することを含むことができる。

【0048】

本発明の更に他の態様によると、複数の基板を半導体素子製造装置内に水平に同時にローディングし、前記複数の基板を処理し、前記半導体素子製造装置から前記複数の基板を同時にアンローディングすることを含む半導体素子の製造方法が提供される。

10

【0049】

前記複数の基板はジグに装着されており、前記ジグを前記半導体素子製造装置内にローディング、または前記半導体素子製造装置からアンローディングすることによって前記複数の基板をローディングまたはアンローディングすることができる。

【0050】

前記ジグは、前記複数の基板がそれぞれ装着されて固定される複数の基板装着溝を備えることができる。

【0051】

前記ジグは、前記ジグを貫通する貫通ホールを複数備えており、前記各基板装着溝のそれぞれの底には前記貫通ホールを備えることができる。

20

【0052】

前記半導体素子の製造方法は、前記半導体素子装置内にローディングされた前記複数の基板を処理する前に、前記複数の基板の表面を露出する複数のオープン領域を備えたジグカバーを前記ジグ上に装着することをさらに含むことができる。

【0053】

前記ジグは、前記半導体素子製造装置内にローディングする前または前記半導体素子製造装置からアンローディングした後にカセット内に装着することができる。

【0054】

前記カセットは、前記ジグを積層して複数装着することができる。

30

【0055】

前記カセットは、前記半導体素子製造装置から分離されて移送される時は、窒素充填ボックス内に挿入して移送することができる。

【0056】

前記ジグは、Si、SiCまたは $Al_2O_3$ を含む物質からなり得る。

【発明の効果】

【0057】

本発明の各実施例によると、非極性または半極性半導体層の活性層を含む発光ダイオードを提供することができる。したがって、分極を緩和または除去することができ、発光効率を改善することができる。さらに、ミスカットGaN基板を用いて各半導体層を成長させることによって、半極性半導体層を相対的に容易に成長させることができる。また、電気化学エッチングを用いてGaN基板を分離することによってGaN基板を再使用することができ、生産コストを節減することができる。

40

【0058】

さらに、成長させようとする半導体層と格子定数または熱膨張係数が同一または類似する物質を有するシード層を含む半導体素子基板を提供することができ、また、半導体素子基板を用いて半導体素子を製造することができる。

【0059】

さらに、複数の基板を半導体素子製造装置内にローディングする時間を短縮できる半導体素子の製造方法を提供することができる。

50

## 【図面の簡単な説明】

【0060】

【図1】ミスカット窒化ガリウム基板を説明するための断面図である。

【図2】本発明の一実施例に係る発光ダイオードを説明するための断面図である。

【図3】本発明の他の実施例に係る発光ダイオードを説明するための断面図である。

【図4】図3の発光ダイオードを製造するための方法を説明するための断面図である。

【図5】図3の発光ダイオードを製造するための方法を説明するための断面図である。

【図6】図3の発光ダイオードを製造するための方法を説明するための断面図である。

【図7】分離されたGaN基板を説明するための断面図である。

【図8】本発明の更に他の実施例に係る半導体素子の製造方法を説明するための断面図である。 10

【図9】本発明の更に他の実施例に係る半導体素子の製造方法を説明するための断面図である。

【図10】本発明の半導体素子の製造方法で利用可能な他の形態の支持基板を示した断面図である。

【図11】本発明の半導体素子の製造方法で用いられるシード層を形成する方法を説明するための断面図である。

【図12】本発明の半導体素子の製造方法で用いられるシード層を形成する方法を説明するための断面図である。

【図13】本発明の半導体素子の製造方法で用いられるシード層を形成する方法を説明するための断面図である。 20

【図14】本発明の更に他の実施例に係る半導体素子の製造方法を説明するための断面図である。

【図15】本発明の更に他の実施例に係る半導体素子の製造方法を説明するための断面図である。

【図16】TCO層の表面に凹凸を形成する方法を説明するための断面図である。

【図17】TCO層の表面に凹凸を形成する方法を説明するための断面図である。

【図18】本発明の更に他の実施例に係る半導体素子の製造方法を説明するための断面図である。

【図19】本発明の更に他の実施例に係る半導体素子の製造方法を説明するための断面図である。 30

【図20】本発明の一実施例に係る半導体素子の製造方法を示すフローチャートである。

【図21】本発明の各実施例に係る半導体素子の製造方法で利用可能な半導体素子製造装置を説明するための概略図である。

【図22】本発明の各実施例に係る半導体素子の製造方法で利用可能なジグを示す概略図である。

【図23】本発明の各実施例に係る半導体素子の製造方法で利用可能なジグカバーを示す概略図である。

## 【発明を実施するための形態】

【0061】

以下では、添付の各図面を参照して本発明の各実施例を詳細に説明する。次に紹介する各実施例は、当業者に本発明の思想を十分に伝達するために例として提供されるものである。したがって、本発明は、以下で説明する各実施例に限定されるものではなく、他の形態に具体化することもできる。そして、各図面において、同一の参照番号は同一の構成要素を示し、構成要素の幅、長さ、厚さなどは、便宜のために誇張して表現する場合がある。

【0062】

図1は、本発明の各実施例で成長基板として使用可能なミスカット(Miscut)窒化ガリウム基板を説明するための断面図である。

【0063】

図1を参照すると、基板21は、主面がC軸に対して $15^\circ \sim 85^\circ$ だけ傾斜した半極性面を有する窒化ガリウム基板である。また、基板21は、主面に対して一方向に傾斜したミスカット表面21aを有する。

【0064】

ミスカット表面21aを形成することによってキンク(Kink)が形成される。キンクは、窒化ガリウム系列の半導体層の成長時に核生成サイトを提供し、半導体層を容易に成長させる。ミスカット表面21aは、特別に限定されることはなく、c面であってもよい。

【0065】

基板21の主面は、例えば、(20-21)、(20-2-1)、(10-11)、(10-1-1)、(11-22)、(11-2-2)、(30-31)、(30-3-1)などの半極性面またはこれらのファミリーであり得る。

10

【0066】

基板21上に窒化ガリウム系列の半導体層を成長させることによって、基板21と同じ半極性面を有する各半導体層を成長させることができる。特に、自発分極のみならず、圧電分極が極性半導体層に比べて相対的に小さいので、発光効率を高めることができる。

【0067】

図2は、本発明の一実施例に係る発光ダイオードを説明するための断面図である。

【0068】

図2を参照すると、発光ダイオードは、基板21、バッファ層23、第1の導電型半導体層25、超格子層27、活性層29、第2の導電型半導体層31及び透明酸化層33を含む。また、発光ダイオードは、透明酸化層33の上部に電極パッド(図示せず)をさらに含むことができる。

20

【0069】

基板21は、図1を参照して説明した基板であって、それについての詳細な説明は省略する。ここで、基板21は、導電性基板であって、電極として使用したり、基板21の下部に電極を形成したりすることができる。

【0070】

バッファ層23、第1の導電型半導体層25、超格子層27、活性層29及び第2の導電型半導体層31は、エピ層として基板21上に成長する。

30

【0071】

各エピ層、特に、活性層29は、半極性基板21上に成長することによって半極性半導体層に成長し、その結果、極性半導体層に比べて分極が相対的に小さくなる。

【0072】

バッファ層23は、基板21上で成長するエピ層のストレイン(Strain)を緩和し、結晶性を向上させるために形成される。バッファ層23は、基板21と同一の組成の窒化ガリウム層であり得るが、必ずしもこれに限定されることはない。バッファ層23は省略することもできる。

【0073】

第1の導電型半導体層25は、例えば、n型不純物がドーピングされた窒化ガリウム層に成長させることができ、超格子層27は、バンドギャップが互いに異なる各窒化ガリウム系層、例えば、窒化ガリウム層とインジウム窒化ガリウム層を互いに積層して形成することができる。

40

【0074】

一方、活性層29は、電子と正孔との再結合のために相対的に狭いバンドギャップを有する井戸層を含み、単一量子井戸構造または多重量子井戸構造を有することができる。

【0075】

一方、第2の導電型半導体層31は、例えば、p型不純物がドーピングされた窒化ガリウム層に成長させることができ、さらに、電子ブロック層を含むこともできる。

【0076】

50

各エピ層は、MBEまたはMOCVD技術を用いて成長させることができる。

【0077】

透明酸化層33は、第1の導電型半導体層25、活性層29及び第2の導電型半導体層31を含む半導体積層体上に位置する。透明酸化層33は、電流分散のために形成される。また、透明酸化層33は、上部表面に凹凸パターン33aを有することができる。電流分散及び凹凸パターン33aを形成するために、透明酸化層33の全体厚さは約1μm以上であって、凹部の厚さは0.5μm以上であり得る。

【0078】

透明酸化層33は、ITOまたはZnOで形成することができる。例えば、1次的に透明酸化層の一部を形成した後、リフトオフ工程によって凸部を形成することにより、凹凸パターンを有する透明酸化層33を形成することができる。

10

【0079】

凹凸パターン33aを有する透明酸化層33は、活性層29で生成された光の抽出効率を向上させ、発光ダイオードの発光効率を改善する。

【0080】

図3は、本発明の更に他の実施例に係る発光ダイオードを説明するための断面図である。

【0081】

図3を参照すると、本実施例に係る発光ダイオードは、基板51、ボンディング金属37、反射層35、第1の導電型半導体層25、超格子層27、活性層29、第2の導電型半導体層31及び透明酸化層53を含む。また、発光ダイオードは、透明酸化層53の上部に電極パッド55をさらに含むことができる。

20

【0082】

基板51は、導電性基板であって、例えば、金属基板であり得る。基板51は、成長基板と区別され、既に成長が完了した半導体積層体上に貼りつけられた2次基板である。

【0083】

ボンディング金属37は、基板51と半導体積層体とを結合するために使用されたものであって、例えば、AuSnであり得る。一方、反射層35は、活性層29から放出されて基板51側に進行する光を反射させるために形成されたものであって、Agで形成することができる。Agの拡散を防止するためのバリア金属層を含むことができる。

30

【0084】

一方、第1の導電型半導体層25、超格子層27、活性層29、第2の導電型半導体層31は、図2を参照して説明した半導体積層体の各層と同一の構成要素であって、同一の指示番号を使用して示している。したがって、各層、特に、活性層29は半極性半導体層に形成される。但し、本実施例において、半導体積層体は、図2の実施例と対比すると、ひっくり返った構造を有しており、第1の導電型半導体層25は、上部表面に凹凸パターン25aを有することができる。

【0085】

一方、透明酸化層53は、第1の導電型半導体層25上に位置し、凹凸パターン53aを有することができる。透明酸化層53は、上述した透明酸化層33と類似するので、それについての詳細な説明は省略する。

40

【0086】

透明酸化層53上に電極パッド55が位置する。電極パッド55は、通常、ボンディングワイヤをボンディングするために提供される。

【0087】

図4ないし図6は、図3の発光ダイオードを製造するための方法を説明するための断面図である。

【0088】

図4を参照すると、まず、C面に対して15°～85°範囲の角度だけ傾斜した主面を有するミスカット半極性窒化ガリウム基板21が準備される。基板21は、図1を参照し

50

て説明した基板 2 1 と同一であるので、それについての詳細な説明は省略する。

【 0 0 8 9 】

基板 2 1 上にバッファ層 2 3 が成長される。バッファ層 2 3 は、不純物がドーピングされていない窒化物層、例えば、窒化ガリウム層に成長させることができる。ここで、バッファ層 2 3 は、その上にエピ層を成長させるための層として使用されるだけでなく、基板 2 1 を分離するために要求される。

【 0 0 9 0 】

バッファ層 2 3 上には、各空隙 2 4 a を有する多孔構造の窒化物層 2 4 が形成される。例えば、Si が  $1 \times 10^{18} / \text{cm}^3$  以上、 $10 \times 10^{19} / \text{cm}^3$  以下にドーピングされた GaN 層を成長させ、窒化物層を電気化学的エッチングを用いてエッチングすることによって多孔構造の窒化物層 2 4 を形成することができる。電気化学的エッチングは、例えば、約 10 のシュウ酸溶液 (0.3 M のシュウ酸) 内に不純物がドーピングされた窒化物層を有する基板 2 1 と Pt 電極を浸し、窒化物層に陽極を、Pt に陰極をそれぞれ連結して DC 電圧 (2.5 V ~ 6.0 V) を印加することによって行うことができる。

10

【 0 0 9 1 】

多孔構造は、図 4 に示したように、窒化物層 2 4 の表面からバッファ層 2 3 に至るナノスケールのロッド形態の各空隙 2 4 a を有することができる。

【 0 0 9 2 】

図 5 を参照すると、多孔構造の窒化物層 2 4 上に各エピ層、例えば、第 1 の導電型半導体層 2 5、超格子層 2 7、活性層 2 9、第 2 の導電型半導体層 3 1 を成長させることによって半導体積層体を形成する。これら各エピ層は、図 2 を参照して説明した各エピ層と同一であるので、それについての詳細な説明は省略する。

20

【 0 0 9 3 】

一方、各エピ層を相対的に高温で成長させる間、各空隙 2 4 a が成長し、窒化物層 2 4 内に各ポイド 2 4 b が形成される。併せて、窒化物層 2 4 内の各ポイド 2 4 b のサイズをさらに増加させるために、約 1000 の熱工程を追加的に行うことができる。

【 0 0 9 4 】

続いて、半導体積層体上に反射層 3 5 を形成する。反射層 3 5 は、Ag などの反射金属で形成することができ、Ag の拡散を防止するためにバリア金属層を含むことができる。その後、反射層 3 5 上にボンディング金属 3 7 を介在して基板 5 1 を貼りつける。ボンディング金属 3 7 は、例えば、AuSn であって、基板 5 1 は金属基板であり得る。

30

【 0 0 9 5 】

図 6 を参照すると、基板 5 1 が貼りつけられた後、各ポイド 2 4 b が形成された窒化物層 2 4 を用いて半極性窒化ガリウム基板 2 1 を除去する。例えば、化学的エッチング技術を用いて窒化物層 2 4 をエッチングすることによって半極性窒化ガリウム基板 2 1 を分離することもでき、機械的な力を加えることによって半極性窒化ガリウム基板 2 1 を分離することもできる。

【 0 0 9 6 】

その後、露出した半導体積層構造体の表面、例えば、第 1 の導電型半導体層 2 5 の表面をパターニングすることによって凹凸パターン (図 3 の 2 5 a) を形成することができる。露出した半導体積層構造体の表面は、各ポイド 2 4 b によって相対的に粗い表面を有する。この粗い表面を有する上部部分を化学的にエッチングまたは機械的に研磨し、ドライエッチングを用いて凹凸パターン 2 5 a を形成することができる。また、粗い表面を維持した状態で凹凸パターン 2 5 a をさらに形成することもできる。

40

【 0 0 9 7 】

その後、第 1 の導電型半導体層 2 5 上に透明酸化層 5 3 を形成する。透明酸化層 5 3 は、図 3 を参照して説明したように、凹凸パターン 5 3 a を有するように形成することができ、それについての詳細な説明は省略する。

【 0 0 9 8 】

続いて、透明酸化層 5 3 上に電極パッド 5 5 が形成され、その結果、垂直構造の発光ダ

50

イオードが提供される。

【0099】

図7は、図6で分離された半極性GaN基板を説明するための断面図である。

【0100】

図7を参照すると、半極性GaN基板21は、バッファー層23と共に半導体積層構造体から分離される。この半極性GaN基板21は、初期基板と同一の形態を維持し、その結果、再びミスカッティングすることによって成長基板として再使用することができる。

【0101】

半極性GaN基板21を再使用することによって半極性GaN基板21の製造コストを減少させることができ、その結果、発光ダイオード製造コストを節減することができる。

10

【0102】

図8及び図9は、本発明の更に他の実施例に係る半導体素子の製造方法を説明するための断面図である。図10は、本発明の半導体素子の製造方法で利用可能な他の形態の支持基板を示した断面図である。図11ないし図13は、本発明の半導体素子の製造方法で用いられるシード層を形成する方法を説明するための断面図である。

【0103】

図8を参照すると、本実施例に係る半導体素子の製造方法は、まず、支持基板100を準備することを含む。支持基板100は、後で説明するナノロッド110を成長させ得るいずれの基板であっても構わないが、好ましくは、Si基板、サファイア基板、AlN基板、Ge基板またはSiC基板であり得る。

20

【0104】

支持基板100の一侧表面上にナノロッド110を形成する。ナノロッド110は、AlNまたはGaNを含むことができる。ナノロッド110は、エピ成長技術によって支持基板100上で成長させることができる。これと異なって、ナノロッド110は、AlNまたはGaNなどの窒化物層を形成し、これをパターニングすることによって形成することもできる。

【0105】

このとき、支持基板100は、図10に示したように、その一侧表面に凹凸パターン120を備えることができる。凹凸パターン120は、ストライプ形態に形成することもできる。

30

【0106】

凹凸パターン120は、支持基板100上に後で説明するシード層210を成長させたり、後で説明するバルク基板200を接合した後で発生するストレスを解消させたりする役割をすることができる。

【0107】

図9を参照すると、ナノロッド110上にシード層210を形成する。シード層210は、GaNを含むことができ、また、不純物がドーピングされたP型またはN型GaN単結晶であり得る。

【0108】

シード層210は、CVD (Chemical Vapor Deposition) 法またはHVPE (Hydride Vapor Phase Epitaxy) 法を用いてナノロッド110上に直接形成することもできる。

40

【0109】

これとは異なり、シード層210は、図11ないし図13に示したように、バルク基板200を用意(図11参照)し、バルク基板200をナノロッド110上に接合(図12参照)した後、バルク基板200の一定厚さを切断・分離(図13参照)することによって形成することができる。

【0110】

このとき、バルク基板200は、(Al, Ga, In)N系列のIII族窒化物半導体、すなわち、窒化物半導体単結晶基板であり得る。バルク基板200はGaNを含むこと

50

ができ、好ましくはGaN単結晶であり得る。また、バルク基板200は、不純物がドーピングされたP型またはN型GaN単結晶であり得る。

【0111】

バルク基板200は、HVPE(Hydride Vapor Phase Epitaxy)法、ナトリウムフラックス(Na Flux)法またはアモノサーマル(Ammothermal)法などを用いて製造されたGaN単結晶であり得る。バルク基板200は、少なくとも100 $\mu$ m以上の厚さを有する。

【0112】

このとき、支持基板100とバルク基板200との接合は、高温高圧下で行うことができる。図面には示していないが、支持基板100とバルク基板200との接合を容易にするために、ナノロッド110とバルク基板200との間に接合層(図示せず)または金属中間層(図示せず)が位置し得る。接合層(図示せず)または金属中間層(図示せず)は、ナノロッド110上に形成したり、バルク基板200の表面上に形成したりすることができる。

10

【0113】

接合層(図示せず)は、Zn、Si、Ga及びAlのうち少なくとも一つを含む酸化物またはSi、Ga及びAlのうち少なくとも一つを含む窒化物であり得る。接合層(図示せず)は、化学的気相蒸着法(Chemical Vapor Deposition)、電子ビーム法(E-Beam)または化学溶液法(Chemical Solution Method)などを用いて単層または複層に形成することができる。接合層が複層である場合、各層は、互いに同一の種類のものであって、組成が異なるか、またはそれぞれ互いに種類が異なる物質であり得る。金属中間層(図示せず)は、1000以上の融点を有する物質を含むことができる。

20

【0114】

バルク基板200は、ナノロッド110から一定の厚さになる領域で切断・分離することができる。バルク基板200を一定の厚さに切断・分離することによってシード層210を形成する。そして、分離されたバルク基板220を用いて上述した過程を繰り返すことによって、シード層210が貼りつけられた支持基板100を複数形成することができる。

【0115】

上述した過程を通じて、半導体素子を形成できる半導体素子基板を形成することができる。このとき、シード層210は、非極性(Non-Polar)または半極性(Semi-Polar)であり得る。特に、支持基板100とは関係なく、シード層210を高価な非極性または半極性に備えることができる。すなわち、シード層210がバルク基板200から分離・切断されて形成されるので、バルク基板200を成長させる方向または切断する方向を調節することによって、所望の形態のシード層210を得ることができる。

30

【0116】

図14及び図15は、本発明の更に他の実施例に係る半導体素子の製造方法を示した断面図である。

40

【0117】

図14を参照すると、本実施例に係る半導体素子の製造方法、例えば、発光ダイオード素子を製造する方法は、まず、図8及び図9を参照して説明したように、支持基板100上にシード層210が形成された半導体素子基板を形成することを含む。

【0118】

続いて、分離されたシード層210の一侧表面を平坦化する工程を進行することができる。これは、シード層210がバルク基板200から切断・分離される場合、シード層210の一侧表面は非常に粗い分離面になり得るためである。もちろん、シード層210が成長によって形成された場合、または、シード層210の一侧表面が粗くない場合、平坦化工程は省略することができる。また、必要に応じて省略することもできる。

50

## 【 0 1 1 9 】

続いて、半導体素子基板のシード層 2 1 0 上に少なくとも第 1 の導電型半導体層 3 1 0、活性層 3 2 0 及び第 2 の導電型半導体層 3 3 0 を含む複数の半導体層を形成する。

## 【 0 1 2 0 】

複数の半導体層は、超格子層（図示せず）または電子ブロッキング層（図示せず）をさらに含むことができる。このとき、複数の半導体層において、活性層 3 2 0 を除外した他の層は省略することができる。

## 【 0 1 2 1 】

第 1 の導電型半導体層 3 1 0 は、第 1 の導電型不純物、例えば、N 型不純物がドーピングされた III - N 系列の化合物半導体、例えば、( Al , Ga , In ) N 系列の III 族窒化物半導体層であり得る。第 1 の導電型半導体層 3 1 0 は、N 型不純物がドーピングされた GaN 層、すなわち、N - GaN 層であり得る。また、第 1 の導電型半導体層 3 1 0 は、単一層または多重層であって、例えば、第 1 の導電型半導体層 3 1 0 が多重層からなる場合、超格子構造からなり得る。

10

## 【 0 1 2 2 】

活性層 3 2 0 は、III - N 系列の化合物半導体、例えば ( Al , Ga , In ) N 半導体層からなり、活性層 3 2 0 は、単一層または複数層からなり、少なくとも一定波長の光を発光することができる。また、活性層 3 2 0 は、一つのウェル層（図示せず）を含む単一量子井戸構造で備えることもでき、ウェル層（図示せず）とバリア層（図示せず）とが交互に繰り返されて積層された構造である多重量子井戸構造で備えることもできる。このとき、ウェル層（図示せず）またはバリア層（図示せず）は、それぞれまたは二つとも超格子構造からなり得る。

20

## 【 0 1 2 3 】

第 2 の導電型半導体層 3 3 0 は、第 2 の導電型不純物、例えば、P 型不純物がドーピングされた III - N 系列の化合物半導体、例えば、( Al , In , Ga ) N 系列の III 族窒化物半導体であり得る。第 2 の導電型半導体層 3 3 0 は、P 型不純物がドーピングされた GaN 層、すなわち、P - GaN 層であり得る。また、第 2 の導電型半導体層 3 3 0 は、単一層または多重層からなり得る。例えば、第 2 の導電型半導体層 3 3 0 は超格子構造を含むことができる。

## 【 0 1 2 4 】

超格子層（図示せず）は、第 1 の導電型半導体層 3 1 0 と活性層 3 2 0 との間に備えることができ、III - N 系列の化合物半導体、例えば ( Al , Ga , In ) N 半導体層が複数層に積層された層、例えば、InN 層と InGaIn 層が繰り返して積層された構造であり、超格子層（図示せず）は、活性層 3 2 0 を形成する前に形成され、活性層 3 2 0 に転位または欠陥などが伝達されることを防止し、活性層 3 2 0 の転位または欠陥などの形成を緩和させる役割をし、活性層 3 2 0 の結晶性を優秀にする役割をすることができる。

30

## 【 0 1 2 5 】

電子ブロッキング層（図示せず）は、活性層 3 2 0 と第 2 の導電型半導体層 3 3 0 との間に備えることができ、電子及び正孔の再結合効率を高めるために備えることができ、相対的に広いバンドギャップを有する物質で備えることができる。電子ブロッキング層（図示せず）は、( Al , In , Ga ) N 系列の III 族窒化物半導体で形成することができ、Mg がドーピングされた P - AlGaIn 層からなり得る。

40

## 【 0 1 2 6 】

このとき、複数の半導体層は、シード層 2 1 0 から成長することによって、シード層 2 1 0 の特性をそのまま受け継ぐ形態に成長させることができる。

## 【 0 1 2 7 】

すなわち、シード層 2 1 0 が非極性である場合は、複数の半導体層も非極性に成長させ、シード層 2 1 0 が半極性である場合は、複数の半導体層も半極性に成長させ、シード層 2 1 0 が c - 面、a - 面または m - 面半導体層である場合は、複数の半導体層も、c - 面、a - 面または m - 面半導体層に成長させることができる。

50

## 【0128】

図15を参照すると、複数の半導体層をパターンングし、第1の導電型半導体層310の一部が露出した半導体積層構造体300を形成する。

## 【0129】

続いて、半導体積層構造体300の第2の導電型半導体層330上にTCO（透明導電性酸化物）層400を形成する。

## 【0130】

続いて、露出した第1の導電型半導体層310上に第1の電極510を形成し、TCO層400上に第2の電極520を形成することによって発光ダイオード素子を製造することができる。

10

## 【0131】

このとき、TCO層400は、半導体積層構造体300を形成した後で形成する場合を説明しているが、TCO層400を先に形成し、TCO層400の一部と複数の半導体層の一部をエッチングし、第1の導電型半導体層310の一部を露出させる工程を進行することによって半導体積層構造体300を形成する工程を進行することもできる。

## 【0132】

TCO層400は、ITOまたはZnOなどの透明な金属酸化物を含んで構成することができ、その厚さは数 $\mu\text{m}$ ないし数十 $\mu\text{m}$ になり得る。このとき、TCO層400は、その表面に凹凸410を形成することができる。表面に凹凸410が形成されたTCO層400は、図16及び図17に示した各方法で形成することができる。

20

## 【0133】

すなわち、図16に示したように、半導体積層構造体300上に一定厚さの第1のTCO層420を形成し、第1のTCO層420上にフォトレジストパターン430を形成する。続いて、フォトレジストパターン430が形成された第1のTCO層420上に一定厚さの第2のTCO層440を形成した後、リフトオフ法でフォトレジストパターン430及びフォトレジストパターン430上に形成された第2のTCO層440の一部を除去し、その表面に凹凸410が備えられたTCO層400を形成することができる。

## 【0134】

また、図17に示したように、半導体積層構造体300上に一定厚さの第3のTCO層450を形成し、第3のTCO層450上にフォトレジストパターン460を形成する。続いて、フォトレジストパターン460をマスクとして第3のTCO層450の表面を一定の深さにウエットエッチングし、その表面に凹凸410が備えられたTCO層400を形成することができる。このとき、凹凸410は、ウエットエッチングによってTCO層400の表面が結晶面に沿って選択的にエッチングされ、結晶面が露出する形態にエッチングされる結果、凹凸410は多角錐形態に形成することができる。

30

## 【0135】

図18及び図19は、本発明の更に他の実施例に係る半導体素子の製造方法を説明するための概略的な断面図である。

## 【0136】

図18を参照すると、本実施例に係る半導体素子の製造方法、例えば、発光ダイオード素子を製造する方法は、図8及び図9を参照して説明したように、支持基板100上にシード層210が形成された半導体素子基板を形成することを含む。

40

## 【0137】

続いて、図14を参照して説明した方法と同様に、分離されたシード層210の一側表面を平坦化する工程を行い、半導体素子基板のシード層210上に少なくとも第1の導電型半導体層310、活性層320及び第2の導電型半導体層330を含む複数の半導体層を形成する。このとき、複数の半導体層は、超格子層（図示せず）または電子プロッキング層（図示せず）をさらに含むことができ、複数の半導体層において、活性層320を除外した他の層は省略することができる。

## 【0138】

50

続いて、第2の導電型半導体層330上にエッチングストップパターン610を形成する。エッチングストップパターン610は、シリコン酸化膜またはシリコン窒化膜などの絶縁膜で形成することができる。エッチングストップパターン610は、複数の半導体層をパターンングするとき、エッチングの完了時点を知らせる役割をするだけでなく、後で説明する電極パッド720の直下方向に位置し、電極パッド720から注入される電流が分散され、半導体積層構造体300、特に活性層320に電流が全体的に均一に供給されるようにする役割をすることができる。

【0139】

一方、第2の導電型半導体層330上にオーミック反射パターン620を形成することができる。オーミック反射パターン620は、第2の導電型半導体層330とのオーミック接触をするだけでなく、活性層320から発光された光を反射させる反射膜としての役割をするパターンであり得る。

10

【0140】

このとき、エッチングストップパターン610は、オープン領域を備えており、エッチングストップパターン610のオープン領域にオーミック反射パターン620が充填される形態に備えることができる。すなわち、エッチングストップパターン610とオーミック反射パターン620が一つの層をなすことができる。

【0141】

続いて、エッチングストップパターン610またはオーミック反射パターン620上に金属ボンディング層630を形成することができる。金属ボンディング層630は、エッチングストップパターン610またはオーミック反射パターン620と後で形成される金属基板640とをボンディングする役割をする。金属ボンディング層630は導電性物質からなり得る。

20

【0142】

続いて、金属基板640を形成する。金属基板640は、導電性の金属基板であって、金属ボンディング層630にボンディングすることによって形成することができる。

【0143】

一方、金属基板640は、第2の導電型半導体層330上に直接形成することもできる。すなわち、第2の導電型半導体層330上に形成されるエッチングストップパターン610、オーミック反射パターン620及び金属ボンディング層630のうちいずれか一つの形成を省略し、金属基板640を形成することができる。このとき、金属基板640は、めっき法、蒸着法または化学溶液法などを通じて形成することができる。

30

【0144】

このとき、金属基板640は導電性物質からなり、好ましくはCu/WまたはCu/Moを含んで構成することができる。

【0145】

図19を参照すると、金属基板640を形成した後、支持基板100を除去する。

【0146】

支持基板100は、ナノロッド110を破壊することによって除去することができる。すなわち、ナノロッド110に熱衝撃を加えることによってナノロッド110を破壊し、支持基板100を複数の半導体層から分離することができる。

40

【0147】

ナノロッド110に熱衝撃を加える方法としては、急速な熱処理、例えば、レーザーをナノロッド110に照射する方法があり得る。ナノロッド110は、熱衝撃によって急速に膨張し、このような急速な膨張によって破壊することができる。

【0148】

続いて、シード層210を除去する工程を進行することができる。しかし、シード層210を除去せずに次の工程を進行することもできる。シード層210を除去しない場合、シード層210の表面を平坦化する工程を進行した後で次の工程を進行することができる。

50

## 【 0 1 4 9 】

また、シード層 2 1 0 をウエットエッチング工程またはドライエッチング工程を用いて一部のみ除去し、他の一部は残留させることができる。

## 【 0 1 5 0 】

続いて、複数の半導体層をパターニングすることによって半導体積層構造体 3 0 0 を形成することができる。このとき、エッチングストップパターン 6 1 0 の露出をエッチング完了時点とし、複数の半導体層をエッチングすることができる。

## 【 0 1 5 1 】

一方、本実施例において、複数の半導体層をパターニングする工程は、シード層 2 1 0 を除去する工程とその後の T C O 層 7 0 0 を形成する工程との間に進行する場合を説明しているが、支持基板 1 0 0 を除去した後、電極パッド 7 2 0 を形成する前ならいつでも実施することができる。

10

## 【 0 1 5 2 】

続いて、支持基板 1 0 0 が分離されて露出した表面、例えば、シード層 2 1 0 の表面または第 1 の導電型半導体層 3 1 0 の表面上に T C O 層 7 0 0 を形成することができる。

## 【 0 1 5 3 】

このとき、T C O 層 7 0 0 は、その表面に凹凸 7 1 0 を形成することができる。このとき、T C O 層 7 0 0 の凹凸 7 1 0 は、図 1 6 及び図 1 7 を参照して説明した表面に凹凸 4 1 0 が形成された T C O 層 4 0 0 を形成する方法と同一の方法で形成できるので、それについての詳細な説明は省略する。

20

## 【 0 1 5 4 】

続いて、T C O 層 7 0 0 上に電極パッド 7 2 0 を形成することによって発光ダイオードを形成することができる。

## 【 0 1 5 5 】

電極パッド 7 2 0 を形成する前に、T C O 層 7 0 0 を含む半導体積層構造体 3 0 0 を保護するためのパッシベーション層（図示せず）を形成する工程をさらに含むことができる。

## 【 0 1 5 6 】

このとき、電極パッド 7 2 0 が形成される T C O 層 7 0 0 の一定領域には凹凸 7 1 0 が形成されない場合もあり、電極パッド 7 2 0 の直下方向にはエッチングストップパターン 6 1 0 を備えることができる。

30

## 【 0 1 5 7 】

電極パッド 7 2 0 のサイズは、電極パッド 7 2 0 の直下方向に位置したエッチングストップパターン 6 1 0 のサイズに比べて小さくなり得る。すなわち、電極パッド 7 2 0 の直下方向に位置したエッチングストップパターン 6 1 0 は、電極パッド 7 2 0 のサイズより大きくなり得る。これは、電極パッド 7 2 0 に供給される電流が、電極パッド 7 2 0 とエッチングストップパターン 6 1 0 との間に位置した半導体積層構造体 3 0 0、特に、活性層 3 2 0 で均一に流れるようにするためである。

## 【 0 1 5 8 】

図 2 0 は、本発明の一実施例に係る半導体素子の製造方法を示すフローチャートである。図 2 1 は、本発明の各実施例に係る半導体素子の製造方法で利用可能な半導体素子製造装置を説明するための概略図である。図 2 2 は、本発明の各実施例に係る半導体素子の製造方法で利用可能なジグ（j i g）を示す概略図である。図 2 3 は、本発明の各実施例に係る半導体素子の製造方法で利用可能なジグカバーを示す概略図である。

40

## 【 0 1 5 9 】

図 2 0 ないし図 2 3 を参照すると、本発明の一実施例に係る半導体素子の製造方法は、複数の基板 1 2 3 0 が装着されたジグ 1 2 1 0 を半導体素子製造装置内に水平にローディングする工程（S 1 0 0）を含む。

## 【 0 1 6 0 】

続いて、ジグカバー 1 1 2 0 で半導体素子製造装置内にローディングされた複数の基板

50

1 2 3 0 が装着されたジグ 1 2 1 0 を覆う工程 ( S 2 0 0 ) を実施する。

【 0 1 6 1 】

続いて、複数の基板 1 2 3 0 を処理する工程 ( S 3 0 0 ) を実施する。

【 0 1 6 2 】

続いて、複数の基板 1 2 3 0 を処理する工程を完了した後、ジグ 1 2 1 0 を半導体素子製造装置からアンローディングする工程 ( S 4 0 0 ) を実施する。

【 0 1 6 3 】

半導体素子の製造方法は、半導体素子製造装置 1 0 0 0 を用いて実施される。

【 0 1 6 4 】

このとき、半導体素子製造装置 1 0 0 0 は、 I C P 装置、 P E C V D 装置、 E - B e a m 装置またはフォトリソグラフィ装置などのように、後で説明する基板 1 2 3 0 上に薄膜を形成またはエッチングするなどの基板を処理する装置であり得る。

【 0 1 6 5 】

半導体素子製造装置 1 0 0 0 は、基板 1 2 3 0 を処理する処理チャンバー 1 1 0 0、及び処理チャンバー 1 1 0 0 の内部にジグ 1 2 1 0 をローディングし、処理チャンバー 1 1 0 0 の内部が外部環境と直接接触しないようにするロードロックチャンバー ( L o a d l o c k C h a m b e r ) ( またはトランスファーチャンバー ) 1 3 0 0 を含むことができる。

【 0 1 6 6 】

処理チャンバー 1 1 0 0 は、その内部にジグ 1 2 1 0 が載置されるジグローディングチャック 1 1 1 0 及びジグカバー 1 1 2 0 を含むことができる。このとき、処理チャンバー 1 1 0 0 は、その内部に他の構成、例えば、プラズマを発生させる装置などをさらに含ませることができるが、それについての詳細な構成は省略する。

【 0 1 6 7 】

このとき、ジグ 1 2 1 0 は、図 2 2 に示したように、複数の基板装着溝 1 2 2 0 を備えることができる。

【 0 1 6 8 】

基板装着溝 1 2 2 0 は、基板 1 2 3 0 が装着される溝であり得る。すなわち、基板装着溝 1 2 2 0 は、少なくとも基板 1 2 3 0 の直径と同一の直径からなり得る。基板装着溝 1 2 2 0 の深さは、基板 1 2 3 0 の厚さと同一であることが好ましいが、基板 1 2 3 0 の厚さより大きい場合もあり、基板 1 2 3 0 の厚さより小さい場合もある。

【 0 1 6 9 】

基板装着溝 1 2 2 0 は、ジグ 1 2 1 0 の表面に規則的に配置することができる。

【 0 1 7 0 】

ジグ 1 2 1 0 は、ジグ 1 2 1 0 を貫通する、すなわち、ジグ 1 2 1 0 の一側表面から他側表面まで貫通する貫通ホール 1 2 2 2、1 2 2 4 を複数備えることができる。

【 0 1 7 1 】

このとき、各貫通ホール 1 2 2 2、1 2 2 4 のうちいずれかの貫通ホール 1 2 2 2 は基板装着溝 1 2 2 0 の底面に備えられ、基板 1 2 3 0 を装着または脱着するために備えることができ、他の貫通ホール 1 2 2 4 は、基板装着溝 1 2 2 0 が備えられていない領域に備えられ、ジグ 1 2 1 0 を移送したり、ジグ 1 2 1 0 をジグローディングチャック 1 1 1 0 上にローディング又はアンローディングしたりするときに用いるために備えることもでき、ジグ 1 2 1 0 の重さを減少させるために備えることもできる。

【 0 1 7 2 】

また、各貫通ホール 1 2 2 2、1 2 2 4 は、複数の基板 1 2 3 0 が装着されたジグ 1 2 1 0 をエッチング溶液中に装入し、基板 1 2 3 0 を溶液処理又はガス処理するとき、溶液またはガスの流れを円滑にする通路としての役割をすることができる。

【 0 1 7 3 】

ジグ 1 2 1 0 は、図 2 2 には示していないが、ジグ 1 2 1 0 の他側表面に貫通していない複数の溝を備えることができ、複数の溝は、ジグ 1 2 1 0 を固定又は移送するときに用

10

20

30

40

50

いることができる。

【0174】

ジグ1210は、Si、SiCまたは $Al_2O_3$ を含む物質からなり得る。

【0175】

一方、基板1230はサファイア基板であり得る。基板1230は、その一側表面に発光ダイオードを製造するために提供されることができる。

【0176】

ジグカバー1120は、カバー本体1122と、カバー本体1122を支持するカバーロッド1124とを含むことができる。

【0177】

カバー本体1122は、図21に点線で示したような方式でジグ1210を覆うことができ、ジグ1210に装着された各基板1230の表面を露出させる複数のオープン領域1126を備えることができる。

【0178】

各オープン領域1126は、基板1230の表面のみを露出させ、ジグ1210の表面は露出させない。すなわち、各オープン領域1126のそれぞれの直径は、基板1230の直径と同一であるか、それより小さくなり得る。

【0179】

ジグカバー1120のカバーロッド1124は、ジグカバー1120を上下方向に動かせる移動装置(図示せず)に連結することができる。

【0180】

このとき、半導体素子製造装置1000にカセット1200を装着することができる。

【0181】

カセット1200は、ジグ1210を複数装着しており、層状に積載される形態に備えることができる。

【0182】

カセット1200は、半導体素子製造装置1000のロードロックチャンバー1300に装着され、半導体素子製造装置1000の内部に各ジグ1210を供給する役割をすることができる。

【0183】

以下、図20ないし図23を参照して本発明の一実施例に係る半導体素子の製造方法を詳細に説明する。

【0184】

まず、複数のジグ1210がそれぞれ層に積載されて装着されたカセット1200を準備する。

【0185】

このとき、各ジグ1210は、他の半導体素子製造装置(図示せず)で他の処理工程を進行した後のものでもあり得る。

【0186】

続いて、複数のジグ1210が装着されたカセット1200を移送し、これを半導体素子製造装置1000のロードロックチャンバー1300に装着する。

【0187】

このとき、カセット1200は、図面には示していないが、窒素ガスが充填されている窒素充填ボックス内に装入されて移送される。

【0188】

カセット1200は、半導体素子製造装置1000で処理工程が完了した後、分離されて移送されるときにも窒素充填ボックス内に装入して移送することができる。これは、カセット1200内の各基板1230が外部環境に露出することを防止するためである。

【0189】

続いて、半導体素子製造装置1000内のロボットアーム(図示せず)がカセット12

10

20

30

40

50

00内の各ジグ1210のうちいずれか一つのジグ1210を水平に移送し、これを処理チャンパー1100のジグローディングチャック1110上にローディング(S100)する。

【0190】

このとき、ジグ1210には複数の基板1230が装着されているので、複数の基板1230は、水平に同時にジグローディングチャック1110上にローディングすることができる。

【0191】

このように複数の基板1230が装着されたジグ1210をローディングすることによって、従来は、複数の基板をローディングするときに基板の数だけ基板をローディングする過程を繰り返していたが、本発明では、1回のローディングで複数の基板1230をローディングするので、基板ローディング時間、すなわち、全体の工程時間を短縮し、大量生産時の工程時間を短縮するという効果を提供する。

10

【0192】

続いて、ジグ1210上にジグカバー1120を移動させ、ジグカバー1120でジグ1210の表面を覆う(S200)。このとき、ジグカバー1120は、各基板1230を露出させる複数のオープン領域を備えているので、基板1230の表面は露出させる。

【0193】

続いて、半導体素子製造装置1000は、基板1230を処理する(S300)。すなわち、基板1230の表面にエピ層を成長させたり、基板1230の表面をエッチングさせたりするなどの基板処理を実施する。

20

【0194】

続いて、基板処理が完了した後、ジグカバー1120を移動させてジグ1120を開放させ、ジグ1210を半導体素子製造装置1000の処理チャンパー1100からアンローディング(S400)してカセット1200内に移送させ、一つのジグ1210の基板処理を完了する。

【0195】

その後、カセット1200に装着されている各ジグ1210のうち処理されていない他のジグ1210を半導体素子製造装置1000内にローディングし、上記の基板処理過程を繰り返して実施する。

30

【0196】

カセット1200に装着されている各ジグ1210が半導体素子製造装置1000内で基板処理された後は、カセット1200を半導体素子製造装置1000から分離して他の半導体素子製造装置に移送することができる。このとき、カセット1200は、窒素充填ボックスに装入して移送することができる。

【0197】

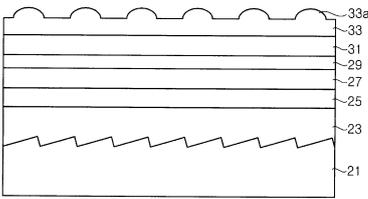
以上では、本発明の多様な実施例を説明したが、これら実施例は、本発明の理解を促進するためのものであって、本発明を制限するためのものではない。当業者であれば、本発明の趣旨及び範囲を逸脱しない限り、明細書に記載の事項に基づいて本発明を修正及び変更することができ、このような修正及び変更も、均等範囲内で本発明に属するものであることが分かるだろう。

40

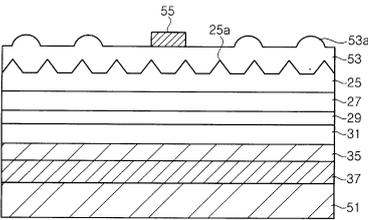
【図 1】



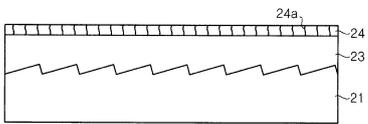
【図 2】



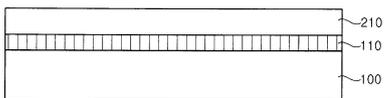
【図 3】



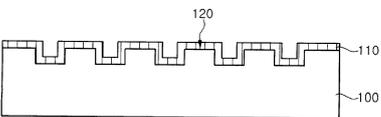
【図 4】



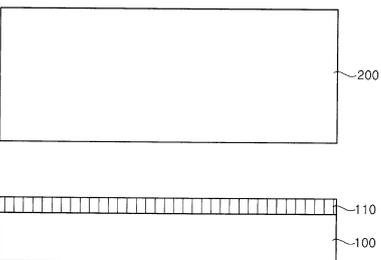
【図 9】



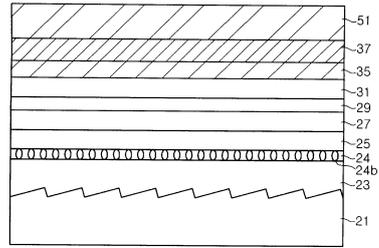
【図 10】



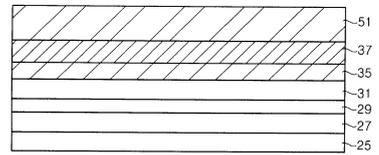
【図 11】



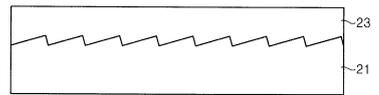
【図 5】



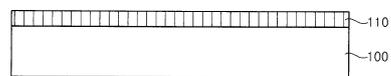
【図 6】



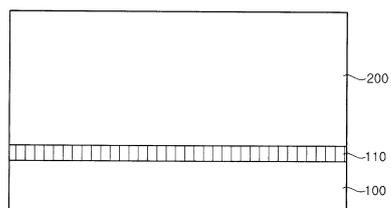
【図 7】



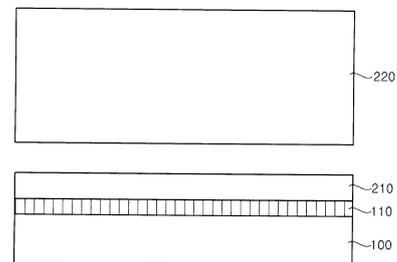
【図 8】



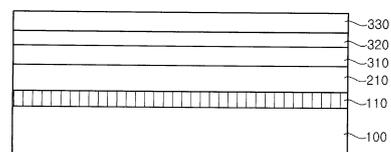
【図 12】



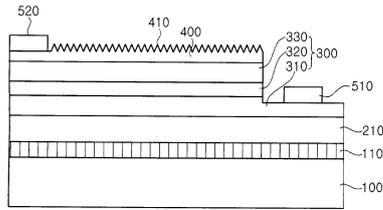
【図 13】



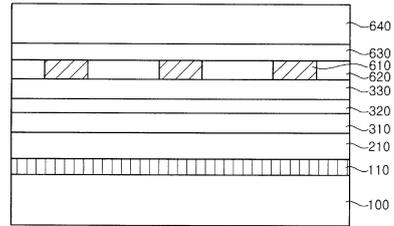
【図 14】



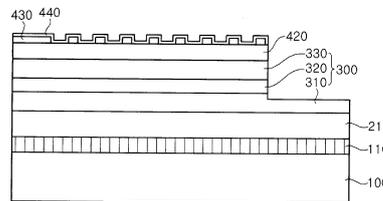
【図15】



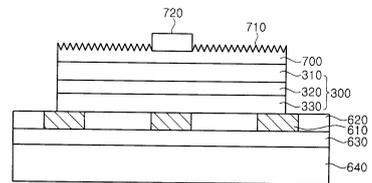
【図18】



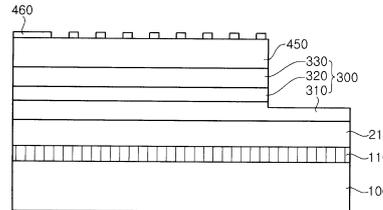
【図16】



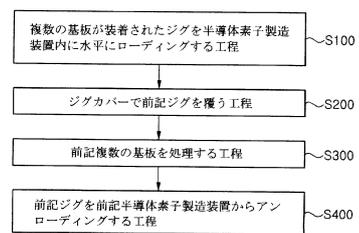
【図19】



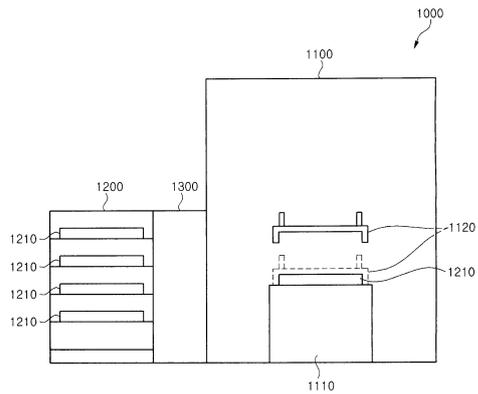
【図17】



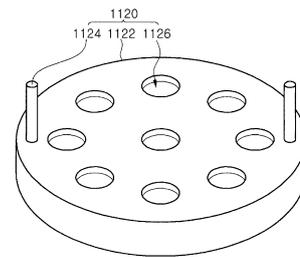
【図20】



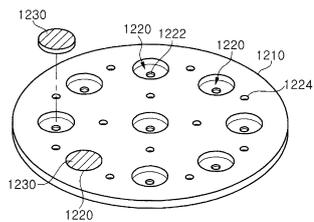
【図21】



【図23】



【図22】



## フロントページの続き

(31)優先権主張番号 10-2011-0139378

(32)優先日 平成23年12月21日(2011.12.21)

(33)優先権主張国 韓国(KR)

(72)発明者 ソ, ウォン チョル

大韓民国 4 2 5 - 8 5 1 ギョンギ - ド, アンサン - シ, ダンウォン - グ, ウォンシ - ドン, 7  
2 7 - 5, 1 B - 3 6

(72)発明者 チョ, デ ソン

大韓民国 4 2 5 - 8 5 1 ギョンギ - ド, アンサン - シ, ダンウォン - グ, ウォンシ - ドン, 7  
2 7 - 5, 1 B - 3 6

(72)発明者 リ, チュン フン

大韓民国 4 2 5 - 8 5 1 ギョンギ - ド, アンサン - シ, ダンウォン - グ, ウォンシ - ドン, 7  
2 7 - 5, 1 B - 3 6

(72)発明者 ナム, キ ブム

大韓民国 4 2 5 - 8 5 1 ギョンギ - ド, アンサン - シ, ダンウォン - グ, ウォンシ - ドン, 7  
2 7 - 5, 1 B - 3 6

審査官 島田 英昭

(56)参考文献 特開2009 - 200337 (JP, A)

特開2003 - 158294 (JP, A)

特開2007 - 103932 (JP, A)

特開2011 - 171394 (JP, A)

米国特許出願公開第2011 / 0097832 (US, A1)

米国特許出願公開第2008 / 0296626 (US, A1)

国際公開第2011 / 083551 (WO, A1)

国際公開第2011 / 094391 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

H01L 33 / 00 - 33 / 64