



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2010년10월07일  
(11) 등록번호 10-0986148  
(24) 등록일자 2010년10월01일

(51) Int. Cl.  
H01L 29/786 (2006.01)  
(21) 출원번호 10-2008-0031549  
(22) 출원일자 2008년04월04일  
심사청구일자 2008년04월04일  
(65) 공개번호 10-2009-0106057  
(43) 공개일자 2009년10월08일  
(56) 선행기술조사문헌  
KR100670407 B1  
KR1020060034706 A  
KR100730148 B1  
KR1020060111203 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
고려대학교 산학협력단  
서울 성북구 안암동5가 1  
(72) 발명자  
주병권  
서울 종로구 평창동 234-24번지  
신상일  
서울 동대문구 제기동 1153-16 휴먼플러스오피스  
텔 312호  
(뒷면에 계속)  
(74) 대리인  
특허법인 신성

전체 청구항 수 : 총 18 항

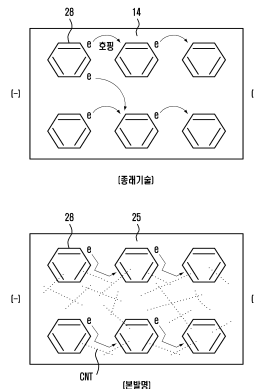
심사관 : 김태훈

(54) 탄소나노튜브층과 유기반도체층이 적층된 구조의 활성층을구비하는 박막 트랜지스터 및 그 제조방법

(57) 요약

본 발명은 활성층 내 전하의 이동도를 향상시키기 위하여 탄소나노튜브층과 유기반도체층이 적층된 구조의 활성층을 구비하는 박막 트랜지스터 및 그 제조방법에 관한 것으로, 이를 위한 본 발명의 박막 트랜지스터는, 기판상에 형성된 게이트전극; 상기 기판상에서 상기 게이트전극을 덮도록 형성된 게이트절연층; 상기 게이트절연층상에서 탄소나노튜브층과 유기반도체층이 적층된 구조를 갖는 활성층 및 상기 활성층 상에서 서로 이격되어 형성된 소스전극 및 드레인전극을 포함하고 있으며, 상술한 본 발명에 따르면, 탄소나노튜브층과 유기반도체층이 적층된 구조를 갖는 활성층을 구비함으로써, 활성층 내 전하의 이동도를 향상시킬 수 있다.

대표도 - 도2c



(72) 발명자

**권재홍**

서울 성북구 장위1동 233-104 진성하이츠 빌라 20  
3호

**정진욱**

서울 성북구 종암동 83-20 203호

**동기영**

경기 용인시 수지구 풍덕천1동 동보1차아파트 101  
동 203호

**특허청구의 범위**

**청구항 1**

기판 상에 형성된 게이트전극;

상기 기판상에서 상기 게이트전극을 덮도록 형성된 게이트절연층;

상기 게이트절연층 상에서 메탈특성 보다 반도체특성이 우세한 탄소나노튜브층과 유기반도체층이 적층된 적층막을 포함하는 활성층; 및

상기 활성층 상에서 서로 이격되어 형성된 소스전극 및 드레인전극

을 포함하는 박막 트랜지스터.

**청구항 2**

삭제

**청구항 3**

제1항에 있어서,

상기 탄소나노튜브층은 단위면적당( $\mu\text{m}^2$ ) 0.5개 ~ 1.5개 범위의 탄소나노튜브를 포함하는 박막 트랜지스터.

**청구항 4**

제1항에 있어서,

상기 탄소나노튜브층은 단일벽 탄소나노튜브, 이중벽 탄소나노튜브, 다중벽 탄소나노튜브 및 다발형 탄소나노튜브로 이루어진 그룹으로부터 선택된 어느 하나 또는 2종 이상을 포함하는 박막 트랜지스터.

**청구항 5**

제1항, 제3항 또는 제4항 중 어느 한 항에 있어서,

상기 탄소나노튜브는 0.8nm ~ 1.4nm 범위의 직경 및  $5\mu\text{m}$  ~  $20\mu\text{m}$  범위의 길이를 갖는 박막 트랜지스터.

**청구항 6**

제1항에 있어서,

상기 유기반도체층은 펜타센(pentacene)을 포함하는 박막 트랜지스터.

**청구항 7**

제1항에 있어서,

상기 게이트절연층은 소수성 표면을 갖는 박막 트랜지스터.

**청구항 8**

제7항에 있어서,

상기 게이트절연층은 무기절연물질 또는 유기절연물질로 이루어진 단일층이거나, 또는 무기절연물질과 유기절연물질이 혼합된 복합층인 박막 트랜지스터.

**청구항 9**

제1항에 있어서,  
상기 기판은 플렉서블 기판인 박막 트랜지스터.

**청구항 10**

기판상에 게이트전극을 형성하는 단계;  
상기 기판상에 상기 게이트전극을 덮도록 게이트절연층을 형성하는 단계;  
상기 게이트절연층 상에 메탈특성 보다 반도체특성이 우세한 탄소나노튜브층을 형성하는 단계;  
상기 탄소나노튜브층을 포함하는 상기 게이트절연층 상에 유기반도체층을 형성하는 단계; 및  
상기 탄소나노튜브층과 상기 유기반도체층이 적층된 적층막을 포함하는 활성층 상에 소스전극 및 드레인전극을 형성하는 단계  
를 포함하는 박막 트랜지스터 제조방법.

**청구항 11**

제10항에 있어서,  
상기 탄소나노튜브층을 형성하는 단계는,  
분산용액에 탄소나노튜브가 분산된 탄소나노튜브 분산용액을 준비하는 단계;  
상기 탄소나노튜브 분산용액을 상기 게이트절연층 상에 도포하는 단계; 및  
상기 게이트절연층 상에 도포된 상기 탄소나노튜브 분산용액에서 분산용액을 제거하여 상기 게이트절연층 상에 탄소나노튜브를 잔류시키는 단계  
를 포함하는 박막 트랜지스터 제조방법.

**청구항 12**

제11항에 있어서,  
상기 탄소나노튜브 분산용액 내 탄소나노튜브의 농도는 25mg/l ~ 35mg/l 범위를 갖는 박막 트랜지스터의 제조 방법.

**청구항 13**

제11항에 있어서,  
상기 탄소나노튜브는 단일벽 탄소나노튜브, 이중벽 탄소나노튜브, 다중벽 탄소나노튜브 및 다발형 탄소나노튜브 로 이루어진 그룹으로부터 선택된 어느 하나 또는 2종 이상을 포함하는 박막 트랜지스터 제조방법.

**청구항 14**

제11항에 있어서,  
상기 탄소나노튜브는 0.8nm ~ 1.4nm 범위의 직경 및 5 $\mu$ m ~ 20 $\mu$ m 범위의 길이를 갖는 탄소나노튜브를 사용하는 박막 트랜지스터 제조방법.

**청구항 15**

제11항에 있어서,  
 상기 탄소나노튜브 분산용액을 상기 게이트절연층 상에 도포하는 단계는,  
 단위면적당( $\mu\text{m}^2$ ) 0.5개 ~ 1.5개 범위의 탄소나노튜브를 갖도록 도포하는 박막 트랜지스터 제조방법.

**청구항 16**

제11항에 있어서,  
 상기 탄소나노튜브 분산용액을 상기 게이트절연층 상에 도포하는 단계는, 스핀코팅법(spin coating), 슬릿코팅법(slit coating), 드립캐스팅법(drop casting), 딥캐스팅법(dip casting), 잉크젯법(ink jet), 프린팅법(printing) 또는 임프린트법(imprint) 중 어느 한 방법을 사용하여 실시하는 박막 트랜지스터 제조방법.

**청구항 17**

제10항에 있어서,  
 상기 유기반도체층은 펜타센(pentacene)을 포함하는 박막 트랜지스터 제조방법.

**청구항 18**

제10항에 있어서,  
 상기 게이트절연층은 무기절연물질 또는 유기절연물질을 사용하여 단일층으로 형성하거나, 또는 무기절연물질과 유기절연물질을 혼합하여 복합층으로 형성하는 박막 트랜지스터 제조방법.

**청구항 19**

제18항에 있어서,  
 상기 무기절연물질을 사용하여 게이트절연층을 형성하는 경우, 게이트절연층 상에 폴리머 코팅을 실시하거나, 상기 게이트절연층 표면을 플라즈마 처리하여 상기 게이트절연층의 표면이 소수성을 갖도록 형성하는 박막 트랜지스터 제조방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 반도체 장치 및 그 제조방법에 관한 것으로, 특히 활성층(active layer) 내 전하(charge)의 이동도(mobility)를 향상시키기 위하여 탄소나노튜브층(Carbon Nano Tube layer, CNT layer)과 유기반도체층(organic semiconductor layer, OSC layer)이 적층된 구조의 활성층을 구비하는 박막 트랜지스터(Thin Film Transistor, TFT) 및 그 제조방법에 관한 것이다.

**배경 기술**

- [0002] 박막 트랜지스터(Thin Film Transistor, TFT)는 유기발광표시장치(Organic Light Emitting Display, OLED) 또는 액정표시장치(Liquid Crystal Display, LCD)와 같은 표시장치에서 각각의 화소(Pixel)를 동작시키는 스위칭 소자로서 광범위하게 사용되고 있다. 일반적으로, 박막 트랜지스터는 게이트전극, 게이트절연층, 활성층, 소스 전극 및 드레인전극을 포함하여 구성되는데, 활성층으로 사용되는 물질에 따라서 무기 박막 트랜지스터 및 유기 박막 트랜지스터로 구분할 수 있다. 즉, 활성층으로 실리콘층(Si)과 같은 무기반도체층(inorganic semiconductor layer)으로 형성하면 무기 박막 트랜지스터라 하고, 활성층으로 펜타센(Pentacene)과 같은 유기 반도체층(organic semiconductor layer, OSC layer)으로 형성하면 유기 박막 트랜지스터라고 한다.
- [0003] 최근, 표시장치의 대면적화, 저가격화 그리고 유연화(flexible) 경향에 따라서 유기 박막 트랜지스터에 대한 관심이 증가하고 있다. 무기반도체층을 형성하기 위해서는 고온진공프로세서를 필요로하기 때문에 생산비용이 많이 소모되며, 공정장비의 한계로 인하여 대면적 박막을 형성하기가 매우 까다롭다. 또한, 무기 박막 트랜지스터를 구부릴 경우, 무기반도체층으로 이루어진 활성층에 기계적응력(stress)이 발생하고, 발생한 기계적응력으로 인하여 무기 박막 트랜지스터의 전기적인 특성이 열화되거나, 무기 박막 트랜지스터가 정상적으로 동작하지 않는 치명적인 문제점이 발생하기 때문이다. 반면에, 유기 박막 트랜지스터는 용액공정(solution process) 기반의 롤투롤(roll-to-roll)공정을 사용하여 대면적의 박막을 적은 비용으로 손쉽게 형성할 수 있는 장점이 있다. 또한, 유기 박막 트랜지스터는 구부리더라도, 유기반도체층으로 이루어진 활성층에 기계적응력이 발생하지 않는 장점이 있다.
- [0004] 도 1은 종래기술에 따른 유기반도체층으로 이루어진 활성층을 구비하는 박막 트랜지스터를 도시한 단면도이다.
- [0005] 도 1에 도시된 바와 같이, 종래기술에 따른 박막 트랜지스터는 기판(11)상에 형성된 게이트전극(12), 기판(11)상에서 게이트전극(12)을 덮도록 형성된 게이트절연층(13), 게이트절연층(13) 상에 형성되고, 유기반도체층으로 이루어진 활성층(14), 활성층(14) 상에 형성된 소스전극(15A) 및 드레인전극(15B)을 포함한다.
- [0006] 하지만, 상술한 종래기술에서 활성층(14)을 구성하는 유기반도체층은 분자내 전하(charge, 전자(electron) 또는 정공(hole))의 이동은 매우 빠르지만, 분자간의 전하 이동은 호핑(hopping)으로 이루어지기 때문에 활성층(14) 내 전하의 이동도가 낮다는 문제점이 있다. 이러한 활성층(14)의 낮은 전하이동도(charge mobility)는 박막 트랜지스터의 동작특성을 저하시키는 문제점을 유발한다.

**발명의 내용**

**해결 하고자하는 과제**

- [0007] 본 발명은 상기한 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 활성층 내 전하의 이동도를 향상시킬 수 있는 박막 트랜지스터 및 그 제조방법을 제공하는데 그 목적이 있다.

**과제 해결수단**

- [0008] 상기 목적을 달성하기 위한 일 측면에 따른 본 발명의 박막 트랜지스터는, 기판 상에 형성된 게이트전극; 상기 기판상에서 상기 게이트전극을 덮도록 형성된 게이트절연층; 상기 게이트절연층 상에서 탄소나노튜브층과 유기 반도체층이 적층된 구조를 갖는 활성층 및 상기 활성층 상에서 서로 이격되어 형성된 소스전극 및 드레인전극을 포함한다.
- [0009] 상기 탄소나노튜브층은 메탈특성 보다 반도체특성이 우세한 것을 특징으로 한다. 또한, 상기 탄소나노튜브층은 단일벽 탄소나노튜브, 이중벽 탄소나노튜브, 다중벽 탄소나노튜브 및 다발형 탄소나노튜브로 이루어진 그룹으로부터 선택된 어느 하나를 포함할 수 있다. 또한, 상기 탄소나노튜브층은 단위면적당( $\mu\text{m}^2$ ) 0.5개 ~ 1.5개 범위의 탄소나노튜브를 갖고, 상기 탄소나노튜브는 0.8nm ~ 1.4nm 범위의 직경 및  $5\mu\text{m}$  ~  $20\mu\text{m}$  범위의 길이를 가질 수 있다.
- [0010] 상기 유기반도체층은 펜타센(pentacene)을 포함할 수 있다.
- [0011] 상기 게이트절연층은 소수성 표면을 갖는 것을 특징으로 한다. 또한, 상기 게이트절연층은 무기절연물질 또는 유기절연물질로 이루어진 단일층이거나, 또는 무기절연물질과 유기절연물질이 혼합된 복합층을 포함할 수 있다.

- [0012] 상기 기판은 플렉서블 기판인 것을 특징으로 한다.
- [0013] 상기 목적을 달성하기 위한 다른 일 측면에 따른 본 발명의 박막 트랜지스터 제조방법은, 기판상에 게이트전극을 형성하는 단계; 상기 기판상에 상기 게이트전극을 덮도록 게이트절연층을 형성하는 단계; 상기 게이트절연층상에 탄소나노튜브층을 형성하는 단계; 상기 탄소나노튜브층을 포함하는 상기 게이트절연층 상에 유기반도체층을 형성하는 단계 및 상기 유기반도체층 상에 소스전극 및 드레인전극을 형성하는 단계를 포함한다.
- [0014] 상기 탄소나노튜브층을 형성하는 단계는, 분산용액에 탄소나노튜브가 분산된 탄소나노튜브 분산용액을 준비하는 단계; 상기 탄소나노튜브 분산용액을 상기 게이트절연층 상에 도포하는 단계 및 상기 게이트절연층 상에 도포된 상기 탄소나노튜브 분산용액에서 분산용액을 제거하여 상기 게이트절연층 상에 탄소나노튜브를 잔류시키는 단계를 포함할 수 있다. 이때, 상기 탄소나노튜브 분산용액 내 탄소나노튜브의 농도는 25mg/l ~ 35mg/l 범위를 갖도록 형성하는 것을 특징으로 한다. 또한, 상기 탄소나노튜브는 단일벽 탄소나노튜브, 이중벽 탄소나노튜브, 다중벽 탄소나노튜브 및 다발형 탄소나노튜브로 이루어진 그룹으로부터 선택된 어느 하나 또는 2종 이상을 포함할 수 있다. 또한, 상기 탄소나노튜브는 0.8nm ~ 1.4nm 범위의 직경 및 5 $\mu$ m ~ 20 $\mu$ m 범위의 길이를 갖는 탄소나노튜브를 사용할 수 있다.
- [0015] 상기 탄소나노튜브 분산용액을 상기 게이트절연층 상에 도포하는 단계는, 단위면적당( $\mu$ m<sup>2</sup>) 0.5개 ~ 1.5개 범위의 탄소나노튜브를 갖도록 도포하는 것을 특징으로 한다. 또한, 상기 탄소나노튜브 분산용액을 상기 게이트절연층 상에 도포하는 단계는, 스핀코팅법(spin coating), 슬릿코팅법(slit coating), 드롭캐스팅법(drop casting), 딥캐스팅법(dip casting), 잉크젯법(ink jet), 프린팅법(printing) 또는 임프린트법(imprint) 중 어느 한 방법을 사용하여 실시할 수 있다.
- [0016] 상기 유기반도체층은 펜타센(pentacene)을 포함할 수 있다.
- [0017] 상기 게이트절연층은 무기절연물질 또는 유기절연물질을 사용하여 단일층으로 형성하거나, 또는 무기절연물질과 유기절연물질을 혼합하여 복합층으로 형성할 수 있다. 또한, 상기 무기절연물질을 사용하여 게이트절연층을 형성하는 경우, 게이트절연층 상에 폴리머 코팅을 실시하거나, 상기 게이트절연층 표면을 플라즈마 처리하여 상기 게이트절연층의 표면이 소수성을 갖도록 형성하는 것을 특징으로 한다.

**효 과**

- [0018] 상술한 과제 해결 수단을 바탕으로 하는 본 발명의 박막 트랜지스터는 탄소나노튜브층과 유기반도체층이 적층된 구조를 갖는 활성층을 구비함으로써, 활성층 내 전하의 이동도를 향상시킬 수 있다. 이를 통하여 박막 트랜지스터의 동작특성을 향상시킬 수 있는 효과가 있다.
- [0019] 또한, 본 발명은 메탈특성 보다 반도체특성이 우세한 탄소나노튜브층을 구비함으로써, 활성층내 전하의 이동도를 향상시켜 박막 트랜지스터의 동작전류를 증가시키고 오프 누설전류는 감소시킬 수 있는 효과가 있다.
- [0020] 또한, 본 발명은 활성층 내 전하의 이동도를 향상시키기 위하여 탄소나노튜브층을 구비함으로써, 박막 트랜지스터의 유연한 특성을 저하시키지 않고도 박막 트랜지스터의 동작특성을 향상시킬 수 있는 효과가 있다.
- [0021] 또한, 본 발명은 게이트절연층의 표면이 소수성을 갖도록 형성하여 게이트절연층과 유기반도체층 사이의 계면특성을 향상시킴으로써, 박막 트랜지스터의 동작특성을 보다 향상시킬 수 있는 효과가 있다.

**발명의 실시를 위한 구체적인 내용**

- [0022] 이하 본 발명이 속하는 기술분야에서 통상의 지식을 가진자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부도면을 참조하여 설명하기로 한다.
- [0023] 후술한 본 발명은 유기반도체층(organic semiconductor layer, OSC layer)을 포함하는 활성층(active layer)을 구비하는 박막 트랜지스터(Thin Film Transistor, TFT)에서 활성층 내 전하(charge, 전자(electron) 또는 정공(hole))의 이동도(mobility)를 향상시킬 수 있는 박막 트랜지스터 및 그 제조방법을 제공한다.
- [0024] 이를 위하여 본 발명은 채널로 작용하는 활성층을 탄소나노튜브층(Carbon Nano Tube layer, CNT layer)과 유기반도체층(OSC layer)이 적층된 구조를 갖도록 형성하여 활성층 내 전하 이동도를 향상시키는 것을 기술적 원리

로 한다. 이때, 활성층은 탄소나노튜브층 상에 유기반도체층이 적층된 구조(탄소나노튜브/유기반도체층), 유기반도체층 상에 탄소나노튜브층이 적층된 구조(유기반도체층/탄소나노튜브층), 유기반도체층 사이에 탄소나노튜브층이 게재된 구조(유기반도체층/탄소나노튜브/유기반도체층) 및 탄소나노튜브층 사이에 유기반도체층이 게재된 구조(탄소나노튜브층/유기반도체층/탄소나노튜브층)로 이루어진 그룹으로부터 선택된 어느 한 형태일 수 있다.

[0025] 후술할 본 발명의 실시예에서는 바텀게이트형(bottom gate type) 구조를 갖는 박막 트랜지스터에 본 발명의 기술적 원리를 적용한 경우를 예시하여 설명한다. 이외에도 본 발명의 기술적 원리는 통상적으로 알려진 바텀콘택형(bottom contact type), 탑콘택형(top contact type) 또는 탑게이트형(top gate type)의 구조를 갖는 박막 트랜지스터에도 동일하게 적용할 수 있다. 또한, 본 발명의 목적을 저해하지 않는 범위에서 상술한 박막 트랜지스터의 구조가 일부 변형될 수도 있다.

[0026] 도 2a 내지 도 2c는 본 발명의 실시예에 따른 박막 트랜지스터를 도시한 도면이다. 여기서, 도 2a는 사시도, 도 2b는 도 2a에 도시된 X-X' 절취선을 따라 도시한 단면도이다. 그리고, 도 2c는 본 발명의 활성층에서 전하의 이동을 설명하기 위한 평면도이다.

[0027] 도 2a 및 도 2b에 도시된 바와 같이, 본 발명의 실시예에 따른 박막 트랜지스터는 기판(21)상에 형성된 게이트전극(22), 기판(21)상에서 게이트전극(22)을 덮도록 형성된 게이트절연층(23), 게이트절연층(23) 상에서 탄소나노튜브층(CNT, 24)과 유기반도체층(25)이 적층된 구조를 갖는 활성층(26), 활성층(26) 상에서 서로 이격되어 형성된 소스전극(27A) 및 드레인전극(27B)을 포함한다.

[0028] 기판(21)은 본 발명의 목적을 저해하지 않는 범위에서 다양한 물질을 사용할 수 있다. 예컨대, 유리기판, 실리콘기판, ITO글라스, 수정(quartz) 또는 플라스틱기판을 사용할 수 있다. 이때, 본 발명의 박막 트랜지스터를 플렉서블 장치에 적용하고 할 경우, 기판(21)은 유연한 특성을 갖는 플렉서블 기판을 사용하는 것이 바람직하다. 플렉서블 기판으로는 폴리카본에스테르(PolyCarbonate, PC), 폴리메틸메타크릴레이트(PolyMethylMetaAcrylate, PMMA), 폴리디메틸실록산(PolyDiMethylSiloxane, PDMS), 폴리에테르이미드(Polyetherimide, PEI), 폴리에테르에테르케톤(polyetheretherketone, PEEK), 폴리이미드(Polyimide, PI), 폴리에테르설폰(Polyethersulfone, PES), 폴리에테르이미드(Polyetherimide, PEI), 폴리에스테르(Polyester, PET), 폴리에틸렌나프탈레이트(polyethylenenaphthalate, PEN) 또는 환형올레핀공중합체(Cyclic Olefin Copolymer, COC)를 사용할 수 있다.

[0029] 게이트전극(22), 소스전극(27A) 및 드레인전극(27B)은 도전물질 예컨대, 금속물질 또는 금속화합물질로 형성할 수 있다. 이때, 게이트전극(22)은 50nm ~ 250nm 범위의 두께, 바람직하게는 150nm의 두께를 갖도록 형성할 수 있다. 그리고, 소스전극(27A) 및 드레인전극(27B)은 150nm ~ 350nm 범위의 두께, 바람직하게는 250nm의 두께를 갖도록 형성할 수 있다.

[0030] 여기서, 금속물질로는 금(Au), 은(Ag), 백금(Pt), 크롬(Cr), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 탄탈륨(Ta), 몰리브덴(Mo), 텅스텐(W), 니켈(Ni) 또는 팔라듐(Pd)을 사용할 수 있다. 그리고, 금속화합물질로는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), AZO(Al doped Zinc Oxide) 또는 GZO(Gallium Zinc Oxide)를 사용할 수 있다.

[0031] 여기서, 소스전극(27A) 및 드레인전극(27B)은 유기반도체층(25) 예컨대, 펜타센(pentacene)의 HOMO(Highest Occupied Molecular Orbital)인 6.02eV와 유사한 일함수(work function)를 갖는 도전물질로 형성하는 것이 바람직하다. 예컨대, 소스전극(27A) 및 드레인전극(27B)는 펜타센과 유사한 일함수를 갖는 도전물질인 금(Au, 일함수 5.01eV)을 사용하여 형성할 수 있다. 이와 같이, 유기반도체층(25)의 일함수와 유사한 일함수를 갖는 도전물질을 사용하여 소스전극(27A) 및 드레인전극(27B)을 형성하는 이유는 이들 사이의 전위장벽(potential barrier)을 낮추기 위함이다. 이들 사이의 전위장벽이 낮을수록 이들 사이에서 전하이동이 용이하여 박막 트랜지스터의 전기적인 특성을 향상시킬 수 있다. 참고로, 유기반도체층(25)에서 HOMO는 유기반도체층(25)의 가전자대(valence band) 최고 에너지를 의미하는 것으로, 일반적인 무기반도체의 일함수와 동일한 개념으로 볼 수 있다.

[0032] 또한, 본 발명의 박막 트랜지스터는 유기반도체층(25)과 소스전극(27A) 및 드레인전극(27B) 사이에 게재된 전위장벽조절층(미도시)을 더 포함할 수 있다. 여기서, 전위장벽조절층은 유기반도체층(25)과 소스전극(27A) 및 드레인전극(27B) 사이의 전하이동효율(charge transfer efficiency)을 향상시키기 위한 것으로, 유기반도체층(25)을 구성하는 물질의 일함수와 소스전극(27A) 및 드레인전극(27B)을 구성하는 물질의 일함수 사이의 일함수를 갖는 도전성 물질을 사용하여 형성할 수 있다(예컨대, 유기반도체층의 일함수 < 전위장벽조절층의 일함수 < 소



스전극 및 드레인전극의 일함수 또는, 유기반도체층의 일함수 > 전위장벽조절층의 일함수 > 소스전극 및 드레인전극의 일함수). 구체적으로, 유기반도체층(25)의 일함수와 소스전극(27A) 및 드레인전극(27B) 사이의 일함수 차이가 클 경우, 이들 사이에 높은 전위장벽이 형성되고 이로 인해 유기반도체층(25)과 소스전극(27A) 및 드레인전극(27B) 사이의 전하이동이 어려워진다. 따라서, 유기반도체층(25)의 일함수와 소스전극(27A) 및 드레인전극(27B)의 일함수 사이의 일함수를 갖는 전위장벽조절층을 이들 사이에 개재함으로써, 전하가 소스전극(27A) 및 드레인전극(27B)에서 유기반도체층(25)으로 보다 쉽게 이동할 수 있도록 발판을 제공할 수 있다.

[0033] 게이트절연층(23)은 무기절연물질 또는 유기절연물질 중 어느 하나로 이루어진 단일층으로 형성하거나, 또는 무기절연물질과 유기절연물질이 혼합된 복합층으로 형성할 수 있다. 그리고, 게이트절연층(23)은 게이트전극(22)의 상부면을 기준으로 300nm ~ 700nm 범위의 두께, 바람직하게는 450nm의 두께를 갖도록 형성할 수 있다.

[0034] 무기절연물질로는 산화물, 질화물 및 산화질화물(oxynitride)로 이루어진 그룹으로부터 선택된 어느 하나를 사용할 수 있다. 산화물로는 실리콘산화물(SiO<sub>2</sub>), BPSG(Boron Phosphorus Silicate Glass), PSG(Phosphorus Silicate Glass), TEOS(Tetra Ethyle Ortho Silicate), USG(Un-doped Silicate Glass), 고밀도플라즈마산화물(High Density Plasma, HDP), 스핀온글라스(Spin On Glass, SOG) 또는 스핀온절연막(Spin On Dielectric, SO D)를 사용할 수 있다. 질화물로는 실리콘질화물(Si<sub>3</sub>N<sub>4</sub>)을 사용할 수 있으며, 산화질화물로는 실리콘산화질화물(SiON)을 사용할 수 있다.

[0035] 여기서, 무기절연물질을 이용하여 게이트절연층(23)을 형성하는 경우, 상술한 무기절연물질들 중에서 스핀온글라스 또는 스핀온절연막을 사용하는 것이 바람직하다. 스핀온글라스 또는 스핀온절연막은 용액공정(solution process)을 기반으로 형성할 수 있기 때문에 저렴한 비용으로 손쉽게 게이트절연층(23)을 형성할 수 있다. 이를 통하여 박막 트랜지스터의 생산비용을 절감함과 동시에 제조수율(yield)을 향상시킬 수 있다. 구체적으로, 게이트절연층(23)을 스핀온글라스 또는 스핀온절연막을 사용하여 형성할 경우, 실록산(siloxane), 실라젠(silazane) 및 실리케이트(silicate)로 이루어진 그룹으로부터 선택된 어느 하나를 포함하는 스핀온글라스 또는 폴리실라잔(polysilazane)을 포함하는 스핀온절연막을 사용하는 것이 바람직하다. 참고로, 용액공정은 박막으로 형성하고자 하는 물질을 용매에 용해시켜 액상물질(Liquid material)을 형성한 후, 액상물질을 원하는 위치에 도포(transfer)한 다음, 용매를 제거하여 박막을 형성하는 방법이다.

[0036] 유기절연물질로는 파릴렌(parylene), 에폭시(epoxy), 폴리이미드(polyimide, PI), 폴리아미드(Polyamide, PA), 폴리비닐클로라이드(Polyvinyl chloride, PVC), 벤조사이클로부텐(benzocyclobutene, BCB), 폴리비닐알코올(polyvinyl alcohol, PVA) 폴리비닐페놀(polyvinylphenol, PVP) 또는 사이클로펜텐(cyclopentene, CyPe)을 사용할 수 있다.

[0037] 또한, 게이트절연층(23)은 소수성 표면을 갖는 것이 바람직하다. 여기서, 게이트절연층(23)이 소수성 표면을 갖는다는 것은 게이트절연층(23)의 표면에너지(surface energy)가 낮다는 것을 의미한다. 보다 구체적으로, 게이트절연층(23)의 표면에너지가 50mJ/m<sup>2</sup> 보다 작다는 것을 의미한다. 참고로, 박막의 종류 및 구성물질에 따라서 조금씩 차이가 있지만, 일반적으로, 표면에너지가 50mJ/m<sup>2</sup> 보다 작으면 소수성 표면이라고 하며, 표면에너지가 50mJ/m<sup>2</sup> 보다 크면 친수성 표면이라고 한다. 게이트절연층(23)이 소수성 표면을 가질 경우, 게이트절연층(23) 상에 형성되는 활성층(26) 특히, 채널로 작용하는 유기반도체층(25)과 게이트절연층(23) 사이의 계면특성을 향상시킬 수 있다. 만약, 게이트절연층(23)의 표면이 친수성을 가질 경우, 게이트절연층(23)과 일반적으로 소수성을 갖는 유기반도체층(25) 사이의 반발력으로 인하여 이들 사이에 접착력(adhesive strength)이 저하된다. 게이트절연층(23)과 유기반도체층(25) 사이에 접착력이 저하될 경우, 유기반도체층(25)의 필링현상(peeling effect)이 발생할 우려가 있다. 또한, 게이트절연층(23)이 친수성 표면을 가질 경우, 게이트절연층(23)과 유기반도체층(25)이 접하는 계면(surface)에서의 반발력으로 인하여 계면상태가 불안정해지고, 이로 인하여 이들 사이의 계면에 결함(defect)이 발생할 우려가 있다. 이때, 게이트절연층(23)과 유기반도체층(25)이 접하는 계면에 결함이 발생할 경우, 결함이 전하의 트랩사이트(trap site)로 작용하여 유기반도체층(25) 내 전하의 이동도를 저하시킨다. 따라서, 게이트절연층(23)의 표면이 친수성을 갖는 경우 예컨대, 통상적으로 친수성을 갖는 무기절연물질을 사용하여 게이트절연층(23)을 형성하는 경우에는 게이트절연층(23) 표면에 폴리머 코팅(polymer coating)을 실시하거나, 또는 플라즈마 처리(plasma treatment)를 통하여 게이트절연층(23) 표면에 존재하는 수산화기(-OH)를 제거하는 것이 바람직하다. 참고로, 게이트절연층(23) 표면에 수산화기가 존재할 경우, 수산화기에 의하여 게이트절연층(23)의 표면이 친수성을 갖게 된다. 그러므로, 게이트절연층(23) 표면에 존재하는 수산화기를 제거하면 게이트절연층(23)의 표면을 친수성에서 소수성으로 변화시킬 수 있다.

- [0038] 또한, 게이트절연층(23)은 표면 거칠기(surface roughness)가 작을수록 즉, 게이트절연층(23)의 표면이 평탄할수록 좋다. 이는 게이트절연층(23)의 표면이 거칠수록 게이트절연층(23)과 유기반도체층(25)이 접하는 계면에 결함이 발생할 확률이 증가하기 때문이다. 앞서 언급한 바와 같이, 게이트절연층(23)과 유기반도체층(25)이 접하는 계면에 결함이 발생할 경우, 발생된 결함이 전하의 트랩사이트로 작용하여 유기반도체층(25) 내 전하의 이동도를 저하시킨다.
- [0039] 활성층(26)은 탄소나노튜브층(24)과 유기반도체층(25)이 적층된 구조를 갖는다. 보다 구체적으로, 활성층(26)은 게이트절연층(23) 상에 형성된 탄소나노튜브층(24) 및 탄소나노튜브층(24)을 포함하는 게이트절연층(23) 상에 형성된 유기반도체층(25)을 포함한다. 이외에도, 활성층(26)은 유기반도체층(25) 상에 탄소나노튜브층(24)이 적층된 구조(유기반도체층(25)/탄소나노튜브층(24)), 유기반도체층(25) 사이에 탄소나노튜브층(24)이 게재된 구조(유기반도체층(25)/탄소나노튜브층(24)/유기반도체층(25)) 및 탄소나노튜브층(24) 사이에 유기반도체층(25)이 게재된 구조(탄소나노튜브층(24)/유기반도체층(25)/탄소나노튜브층(24))로 이루어진 그룹으로부터 선택된 어느 한 형태일 수도 있다.
- [0040] 유기반도체층(25)은 전자(electron) 또는 정공(hole)과 같은 전하의 이동통로를 제공하는 즉, 채널(channel)로써 기능을 수행한다. 여기서, 유기반도체층(25)은 박막 트랜지스터의 사용목적 또는 요구되는 특성에 따라서 다양한 물질을 사용하여 형성할 수 있다. 예컨대, 유기반도체층(25)은 펜타센(pentacene), 텡스-펜타센(6,13-bis(triisopropylsilyl)ethynyl)pentacene), 테트라센(tetracene), 안트라센(anthracene), 나프탈렌(naphthalene), 알파-6-티오펜( $\alpha$ -6-thiophene), 알파-4-티오펜( $\alpha$ -4-thiophene), 페릴렌(perylene) 및 그 유도체, 루브렌(rubrene) 및 그 유도체, 코로넨(coronene) 및 그 유도체, 페릴렌테트라카르복실릭다이미드(perylene tetracarboxylic diimide) 및 그 유도체, 페릴렌테트라카르복실릭다이안하이드라이드(perylene tetracarboxylic dianhydride) 및 그 유도체, 폴리티오펜(Polythiophene) 및 그 유도체, 폴리파라페닐렌비닐렌((Poly(p-phenylene vinylene)) 및 그 유도체, 폴리파라페닐렌(polyparaphenylene) 및 그 유도체, 폴리플로렌 및 그 유도체, 폴리티오펜비닐렌 및 그 유도체, 폴리티오펜-헤테로고리방향족 공중합체 및 그 유도체, 나프탈렌의 올리고아센 및 이들의 유도체, 알파-5-티오펜의 올리고티오펜 및 이들의 유도체, 금속을 함유하거나 함유하지 않은 프탈로시아닌 및 이들의 유도체, 파이로멜리틱 디안하이드라이드 및 그 유도체 또는 파이로멜리틱 다이미드 및 이들의 유도체 중에서 어느 하나를 사용하여 형성하거나, 이들을 둘 이상 혼합하여 형성할 수 있으며, 반드시 이에 한정되는 것은 아니다.
- [0041] 탄소나노튜브층(24)은 다수의 탄소나노튜브(Carbon Nano Tube, CNT)가 불규칙적으로 연결된 네트워크(network)로 형성할 수 있으며, 활성층(26) 내 전하의 이동도 구체적으로는, 채널로 작용하는 유기반도체층(25) 내 전하의 이동도를 향상시키는 역할을 수행한다. 이를 도 2c를 참조하여 보다 구체적으로 설명한다. 여기서, 도 2c에 서는 설명의 편의를 위하여 유기반도체층(25) 내 전자(e)의 이동을 예시하여 도시하였다.
- [0042] 도 2c에 도시된 바와 같이, 도 1에서 나타낸 종래기술에 따른 박막 트랜지스터의 유기반도체층만으로 이루어진 활성층(14)에서 분자(28)와 분자(28) 사이의 전하의 이동은 호핑(hopping) 즉, 분자(28)와 분자(28) 사이를 전하가 뛰어넘어서 이동하기 때문에 전하의 이동도가 매우 낮다. 이에 비하여 본 발명은 다수의 탄소나노튜브(CNT)가 불규칙적으로 연결된 네트워크로 이루어진 탄소나노튜브층(24)이 유기반도체층(25) 내 분자(28)와 분자(28) 사이를 전기적으로 연결하고 있다. 즉, 탄소나노튜브층(24)을 구성하는 탄소나노튜브가 유기반도체층(25) 내 분자와 분자 사이를 전기적으로 연결하는 커넥팅 로드(road)의 기능을 수행한다. 따라서, 유기반도체층(25) 내 분자(28)와 분자(28) 사이의 전하 이동이 호핑을 통해서 이루어지는 것이 아니라 탄소나노튜브(CNT)를 통하여 이루어지기 때문에 유기반도체층(25) 내 전하의 이동도를 향상시킬 수 있다. 즉, 활성층(26) 내 전하의 이동도를 향상시킬 수 있다.
- [0043] 여기서, 유기반도체층(25) 내 전하의 이동도는 향상시킴과 동시에 박막 트랜지스터의 오프 누설전류(off leakage current)는 감소시키기 위하여 탄소나노튜브층(24)을 형성하는 탄소나노튜브의 갯수는 단위 면적당( $1\mu\text{m}^2$ ) 0.5개 ~ 1.5개 범위의 갯수를 갖는 것이 바람직하다(도 5참조). 그 이유는 다음과 같다.
- [0044] 탄소나노튜브는 말린형태, 표면적 등에 따라서 반도체특성 또는 메탈특성을 갖는다. 이때, 탄소나노튜브층(24)에서 단위면적당 1.5개를 초과하는 탄소나노튜브가 존재할 경우 탄소나노튜브층(24)을 구성하는 탄소나노튜브의 전체 표면적이 증가하여 반도체특성 보다 메탈특성이 우세해진다. 구체적으로, 탄소나노튜브층(24)이 메탈특성 보다 반도체특성이 우세한 탄소나노튜브로 이루어지더라도, 이들이 단위면적당 1.5개를 초과할 경우 탄소나노튜브의 전체 표면적이 증가하여 탄소나노튜브층(24)은 반도체특성 보다 메탈특성이 우세해진다. 이럴 경우, 박막 트랜지스터의 오프 누설전류가 증가하여 박막 트랜지스터의 전기적인 특성이 열화될 수 있다. 반면에, 탄소나노

튜브층(24)에서 단위면적당 0.5개 미만의 탄소나노튜브가 존재할 경우 탄소나노튜브층(24)을 구성하는 탄소나노튜브의 전체 표면적이 감소하여 메탈특성뿐만 아니라 반도체특성도 나타나지 않기 때문에 활성층(26) 내 전하의 이동도를 향상시킬 수 없다. 참고로, 탄소나노튜브는 표면적이 증가할수록 반도체특성 보다 메탈특성이 우세해진다.

[0045] 또한, 탄소나노튜브층(24)은 직경(diameter)이 0.8nm ~ 1.4nm 범위인 탄소나노튜브를 사용하여 형성하는 것이 바람직하다. 이는 탄소나노튜브의 직경에 따라서 탄소나노튜브가 반도체특성 또는 메탈특성 중 어느 하나가 우세해지는 것이 결정되기 때문이다. 구체적으로, 탄소나노튜브의 직경이 0.8nm 미만일 경우, 탄소나노튜브가 메탈특성 뿐만 아니라 반도체특성도 나타나지 않기 때문에 활성층(26) 내 전하의 이동도를 향상시킬 수 없다. 그리고, 탄소나노튜브의 직경이 1.4nm를 초과할 경우, 반도체특성 보다 메탈특성이 우세하게 나타내기 때문에 박막 트랜지스터의 오프 누설전류를 증가시켜, 박막 트랜지스터의 전기적인 특성을 열화시키게 된다.

[0046] 또한, 탄소나노튜브층(24)을 구성하는 탄소나노튜브의 길이는 불규칙적으로 연결된 탄소나노튜브의 네트워크(network)를 효과적으로 형성하기 위하여 5 $\mu$ m ~ 20 $\mu$ m 범위의 길이를 갖는 것이 바람직하다.

[0047] 상술한 탄소나노튜브층(24)은 단일벽 탄소나노튜브(Single-Walled carbon Nano Tube, SWNT), 이중벽 탄소나노튜브, 다중벽 탄소나노튜브 및 다발형 탄소나노튜브로 이루어진 그룹으로부터 선택된 어느 하나 또는 이들을 혼합하여 사용하여 형성할 수 있다. 바람직하게는 동일 체적 밀도(표면적)이 커서 전하의 이동도를 효과적으로 향상시킬 수 있는 단일벽 탄소나노튜브를 사용하여 탄소나노튜브층(24)을 형성하는 것이 좋다.

[0048] 정리하면, 탄소나노튜브층(24)은 메탈특성 보다 반도체특성이 우세한 탄소나노튜브로 이루어지는 것이 바람직하다. 구체적으로, 탄소나노튜브층(24)은 단위면적당 탄소나노튜브의 갯수, 탄소나노튜브의 직경, 탄소나노튜브의 길이 또는 탄소나노튜브의 종류 중 어느 하나 또는 2 이상의 조건을 조절하여 메탈특성 보다 반도체특성이 우세하도록 탄소나노튜브층(24)을 형성하는 것이 바람직하다.

[0049] 이와 같이, 본 발명은 탄소나노튜브층(24)과 유기반도체층(25)이 적층된 구조를 갖는 활성층(26)을 구비함으로써, 활성층(26) 내 전하의 이동도를 향상시킬 수 있다. 이로써, 유기 반도체물질을 포함하는 활성층(26)을 구비한 박막 트랜지스터의 동작특성을 향상시킬 수 있다. 이를 상술한 구조를 갖는 본 발명의 박막 트랜지스터 동작 원리를 통하여 보다 구체적으로 설명한다. 여기서는 설명의 편의를 위하여 활성층(26) 구체적으로, 유기반도체층(25)이 P형 도전형을 갖는 경우를 예를 들어 설명한다.

[0050] 먼저, 소스전극(27A)과 드레인전극(27B) 사이에 전압을 전류를 흘리면 낮은 전압하에서는 전압에 비례하는 전류가 흐르게 된다. 이때, 게이트전극(22)에 양의 전압(positive voltage) 예컨대, 0V 이상의 전압을 인가하면, 인가된 전압에 의하여 생성된 전기장으로 인하여 양의 전하(positive charge)인 정공(hole)들은 모두 유기반도체층(25)의 상부영역 즉, 유기반도체층(25)과 소스전극(27A) 및 드레인전극(27B)이 접하는 계면에 인접한 영역으로 밀려 올라가게 된다. 즉, 박막 트랜지스터가 오프상태(off state)가 된다. 따라서, 유기반도체층(25)의 하부영역 즉, 유기반도체층(25)과 게이트절연층(23)이 접하는 계면에 인접한 영역은 전도 전하가 없는 공핍층(depletion layer)이 생기게 된다. 이때, 게이트절연층(23) 상에 형성된 탄소나노튜브층(24)도 반도체특성을 갖기 때문에 게이트전극(27)에 인가된 전압으로 인하여 유기반도체층(25)과 동일하게 공핍층이 생기게 된다. 이런 상황에서는 소스전극(27A)과 드레인전극(27B) 사이에 전압을 인가해도 공핍층으로 인하여 전도 가능한 전하가 줄어들었기 때문에 소스전극(27A) 및 드레인전극(27B) 사이에 아주 작은 전류가 흐른다. 만약, 게이트절연층(23) 상에 형성된 탄소나노튜브층(24)이 반도체특성 보다 메탈특성이 우세할 경우, 활성층(26)의 하부영역 즉, 게이트절연층(23)과 유기반도체층(25)이 접하는 계면에서 공핍층이 형성되더라도 탄소나노튜브층(24)은 공핍층과 무관하게 많은 전류가 흐를 수 있다. 즉, 탄소나노튜브층(24)로 인하여 오프 누설전류가 발생할 수 있으며, 이로 인하여 박막 트랜지스터의 전기적인 특성이 열화될 수 있다. 따라서, 탄소나노튜브층(24)은 메탈특성 보다 반도체특성이 우세하도록 형성하는 것이 바람직하다.

[0051] 반대로, 게이트전극(22)에 음의 전압(negative voltage)을 인가하면, 인가된 전압에 의한 전기장으로 인하여 게이트절연층(23)과 인접한 유기반도체층(25)의 하부영역에 양의 전하가 유도된 축적층(accumulation layer)이 형성된다. 즉, 박막 트랜지스터가 온상태(on state)가 된다. 이때, 소스전극(27A)과 드레인전극(27B) 사이에는 전도 가능한 전하 운반자가 많이 존재하기 때문에, 박막 트랜지스터가 오프상태일 때 보다 더 많은 전류를 흘릴 수가 있다. 이때, 본 발명은 탄소나노튜브층(24)과 유기반도체층(25)이 적층된 구조를 갖는 활성층(26)을 구비함으로써, 활성층(26) 내 전하의 이동도를 향상시켜 박막 트랜지스터의 동작특성을 향상시킬 수 있다.

[0052] 이하, 본 발명에 따른 탄소나노튜브층과 유기반도체층이 적층된 구조의 활성층을 구비하는 박막 트랜지스터의

제조방법에 대한 실시예를 첨부한 도면을 참조하여 상세히 설명한다. 이하의 공정설명에서 박막 트랜지스터의 제조방법이나 이에 관련된 성막방법에 관련된 기술내용 중 공지된 기술에 대해서는 설명하지 아니하였고, 이는 이러한 공지된 기술들에 의해 본 발명의 기술적 범위가 제한되지 않음을 의미한다.

- [0053] 도 3a 내지 도 3c는 본 발명의 실시예에 따른 박막 트랜지스터의 제조방법을 도시한 공정단면도이다.
- [0054] 도 3a에 도시된 바와 같이, 기판(21)상에 게이트전극(22)을 형성한다. 기판(21)은 본 발명의 목적을 저해하지 않는 범위에서 다양한 물질을 사용할 수 있다. 예컨대, 유리기판, 실리콘기판, ITO글라스, 수정(quartz) 또는 플라스틱기판을 사용할 수 있다. 이때, 본 발명의 박막 트랜지스터를 플렉서블 장치에 적용하고 할 경우, 기판(21)은 유연한 특성을 갖는 플렉서블 기판을 사용하는 것이 바람직하다. 플렉서블 기판으로는 폴리카본에스테르(PolyCarbonate, PC), 폴리메틸메타크릴레이트(PolyMethylMetaAcrylate, PMMA), 폴리디메틸실록산(PolyDiMethylSiloxane, PDMS), 폴리에테리미드(Polyetherimide, PEI), 폴리에테르에테르케톤(polyetheretherketone, PEEK), 폴리이미드(Polyimide, PI), 폴리에테르설폰(Polyethersulfone, PES), 폴리에테리미드(Polyetherimide, PEI), 폴리에스테르(Polyester, PET), 폴리에틸렌나프탈레이트(polyethylenenaphthalate, PEN) 또는 환형올레핀공중합체(Cyclic Olefin Copolymer, COC)을 사용할 수 있다.
- [0055] 게이트전극(22)은 도전물질 예컨대, 금속물질 또는 금속화합물질을 사용하여 형성할 수 있다. 그리고, 게이트전극(22)은 50nm ~ 250nm 범위의 두께, 바람직하게는 150nm의 두께를 갖도록 형성할 수 있다. 여기서, 금속물질로는 금(Au), 은(Ag), 백금(Pt), 크롬(Cr), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 탄탈륨(Ta), 몰리브덴(Mo), 텅스텐(W), 니켈(Ni) 또는 팔라듐(Pd)을 사용할 수 있고, 금속화합물질로는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), AZO(Al doped Zinc Oxide) 또는 GZO(Gallium Zinc Oxide)를 사용할 수 있다.
- [0056] 여기서, 게이트전극(22)은 공지된 다양한 방법을 사용하여 형성할 수 있다. 예컨대, 기판(21) 전면에 도전막 형성한 다음 패터닝하는 방법, 금속 새도우 마스크(metal shadow mask)를 사용하여 형성하는 방법, 기판(21)상에 감광막패턴을 형성한 후 전면에 도전막을 증착하고 감광막패턴을 제거하는 리프트오프(lift-off)방법, 금속 페이스트(metal paste)를 이용한 프린팅법(printing) 등을 사용하여 형성할 수 있다.
- [0057] 다음으로, 기판(21)상에서 게이트전극(22)을 덮도록 게이트절연층(23)을 형성한다. 게이트절연층(23)은 무기절연물질 또는 유기절연물질 중 어느 하나를 사용하여 단일층으로 형성하거나, 또는 무기절연물과 유기절연물질을 혼합 사용하여 복합층으로 형성할 수 있다. 그리고, 게이트절연층(23)은 게이트전극(22)의 상부면을 기준으로 300nm ~ 700nm 범위의 두께, 바람직하게는 450nm의 두께를 갖도록 형성할 수 있다.
- [0058] 또한, 게이트절연층(23)은 소수성 표면을 갖도록 형성하는 것이 바람직하다. 이는 후속 공정을 통하여 게이트절연층(23) 상에 형성될 활성층 특히, 유기반도체층과 게이트절연층(23) 사이의 계면특성을 향상시키기 위함이다. 만약, 게이트절연층(23)의 표면이 친수성-게이트절연층(23)의 표면에너지(surface energy)가 큰 경우로 대략적으로 표면에너지가  $50\text{mJ/m}^2$  보다 큰 경우-을 가질 경우, 게이트절연층(23)과 일반적으로 소수성을 갖는 유기반도체층 사이의 접착력(adhesive strength)이 저하되어 유기반도체층의 필링현상(peeling effect)이 발생할 우려가 있다. 또한, 게이트절연층(23)과 유기반도체층이 접하는 계면(surface)상태가 불안정하여 이들의 계면에 결함(defect)이 발생할 우려가 있다. 이때, 게이트절연층(23)과 유기반도체층이 접하는 계면에 발생된 결함은 트랩사이트(trap site)로 작용하여 유기반도체층 내 전하의 이동도를 저하시킬 수 있다.
- [0059] 일반적으로, 유기절연물질은 소수성을 갖기 때문에 유기절연물질을 사용하여 게이트절연층(23)을 형성하는 경우에는 별도의 공정없이 소수성 표면을 갖는 게이트절연층(23)을 형성할 수 있다. 반면에, 무기절연물질은 통상적으로 친수성을 갖기 때문에 무기절연물질을 사용하여 게이트절연층(23)을 형성하는 경우에는 별도의 공정을 통하여 게이트절연층(23)의 표면이 소수성을 갖도록 형성하는 것이 바람직하다. 예컨대, 게이트절연층(23)의 표면이 소수성을 갖도록 형성하는 방법으로는 게이트절연층(23) 표면에 소수성을 갖는 폴리머를 코팅(polymer coating)하거나, 플라즈마 처리(plasma treatment)를 실시하여 게이트절연층(23) 표면에 존재하는 수산화기(-OH)를 제거하는 방법을 사용할 수 있다. 참고로, 게이트절연층(23) 표면에 수산화기가 존재할 경우, 수산화기에 의하여 게이트절연층(23)의 표면이 친수성을 갖게 된다. 그러므로, 게이트절연층(23) 표면에 존재하는 수산화기를 제거하면 게이트절연층(23)의 표면을 친수성에서 소수성으로 변화시킬 수 있다.
- [0060] 또한, 게이트절연층(23)의 표면 거칠기(surface roughness)가 작도록 형성하는 것이 바람직하다. 즉, 게이트절연층(23)의 표면이 평탄하도록 형성하는 것이 바람직하다. 이는 게이트절연층(23)의 표면이 거칠수록 게이트절연층(23)과 후속 공정을 통하여 형성될 유기반도체층이 접하는 계면에 결함이 발생할 확률이 증가하기

때문이다. 앞서 언급한 바와 같이, 게이트절연층(23)과 유기반도체층이 접하는 계면에 결함이 발생할 경우, 발생한 결함이 트랩사이트로 작용하여 유기반도체층 내 전하의 이동도를 저하시킨다.

[0061] 게이트절연층(23)으로 사용할 수 있는 무기절연물질로는 산화물, 질화물 및 산화질화물(oxynitride)로 이루어진 그룹으로부터 선택된 어느 하나를 사용할 수 있다. 산화물로는 실리콘산화물( $\text{SiO}_2$ ), BPSG(Boron Phosphorus Silicate Glass), PSG(Phosphorus Silicate Glass), TEOS(Tetra Ethyle Ortho Silicate), USG(Un-doped Silicate Glass), 고밀도플라즈마산화물(High Density Plasma, HDP), 스핀온글라스(Spin On Glass, SOG) 또는 스핀온절연막(Spin On Dielectric, SOD)를 사용할 수 있다. 질화물로는 실리콘질화물( $\text{Si}_3\text{N}_4$ )을 사용할 수 있으며, 산화질화물로는 실리콘산화질화물( $\text{SiON}$ )을 사용할 수 있다.

[0062] 여기서, 무기절연물질 이용하여 게이트절연층(23)을 형성하는 경우, 상술한 무기절연물질들 중에서 스핀온글라스 또는 스핀온절연막을 사용하는 것이 가장 바람직하다. 왜냐하면, 스핀온글라스 또는 스핀온절연막은 용액공정(solution process)을 기반으로 형성할 수 있기 때문에 저렴한 비용으로 손쉽게 형성할 수 있기 때문이다. 구체적으로, 게이트절연층(23)을 스핀온글라스 또는 스핀온절연막을 사용하여 형성할 경우, 실록산(siloxane), 실라젠(silazane) 및 실리케이트(silicate)로 이루어진 그룹으로부터 선택된 어느 하나를 포함하는 스핀온글라스 또는 폴리실라잔(polysilazane)을 포함하는 스핀온절연막을 사용하는 것이 바람직하다.

[0063] 예를 들어, 스핀온절연막을 사용하여 게이트절연층(23)을 형성하는 방법에 대하여 자세히 설명하면 다음과 같다.

[0064] 먼저, 기판(21) 전면에 스핀코팅법(spin coating)을 사용하여 스핀온절연막을 형성한다. 이를 위한 코팅조성물(coating solution)은 폴리실라잔이 용매에 용해된 액상물질(Liquid material)을 포함할 수 있다. 이때, 용매는 방향성(aromatic), 지방성(aliphatic) 또는 에테르(Ether type) 용매를 사용할 수 있다. 예컨대, 용매는 톨루엔(Toluene), 벤젠(Benzene), 크실렌(Xylene), 디부틸에테르(Dibutylether), 디에틸에테르(Diethylether), THF(TetraHydroFuran) 또는 헥산(Hexane) 중에서 선택될 수 있다. 여기서, 스핀코팅법 대신에 슬릿코팅법(slit coating), 드립캐스팅법(drop casting), 딥캐스팅법(dip casting), 잉크젯법(ink jet), 프린팅법(printing) 또는 임프린트법(imprint) 중 어느 한 방법을 사용하여 스핀온절연막을 형성할 수도 있다.

[0065] 다음으로, 스핀온절연막 내부에 포함된 용매를 제거함과 동시에 스핀온절연막 실리콘-산소( $\text{Si-O}$ ) 네트워크를 형성하기 위하여 열처리를 실시한다. 열처리는 대기중에서 퍼니스(furnace) 또는 핫 플레이트(hot plate)를 사용하여  $80^\circ\text{C} \sim 230^\circ\text{C}$  범위의 온도에서 1분 ~ 10분 동안 실시할 수 있다.

[0066] 게이트절연층(23)으로 사용할 수 있는 유기절연물질로는 파릴렌(parylene), 에폭시(epoxy), 폴리이미드(polyimide, PI), 폴리아미드(Polyamide, PA), 폴리비닐클로라이드(Polyvinyl chloride, PVC), 벤조사이클로부텐(benzocyclobutene, BCB), 폴리비닐알코올(polyvinyl alcohol, PVA) 폴리비닐페놀(polyvinylphenol, PVP) 또는 사이클로펜텐(cyclopentene, CyPe)을 사용할 수 있다.

[0067] 예를 들어, 폴리비닐페놀(PVP)을 사용하여 게이트절연층(23)을 형성하는 방법에 대하여 자세히 설명하면 다음과 같다.

[0068] 먼저, 기판(21) 전면에 스핀코팅법(spin coating)을 사용하여 폴리비닐페놀을 형성한다. 이를 위한 코팅조성물(coating solution)은 폴리비닐페놀 파우더(powder)가 용매에 용해된 액상물질(Liquid material)을 포함할 수 있다. 이때, 용매로는 PGMEA(propylene glycol monomethyl ether acetate)를 사용할 수 있다. 이때, 폴리비닐페놀을 형성하기 위한 코팅조성물은 폴리비닐페놀 내 가교결합(cross-linking)을 보다 용이하게 형성하고, 폴리비닐페놀의 표면에너지(surface energy)를 보다 낮추기 위하여 가교결합유도체(cross-linking agent) 예컨대, poly melamine-co-formaldehyde methylated를 더 포함할 수도 있다. 여기서, 스핀코팅법 대신에 슬릿코팅법(slit coating), 드립캐스팅법(drop casting), 딥캐스팅법(dip casting), 잉크젯법(ink jet), 프린팅법(printing) 또는 임프린트법(imprint) 중 어느 한 방법을 사용하여 폴리비닐페놀을 형성할 수도 있다.

[0069] 다음으로, 폴리비닐페놀 내부에 포함된 용매를 제거함과 동시에 폴리비닐페놀 내 가교결합을 형성하기 위하여 열처리를 실시한다. 열처리는 대기중에서 퍼니스(furnace) 또는 핫 플레이트(hot plate)를 사용하여 실시할 수 있다. 예컨대, 퍼니스를 사용하여 열처리를 진행할 경우,  $130^\circ\text{C} \sim 170^\circ\text{C}$  범위의 온도에서 30분 ~ 60분 범위의 시간동안 열처리를 실시할 수 있다. 핫 플레이트를 사용하여 열처리를 진행하는 경우,  $180^\circ\text{C} \sim 220^\circ\text{C}$  범위의 온도에서 5분 ~ 10분 범위의 시간동안 열처리를 실시할 수 있다.

[0070] 도 3b에 도시된 바와 같이, 게이트절연층(23) 상에 탄소나노튜브층(24)을 형성한다. 탄소나노튜브층(24)은 다수

의 탄소나노튜브가 불규칙적으로 연결된 네트워크(network)로 형성할 수 있으며, 후속 공정을 통하여 형성될 유기반도체층 내 전하의 이동도를 향상시키는 역할을 수행한다(도 2c 및 도 5참조). 이때, 탄소나노튜브층(24)를 구성하는 탄소나노튜브는 메탈특성 보다 반도체특성이 우세한 것이 바람직하다.

[0071] 또한, 탄소나노튜브층(24)은 후속 공정을 통하여 형성될 유기반도체층 내 전하의 이동도를 향상시키고 동시에 박막 트랜지스터의 오프 누설전류는 감소시키기 위하여 단위면적당( $1\mu\text{m}^2$ ) 0.5개 ~ 1.5개 범위의 탄소나노튜브를 갖도록 형성하는 것이 바람직하다. 왜냐하면, 탄소나노튜브는 말린형태, 표면적 등에 따라서 반도체특성 또는 메탈특성을 갖는데, 일반적으로 메탈특성 보다 반도체특성 우세하다. 이때, 탄소나노튜브층(24)에서 단위면적당 1.5개를 초과하는 탄소나노튜브가 존재할 경우 탄소나노튜브층(24)을 구성하는 탄소나노튜브가 메탈특성 보다 반도체특성이 우세하다 할지라도 탄소나노튜브층(24)을 구성하는 탄소나노튜브의 전체 표면적 증가하여 반도체 특성 보다 메탈특성이 우세해진다. 이럴 경우, 박막 트랜지스터의 오프 누설전류가 증가하여 박막 트랜지스터의 전기적인 특성이 열화될 수 있다. 반면에, 탄소나노튜브층(24)에서 단위면적당 0.5개 미만의 탄소나노튜브가 존재할 경우 탄소나노튜브층(24)을 구성하는 탄소나노튜브의 전체 표면적이 감소하여 메탈특성뿐만 아니라 반도체 특성도 나타나지 않아 활성층 내 전하의 이동도를 향상시킬 수 없다.

[0072] 또한, 탄소나노튜브층(24)은 직경(diameter)이 0.8nm ~ 1.4nm 범위인 탄소나노튜브를 사용하여 형성하는 것이 바람직하다. 이는 탄소나노튜브의 직경이 0.8nm 미만일 경우, 탄소나노튜브가 메탈특성 뿐만아니라 반도체특성도 나타나지 않기 때문에 활성층(26) 내 전하의 이동도를 향상시킬 수 없기 때문이다. 그리고, 탄소나노튜브의 직경이 1.4nm를 초과할 경우, 반도체특성에 비하여 메탈특성이 우세하게 나타내기 때문에 박막 트랜지스터의 오프 누설전류를 증가시킬 우려가 있다.

[0073] 또한, 탄소나노튜브층(24)을 구성하는 탄소나노튜브의 길이는 불규칙적으로 연결된 탄소나노튜브의 네트워크(network)를 효과적으로 형성하기 위하여  $5\mu\text{m}$  ~  $20\mu\text{m}$  범위의 길이를 갖는 것이 바람직하다.

[0074] 또한, 탄소나노튜브층(24)은 단일벽 탄소나노튜브(Single-Walled carbon Nano Tube, SWNT), 이중벽 탄소나노튜브, 다중벽 탄소나노튜브 및 다발형 탄소나노튜브로 이루어진 그룹으로부터 선택된 어느 하나 또는 이들을 혼합하여 사용하여 형성할 수 있다. 바람직하게는 동일 체적 밀도(표면적)이 커서 전하의 이동도를 효과적으로 향상시킬 수 있는 단일벽 탄소나노튜브를 사용하여 탄소나노튜브층(24)을 형성하는 것이 좋다.

[0075] 정리하면, 탄소나노튜브층(24)은 단위면적당 탄소나노튜브의 갯수, 탄소나노튜브의 직경, 탄소나노튜브의 길이 또는 탄소나노튜브의 종류 중 어느 하나 또는 둘 이상의 조건을 조절하여 메탈특성 보다 반도체특성이 우세하도록 탄소나노튜브층(24)을 형성하는 것이 바람직하다.

[0076] 예를 들어, 메탈특성 보다 반도체특성이 우세한 탄소나노튜브층(24)을 게이트절연층(23) 상에 형성하는 방법을 구체적으로 설명하면 다음과 같다.

[0077] 먼저, 화학기상증착법(Chemical Vapor Deposition, CVD)과 같이 공지된 기술을 사용하여 다수의 탄소나노튜브를 형성한다. 이때, 탄소나노튜브는 단일벽 탄소나노튜브로 형성할 수 있으며, 0.8nm ~ 1.4nm 범위의 직경 및  $5\mu\text{m}$  ~  $20\mu\text{m}$  범위의 길이를 갖도록 형성할 수 있다.

[0078] 다음으로, 탄소나노튜브를 탈이온수(deionized water, DI)와 같은 분산용액에 넣어서 분산시킨다. 이를 탄소나노튜브 분산용액이라고 한다. 이때, 탄소나노튜브 분산용액 내 탄소나노튜브의 농도가  $25\text{mg}/\ell$  ~  $35\text{mg}/\ell$  범위를 갖도록 분산용액 내 탄소나노튜브를 분산시키는 것이 바람직하다. 여기서, 탄소나노튜브 분산용액 내 탄소나노튜브의 농도가  $25\text{mg}/\ell$  미만일 경우 탄소나노튜브층(24)의 단위면적당( $\mu\text{m}^2$ ) 탄소나노튜브의 갯수가 0.5개 미만일 수 있으며, 탄소나노튜브 분산용액 내 탄소나노튜브의 농도가  $35\text{mg}/\ell$ 를 초과할 경우 탄소나노튜브층(24)의 단위면적당( $\mu\text{m}^2$ ) 탄소나노튜브의 갯수가 1.5개를 초과할 수 있다.

[0079] 탄소나노튜브 분산용액을 형성하는 과정에서 탄소나노튜브를 효과적으로 분산시키기 위하여 본 발명의 목적을 해하지 않는 범위 내에서 통상의 산 또는 염기를 적정량 첨가하거나, 초음파 처리를 실시할 수도 있다. 또한, 용도 및 필요에 따라서 당업자가 적절히 판단하여 유기 바인더, 감광성 모노머, 광개시제, 점도 조절제, 저장안정제, 습윤제 등의 기타 첨가물을 1종 이상 추가로 첨가할 수도 있다.

[0080] 다음으로, 탄소나노튜브가 분산된 용액을 게이트절연층(23) 상에 도포한다. 이때, 도포방법으로는 스핀코팅법(spin coating), 슬릿코팅법(slot coating), 드롭캐스팅법(drop casting), 딥캐스팅법(dip casting), 잉크젯법(ink jet), 프린팅법(printing) 또는 임프린트법(imprint) 중 어느 한 방법을 사용할 수 있다.

- [0081] 다음으로, 열처리를 실시하여 게이트절연층(23) 상에 도포된 탄소나노튜브 분산용액에서 분산용액 예컨대, 탈이온수를 제거하고 탄소나노튜브는 게이트절연층(23) 상에 잔류시켜 탄소나노튜브층(24)을 형성한다. 이때, 열처리는 대기중에서 퍼니스(furnace) 또는 핫 플레이트(hot plate)를 사용하여 90℃ ~ 110℃ 범위의 온도에서 10분 ~ 20분 범위의 시간동안 실시할 수 있다.
- [0082] 한편, 탄소나노튜브 분산용액을 사용하지 않고, 화학기상증착법을 사용하여 게이트절연층(23) 상에 직접적으로 탄소나노튜브를 성장시켜 탄소나노튜브층(24)을 형성할 수도 있다. 하지만, 게이트절연층(23) 상에 탄소나노튜브를 성장시킬 경우, 다음과 같은 문제점들이 유발될 우려가 있다.
- [0083] 먼저, 화학기상증착법을 사용한 탄소나노튜브의 성장시 일반적으로 고온 예컨대, 600℃ 이상의 온도를 필요로 한다. 이러한 고온환경에서는 본 발명의 박막 트랜지스터를 플렉서블 장치에 적용하기 위하여 도입된 플렉서블 기판 예컨대, 플라스틱 기판이 손상될 우려가 있다. 또한, 게이트절연층(23)을 유기절연물질을 사용하여 형성한 경우, 상술한 고온환경(600℃ 이상)에서 손상될 우려가 있다.
- [0084] 또한, 게이트절연층(23) 상에서 탄소나노튜브를 성장시킬 경우, 단위면적당( $\mu\text{m}^2$ ) 탄소나노튜브의 갯수를 조절하기 어렵기 때문에 본 발명의 목적에 부합하는 탄소나노튜브층(24)을 형성하기 어렵다.
- [0085] 그러므로, 화학기상증착법과 같이 공지된 기술을 사용하여 게이트절연층(23) 상에서 직접적으로 탄소나노튜브를 성장시키는 방법을 사용하여 탄소나노튜브층(24)을 형성하는 것은 바람직하지 않다.
- [0086] 도 3c에 도시된 바와 같이, 탄소나노튜브층(24)이 형성된 게이트절연층(23) 상에 유기반도체층(25)을 형성한다. 유기반도체층(25)은 전자(electron) 또는 정공(hole)과 같은 전하의 이동통로를 제공하는 즉, 채널(channel)로써 기능을 수행한다. 여기서, 유기반도체층(25)은 박막 트랜지스터의 사용목적 또는 요구되는 특성에 따라서 다양한 물질을 사용하여 형성할 수 있다. 예컨대, 유기반도체층(25)은 펜타센(pentacene), 틱스-펜타센(6,13-bis(triisopropylsilyl)ethynyl)pentacene), 테트라센(tetracene), 안트라센(anthracene), 나프탈렌(naphthalene), 알파-6-티오펜( $\alpha$ -6-thiophene), 알파-4-티오펜( $\alpha$ -4-thiophene), 페릴렌(perylene) 및 그 유도체, 루브렌(rubrene) 및 그 유도체, 코로넨(coronene) 및 그 유도체, 페릴렌테트라카르복실리디이미드(perylene tetracarboxylic diimide) 및 그 유도체, 페릴렌테트라카르복실리디안하이드라이드(perylene tetracarboxylic dianhydride) 및 그 유도체, 폴리티오펜(Polythiophene) 및 그 유도체, 폴리파라페닐렌비닐렌((Poly(p-phenylene vinylene) 및 그 유도체, 폴리파라페닐렌(polyparaphenylene) 및 그 유도체, 폴리플로렌 및 그 유도체, 폴리티오펜비닐렌 및 그 유도체, 폴리티오펜-헤테로고리방향족 공중합체 및 그 유도체, 나프탈렌의 올리고아센 및 이들의 유도체, 알파-5-티오펜의 올리고티오펜 및 이들의 유도체, 금속을 함유하거나 함유하지 않은 프탈로시아닌 및 이들의 유도체, 파이로멜리틱 디안하이드라이드 및 그 유도체 또는 파이로멜리틱 디이미드 및 이들의 유도체 중에서 어느 하나를 사용하거나 형성하거나, 이들을 둘 이상 혼합하여 형성할 수 있으며, 반드시 이에 한정되는 것은 아니다.
- [0087] 또한, 유기반도체층(25)은 진공증착법 또는 용액공정 기반의 롤투롤공정을 사용하여 형성할 수 있으며, 바람직하게는 대면적 박막의 형성이 용이하고, 저렴한 비용으로 손쉽게 형성할 수 있는 용액공정을 사용하여 형성하는 것이 좋다.
- [0088] 상술한 공정과정을 통하여 탄소나노튜브층(24)과 유기반도체층(25)이 적층된 활성층(26)을 형성할 수 있다. 이때, 활성층(26)은 도면에 도시된 구조 이외에도 유기반도체층(25) 상에 탄소나노튜브층(24)이 적층된 구조(유기반도체층(25)/탄소나노튜브층(24)), 유기반도체층(25) 사이에 탄소나노튜브층(24)이 게재된 구조(유기반도체층(25)/탄소나노튜브층(24)/유기반도체층(25)) 및 탄소나노튜브층(24) 사이에 유기반도체층(25)이 게재된 구조(탄소나노튜브층(24)/유기반도체층(25)/탄소나노튜브층(24))로 이루어진 그룹으로부터 선택된 어느 한 형태로 형성할 수도 있다.
- [0089] 한편, 공정상의 편의를 위하여 활성층(26)을 상술한 유기반도체층(25)과 탄소나노튜브층(24)의 적층구조 대신에 유기반도체층(25)과 탄소나노튜브층(24)을 혼합(mix)하여 활성층(26)을 형성할 수도 있다. 하지만, 유기반도체층(25)과 탄소나노튜브층(24)을 혼합하여 활성층(26)을 형성할 경우, 활성층(26) 내부에서 단위면적당 탄소나노튜브의 갯수 즉, 활성층(26) 내 탄소나노튜브의 분포를 균일하게 조절하기가 매우 어려운 문제점이 발생한다. 왜냐하면, 탄소나노튜브는 표면적이 매우 크기 때문에 탄소나노튜브간 서로 응집하려는 경향이 강하기 때문이다. 활성층(26) 내 탄소나노튜브가 서로 응집할 경우, 탄소나노튜브의 표면적이 증가하여 반도체특성 보다 메탈특성이 더 우세해지고, 이로 인하여 박막 트랜지스터의 오프 누설전류가 증가하는 문제점이 발생한다. 또한, 유기반도체층(25)과 탄소나노튜브층(24)이 혼합된 활성층(26)을 형성하기 위해서 사용할 수 있는 형성방

법이 용액공정 기반의 성막방법으로 제한된다. 또한, 유기반도체층(25)과 탄소나노튜브층(24)을 동시에 용매에 분산시켜야 하기 때문에 사용할 수 있는 용매의 선택폭도 제한되는 문제점이 있다. 따라서, 탄소나노튜브층(24)과 유기반도체층(25)을 혼합하여 활성층(26)을 형성하는 것은 바람직하지 않다.

[0090] 다음으로, 활성층(26) 상에 소스전극(27A) 및 드레인전극(27B)을 형성한다. 소스전극(27A) 및 드레인전극(27B)은 도전물질 예컨대, 금속물질 또는 금속화합물질로 형성할 수 있다. 그리고, 소스전극(27A) 및 드레인전극(27B)은 150nm ~ 350nm 범위의 두께, 바람직하게는 250nm의 두께를 갖도록 형성할 수 있다.

[0091] 여기서, 금속물질로는 금(Au), 은(Ag), 백금(Pt), 크롬(Cr), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 탄탈륨(Ta), 몰리브덴(Mo), 텅스텐(W), 니켈(Ni) 또는 팔라듐(Pd)을 사용할 수 있다. 그리고, 금속화합물질로는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), AZO(Al doped Zinc Oxide) 또는 GZO(Gallium Zinc Oxide)를 사용할 수 있다.

[0092] 여기서, 소스전극(27A) 및 드레인전극(27B)은 공지된 다양한 방법을 사용하여 형성할 수 있다. 예컨대, 유기반도체층(25) 전면에 도전막 형성한 다음 패터닝하는 방법, 금속 새도우 마스크(metal shadow mask)를 사용하여 형성하는 방법, 유기반도체층(25) 상에 감광막패턴을 형성한 후 전면에 도전막을 증착하고 감광막패턴을 제거하는 리프트오프(lift-off)방법, 금속 페이스트(metal paste)를 이용한 프린팅법(printing) 등을 사용하여 형성할 수 있다.

[0093] 이와 같이, 본 발명은 탄소나노튜브층(24)과 유기반도체층(25)이 적층된 구조를 갖는 활성층(26)을 구비함으로써, 활성층(26) 내 전하의 이동도를 향상시킬 수 있다. 이를 통하여 박막 트랜지스터의 동작특성을 향상시킬 수 있는 효과가 있다.

[0094] 또한, 본 발명은 탄소나노튜브층(24)이 메탈특성 보다 반도체특성이 우세하도록 형성함으로써, 활성층(26) 내 전하의 이동도를 향상시키고 동시에 오프 누설전류의 발생을 억제할 수 있다. 이를 통하여 박막 트랜지스터의 동작특성을 보다 향상시킬 수 있다.

[0095] 또한, 본 발명은 게이트절연층(23)의 표면이 소수성을 갖도록 형성하여 게이트절연층(23)과 유기반도체층(25) 사이의 계면특성을 향상시킴으로써, 박막 트랜지스터의 동작특성을 보다 향상시킬 수 있는 효과가 있다.

[0096] 도 4는 본 발명의 실시예에 따라 형성된 박막 트랜지스터를 구부린(bending) 이미지이다. 여기서 본 발명의 박막 트랜지스터를 플렉서블 장치 예컨대, 플렉서블 평판표시장치에 적용하기 위하여 플렉서블 기판을 기반으로 형성한 경우를 나타낸 모습이다.

[0097] 도 4에 나타낸 바와 같이, 본 발명의 박막 트랜지스터는 플렉서블 기판을 기반으로 용이하게 형성할 수 있으며, 이를 통하여 본 발명의 박막 트랜지스터는 유연한 특성을 갖는 것을 확인할 수 있다.

[0098] 이때, 본 발명의 박막 트랜지스터는 탄소나노튜브층을 구비함으로써, 박막 트랜지스터의 유연한 특성을 저하시키지 않고도 유기반도체층 내 전하의 이동도를 향상시킬 수 있다. 이를 통하여 박막 트랜지스터의 전기적인 특성을 향상시킬 수 있다.

[0099] 도 5는 본 발명의 실시예에 따라 형성된 박막 트랜지스터의 탄소나노튜브층을 원자력현미경(Atomic Force Microscope, AFM)을 사용하여 관찰한 이미지이다.

[0100] 도 5에 나타낸 바와 같이, 본 발명의 실시예에 따라 형성된 탄소나노튜브층은 다수의 탄소나노튜브(CNT)가 불규칙적으로 연결된 네트워크를 형성하고 있는 것을 확인할 수 있다.

[0101] 또한, 본 발명의 실시예에 따른 형성된 탄소나노튜브층은 단위면적당( $\mu\text{m}^2$ ) 0.5개 ~ 1.5개의 탄소나노튜브가 형성되어 있는 것을 확인할 수 있다. 이를 통하여 본 발명의 실시예에 따라 형성된 탄소나노튜브층이 메탈특성보다 반도체특성이 우세하도록 형성된 것을 확인할 수 있다.

[0102] 도 6a 내지 도 6b는 본 발명의 실시예에 따라 형성된 박막 트랜지스터의 게이트절연층 특성을 설명하기 위한 이미지로서, 도 6a는 게이트절연층의 표면에너지를 설명하기 위한 이미지이고, 도 6b는 게이트절연층의 표면을 원자력현미경을 사용하여 관찰한 이미지이다. 여기서 게이트절연층은 폴리비닐페놀(PVP)로 형성한 경우를 예로 들어 나타내었다.

[0103] 도 6에 나타낸 바와 같이, 폴리비닐페놀로 이루어진 게이트절연층 상에 탈이온수(deionized water, DI) 및 에틸렌글리콜(ethylene glycol)을 한 방울씩 떨어뜨렸을 때, 게이트절연층과 탈이온수 및 에틸렌글리콜 사이의 접촉각(contact angle,  $\theta$ )을 이용하여 게이트절연층의 표면에너지를 구할 수 있다. 여기서, 게이트절연층과 탈이온



수 사이의 접촉각( $\theta$ )은  $69^\circ$  이고, 게이트절연층과 에틸렌글리콜 사이의 접촉각( $\theta$ )은  $48^\circ$  이다.

[0104] 상술한 접촉각( $\theta$ )을 아래의 수학적 식 1에 대입하여 게이트절연층의 표면에너지를 구할 수 있다.

[0105] [수학적 식 1]

[0106] 
$$(1 + \cos\theta) \gamma_r = 2 (\gamma_s^p \gamma_r^p)^{1/2} + 2 (\gamma_s^d \gamma_r^d)^{1/2}$$

[0107] 여기서, ' $\gamma_s$ ' 은 게이트절연층의 표면에너지, ' $\gamma_r$ ' 는 탈이온수 및 에틸렌글리콜의 표면에너지, 표면에너지의 윗첨자 p, d는 각각 극성(polar)과 분산(dispersion) 상태의 표면에너지를 의미한다.

[0108] 또한, 수학적 식 1을 사용하여 게이트절연층의 표면에너지를 구하기 위해서는 게이트절연층과 탈이온수 및 에틸렌글리콜 사이의 접촉각( $\theta$ ) 이외에 공지된 탈이온수 및 에틸렌글리콜의 표면에너지값을 알고 있어야 한다. 공지된 탈이온수의 표면에너지값은  $\gamma^d \sim 21.80 \text{ mJ/m}^2$  이고,  $\gamma^p \sim 51.00 \text{ mJ/m}^2$  이다. 그리고, 에틸렌글리콜의 표면에너지값은  $\gamma^d \sim 29.29 \text{ mJ/m}^2$  이고,  $\gamma^p \sim 18.91 \text{ mJ/m}^2$  이다.

[0109] 상술한 값들과 수학적 식 1을 사용하여 폴리비닐페놀로 이루어진 게이트절연층의 표면에너지를 구하면  $34.40 \text{ mJ/m}^2$  이다. 앞서 도 2a 내지 도 2c에서 언급한 바와 같이, 일반적으로 표면에너지가  $50 \text{ mJ/m}^2$  이하이면 소수성 표면을 갖는다고 말할 수 있다.

[0110] 정리하면, 본 발명의 실시예에 따라서 폴리비닐페놀로 이루어진 게이트절연층은 소수성 표면을 갖기 때문에 게이트절연층과 유기반도체층 사이의 접착력 저하에 따른 필링현상을 방지할 수 있다. 또한, 게이트절연층과 유기반도체층이 접하는 계면의 계면상태를 안정화시켜 이들 사이의 계면에 결함이 발생하는 것을 방지할 수 있다. 이를 통하여 박막 트랜지스터의 동작특성을 향상시킬 수 있다.

[0111] 도 6b에 나타난 바와 같이, 본 발명의 실시예에 따라 폴리비닐페놀로 형성된 게이트절연층을 원자력현미경을 이용하여 관찰한 결과에 따르면, 본 발명의 실시예에 따른 형성된 게이트절연층의 평균 거칠기(roughness of root mean square)가  $0.44\text{nm}$ 임을 확인할 수 있다. 일반적으로, 반도체 장치에서 게이트절연층으로 많이 사용되는 열산화법(thermal oxidation)으로 형성된 실리콘산화막( $\text{SiO}_2$ )의 평균 거칠기가  $1.08\text{nm}$ 임을 감안하면, 본 발명의 실시예에 따라 형성된 게이트절연층은 매우 평탄하게 형성된 것을 확인할 수 있다.

[0112] 여기서, 게이트절연층은 채널로 작용하는 활성층 구체적으로, 유기반도체층과 접하기 때문에 게이트절연층이 평탄할수록 게이트절연층과 유기반도체층이 접하는 계면에서 결함이 발생하는 것을 방지할 수 있다. 이를 통하여 박막 트랜지스터의 동작특성을 향상시킬 수 있다.

[0113] 도 7a 내지 도 7b는 본 발명의 실시예에 따라 형성된 박막 트랜지스터의 유기반도체층 특성을 설명하기 위한 것으로, 도 7a는 유기반도체층의 표면을 원자력현미경(AFM)을 사용하여 관찰한 이미지이고, 도 7b는 유기반도체층을 XRD(X Ray Diffraction)를 사용하여 분석한 결과를 나타낸 그래프이다. 여기서는 유기반도체층은 펜타센을 사용하여 형성한 경우를 예시하여 나타내었다. 참고로, 펜타센(pentacene)은 활성층 물질로써 많은 연구가 이루어지고 있는 물질로써, 다섯개의 벤젠고리로 이루어진 방향성 탄화수소물질이다.

[0114] 도 7a에 나타난 바와 같이, 본 발명의 실시예에 따라 형성된 유기반도체층은 탄소나노튜브층이 형성된 게이트절연층 상에 형성됨에도 불구하고 결정립이 잘 형성된 것을 확인할 수 있다. 유기반도체층의 결정립이 잘 형성된 것은 유기반도체층 내 분자밀집도(cross-packing)가 우수한 것을 의미한다. 분자밀집도는 유기반도체층 내 전하의 이동도를 간접적으로 설명할 수 있는 지표로써, 분자밀집도가 우수할수록 전하의 이동도가 높다.

[0115] 도 7b에 나타난 바와 같이, 본 발명의 실시예에 따라 형성된 유기반도체층을 XRD를 사용하여 분석한 결과를 살펴보면, 3가지의 피크(peak)값이 관찰됨을 확인할 수 있다. 이때,  $5.66^\circ$  에서 나타난 피크는 유기반도체층이 'thin film phase'라고 불리는 (001')의 면방향을 갖는 것을 의미하며,  $6.06^\circ$  에서 나타난 피크는 유기반도체층이 'triclinic bulk phase'라고 불리는 (001)의 면방향을 갖는 것을 의미한다. 이 두 면방향((001') 및 (001))은 결정립이 잘 형성된 펜타센을 XRD를 사용하여 분석할 때 관찰되는 것으로, 이를 통하여 본 발명의 실

시예에 따라 탄소나노튜브층 상에 형성된 유기반도체층의 결정립이 잘 형성된 것을 반증하는 결과이다.

[0116] 여기서, 6.80°에서 나타난 피크는 유기반도체층의 결정립과는 상관이 없는 피크값으로, 탄소나노튜브층으로 인하여 게이트절연층과 접하는 유기반도체층의 하부면에서의 결정방향이 불규칙한 것으로 판단된다. 이는 6.80°에서 나타난 피크값을 이용하여 박막의 두께를 계산했을 때, 유기반도체층의 하부면으로부터 1.27nm 위치에서 피크가 나타나는 점을 통하여 유추할 수 있다. 참고로, 본 발명의 실시예에 따라 형성된 탄소나노튜브층은 직경이 0.8nm ~ 1.4nm 범위인 탄소나노튜브를 사용하여 형성하였다.

[0117] 정리하면, 도 7a 및 7b를 통하여 본 발명의 실시예에 따라 탄소나노튜브층 상에 유기반도체층을 형성하더라도, 유기반도체층의 물리적 성질이 열화되지 않음을 확인할 수 있다.

[0118] 도 8a는 활성층이 유기반도체층으로만 이루어진 박막 트랜지스터의 드레인전압(drain voltage,  $V_D$ )에 대한 드레인전류(drain current,  $I_D$ )를 나타낸 그래프이고, 도 8b는 본 발명의 탄소나노튜브층과 유기반도체층이 적층된 구조의 활성층을 구비하는 박막 트랜지스터의 드레인전압( $V_D$ )에 대한 드레인전류( $I_D$ )를 나타낸 그래프이다. 여기서, 게이트전압(gate voltage,  $V_G$ )은 0V부터 -10V씩 증가하여 -60V까지 측정하였다. 그리고, 활성층을 제외한 나머지 박막 트랜지스터의 구성요소들은 서로 동일하다.

[0119] 도 8a 및 도 8b에 나타난 바와 같이, 활성층이 유기반도체층으로만 이루어진 박막 트랜지스터에 비하여 본 발명의 탄소나노튜브층과 유기반도체층이 적층된 구조의 활성층을 구비하는 박막 트랜지스터의 드레인전압에 대한 드레인전류의 크기가 매우 큰 것을 확인할 수 있다. 이는 도 2c에서 설명한 바와 같이, 탄소나노튜브층이 유기반도체층 내 분자와 분자 사이를 전기적으로 연결하여 이들 사이의 전하 이동을 용이하도록 하기 때문이다. 이를 통하여 본 발명은 박막 트랜지스터의 동작전류를 증가시킬 수 있다.

[0120] 도 9a는 활성층이 유기반도체층으로만 이루어진 박막 트랜지스터의 게이트전압(gate voltage,  $V_G$ )에 대한 드레인전류(drain current,  $I_D$ )를 나타낸 그래프이고, 도 9b는 본 발명의 탄소나노튜브층과 유기반도체층이 적층된 구조의 활성층을 구비하는 박막 트랜지스터의 게이트전압( $V_G$ )에 대한 드레인전류( $I_D$ )를 나타낸 그래프이다. 이때, 활성층을 제외한 나머지 박막 트랜지스터의 구성요소들은 서로 동일하다.

[0121] 도 9a 및 도 9b에 나타난 바와 같이, 활성층이 유기반도체층으로만 이루어진 박막 트랜지스터에 비하여 본 발명의 탄소나노튜브층과 유기반도체층이 적층된 구조의 활성층을 구비하는 박막 트랜지스터의 게이트전압에 대한 드레인전류의 크기가 더 큰 것을 확인할 수 있다.

[0122] 또한, 본 발명의 박막 트랜지스터가 탄소나노튜브층을 구비하더라도 탄소나노튜브층을 구비하지 않는 박막 트랜지스터와 거의 동일한 수준의 오픈 누설전류값을 갖는 사실을 확인할 수 있다.

[0123] 또한, 본 발명의 박막 트랜지스터가 활성층이 유기반도체층만으로 이루어진 박막 트랜지스터에 비하여 문턱전압의 크기가 크게 감소한 것을 확인할 수 있다. 일반적으로, 문턱전압의 크기가 감소할수록 박막 트랜지스터의 동작전압을 감소시킬 수 있다.

[0124] 이하, 표1을 통하여 도 8a, 도 8b, 도 9a 및 도 9b에서 나타난 활성층이 유기반도체층으로만 이루어진 박막 트랜지스터와 본 발명의 탄소나노튜브층과 유기반도체층이 적층된 구조의 활성층을 구비하는 박막 트랜지스터의 전기적인 특성에 대하여 정리한다.

[표 1]

활성층	문턱전압(V)	동작전류(A)	전하 이동도( $\text{cm}^2/V_s$ )
유기반도체층	-15.5	$1.1 \times 10^{-5}$	$9.7 \times 10^{-2}$
탄소나노튜브층/유기반도체층	-7	$2.9 \times 10^{-5}$	$2.6 \times 10^{-1}$

[0127] 표 1에 나타난 문턱전압 값은 도 9a 및 도 9b에 나타난 게이트전압에 따른 드레인전류의 기울기를 이용하여 구하였다. 동작전류는 도 8a 및 도 8b에 나타난 드레인전압에 따른 드레인전류를 나타낸 그래프에서 포화영역

(saturation region)에서의 드레인전류값을 이용하여 구하였다. 그리고, 전하이동도( $\mu$ )는 아래의 수학적 2를 사용하여 구하였다.

[0128] [수학적 2]

$$I_D = \frac{WC_0}{2L} \mu (V_G - V_T)^2$$

[0130] 여기서, ' $I_D$ '는 드레인전류(동작전류), ' $L$ '은 채널길이, ' $W$ '는 채널폭, ' $C_0$ '는 게이트절연층의 정전용량, ' $V_G$ '는 게이트전압, ' $V_T$ '는 문턱전압이다. 구체적으로, 채널폭은 1000 $\mu$ m, 채널길이는 100 $\mu$ m, 게이트절연층의 정전용량은 7.9nF/cm<sup>2</sup>이다. 이들을 수학적 2에 대입하여 전하이동도( $\mu$ )를 구하였다.

[0131] 상술한 수학적 2를 통하여 구한 전하이동도( $\mu$ )를 살펴보면 활성층이 유기반도체층만으로 이루어진 박막 트랜지스터의 전하이동도에 비하여 본 발명의 탄소나노튜브층과 유기반도체층이 적층된 구조의 활성층을 구비하는 박막 트랜지스터의 전하이동도가 더 큰 것을 확인할 수 있다.

[0132] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 통상의 전문가라면 본 발명의 기술사상의 범위내의 다양한 실시예가 가능함을 이해할 수 있을 것이다.

**도면의 간단한 설명**

[0133] 도 1은 종래기술에 따른 유기반도체층으로 이루어진 활성층을 구비하는 박막 트랜지스터를 도시한 단면도.

[0134] 도 2a는 본 발명의 실시예에 따른 박막 트랜지스터를 도시한 사시도.

[0135] 도 2b는 본 발명의 실시예에 따른 박막 트랜지스터를 도 2a에 도시된 X-X' 절취선을 따라 도시한 단면도

[0136] 도 2c는 본 발명의 실시예에 따른 박막 트랜지스터의 활성층에서 전하의 이동을 설명하기 위한 평면도.

[0137] 도 3a 내지 도 3c는 본 발명의 실시예에 따른 박막 트랜지스터의 제조방법을 도시한 공정단면도.

[0138] 도 4는 본 발명의 실시예에 따라 형성된 박막 트랜지스터를 구부린(bending) 이미지.

[0139] 도 5는 본 발명의 실시예에 따라 형성된 박막 트랜지스터의 탄소나노튜브층을 원자력현미경(Atomic Force Microscope, AFM)을 사용하여 관찰한 이미지.

[0140] 도 6a 내지 도 6b는 본 발명의 실시예에 따라 형성된 박막 트랜지스터의 게이트절연층 특성을 설명하기 위한 도면.

[0141] 도 7a 내지 도 7b는 본 발명의 실시예에 따라 형성된 박막 트랜지스터의 유기반도체층 특성을 설명하기 위한 도면.

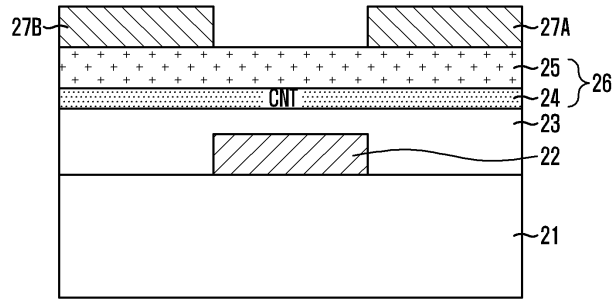
[0142] 도 8a는 활성층이 유기반도체층으로만 이루어진 박막 트랜지스터의 드레인전압(drain voltage,  $V_D$ )에 대한 드레인전류(drain current,  $I_D$ )를 나타낸 그래프.

[0143] 도 8b는 본 발명의 탄소나노튜브층과 유기반도체층이 적층된 구조의 활성층을 구비하는 박막 트랜지스터의 드레인전압( $V_D$ )에 대한 드레인전류( $I_D$ )를 나타낸 그래프.

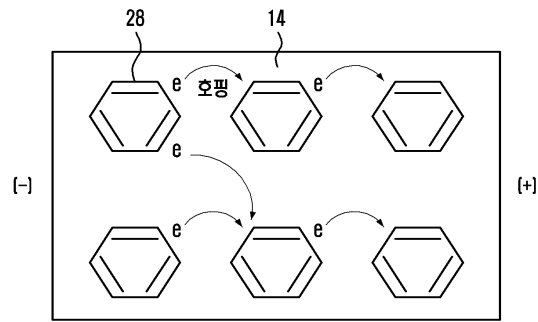
[0144] 도 9a는 활성층이 유기반도체층으로만 이루어진 박막 트랜지스터의 게이트전압(gate voltage,  $V_G$ )에 대한 드레인전류(drain current,  $I_D$ )를 나타낸 그래프.



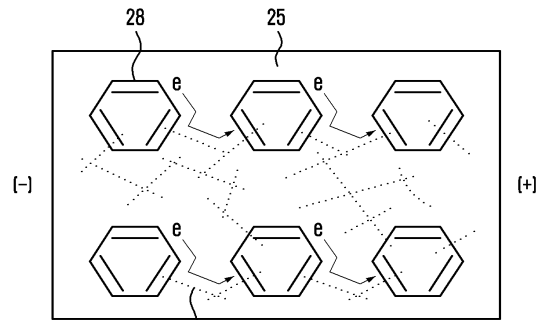
도면2b



도면2c

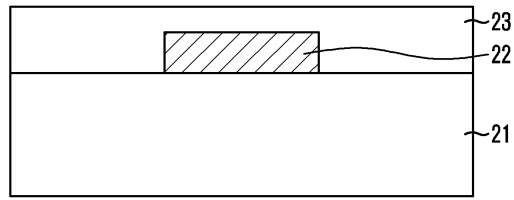


(종래기술)

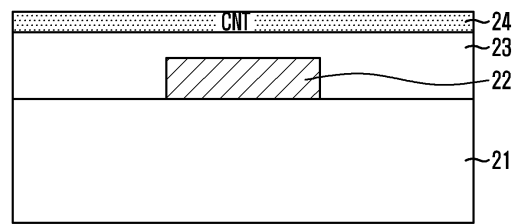


(본발명)

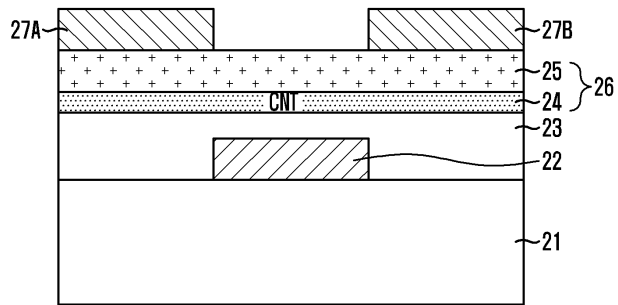
도면3a



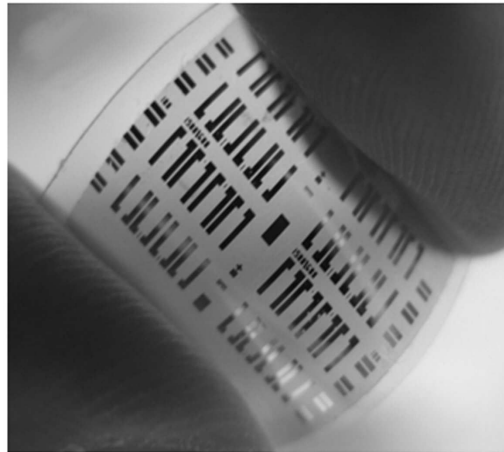
도면3b



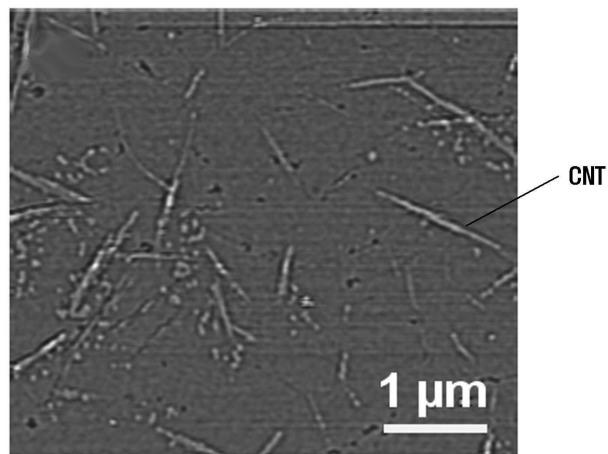
도면3c



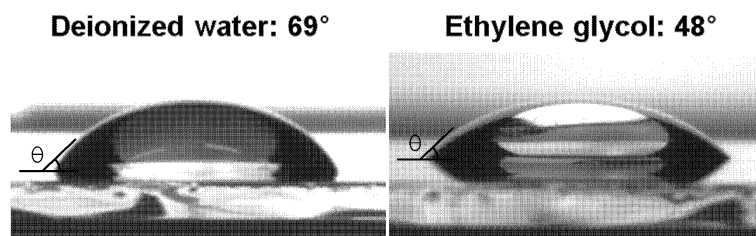
도면4



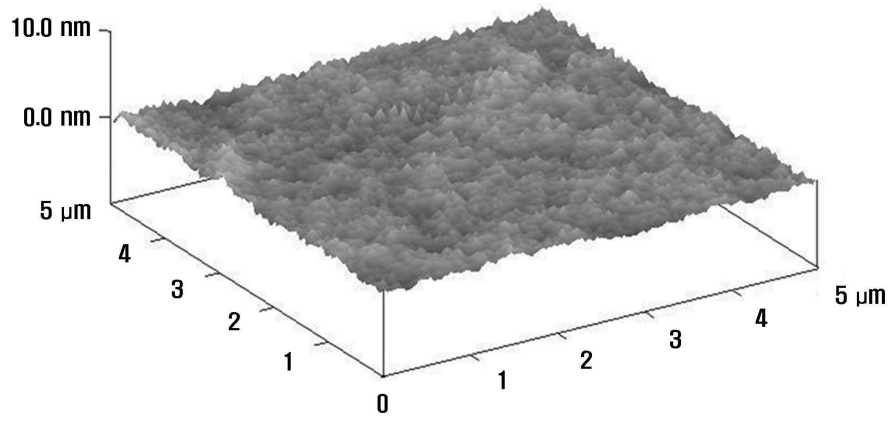
도면5



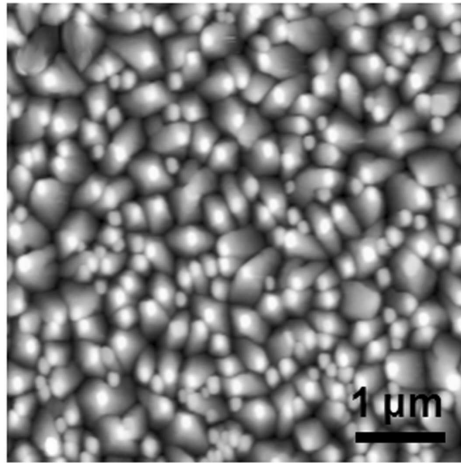
도면6a



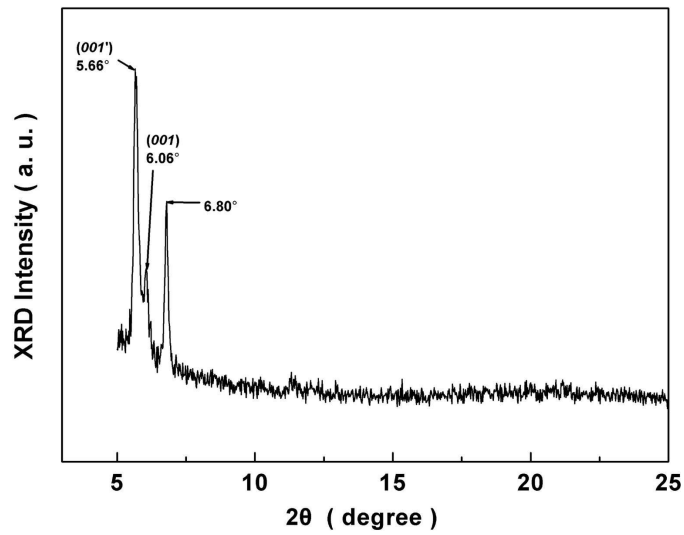
도면6b



도면7a

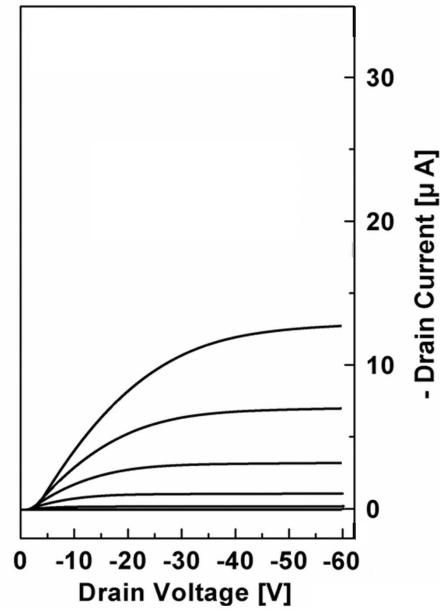


도면7b

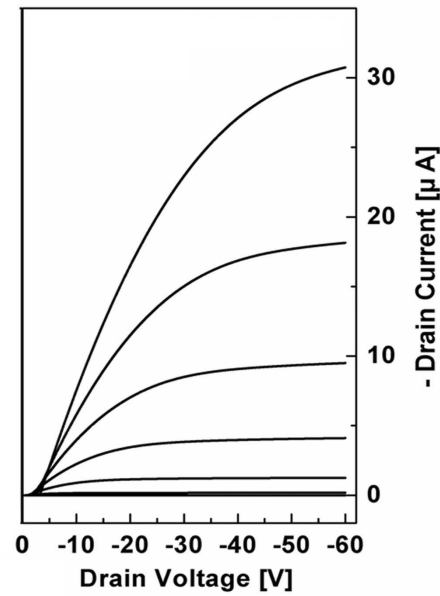




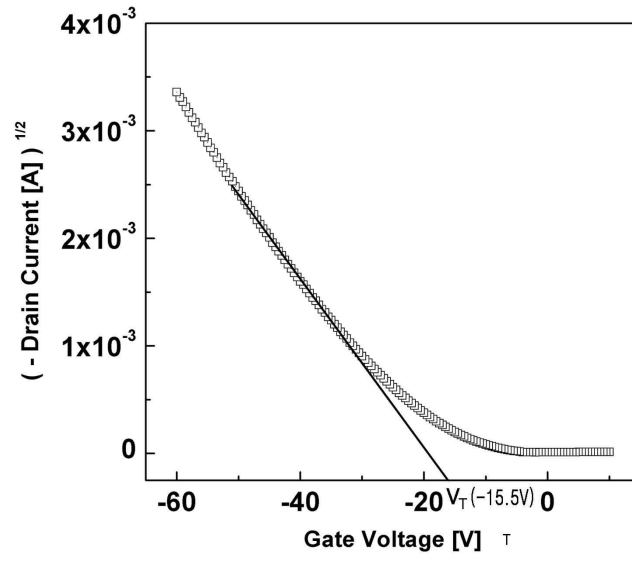
도면8a



도면8b



도면9a



도면9b

