



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2016년06월14일  
 (11) 등록번호 10-1630152  
 (24) 등록일자 2016년06월08일

(51) 국제특허분류(Int. Cl.)  
 H01L 33/38 (2010.01)  
 (21) 출원번호 10-2010-0016617  
 (22) 출원일자 2010년02월24일  
 심사청구일자 2015년01월23일  
 (65) 공개번호 10-2011-0097011  
 (43) 공개일자 2011년08월31일  
 (56) 선행기술조사문헌  
 US20040130002 A1\*  
 US06787905 B1\*  
 JP2008205468 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 엘지디스플레이 주식회사  
 서울특별시 영등포구 여의대로 128(여의도동)  
 (72) 발명자  
 홍영기  
 경상북도 구미시 인동26길 65, 주공아파트 104동 905호 (진평동)  
 장승호  
 경기도 고양시 일산서구 강성로 62, 903동 1601호 (주엽동, 강선마을)  
 김원호  
 경기도 파주시 월롱면 엘씨디로 201, 정다운마을 101/113  
 (74) 대리인  
 특허법인천문

전체 청구항 수 : 총 14 항

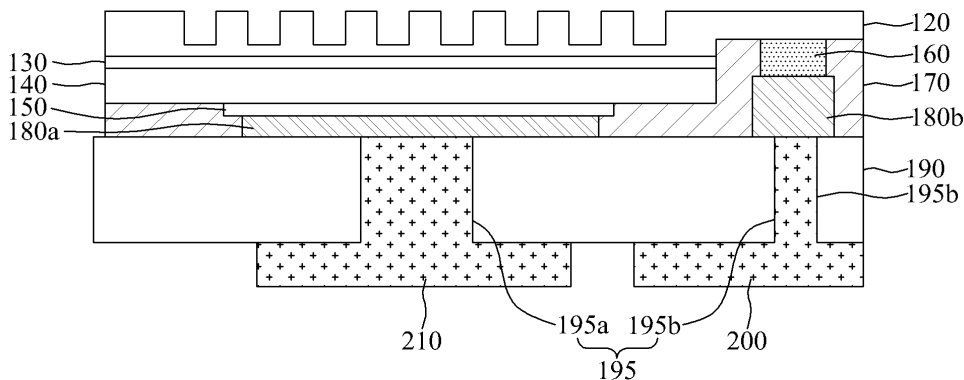
심사관 : 한상일

(54) 발명의 명칭 하이브리드 발광다이오드 칩과 이를 포함하는 발광다이오드 소자 및 이의 제조방법

**(57) 요약**

본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩은 P형 반도체 물질로 형성되는 제 1 클래드층; N형 반도체 물질로 형성되는 제 2 클래드층; 상기 제 1 클래드층과 상기 제 2 클래드층 사이에 형성되는 활성층; 상기 제 1 클래드층 상부에 형성되는 제 1 본딩 메탈층; 상기 제 2 클래드층 상부에 형성되는 제 2 본딩 메탈층; 상기 제 1 본딩 메탈층을 노출시키는 적어도 하나의 제 1 비아 홀 및 상기 제 2 본딩 메탈층을 노출시키는 적어도 하나의 제 2 비아 홀을 포함하여, 상기 제 1 본딩 메탈층 및 제 2 본딩 메탈층의 상부에 본딩되는 세라믹 기판; 상기 적어도 하나의 제 1 비아 홀에 전도성 물질이 매립되어 형성되는 P 전극; 및 상기 적어도 하나의 제 2 비아 홀에 전도성 물질이 매립되어 형성되는 N 전극;을 포함하고, 상기 세라믹 기판에 형성된 상기 제 1 비아 홀 및 제 2 비아 홀은, 원 형태로 형성된과 아울러, 원 형태의 원주면에 형성되는 음각 패턴을 포함한다.

**대표도 - 도4**



**명세서**

**청구범위**

**청구항 1**

P형 반도체 물질로 마련된 제 1 클래드층;

N형 반도체 물질로 마련된 제 2 클래드층;

상기 제 1 클래드층과 상기 제 2 클래드층 사이에 마련된 활성층;

상기 제 1 클래드층과 연결된 제 1 본딩 메탈층;

상기 제 2 클래드층의 일측 일부를 노출시키는 트렌치;

상기 트렌치에 의해 노출된 제 2 클래드층과 연결된 제 2 본딩 메탈층;

상기 제 1 본딩 메탈층과 상기 제 2 본딩 메탈층을 서로 절연시키는 절연층;

상기 제 1 본딩 메탈층을 노출시키는 적어도 하나의 제 1 비아 홀과 상기 제 2 본딩 메탈층을 노출시키는 적어도 하나의 제 2 비아 홀을 가지면서 상기 제 1 본딩 메탈층과 제 2 본딩 메탈층 및 상기 절연층 각각에 본딩된 세라믹 기판;

상기 적어도 하나의 제 1 비아 홀에 매립되어 상기 제 1 본딩 메탈층과 연결된 전도성 물질의 P 전극; 및

상기 적어도 하나의 제 2 비아 홀에 매립되어 상기 제 2 본딩 메탈층과 연결된 전도성 물질의 N 전극을 포함하고,

상기 세라믹 기판에 형성된 상기 제 1 비아 홀 및 제 2 비아 홀 각각은 원 형태로 가지면서 원 형태의 원주면에 마련된 음각 패턴을 구비하는, 하이브리드 발광다이오드 칩.

**청구항 2**

제 1 항에 있어서,

상기 음각 패턴은 복수의 삼각 단면, 사다리꼴 단면, 톱니 모양 또는 일측 원주면에 타원 형태의 단면을 가지면서 상기 제 1 비아 홀 및 상기 제 2 비아 홀의 길이 방향을 따라 상기 제 1 비아 홀 및 상기 제 2 비아 홀 각각의 원주면에 연속적으로 마련된, 하이브리드 발광다이오드 칩.

**청구항 3**

제 1 항에 있어서,

상기 P 전극은 상기 제 1 비아 홀에 마련된 음각 패턴과 대응되는 양각 패턴을 가지며,

상기 N 전극은 상기 제 2 비아 홀에 마련된 음각 패턴과 대응되는 양각 패턴을 갖는, 하이브리드 발광다이오드 칩.

**청구항 4**

제 1 항에 있어서,

상기 P 전극 및 N 전극 각각은 원기둥의 형상을 가지되, 그 외벽에 마련된 복수의 삼각 단면, 사다리꼴 단면, 톱니 모양 또는 일측 원주면에 타원 형태의 단면을 갖는 양각 패턴을 포함하는, 하이브리드 발광다이오드 칩.

**청구항 5**

삭제

**청구항 6**

제 1 항에 있어서,

상기 제 1 클래드층과 상기 제 1 본딩 메탈층 사이에 마련된 광 반사 물질의 반사층을 더 포함하는, 하이브리드 발광다이오드 칩.

**청구항 7**

제 1 항에 있어서,

상기 제 2 클래드층과 상기 제 2 본딩 메탈층 사이에 마련된 전도성 물질의 전극 패드를 더 포함하는, 하이브리드 발광다이오드 칩.

**청구항 8**

제 1 항에 있어서,

상기 제 2 클래드층은 음각 및 양각을 갖는 요철 형태를 포함하는, 하이브리드 발광다이오드 칩.

**청구항 9**

제 1 항에 있어서,

상기 세라믹 기판은 AlN 물질로 이루어진, 하이브리드 발광다이오드 칩.

**청구항 10**

제 1 항 내지 제 4 항과 제 6 항 내지 제 9 항 중 어느 한 항의 하이브리드 발광다이오드 칩; 및  
상기 하이브리드 발광다이오드 칩 상에 형성되는 형광체 및 마이크로 렌즈를 포함하는, 발광다이오드 소자.

**청구항 11**

베이스 기판 상에 N형 반도체층, 활성층, P형 반도체층을 순차적으로 형성한 후, 상기 P 형 반도체층 상부의 일부 영역에 광을 반사시키는 전도성 물질을 증착하여 반사층을 형성하는 단계;

상기 N형 반도체층의 일측 일부를 노출시키는 트렌치를 형성한 후, 상기 반사층 및 상기 트렌치에 의해 노출된 영역을 제외한 다른 영역에 절연층을 형성하는 단계;

상기 트렌치 내부에 전도성 물질을 증착시킨 후, 패터닝 공정을 수행하여 상기 N형 반도체층의 상부에 전극 패드를 형성하는 단계;

상기 반사층과 상기 트렌치 내부에 전도성 물질을 증착시킨 후, 패터닝 공정을 수행하여 상기 반사층에 제 1 본딩 메탈층과 상기 전극 패드에 제 2 본딩 메탈층을 형성하는 단계;

상기 제 1 본딩 메탈층을 노출시키는 적어도 하나의 제 1 비아 홀 및 상기 제 2 본딩 메탈층을 노출시키는 적어도 하나의 제 2 비아 홀을 포함하는 세라믹 기판을 상기 제 1 본딩 메탈층과 제 2 본딩 메탈층 및 상기 절연층에 본딩시키는 단계;

상기 베이스 기판을 상기 N형 반도체층과 분리시켜 제거하는 단계; 및

상기 적어도 하나의 제 1 비아 홀 및 상기 적어도 하나의 제 2 비아 홀에 전도성 물질을 매립하여, 상기 제 1 본딩 메탈층과 접속되는 P 전극 및 상기 제 2 본딩 메탈층과 접속되는 N 전극을 형성하는 단계를 포함하는, 하이브리드 발광다이오드 칩의 제조방법.

**청구항 12**

제 11 항에 있어서,

상기 적어도 하나의 제 1 비아 홀 및 상기 적어도 하나의 제 2 비아 홀 각각은 내벽의 표면적을 증가시키기 위한 음각 패턴을 포함하는, 하이브리드 발광다이오드 칩의 제조방법.

**청구항 13**

제 12 항에 있어서,

상기 음각 패턴은 복수의 삼각 단면, 사다리꼴 단면, 톱니 모양 또는 일측 원주면에 타원 형태의 단면을 가지면서 상기 제 1 비아 홀 및 상기 제 2 비아 홀의 길이 방향을 따라 상기 제 1 비아 홀 및 상기 제 2 비아 홀 각각의 원주면에 연속적으로 마련된, 하이브리드 발광다이오드 칩의 제조방법.

**청구항 14**

제 13 항에 있어서,

상기 P 전극은 상기 제 1 비아 홀에 마련된 음각 패턴과 대응되는 양각 패턴을 가지며,

상기 N 전극은 상기 제 2 비아 홀에 마련된 음각 패턴과 대응되는 양각 패턴을 갖는, 하이브리드 발광다이오드 칩의 제조방법.

**청구항 15**

삭제

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

제 11 항 내지 제 14 항 중 어느 한 항에 있어서,

상기 베이스 기관이 분리된 상기 N형 반도체층의 상부면에 음각 및 양각을 갖는 요철을 마련하는 단계를 더 포함하는, 하이브리드 발광다이오드 칩의 제조방법.

**청구항 19**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명은 발광다이오드(LED: Light Emitting Diode)에 관한 것으로, 특히 전류주입 특성을 높여 광 효율을 향상시킬 수 있는 하이브리드 발광다이오드 칩과 이를 포함하는 발광다이오드 소자에 관한 것이다. 또한, 와이어 본딩 공정을 삭제하여 제조효율을 향상시킬 수 있는 하이브리드 발광다이오드 칩의 제조방법에 관한 것이다.

**배경 기술**

[0002] 발광다이오드(LED: Light Emitting Diode) 소자는 저전력 소비 및 긴 수명의 장점으로 인해 적용분야가 확대되고 있다. 특히, 백색 발광다이오드 소자의 경우 최근에 들어 조명 장치 및 디스플레이 장치의 백라이트로의 적용이 확대되고 있다.

[0003] 도 1은 종래 기술에 따른 발광다이오드 소자를 나타내는 도면이다.

[0004] 도 1을 참조하면, 종래 기술에 따른 발광다이오드 소자는 특정 파장의 광을 생성하는 발광다이오드 칩(10, Light Emitting Diode chip)과, 상기 발광다이오드 칩(10)에서 생성된 광을 특정 색광으로 변환시키기 위한 형광층(50)과, 상기 발광다이오드 칩에 구동 전원을 공급하는 리드 전극(30)과, 상기 발광다이오드 칩(10)과 리드 전극(30) 전기적으로 연결시키는 본딩 와이어(20)와, 상기 발광다이오드 칩(10), 형광층(50) 및 리드 전극(30)을 실장하는 리드 프레임(40)과, 상기 형광층(50) 상에 형성되는 렌즈(60)를 포함하여 구성된다.

[0005] 이러한, 발광다이오드 소자가 높은 광효율을 얻기 위해서는 여러 가지 고려해야 할 사항이 있지만, 광을 생성하

는 발광다이오드 칩(10)의 광효율이 가장 중요한 요소이다.

- [0006] 여기서, 상기 발광다이오드 칩(10)은 크게 래터럴(Lateral) 타입과 버티컬(Vertical) 타입으로 구분될 수 있다.
- [0007] 도 2는 종래 기술에 따른 래터럴(Lateral) 타입의 발광다이오드 칩을 나타내는 도면이고, 도 3은 종래 기술에 따른 버티컬(Vertical) 타입의 발광다이오드 칩을 나타내는 도면이다.
- [0008] 도 2에 도시된 바와 같이, 종래 기술에 따른 (Lateral) 타입의 발광다이오드 칩은 사파이어 기판(sapphire substrate) 또는 실리콘(SiC) 기판 상에 n-GaN 물질로 형성되는 n형의 제 1 클래드층과, 상기 제 1 클래드층의 일측 상에 순차적으로 형성되는 다중 양자우물층(MQW: Multiple Quantum Well), p-GaN 물질로 형성되는 p형의 제 2 클래드층, P 전극의 본딩을 위한 본딩 메탈층(bonding metal) 및 P 전극을 포함한다. 또한, 상기 제 1 클래드층의 타측 상에 N 전극의 본딩을 위한 본딩 메탈층 및 N 전극이 순차적으로 형성되는 구조를 가진다. 도 2에서는 사파이어 기판 상에 n형의 제 1 클래드층과, 다중 양자우물층(MQW), p형의 제 2 클래드층이 순차적으로 형성되는 것을 일 예로 도시하였다.
- [0009] 도 3에 도시된 바와 같이, 종래 기술에 따른 버티컬(Vertical) 타입의 발광다이오드 칩은 상술한 래터럴(Lateral) 타입의 발광다이오드 칩과 동일하게 n-GaN 물질로 형성되는 n형의 제 1 클래드층과, 다중 양자우물층과, p-GaN 물질로 형성되는 p형의 제 2 클래드층이 사파이어 기판 또는 실리콘(SiC) 기판 상에 순차적으로 형성된다. 상기 래터럴(Lateral) 타입과 상이하게 P 전극과 N 전극이 수직 구조로 형성되게 된다. 도 3에서는 사파이어 기판 상에 n형의 제 1 클래드층과, 다중 양자우물층(MQW), p형의 제 2 클래드층이 순차적으로 형성되는 것을 일 예로 도시하였다.
- [0010] 이러한, 종래 기술에 따른 래터럴(Lateral) 타입 및 버티컬(Vertical) 타입의 발광다이오드 칩은 P 전극과 N 전극이 본딩 와이어(20)를 통해 도 1에 도시된 리드 전극(30)과 전기적으로 연결되어, P 전극과 N 전극에 구동전원이 인가되는 구조를 가진다.
- [0011] 따라서, 발광다이오드 소자에 본딩 와이어(20)가 필수적으로 구비되어야 하고, 제조과정에서 상기 본딩 와이어(20)를 형성하기 위한 공정을 수행하여야 단점이 있다.
- [0012] 여기서, 상기 본딩 와이어(20)는 미세 선폭을 가지게 되는데, 이로 인해 발광다이오드 칩(10)에 전류 주입 특성이 떨어지고, 본딩 와이어(20)와 리드 전극(30)을 연결(connecting) 시 불량이 발생하는 문제점이 발생된다. 이러한, 본딩 와이어의 연결에 따른 불량이 발생되면 발광다이오드 소자의 발광이 이루어지지 않게 되어 발광다이오드 소자의 신뢰성 및 품질이 저하되는 단점이 있다.
- [0013] 또한, 상술한 래터럴(Lateral) 타입의 발광다이오드 소자는 P 전극과 N 전극이 수평 방향으로 형성되기 때문에, N 전극으로부터 다중 양자우물층을 경유하여 P 전극으로 흐르는 전류의 흐름이 수평 방향을 따라 협소하게 형성되어 광효율이 저하되는 단점이 있다.
- [0014] 또한, 상술한 래터럴(Lateral) 타입의 발광다이오드 소자는 구조적인 특성으로 인해 발열에 단점이 있어, 발광다이오드 소자의 신뢰성 및 품질이 저하되는 단점이 있다.

**발명의 내용**

**해결하려는 과제**

- [0015] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 전류주입 특성을 높여 광 효율을 향상시킬 수 있는 하이브리드 발광다이오드 칩을 제공하는 것을 기술적 과제로 한다.
- [0016] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 본딩 와이어 없이 구동전원의 공급이 이루어질 수 있는 하이브리드 발광다이오드 칩을 제공하는 것을 기술적 과제로 한다.
- [0017] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 방열 특성을 향상시켜 발광다이오드 소자의 신뢰성을 향상시킬 수 있는 발광다이오드 칩과 이를 포함하는 발광다이오드를 제공하는 것을 기술적 과제로 한다.
- [0018] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 와이어 본딩 공정을 삭제하여 제조효율을 향상시킬 수 있는 하이브리드 발광다이오드 칩의 제조방법을 제공하는 것을 기술적 과제로 한다.

**과제의 해결 수단**

- [0019] 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩은 P형 반도체 물질로 형성되는 제 1 클래드층; N형 반도체

체 물질로 형성되는 제 2 클래드층; 상기 제 1 클래드층과 상기 제 2 클래드층 사이에 형성되는 활성층; 상기 제 1 클래드층 상부에 형성되는 제 1 본딩 메탈층; 상기 제 2 클래드층 상부에 형성되는 제 2 본딩 메탈층; 상기 제 1 본딩 메탈층을 노출시키는 적어도 하나의 제 1 비아 홀 및 상기 제 2 본딩 메탈층을 노출시키는 적어도 하나의 제 2 비아 홀을 포함하여, 상기 제 1 본딩 메탈층 및 제 2 본딩 메탈층의 상부에 본딩되는 세라믹 기판; 상기 적어도 하나의 제 1 비아 홀에 전도성 물질이 매립되어 형성되는 P 전극; 및 상기 적어도 하나의 제 2 비아 홀에 전도성 물질이 매립되어 형성되는 N 전극;을 포함하고, 상기 세라믹 기판에 형성된 상기 제 1 비아 홀 및 제 2 비아 홀은, 원 형태로 형성됨과 아울러, 원 형태의 원주면에 형성되는 음각 패턴을 포함하는 것을 특징으로 한다.

[0020] 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩의 상기 P 전극 및 N 전극은 상기 제 1 비아 홀 및 상기 제 2 비아 홀에 형성된 음각 패턴과 대응되는 양각 패턴을 가지도록 형성되는 것을 특징으로 한다.

[0021] 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩의 상기 P 전극 및 N 전극은 원기둥의 형상을 가지며, 외벽에 복수의 삼각 단면, 사다리꼴 단면, 톱니 모양 또는 일측 원주면에 타원 형태의 단면을 가지는 양각 패턴이 형성되는 것을 특징으로 한다.

[0022] 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩의 제조방법은 베이스 기판 상에 N형 반도체층, 활성층, P형 반도체층을 순차적으로 형성한 후, 상기 P형 반도체층 상부의 일부 영역에 광을 반사시키는 전도성 물질을 증착하여 반사층을 형성하는 단계; 상기 베이스 기판 상에 형성된 N형 반도체층, 활성층, P형 반도체층을 소정 깊이로 식각하여, 상기 N형 반도체층의 상부면을 노출시키는 트렌치를 형성한 후, 상기 N형 반도체층 상부에 전극 패드를 형성하는 단계; 상기 반사층 및 트렌치 내부에 전도성 물질을 증착시킨 후, 패터닝 공정을 수행하여, 상기 반사층 상에 제 1 본딩 메탈층 및 상기 전극 패드 상에 제 2 본딩 메탈층을 형성하는 단계; 상기 제 1 본딩 메탈층을 노출시키는 적어도 하나의 제 1 비아 홀 및 상기 제 2 본딩 메탈층을 노출시키는 적어도 하나의 제 2 비아 홀을 포함하는 세라믹 기판을 상기 제 1 본딩 메탈층 및 제 2 본딩 메탈층 상에 본딩시키는 단계; 상기 적어도 하나의 제 1 비아 홀 및 상기 적어도 하나의 제 2 비아 홀에 전도성 물질을 매립하여, 상기 제 1 본딩 메탈층과 접속되는 P 전극 및 상기 제 2 본딩 메탈층과 접속되는 N 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

[0023] 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩의 제조방법은 상기 적어도 하나의 제 1 비아 홀 및 상기 적어도 하나의 제 2 비아 홀 각각의 내부 표면적을 증가시키기 위한 음각 패턴을 형성시키는 것을 특징으로 한다.

[0024] 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩의 제조방법에서, 상기 음각 패턴은 상기 적어도 하나의 제 1 비아 홀 및 상기 적어도 하나의 제 2 비아 홀의 길이 방향을 따라 원주면에 연속적으로 형성되고, 복수의 삼각 단면, 사다리꼴 단면, 톱니 모양 또는 일측 원주면에 타원 형태의 단면을 가지도록 형성되는 것을 특징으로 한다.

[0025] 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩의 제조방법에서, 상기 P 전극 및 N 전극은 상기 적어도 하나의 제 1 비아 홀 및 상기 적어도 하나의 제 2 비아 홀에 형성된 음각 패턴과 대응되는 양각 패턴을 가지도록 형성되는 것을 특징으로 한다.

[0026] 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩의 제조방법에서, 상기 P 전극 및 N 전극은 원기둥의 형상을 가지며, 외벽에 복수의 삼각 단면, 사다리꼴 단면, 톱니 모양 또는 일측 원주면에 타원 형태의 단면을 가지는 양각 패턴을 가지도록 형성되는 것을 특징으로 한다.

[0027] 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩의 제조방법에서, 상기 P 전극 및 N 전극은 상기 적어도 하나의 제 1 비아 홀 및 상기 적어도 하나의 제 2 비아 홀의 개수와 대응되는 개수로 형성되는 것을 특징으로 한다.

**발명의 효과**

[0028] 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩은 전류주입 특성을 높여 광 효율을 향상시킬 수 있다.

[0029] 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩은 본딩 와이어 없이 구동전원의 공급이 이루어질 수 있도록 하여, 본딩 와이어의 접속 불량에 따른 소자의 신뢰성 및 품질의 저하를 방지할 수 있다.

[0030] 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩과 이를 포함하는 발광다이오드 소자는 상기 제 2 클래드

층에 표면 거칠기(surface roughness) 공정을 수행하여, 상기 제 2 클래드층의 상부면이 요철을 가지도록 형성한다. 이를 통해, 상기 방열 특성을 향상시켜 발광다이오드 소자의 신뢰성을 향상시킬 수 있다.

[0031] 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩의 제조방법은 와이어 본딩 공정을 삭제하여 제조효율을 향상시킬 수 있다.

**도면의 간단한 설명**

- [0032] 도 1은 종래 기술에 따른 발광다이오드 소자를 나타내는 도면.
- 도 2는 종래 기술에 따른 래터럴(Lateral) 타입의 발광다이오드 칩을 나타내는 도면.
- 도 3은 종래 기술에 따른 버티컬(Vertical) 타입의 발광다이오드 칩을 나타내는 도면.
- 도 4는 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩을 나타내는 도면.
- 도 5는 하이브리드 발광다이오드 칩의 세라믹 기판에 형성되는 비아 홀의 형상을 나타내는 평면도.
- 도 6은 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩에 형성되는 P 전극 및 N 전극을 나타내는 사시도.
- 도 7 내지 도 14는 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩의 제조방법을 나타내는 도면.

**발명을 실시하기 위한 구체적인 내용**

[0033] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩과 이의 제조방법에 대하여 설명하기로 한다.

[0034] 1. 하이브리드 발광다이오드 칩

[0035] 도 4는 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩을 나타내는 도면이고, 도 5는 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩의 세라믹 기판에 형성되는 비아 홀의 형상의 나타내는 도면이고, 도6은 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩의 P 전극 및 N 전극을 나타내는 도면이다.

[0036] 도 4 내지 도 6을 참조하면, 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩은 제 1 클래드층(140), 활성층(130, MQW: Multiple Quantum Well), 제 2 클래드층(120), 반사층(150), N 전극 패드(160), 제 1 본딩 메탈층(180a), 제 2 본딩 메탈층(180b), 절연층(170), 복수의 비아 홀(195a, 195b, Via hole)을 가지는 세라믹 기판(190), N 전극(200) 및 P 전극(210)을 포함하여 구성된다.

[0037] 상기 제 1 클래드층(140)은 p형 물질로 형성되는 p형의 반도체 층으로, GaN, AlGa<sub>N</sub>, InGa<sub>N</sub>, AlN, AlInGa<sub>N</sub>에 불순물로 Mg, Zn, Be을 도핑하여 형성될 수 있다.

[0038] 상기 제 2 클래드층(120)은 n형 물질로 형성되는 n형의 반도체 층으로, GaN, AlGa<sub>N</sub>, InGa<sub>N</sub>, AlN, AlInGa<sub>N</sub>에 불순물로 Si, Ge, Sn, Se, Te을 도핑하여 형성될 수 있다.

[0039] 상기 제 2 클래드층(120)은 사파이어 기판에 형성될 때에는 상부면이 평탄(flat)하게 형성되지만, 제조과정에서 상기 제 2 클래드층(120)에 표면 거칠기(surface roughness) 공정이 수행되어 상기 제 2 클래드층(120)의 상부면이 요철을 가지도록 형성된다.

[0040] 상기 제 1 클래드층(140)과 상기 제 2 클래드층(120) 사이에는 활성층(130)이 형성된다.

[0041] 여기서, 상기 활성층(130)은 인가되는 전류를 이용하여 발광하는 층으로서, InGa<sub>N</sub> 층을 양자 우물로 하고, (Al)Ga<sub>N</sub>층을 베리어 레이어(barrier layer)로 성장시켜 다중 양자우물(Multi Quantum Well) 구조를 가지게 된다.

[0042] 여기서, 발광다이오드 칩에서 발생하는 광의 색(color)은 활성층(130)을 형성하는 물질에 따라 달라지게 된다. 상기 활성층(130)이 InGa<sub>N</sub>/Ga<sub>N</sub>의 다중 양자우물 구조를 가지는 경우에는 청색광을 발광하고, Ga<sub>N</sub>/AlGa<sub>N</sub>, InAlGa<sub>N</sub>/InAlGa<sub>N</sub>, InGa<sub>N</sub>/AlGa<sub>N</sub> 등의 다중 양자우물 구조를 가지는 경우에는 자외선을 발생시키게 된다.

[0043] 이러한, 활성층(130)의 인듐(In) 또는 알루미늄(Al)의 조성비율을 변화시킴으로써 광의 파장을 조절하거나, 활성층(130) 내의 양자 우물의 깊이, 활성층(130)의 구성하는 레이어(layer)의 개수 및 두께 등을 변화시킴으로써 활성층(130)의 광효율 향상시킬 수 있다.



- [0044] 상술한, 상기 제 1 클래드층(140), 활성층(130), 제 2 클래드층(120)은 사파이어 기판(sapphire substrate) 상에 순차적으로 형성된다.
- [0045] 여기서, 상기 사파이어 기판은 발광다이오드 칩의 제조과정에서 제 1 클래드층(140), 활성층(130), 제 2 클래드층(120)을 형성한 후 제거되어, 제조가 완료된 발광다이오드 칩에서는 존재하지 않게 된다. 따라서, 도 4에서는 사파이어 기판을 도시하지 않았다.
- [0046] 상기 반사층(150)은 광을 반사시킬 수 있는 전도성 물질로 상기 제 1 클래드층(140) 상에 형성되어, P 전극(210) 방향으로의 광을 출사면으로 반사시켜 광 효율을 향상시킨다. 상기 반사층(150) 상에는 제 1 클래드층(140)을 P 전극(210)과 연결시키는 제 1 본딩 메탈층(180a)이 형성된다.
- [0047] 상기 제 2 클래드층(120)의 일측 상에는 상기 제 2 클래드층(120)의 상부면을 노출시키는 트렌치(trench)가 형성되고, 상기 트렌치 내에 전도성 물질이 증착되어 제 2 클래드층(120)과 N 전극(200)을 연결시키기 위한 N 전극 패드(160)가 형성된다.
- [0048] 이때, 상기 N 전극 패드(160)는 n형의 상기 제 2 클래드층(120)과 접촉되도록 형성되고, 트렌치(trench)에 의해 노출된 상기 활성층(130) 및 p 형의 제 2 클래드층(120)의 외벽과는 격리되도록 형성된다.
- [0049] 상기 N 전극 패드(160) 상에는 상기 제 2 클래드층(120)을 N 전극(200)과 연결시키기 위한 제 2 본딩 메탈층(180b)이 형성된다. 상기 제 1 본딩 메탈층(180a)과 제 2 본딩 메탈층(180b)의 사이 및 상기 트렌치(trench) 내부에는 상기 제 1 본딩 메탈층(180a)과 상기 제 2 본딩 메탈층(180b)을 절연시키기 위한 절연층(170)이 형성된다.
- [0050] 상기 세라믹 기판(190)은 AlN 물질로 형성되는 기판으로, 복수의 비아 홀(195)이 형성되어 있다. 복수의 비아 홀(195)이 형성된 세라믹 기판(190)은 별도로 제작된 후, 상기 제 1 본딩 메탈층(180a), 상기 제 2 본딩 메탈층(180b) 및 절연층(170)의 전면에 본딩 된다. 여기서, 세라믹 기판(190)은 발광다이오드 칩 내부에서 발생하는 열의 방열 시키는 역할을 수행할 수 있다.
- [0051] 상기 복수의 비아 홀(195)은 P 전극(210)을 형성하기 위하여 상기 제 1 본딩 메탈층(180a)을 노출시키는 적어도 하나의 제 1 비아 홀(195a) 및 N 전극(200)을 형성하기 위하여 상기 제 2 본딩 메탈층(180b)을 노출시키는 적어도 하나의 제 2 비아 홀(195b)로 구성된다.
- [0052] 상기 제 1 및 제 2 비아 홀(195a, 195b) 각각은 5에 도시된 바와 같이, 원 형태로 형성됨과 아울러, 원 형태의 원주면에 형성된 음각 패턴(196)을 가지도록 형성된다.
- [0053] 이러한, 음각 패턴(196)은 제 1 및 제 2 비아 홀(195a, 195b)의 표면적을 증가시키기 위한 것으로, 상기 음각 패턴(196)을 포함하는 상기 제 1 및 제 2 비아 홀(195a, 195b)에 전도성 물질이 매립되어 P 전극(210) 및 N 전극(200)이 형성된다.
- [0054] 이를 위해, 상기 음각 패턴(196)은 제 1 및 제 2 비아 홀(195a, 195b)의 길이 방향을 따라 제 1 및 제 2 비아 홀(195a, 195b)의 원주면에 연속적으로 형성되고, 도 5에 도시된 바와 같이, 복수의 삼각 단면(a) 또는 사다리꼴 단면(b) 또는 톱니 모양의 형태를 가지도록 형성될 수 있다.
- [0055] 또한, 제 1 및 제 2 비아 홀(195a, 195b)의 길이 방향을 따라 제 1 및 제 2 비아 홀(195a, 195b)의 일측 원주면에 타원 형태의 단면(c)을 가지도록 형성될 수 있다.
- [0056] 여기서, 상기 음각 패턴(196)은 상술한 형태에 한정되지 않고, 제 1 및 제 2 비아 홀(195a, 195b)의 내부 표면적을 증가시킬 수 있는 다양한 형태를 가질 수 있다.
- [0057] 상기 P 전극(210)은 상기 제 1 본딩 메탈층(180a)을 노출시키는 적어도 하나의 제 1 비아 홀(195a)에 전도성 물질이 매립되어 형성된다. 따라서, 상기 P 전극(210)은 상기 제 1 비아 홀(195a)과 개수와 대응되도록 적어도 하나가 형성될 수 있다.
- [0058] 상기 N 전극(200)은 상기 제 2 본딩 메탈층(180b)을 노출시키는 적어도 하나의 제 2 비아 홀(195b)에 전도성 물질이 매립되어 형성된다. 따라서, 상기 N 전극(200)은 상기 제 2 비아 홀(195b)과 개수와 대응되도록 적어도 하나가 형성될 수 있다.
- [0059] 상기 P 전극(210) 및 N 전극(200)은 상술한 음각 패턴을 포함하는 상기 제 1 비아 홀 및 상기 제 2 비아 홀에 전도성 물질이 매립되어 형성되므로, 상기 음각 패턴(196)과 대응되는 양각 패턴을 가지도록 형성된다.



- [0060] 따라서, 본 발명의 실시 예에 따른 발광다이오드 칩은 상기 세라믹 기판(190)에 형성된 적어도 하나의 제 1 비아 홀(195a) 및 제 2 비아 홀(195b)에 전도성 물질을 매립하여 상기 P 전극(210) 및 상기 N 전극(200)을 형성함으로써, 상기 P 전극(210) 및 상기 N 전극(200)의 표면적을 증가시킬 수 있다.
- [0061] 여기서, 상기 N 전극(200) 및 P 전극(210)은 Ti, Cr, Al, Cu, Au 중 하나의 물질 또는 상기 Ti, Cr, Al, Cu, Au 중 적어도 하나를 포함하는 합금을 이용하여 형성될 수 있다.
- [0062] 상기 음각 패턴(196)을 포함하는 상기 제 1 및 제 2 비아 홀(195a, 195b)에 전도성 물질을 매립하여 상기 P 전극(210) 및 N 전극(200)을 형성하면, 도 6에 도시된 바와 같이, P 전극(210) 및 N 전극(200)이 상기 제 1 및 제 2 비아 홀(195a, 195b)과 대응되는 형상을 가지도록 형성되게 된다.
- [0063] 즉, 상기 P 전극(210) 및 N 전극(200)은 외벽에 복수의 삼각 단면, 사다리꼴 단면, 톱니 모양 또는 일측 원주면에 타원 형태의 단면을 가지는 양각 패턴이 형성된 원기둥의 형상을 가지도록 형성된다.
- [0064] 이를 통해, 상기 P 전극(210) 및 N 전극(200)의 표면적을 증가시켜 발광다이오드 칩의 전류 주입 특성을 향상시킬 수 있다.
- [0065] 상술한 구성을 포함하는 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩은 반도체 제조공정을 통해 제조되므로, 복수개의 하이브리드 발광다이오드 칩이 함께 제조되게 된다.
- [0066] 제조가 완료된 하이브리드 발광다이오드 칩 각각을 잘라낸 후, 발광다이오드 칩을 표면실장소자(SMD: Surface Mount Devices) 기술을 통해 기판에 패키지(package) 형태로 장착시켜 발광다이오드 소자를 구현시킬 수 있다.
- [0067] 한편, 본 발명의 다른 실시 예에서는, 제조가 완료된 하이브리드 발광다이오드 칩 각각을 자르지 않고, 하이브리드 발광다이오드 칩 상에 형광체와 에폭시를 코팅시킨 후, 마이크로 렌즈(micro lens)를 형성하여 백색 광을 발생시키는 발광다이오드 소자를 구현시킬 수 있다.
- [0068] 상술한 구성을 포함하는 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩은 본딩 와이어 없이 구동전원의 공급이 이루어질 수 있도록 하여, 본딩 와이어 접속 불량에 따른 소자의 신뢰성 및 품질의 저하를 방지할 수 있다.
- [0069] 또한, 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩과 이를 포함하는 발광다이오드 소자는 요철 형태의 표면을 가지는 제 2 클래드층(120)을 통해 발광다이오드 칩에서 발생하는 열을 방열시켜, 발광다이오드 소자의 신뢰성을 향상시킬 수 있다.
- [0070] 2. 하이브리드 발광다이오드 칩의 제조방법
- [0071] 이하, 도 7 내지 도 14를 참조하여 본 발명의 실시 예에 따른 발광다이오드 칩과 이를 포함하는 발광다이오드 소자의 제조방법에 대하여 상세히 설명한다.
- [0072] 도 7 내지 도 14는 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩의 제조방법을 나타내는 도면이다.
- [0073] 도 7에 도시된 바와 같이, 사파이어 기판(110) 상에 제 2 클래드층(120), 활성층(130) 및 제 1 클래드층(140)을 순차적으로 형성한다. 이후, 상기 제 1 클래드층(140) 상부의 일부 영역에 광을 반사시킬 수 있는 전도성 물질을 증착시켜 반사층(150)을 형성한다.
- [0074] 여기서, 상기 제 2 클래드층(120)은 n형 물질로 형성되는 n형의 반도체 층으로, GaN, AlGaN, InGaN, AlN, AlInGaN에 불순물로 Si, Ge, Sn, Se, Te을 도핑하여 형성될 수 있다. 또한, 상기 제 1 클래드층(140)은 p형 물질로 형성되는 p형의 반도체 층으로, GaN, AlGaN, InGaN, AlN, AlInGaN에 불순물로 Mg, Zn, Be을 도핑하여 형성될 수 있다.
- [0075] 이때, 상기 제 1 클래드층(140) 및 제 2 클래드층(120)은 유기 금속 기상 증착법(Metal Organic Chemical Vapor Deposition, MOCVD), 분자빔 성장법(Molecular Beam Epitaxy, MBE) 또는 하이드라이드 기상 증착법(Hydride Vapor Phase Epitaxy, HVPE) 등의 증착공정을 이용하여 형성할 수 있다.
- [0076] 상기 제 1 클래드층(140)과 상기 제 2 클래드층(120) 사이에 형성되는 상기 활성층(130)은 인가되는 전류를 이용하여 발광하는 층으로서, InGaN 층을 양자 우물로 하고, (Al)GaN층을 베리어 레이어(barrier layer)로 성장시켜 다중 양자우물(Multi Quantum Well) 구조를 가지게 된다.
- [0077] 여기서, 상기 활성층(130)이 InGaN/GaN의 다중 양자우물 구조를 가지는 경우에는 청색광을 발광하고,

GaN/AlGaN, InAlGaN/InAlGaN, InGaN/AlGaN 등의 다중 양자우물 구조를 가지는 경우에는 자외선을 발생시키게 된다.

- [0078] 이어서, 도 8에 도시된 바와 같이, 사파이어 기판(110) 상에 순차적으로 형성된 제 2 클래드층(120), 활성층(130) 및 제 1 클래드층(140)을 소정 깊이로 식각하여, 상기 제 2 클래드층(120)의 상부면을 노출시키는 트렌치(155)를 형성한다.
- [0079] 이어서, 도 9에 도시된 바와 같이, 상기 반사층(150) 및 트렌치(155)에 의해 노출된 제 2 클래드층(120)의 상부면을 제외한 다른 부분에 절연층(170)을 형성한다. 즉, 상기 절연층(170)은 상기 반사층(150)이 형성되지 않은 제 1 클래드층(140)의 상부면과, 상기 트렌치(155)에 의해 노출된 제 2 클래드층(120), 활성층(130) 및 제 1 클래드층(140)의 측벽을 덮도록 형성된다.
- [0080] 이후, 상기 절연층(170)에 의해 전기적으로 격리된 트렌치(155) 내부에 전도성 물질을 증착시켜 상기 제 2 클래드층(120)과 후술되는 N 전극(200)을 연결시키기 위한 N 전극 패드(160)를 형성한다.
- [0081] 이때, 상기 N 전극 패드(160)는 n형의 상기 제 2 클래드층(120)과 접촉되도록 형성되고, 상기 트렌치(155)에 의해 노출된 상기 활성층(130) 및 p형의 제 2 클래드층(120)의 외벽과는 상기 절연층(170)에 의해 격리된다.
- [0082] 이어서, 도 10에 도시된 바와 같이, 제 1 클래드층(140)의 전면에 전도성 물질을 증착시킨 후, 패터닝 공정을 수행하여, 상기 절연층(170)이 형성되지 않은 상기 반사층(170) 상에 제 1 클래드층(140)을 후술되는 P 전극(210)과 연결시키기 위한 제 1 본딩 메탈층(180a)을 형성한다. 또한, 상기 N 전극 패드(160) 상에 상기 제 2 클래드층(120)을 N 전극(200)과 연결시키기 위한 제 2 본딩 메탈층(180b)을 형성한다.
- [0083] 이어서, 도 11에 도시된 바와 같이, 복수의 비아 홀(195)을 가지도록 별도로 제작된 세라믹 기판(190)을 절연층(170), 상기 제 1 본딩 메탈층(180a) 및 제 2 본딩 메탈층(180b) 상에 본딩 시킨다.
- [0084] 여기서, 상기 세라믹 기판(190)은 AlN 물질로 형성되는 기판으로, 발광다이오드 칩 내부에서 발생하는 열의 방열 시키는 역할을 수행할 수 있다.
- [0085] 상기 세라믹 기판(190)에 형성된 상기 복수의 비아 홀(195)은 P 전극(210)을 형성하기 위하여 상기 제 1 본딩 메탈층(180a)을 노출시키는 적어도 하나의 제 1 비아 홀(195a) 및 N 전극(200)을 형성하기 위하여 상기 제 2 본딩 메탈층(180b)을 노출시키는 적어도 하나의 제 2 비아 홀(195b)로 구성된다.
- [0086] 상기 제 1 및 제 2 비아 홀(195a, 195b) 각각은 도 5를 참조한 상술한 바와 같이, 제 1 및 제 2 비아 홀(195a, 195b)에 금속 물질이 매립되어 형성되는 P 전극(210) 및 N 전극(200)의 표면적을 증가시키기 위해, 음각 패턴(196)을 가지도록 형성된다.
- [0087] 이를 위해, 상기 음각 패턴(196)은 제 1 및 제 2 비아 홀(195a, 195b)의 길이 방향을 따라 제 1 및 제 2 비아 홀(195a, 195b)의 원주면에 연속적으로 형성되고, 도 5에 도시된 바와 같이, 복수의 삼각 단면(a) 또는 사다리꼴 단면(b) 또는 톱니 모양의 형태를 가지도록 형성될 수 있다. 또한, 제 1 및 제 2 비아 홀(195a, 195b)의 길이 방향을 따라 제 1 및 제 2 비아 홀(195a, 195b)의 일측 원주면에 타원 형태의 단면(c)을 가지도록 형성될 수 있다. 여기서, 상기 음각 패턴(196)은 상술한 형태에 한정되지 않고, 제 1 및 제 2 비아 홀(195a, 195b)의 내부 표면적을 증가시킬 수 있는 다양한 형태를 가질 수 있다.
- [0088] 이어서, 도 12에 도시된 바와 같이, 사파이어 기판(110)을 제 2 클래드층(120)과 분리시켜 제거한다.
- [0089] 이어서, 도 13에 도시된 바와 같이, 사파이어 기판(110)이 분리된 상기 제 2 클래드층(120)의 상부면이 요철 형상을 가지도록 상기 제 2 클래드층(120)의 표면에 거칠기(surface roughness) 공정을 수행한다.
- [0090] 이어서, 도 14에 도시된 바와 같이, 상기 음각 패턴(196)을 포함하는 상기 제 1 및 제 2 비아 홀(195a, 195b)에 전도성 물질을 매립하여 상기 도 6에 도시된 형상을 가지는 P 전극(210) 및 N 전극(200)을 형성하여, 본 발명의 실시 예에 따른 발광다이오드 칩의 제조를 완료한다.
- [0091] 여기서, 상기 N 전극(200) 및 P 전극(210)은 Ti, Cr, Al, Cu, Au 중 하나의 물질 또는 상기 Ti, Cr, Al, Cu, Au 중 적어도 하나를 포함하는 합금을 이용하여 형성될 수 있다.
- [0092] 이때, 상기 P 전극(210)은 상기 제 1 본딩 메탈층(180a)을 노출시키는 적어도 하나의 제 1 비아 홀(195a)에 전도성 물질이 매립되어 형성된다. 따라서, 상기 P 전극(210)은 상기 제 1 비아 홀(195a)과 개수와 대응되도록 적어도 하나가 형성될 수 있다.

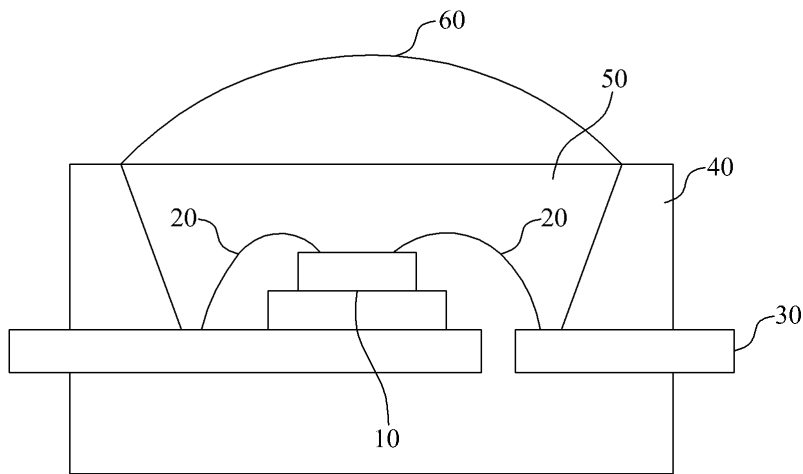
- [0093] 또한, 상기 N 전극(200)은 상기 제 2 본딩 메탈층(180b)을 노출시키는 적어도 하나의 제 2 비아 홀(195b)에 전도성 물질이 매립되어 형성된다. 따라서, 상기 N 전극(200)은 상기 제 2 비아 홀(195b)과 개수와 대응되도록 적어도 하나가 형성될 수 있다.
- [0094] 음각 패턴(196)을 가지는 적어도 하나의 제 1 비아 홀(195a) 및 제 2 비아 홀(195b)에 전도성 물질을 매립하여 상기 P 전극(210) 및 상기 N 전극(200)을 형성함으로써, 상기 P 전극(210) 및 상기 N 전극(200)의 표면적을 증가시킬 수 있다.
- [0095] 상기 P 전극(210) 및 N 전극(200)은 상기 제 1 및 제 2 비아 홀(195a, 195b)과 대응되는 형성을 가지도록 형성되므로, 상기 P 전극(210) 및 N 전극(200)의 표면적을 증가시켜 발광다이오드 칩의 전류 주입 특성을 향상시킬 수 있다.
- [0096] 제조가 완료된 하이브리드 발광다이오드 칩 각각을 잘라낸 후, 발광다이오드 칩을 표면실장소자(SMD: Surface Mount Devices) 기술을 통해 기판에 패키지(package) 형태로 장착시켜 발광다이오드 소자를 구현시킬 수 있다.
- [0097] 한편, 본 발명의 다른 실시 예에서는, 제조가 완료된 하이브리드 발광다이오드 칩 각각을 자르지 않고, 하이브리드 발광다이오드 칩 상에 형광체와 에폭시를 코팅시킨 후, 마이크로 렌즈(micro lens)를 형성하여 백색 광을 발생시키는 발광다이오드 소자를 구현시킬 수 있다.
- [0098] 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩의 제조방법은 본딩 와이어를 형성하는 공정을 삭제하여 제조효율을 향상시킬 수 있다.
- [0099] 상술한 제조방법을 통해 제조된 본 발명의 실시 예에 따른 하이브리드 발광다이오드 칩과 이를 포함하는 발광다이오드 소자는 본딩 와이어 없이 구동전원의 공급이 이루어질 수 있도록 하여, 발광다이오드 소자의 신뢰성 및 품질을 향상시킬 수 있다.
- [0100] 본 발명이 속하는 기술분야의 당 업자는 상술한 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다.
- [0101] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

**부호의 설명**

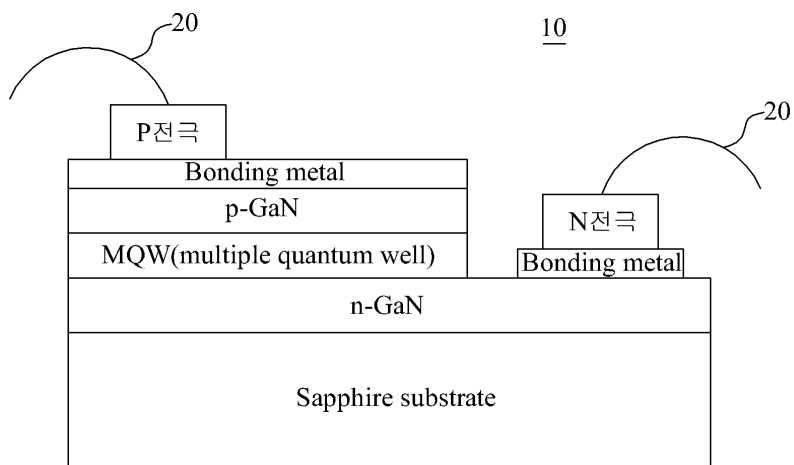
- |        |                  |                  |
|--------|------------------|------------------|
| [0102] | 110: 사파이어 기판     | 120: 제 2 클래드층    |
|        | 130: 활성층         | 140: 제 1 클래드층    |
|        | 150: 반사층         | 160: N 전극 패드     |
|        | 170: 절연층         | 180a: 제 1 본딩 메탈층 |
|        | 180b: 제 2 본딩 메탈층 | 190: 세라믹 기판      |
|        | 195: 비아 홀        | 196: 음각 패턴       |
|        | 200: N 전극        | 210: P 전극        |

도면

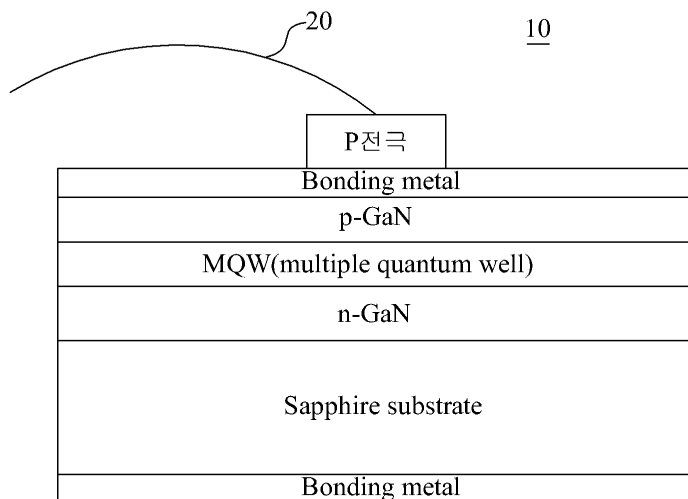
도면1



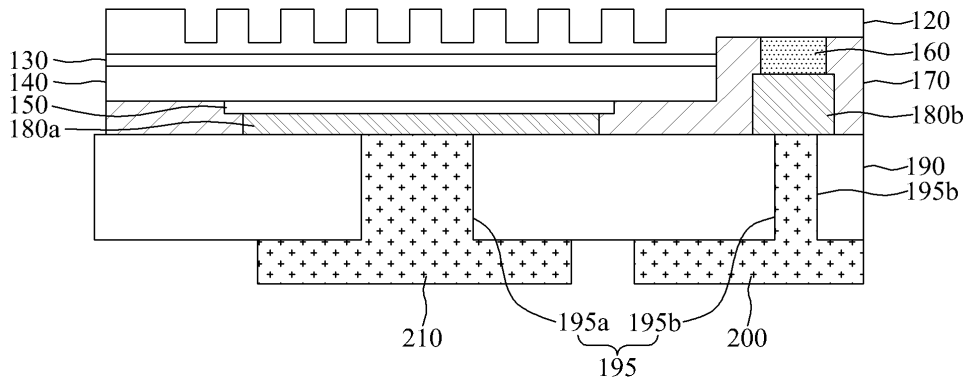
도면2



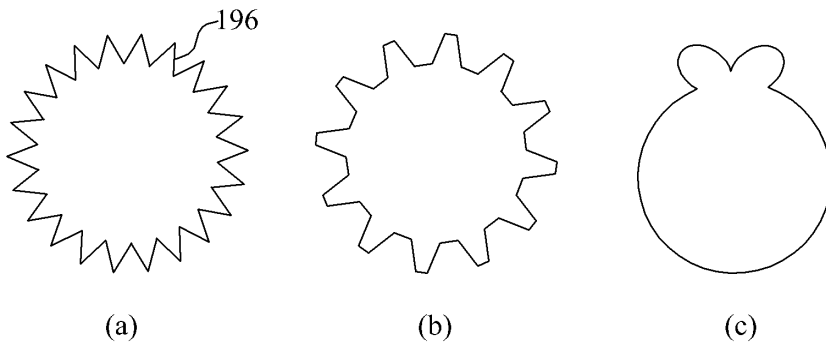
도면3



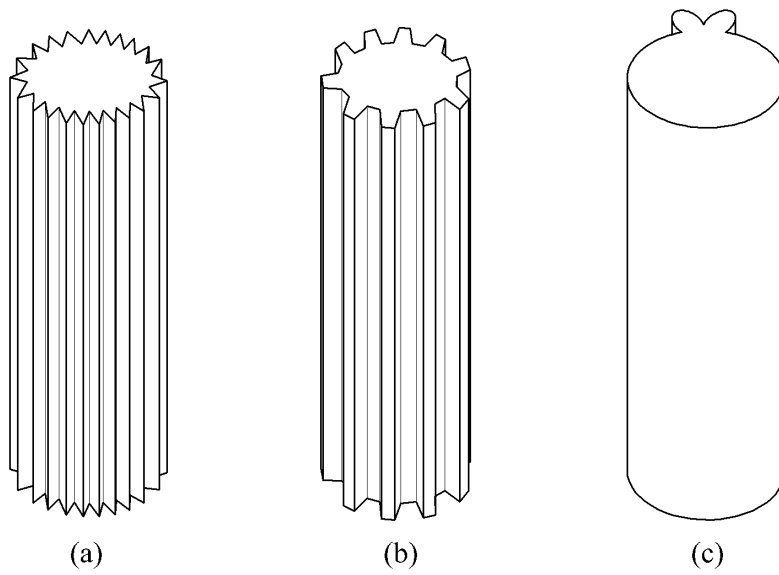
도면4



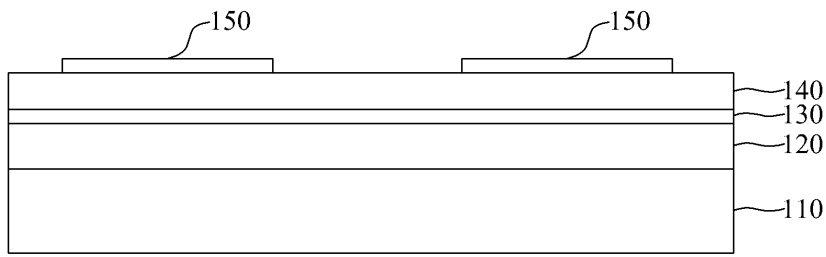
도면5



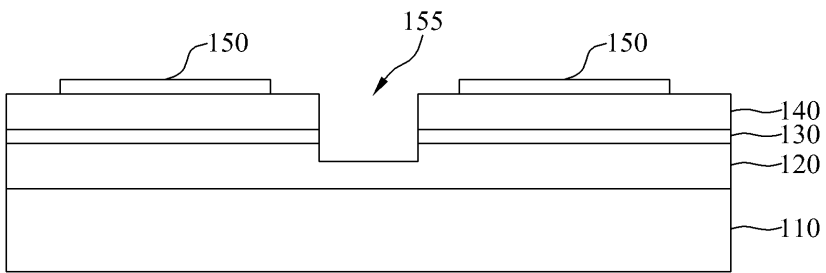
도면6



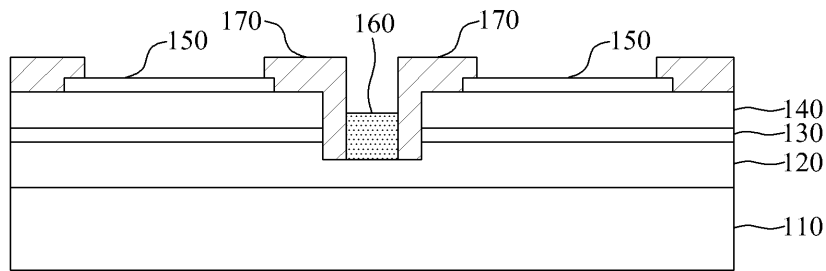
도면7



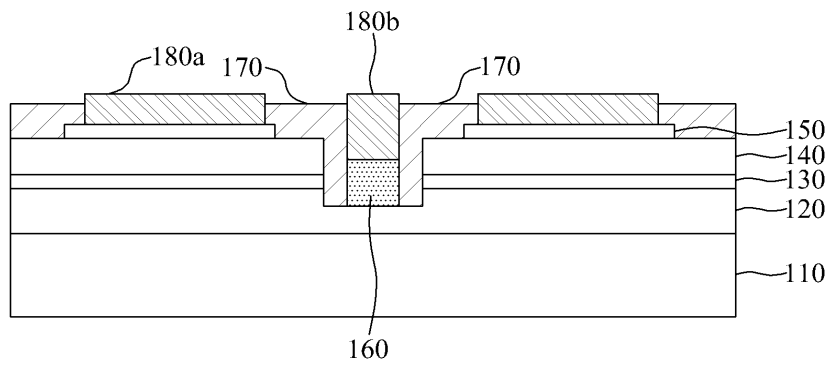
도면8



도면9

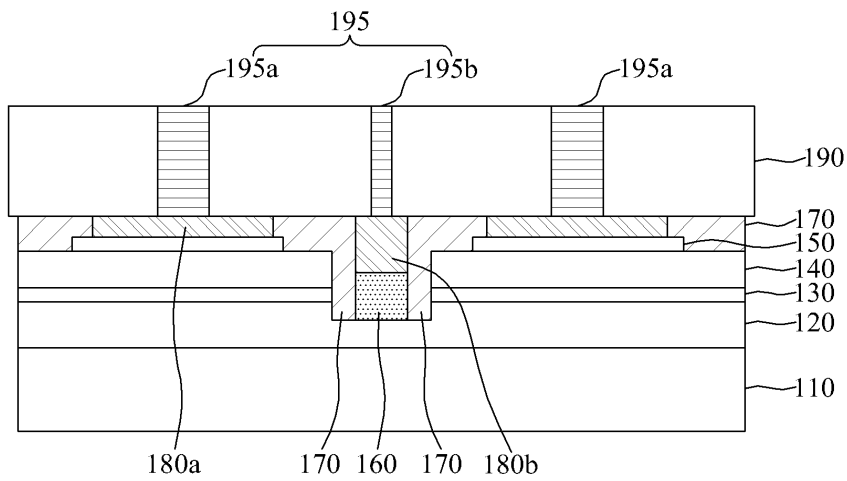


도면10

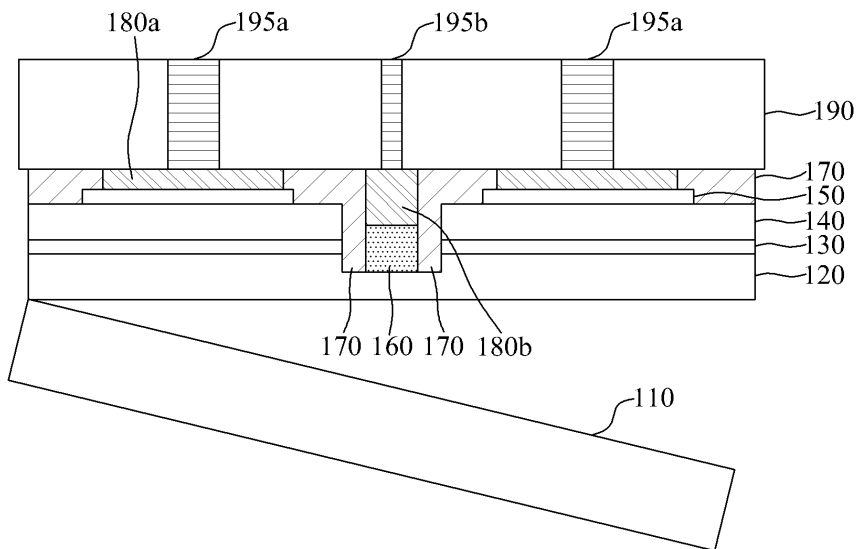




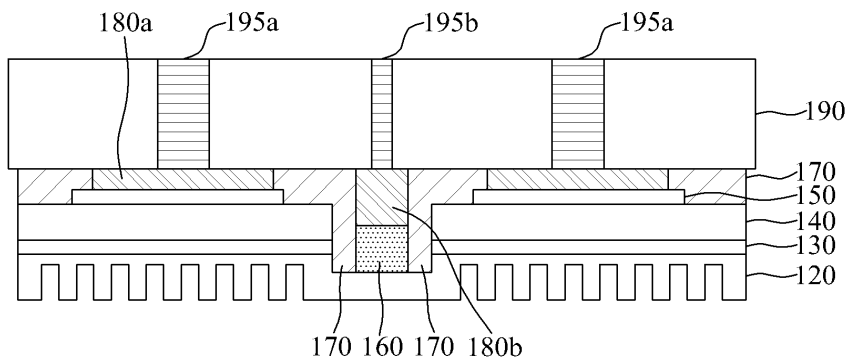
도면11



도면12



도면13



도면14

