

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4198644号
(P4198644)

(45) 発行日 平成20年12月17日(2008.12.17)

(24) 登録日 平成20年10月10日(2008.10.10)

(51) Int. Cl. F I
G06F 15/78 (2006.01) G O 6 F 15/78 5 1 O P
G06F 1/04 (2006.01) G O 6 F 15/78 5 1 O K
 G O 6 F 1/04 A

請求項の数 8 (全 18 頁)

<p>(21) 出願番号 特願2004-182467 (P2004-182467)</p> <p>(22) 出願日 平成16年6月21日 (2004.6.21)</p> <p>(65) 公開番号 特開2006-4338 (P2006-4338A)</p> <p>(43) 公開日 平成18年1月5日 (2006.1.5)</p> <p>審査請求日 平成17年11月25日 (2005.11.25)</p> <p>前置審査</p>	<p>(73) 特許権者 308014341 富士通マイクロエレクトロニクス株式会社 東京都新宿区西新宿二丁目7番1号</p> <p>(74) 代理人 100070150 弁理士 伊東 忠彦</p> <p>(72) 発明者 四方 孝 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内</p> <p>審査官 須田 勝巳</p>
--	--

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

クロック信号に基づいて動作する、クリティカルパスを含む内部モジュールと、
 該内部モジュールに供給される電源電圧を変更する電圧制御部と、
 該クロック信号を該内部モジュールに供給するクロック生成部と、
 該クロック信号及び該電源電圧で動作して該内部モジュールにおける該クリティカルパスの遅延を模擬することにより該内部モジュールが該電源電圧で正常に動作するか否かをテストする、該クリティカルパスを模擬する遅延パスを含むテスト回路
 を含み、

該電圧制御部が該電源電圧を変更している間において該クロック生成部は該クロック信号の代わりに別の信号を該内部モジュールに供給し、
 該電源電圧の変更を完了した後に該テスト回路によるテスト結果が良好を示す場合に該クロック生成部は該内部モジュールに対する該クロック信号の供給を再開することを特徴とする半導体集積回路。

10

【請求項2】

該電圧制御部が該電源電圧を変更している間において該クロック生成部は信号レベルが固定された信号を該別の信号として該内部モジュールに供給することを特徴とする請求項1記載の半導体集積回路。

【請求項3】

該電圧制御部が該電源電圧を変更している間において該クロック生成部は該クロック信

20

号よりも低い周波数のクロック信号を該別の信号として該内部モジュールに供給することを特徴とする請求項 1 記載の半導体集積回路。

【請求項 4】

該電源電圧の変更を完了した後に該テスト回路によるテスト結果が不良を示す場合に、該テスト回路によるテスト結果が良好を示すまで該電圧制御部は該電源電圧を上昇させることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 5】

該遅延パスは該内部モジュールの該クリティカルパスの遅延値に相当する遅延を有し、該テスト回路は、

該遅延パスを伝播した信号を該クロック信号に同期して正常に受け取れるか否かを判断する判定回路

を更に含み、該判定回路による該遅延パスを伝播した信号を正常に受け取れるか否かの判断に応じて該内部モジュールが該電源電圧で正常に動作するか否かをテストすることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 6】

該テスト回路は該遅延パスと該判定回路のセットを複数個含み、該複数個のセットの該遅延パスはそれぞれ異なる遅延を有することを特徴とする請求項 5 記載の半導体集積回路。

【請求項 7】

該テスト回路のテスト結果を格納するレジスタを更に含み、該内部モジュールは命令実行動作により該レジスタをアクセス可能であることを特徴とする請求項 6 記載の半導体集積回路。

【請求項 8】

クロック信号に基づいて動作する、クリティカルパスを含む内部モジュールと、該内部モジュールに供給される電源電圧を変更する電圧制御部と、該クロック信号を該内部モジュールに供給するクロック生成部と、該クロック信号及び該電源電圧で動作して該内部モジュールにおけるクリティカルパスの遅延を模擬することにより該内部モジュールが該電源電圧で正常に動作するか否かをテストする、該クリティカルパスを模擬する遅延パスを含むテスト回路

を含み、該電圧制御部が該電源電圧を変更している間において該電圧制御部から該内部モジュールにビジー信号をアサートすることにより該内部モジュールの動作を停止し、

該電源電圧の変更を完了した後に該テスト回路によるテスト結果が良好を示す場合に該内部モジュールは動作を再開する

ことを特徴とする半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般に半導体集積回路に関し、詳しくは内部動作電圧を変更する半導体集積回路に関する。

【背景技術】

【0002】

半導体集積回路の消費電力を削減するために、電圧を最適化することが一般に行われている。しかし半導体プロセス技術の発展に伴い、0.13 μm以下の微細なテクノロジーでプロセッサ等を製造する場合には、従来は誤差として扱われてきたリーク電流が無視できない比率を占めるようになる。このリーク電流は、プロセッサの動作・非動作に関わらず常時流れ続けるのみならず、内部動作電圧の上昇に伴い電流量が増えるという特性がある。また動作電圧の上昇によりチップ温度が上昇すると、温度上昇によってもリーク電流が増大してしまう。このためにリーク電流の存在が低消費電力を実現するにあたり非常に大きな問題となっている。

【0003】

10

20

30

40

50

リーク電流の影響を最小限に抑えるために、プロセッサ等において高速動作を必要としない期間には内部動作電圧を下げ、リーク電流を抑え、高速動作を必要とする期間には内部電圧を上げるという手法が採用されている。このような技術においては、電圧変動による影響を最小限に抑えるために、ある電圧値から他の電圧値へ急激に電圧を変動させるのではなく、一定の時間をかけて小さい値の電圧ステップ毎に少しずつ電圧値を変動させる手法がある。このような電圧制御を実現するためには、チップが動作可能な下限電圧を予め把握している必要があり、内部電圧を下げていく場合にはこの下限電圧より低い電圧値にならないように制御する必要がある。もしこの下限電圧よりも電圧値が下がると、プロセッサを構成する半導体素子の遅延値が大きくなり、命令実行処理が正常に実行できずプロセッサがハングアップする危険性がある。

10

【0004】

なお特許文献1には、CPU内部の演算処理部に電圧テスト回路を設け、電圧を少しずつ下げていきながら演算器のテストをし、演算器が動作する最低電圧を決定する発明が開示されている。また特許文献2には、システムボード上にある複数のプロセッサに対する最適な供給電圧値を求める手段として、システムパワーオン時に各プロセッサに対して電圧マージンテストを行なうことにより、各プロセッサに対して電圧供給源から最適な電圧を供給する技術が示されている。

【0005】

また非特許文献1は、必要な処理性能に応じて動的にプロセッサの動作周波数や内部動作電圧をプログラム命令で制御する技術に関して、近年の技術の一般的なトレンドを示している。

20

【特許文献1】特開平11-203163号公報

【特許文献2】特開2001-34502号公報

【非特許文献1】”ダイナミック・パワー・マネジメント・フォー・エンベデッド・システムズ(Dynamic Power Management for Embedded Systems)”、[online]、2002年11月19日、アイビーエム(IBM)、[平成16年4月27日検索]、インターネット<URL: http://www.research.ibm.com/ar1/projects/papers/DPM_V1.1.pdf>

【発明の開示】

【発明が解決しようとする課題】

【0006】

30

徐々に電圧を変化させる場合、内部電圧を上げていく場合はCPUの動作条件が向上する方向に状態が変化するので問題が無いが、内部電圧を下げていく場合には、プロセッサ自身が命令実行不可能となりハングアップしてしまう危険性がある。半導体プロセス過程により製造されるプロセッサには、プロセスバラツキによる性能バラツキがある。従って、安全性を確保しながら動的に内部電圧を変化させたい場合には、個々のプロセッサについて予め正常動作可能な電圧範囲を調べておき、この電圧範囲内で十分なマージンを確保しながら電圧を制御する必要がある。

【0007】

また半導体集積回路は、その動作中においても温度上昇等の要因により性能が劣化する場合がある。従って正常動作可能な範囲が動作条件によっても異なることになり、ある動作条件で調べておいた正常動作可能な電圧範囲では、動作条件変化後には正常な動作ができなくなる可能性がある。またこのような問題を避けるために、殊更に大きなマージンを確保する必要が生じたりする。

40

【0008】

以上を鑑みて、本発明は、プロセッサの動作電圧を動的に変動させる場合にプロセッサがハングアップ等の異常動作をすることがないように、チップ毎の動作特性及び現在の動作条件での動作特性に応じた最適な電圧設定が可能な半導体集積回路を提供することを目的とする。

【課題を解決するための手段】

【0009】

50

本発明による半導体集積回路は、クロック信号に基づいて動作する、クリティカルパスを含む内部モジュールと、該内部モジュールに供給される電源電圧を変更する電圧制御部と、該クロック信号を該内部モジュールに供給するクロック生成部と、該クロック信号及び該電源電圧で動作して該内部モジュールにおけるクリティカルパスの遅延を模擬することにより該内部モジュールが該電源電圧で正常に動作するか否かをテストする、該クリティカルパスを模擬する遅延パスを含むテスト回路を含み、該電圧制御部が該電源電圧を変更している間において該クロック生成部は該クロック信号の代わりに別の信号を該内部モジュールに供給し、該電源電圧の変更を完了した後に該テスト回路によるテスト結果が良好を示す場合に該クロック生成部は該内部モジュールに対する該クロック信号の供給を再開することを特徴とする。

10

【発明の効果】

【0011】

本発明の少なくとも1つの実施例によれば、電源電圧変更中において電圧不安定な状態でのコア回路等の内部モジュールの動作を抑止すると共に、電圧変更後の動作再開前に内部モジュールの正常動作が保障できるか否かを予めテスト回路で確認することができる。従って、内部モジュールの動作電圧を動的に変動させる場合に内部モジュールがハングアップ等の異常動作をすることがないように、チップ毎の動作特性及び現在の動作条件での動作特性に応じた最適な電圧設定をすることが可能になる。

【発明を実施するための最良の形態】

【0013】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

20

【0014】

図1は、本発明による半導体集積回路の実施例の構成の一例を示す図である。図1の半導体集積回路(プロセッサ)100は、電圧制御部1、クロック生成部2、CPUコア部3、SDRAM制御部4、オンチップバス5、バスブリッジ6、内部周辺バス7、モジュール8、電圧制御レジスタ9、クロック制御レジスタ10、PLL回路11、及びテスト回路20を含む。プロセッサ100は外部可変電圧供給源12から電圧を供給される。またプロセッサ100のSDRAM制御部4は、外部SDRAM13に接続されている。

【0015】

図1において、電圧制御部1、クロック生成部2、CPUコア部3、及びテスト回路20が本発明に直接に関連する部分であり、その他の構成要素は本発明を適用する半導体集積回路の一般的な構成を示すものである。SDRAM制御部4は、外部SDRAM13とのインターフェースを提供する。バスブリッジ6は、オンチップバス5と内部周辺バス7とのインターフェースを提供する。モジュール8において、電圧制御レジスタ9は電圧制御部1の動作をソフトウェア的に制御する設定値を格納し、クロック制御レジスタ10はクロック生成部2のクロック速度やクロック供給/停止等をソフトウェア的に制御するための設定値を格納する。これらのレジスタは、CPUコア部3からバスを介してアクセス可能であり、CPUコア部3で実行されるプログラム命令により制御することができる。PLL回路11は、外部から供給されるクロック信号CLKINに同期した逡倍クロック信号を生成し、クロック生成部2に供給する。

30

40

【0016】

プロセッサ100自体の動作電圧は外部可変電圧供給源12から供給される。プロセッサ100内部の電圧制御部1から出力される制御信号により外部可変電圧供給源12を制御することで、プロセッサ100の動作電圧を制御することができる。プロセッサ100内部のクロック生成部2においては、PLL回路11からの逡倍クロック信号を基にして、CPUコア部3へのコアクロック信号CORE_CLKを含む各モジュールへの動作クロック信号を生成・供給する。

【0017】

図2は、図1の半導体集積回路における電圧制御動作の実施例の一例を示すタイミングチャートである。

50

【 0 0 1 8 】

図2において、(a)は横軸を時間とし縦軸をプロセッサ100の内部動作電圧V_{dd}として示した電圧制御時の電圧変化である。この例では、高速動作時の1.3VからCPU処理能力をそれ程必要としない場合の0.9Vまで、動作電圧を変化させている。(b)に示されるように、時間T₁までの期間、プロセッサ100は高速動作している。この期間、(d)に示されるようにコアクロック信号CORE_CLKはCPUコア部3へ供給されつづける。その他の内部モジュールへのクロック供給も同様であってよい。

【 0 0 1 9 】

その後、プロセッサ100を制御するOS等から低電圧移行の指示が電圧制御レジスタ9に書き込まれると、電圧制御部1はクロック生成部2へクロック停止指示を供給する。このクロック停止指示に応じて、クロック生成部2はコアクロック信号CORE_CLKの供給を停止する。このようにプロセッサ100の中で一番高速に動作するCPUコア部3のクロックを停止させておくことで、電圧変動時の不安定な内部電圧による命令実行のハングアップ等を回避することができる。このときCPUコア部3以外のモジュールへのクロック供給は、継続しても停止してもよい。例えば外部SDRAM13を制御するSDRAM制御部4へはクロック供給を継続しておく構成とすれば、外部SDRAM13をセルフリフレッシュモード等に遷移させておく必要がないという利点がある。

【 0 0 2 0 】

図2において、時間T₁から時間T₂の期間は、電圧制御部1が外部可変電圧供給源12を制御して内部動作電圧V_{dd}を徐々に下げている期間である。所望の0.9Vにまで内部動作電圧が下がり安定した後、T₂からT₃の期間において、電圧制御部1はテストイネーブル信号をアサートする。このテストイネーブル信号のアサートにตอบสนองして、テスト回路20がT₂からT₃の期間において動作テストを行なう。テスト回路20は、動作テストの結果(NG又はOK)を示すテスト結果信号を電圧制御部1に供給する。

【 0 0 2 1 】

テスト結果の内容がOKであれば、電圧制御部1はクロック生成部2へのクロックマスク要求を解除する。これにตอบสนองして、クロック生成部2は時間T₃から新しい変更後の電圧値を用いてクロックの供給を開始して、CPUコア部3の動作を再開する。

【 0 0 2 2 】

尚、図2には内部電圧を下げていく場合が例として示されているが、内部電圧を上げる場合でも処理手順は同じでよい。但し、電圧を上げる場合にはCPUコア部3の動作条件が向上する方向に変化するので、ハングアップの危険性は少ないと考えられる。

【 0 0 2 3 】

またクロック供給を停止する期間としては、図2のT₁及びT₂間の電圧が不安定な期間に限る必要は無い。例えばチップ内部のPLL回路11の電源電圧をも変化させた場合には、電圧安定後更にPLL回路11の発振が安定するまでクロック供給を停止する構成としてよい。

【 0 0 2 4 】

また図1においては、図示の都合上、クロック生成部2から共通の信号線を介してコアクロック信号CORE_CLKをCPUコア部3及びテスト回路20に供給するように示されている。しかし図2の期間T₂~T₃の間は、CPUコア部3へはクロックを供給せずにテスト回路20へはクロックを供給する必要がある、実際の構成においては異なる信号経路とすることが好ましい。

【 0 0 2 5 】

図3は、図1の半導体集積回路における電圧制御動作の実施例の別の例を示すタイミングチャートである。

【 0 0 2 6 】

図3では、電圧変更後の期間T₂~T₃において実行した動作テストのテスト結果信号がNG(不良)を示す場合に、その後の期間T₃~T₄において電圧制御部1が内部動作電圧を上昇させる。その電圧変更が終了した後に期間T₄~T₅において、再度テストイネ

10

20

30

40

50

ーブル信号をアサートして動作テストを実行する。この図の例では、2度目の動作テストの結果、テスト結果信号がOK（良好）を示している。このOKのテスト結果に应答して、電圧制御部1がクロック生成部2にアサートしているクロックマスク要求を解除する。これに应答して、クロック生成部2は時間T5から新しい変更後の電圧値を用いてクロックの供給を開始して、CPUコア部3の動作を再開する。

【0027】

図4は、テスト回路20の実施例の構成の一例を示す回路図である。

【0028】

図4のテスト回路20は、ANDゲート21、フリップフロップ22、遅延パス23、フリップフロップ24、フリップフロップ25、及びエクスクルーシブNORゲート26を含む。

10

【0029】

フリップフロップ22は、テストパターンを発生するための1ビットのトグル信号生成用カウンタとして動作する。具体的には、電圧制御部1からのテストイネーブル信号がHIGHの場合に、コアクロック信号CORE_CLKをトリガとしてトグル動作をするものである。フリップフロップ22で生成したテストパターン信号を遅延パス23で遅らせ、遅延したテストパターン信号をフリップフロップ24によりコアクロック信号CORE_CLKに同期して取り込む。またフリップフロップ22で生成したテストパターン信号を遅延パス23を介することなく、フリップフロップ25によりコアクロック信号CORE_CLKに同期して取り込む。フリップフロップ25に取り込まれたデータがテストパターンの正しい値（期待値）である。エクスクルーシブNORゲート26は、フリップフロップ24及び25の値を比較して、両値が同一のときにHIGHのテスト結果信号を送出する。両値が互いに異なるときは、LOWのテスト結果信号を送出する。

20

【0030】

遅延パス23は例えば遅延バッファで構成され、CPUコア部3の内部のクリティカルパスと同等の遅延値か、或いはそれよりも一定の遅延量だけ大きい遅延値を有するように設定される。例えば図1のプロセッサ100を構成する半導体集積回路のレイアウト後にタイミング検証をした際に、一番タイミング的にクリティカルな（一番タイミング的に厳しい）パスを特定し、そのクリティカルパスの遅延値（或いは遅延値＋一定マージン）を設定する。これにより遅延パス23によりクリティカルパスの遅延を模擬することができる。例えばCPUコア部3のクリティカルパスのマージンが、コアクロック信号CORE_CLKの1クロックサイクルの5%に相当する場合、遅延パス23は1クロックサイクルの95%に相当する遅延値（或いは遅延値＋一定マージン）に設定すればよい。なおここでいう一定のマージンは、半導体のプロセスバラツキ、電圧変動、温度変化による動作条件の変化等の影響を考慮して設けるものである。

30

【0031】

上記のような構成とすれば、電圧変化後にテスト回路20によるテスト動作を実行することにより、電圧変化後の条件にあるクリティカルパスを模擬するパスで遅延したテストパターン信号を、正常にラッチできるか否かを判断することができる。これにより、CPUコア部3内部の実際のクリティカルパスにおいて問題が発生するか否かを判断することができる。テスト結果信号がHIGHの時にはテスト結果がOKであり、テスト結果信号がLOWの時にはテスト結果がNGである。

40

この実施例の場合、テスト結果信号は1ビットである。この場合、テスト結果信号を受け取る電圧制御部1において、テストイネーブル信号をネゲートするときのテスト結果信号の状態を読み取ることで、テスト結果の良否を判定することができる。なおテスト結果信号の1ビットに加えて、テスト結果信号の有効期間を示す信号を送出するように構成してもよい。

【0032】

テスト回路20は、乗算器や加算器等により構成することもできるが、消費電力及び回路規模等を考慮した場合、図4のような簡素な構成が現実的であり好ましい。

50

【 0 0 3 3 】

図5は、プロセッサ100の第2の実施例の構成の一例を示す図である。図5において、図1と同一の構成要素は同一の参照番号で参照し、その説明は省略する。

【 0 0 3 4 】

図5においては、図1のテスト回路20の代わりに性能モニタ回路30が設けられる。またモジュール8には、性能モニタ回路30の動作を制御するための設定値を格納するテスト制御レジスタ32、及び性能モニタ回路30のモニタ結果を格納する性能モニタレジスタ33が設けられる。これらのレジスタは、CPUコア部3からバスを介してアクセス可能であり、CPUコア部3で実行されるプログラム命令により制御或いは読み出しすることができる。

10

【 0 0 3 5 】

性能モニタ回路30は、カウンタ31及び複数(図の例では3つ)のテスト回路20-1乃至20-3を含む。テスト回路20-1乃至20-3の各々は、図4のテスト回路20と同様の構成でよい。またテスト回路20-1乃至20-3はそれぞれ、CPUコア部3のクリティカルバスの遅延の例えば1.1倍、1.3倍、1.5倍の遅延値をテストする構成である。

【 0 0 3 6 】

カウンタ31は、テスト制御レジスタ32によりそのカウント値が制御され、カウント値が一定値に到達するとテスト回路20-1乃至20-3を動作させるテストイネーブル信号を生成する。テスト回路20-1乃至20-3は、カウンタ31からのテストイネーブル信号と電圧制御部1からのテストイネーブル信号の何れかがアサートされると、テスト動作を実行する。各テスト回路20-1乃至20-3が出力するテスト結果信号は、電圧制御部1及び性能モニタレジスタ33に供給される。

20

【 0 0 3 7 】

複数のテスト回路20-1乃至20-3を設け、それぞれ異なる遅延値に対してテスト動作を実行することで、現在の内部動作電圧等の動作条件下での動作環境評価を行うことができる。即ち、例えばクリティカルバスの遅延の例えば1.1倍、1.3倍、1.5倍の遅延値のテストの全てにおいてOKの結果が出れば、動作環境は良好であると判断できる。また1.1倍及び1.3倍の遅延値でのテスト結果がOKであるが1.5倍の遅延値でのテスト結果がNGであれば、動作環境が若干悪化していることがわかる。また1.1倍の遅延値でのテスト結果がOKであるが1.3倍及び1.5倍の遅延値でのテスト結果がNGであれば、動作環境が更に悪化していることがわかる。

30

【 0 0 3 8 】

これらの結果を示す複数のテスト結果信号を電圧制御部1に供給することで、図1の実施例の場合と比較して、よりきめ細かな電圧制御が可能となる。また複数のテスト結果信号の1つのみを電圧制御部1に供給するようにしてもよい。この場合には、図1の実施例の場合と同様の電圧制御動作となる。

【 0 0 3 9 】

本実施例では更に、複数の遅延値に対するテスト結果を性能モニタレジスタ33に定期的にモニタ結果として格納し、そのモニター結果をCPUコア部3が実行するOS等のプログラムで必要に応じて参照するように構成する。この構成により、ある内部動作電圧で動作している状態において温度変化などによりCPUコア部3の動作条件が変動する場合でも、CPUコア部3の実行するOS等によるソフト的な監視動作により、動作環境が悪化しているか否かを適当なタイミング(例えば一定の間隔)で判定することができる。例えば動作環境が危険なほど悪化している場合には、ソフトウェアによる命令を電圧制御部1に与えて内部動作電圧を上昇させる等の措置をとることができる。

40

【 0 0 4 0 】

このように本実施例においては、電圧変動後のCPUコア部3が停止している状態での動作確認テスト(ハード的なトリガによるテスト)だけでなく、CPUコア部3が動作している状態での動作環境監視のためのテスト(ソフト的なトリガによるテスト)が可能と

50

なり、より柔軟性のある消費電力低減のための制御が可能となる。

【0041】

図6は、本発明を適用したシステムLSIの実施例の構成の一例を示す構成図である。この実施例のシステムLSI200は、そのチップ内部に、プロセッサ100、コ・プロセッサ110、及び外部デバイス制御部120を含む。プロセッサ100、コ・プロセッサ110、及び外部デバイス制御部120は、それぞれ回路規模の大きなモジュールであり、それぞれの動作周波数が異なるものとする。またプロセッサ100、コ・プロセッサ110、及び外部デバイス制御部120のそれぞれの大規模モジュールに対して、独立に動作電圧及びクロック周波数を制御できるものとする。

【0042】

このような構成の場合、各大規模モジュール毎に電源制御を行なうことになるので、それぞれのモジュールにおいて動作環境の確認するための性能モニタを設けることが望ましい。図6の例においては、プロセッサ100、コ・プロセッサ110、及び外部デバイス制御部120に、性能モニタ回路30、性能モニタ回路111、及び性能モニタ回路121がそれぞれ設けられる。これら性能モニタ回路111及び121の構成は、性能モニタ回路30と同一でよい。図示するように、各性能モニタ回路からそれぞれのテスト結果が電圧制御部1及び性能モニタレジスタ33に供給される。なお図示を省略してあるが、各性能モニタ回路は、電圧制御部1及び性能モニタレジスタ33からそれぞれの制御信号を受け取ることで、その動作が制御される。なお図6では、性能モニタ回路30がCPUコア部3内部に設けられるものとして示されるが、性能モニタ回路30の位置はCPUコア部3内部でも外部でもよい。

【0043】

本実施例では、各モジュール毎に性能モニタ回路を設ける構成としたが、性能モニタ回路ではなくテスト回路20を設ける構成でもよい。また各モジュール毎に電源ブロックが分かれていない場合であっても、チップ内部の電圧降下が大きいと予想されるような箇所があれば、そのような個所の各々に性能モニタ回路（又はテスト回路）を設けてもよい。

【0044】

図7は、プロセッサ100の第3の実施例の構成の一例を示す図である。図7において、図5と同一の構成要素は同一の参照番号で参照し、その説明は省略する。

【0045】

図7のプロセッサ100は、図5の構成に加えて割込制御部40を含むことを特徴とする。またモジュール8には、割込制御部40の割り込み動作を制御するための割込発生レジスタ34が設けられる。また外部可変電圧供給源12が送出するバッテリー・エラー信号が電圧制御部1に供給される。電圧制御部1は、外部可変電圧供給源12から供給されるバッテリー・エラー信号又は性能モニタ回路30から供給されるモニタ結果に基づいて動作状態が危険であると判断すると、CPUコア部3へ直接割り込みを発生するか、或いは割込発生レジスタ34及び割込制御部40を介してCPUコア部3に間接的に割り込みを発生する。

【0046】

なお電圧制御部1が、CPUコア部3に直接に割り込みを発生させるか又は割込制御部40を介して間接に割り込みを発生させるかについての動作の選択は、電圧制御レジスタ9の格納値により設定することができる。また電圧制御部1が動作状態が危険であると判断すると自動的に内部動作電圧を上げるように電圧制御動作を実行するか否かの動作の選択についても、電圧制御レジスタ9の格納値により設定することができる。

【0047】

図8は、本発明による半導体集積回路の動作の別の実施例を示す図である。この図8は、プロセッサ100のチップのパワーオンリセット時に、正常動作に必要な最低限の電圧に内部動作電圧を設定する場合のタイミングチャートを示す。

【0048】

時間T1までの期間は、PLL回路11の安定待ち期間である。この期間は、電圧制御

10

20

30

40

50

部 1 に供給する外部からのリセット信号を印加し続けることにより規定するか、或いは電圧制御部 1 やクロック生成部 2 にカウンタを設け、PLL 回路 1 1 が安定するまでの一定期間を計時することにより規定してよい。PLL 安定待ち時間が終了すると、期間 T 1 ~ T 2 においてテスト動作を実行する(図 8 (c))。図 8 に示す例では、電圧制御部 1 への外部からのリセット印加後の初期状態では、外部可変電圧供給源 1 2 の電圧値が 0.9 V になるように設定されている(図 8 (a))。この電圧値での期間 T 1 ~ T 2 におけるテストではテスト結果が NG (図 8 (d)) を示すので、期間 T 2 ~ T 3 において内部動作電圧を上昇させ、その後の期間 T 3 ~ T 4 において再度テスト動作を実行する。この際、コアクロック信号 CORE__CLK (図 8 (e)) は停止状態であり、また電圧制御部 1 (又はクロック生成部 2) が送出する内部リセット信号(図 8 (f)) はアサート状態

10

【0049】

上記説明においては、内部リセット信号は電圧制御部 1 又はクロック生成部 2 から送出されるとしたが、独立したリセット生成回路として別個のモジュールを設けてもよいし、電圧制御部 1 及びクロック生成部 2 以外の別のブロックの機能として設けてもよい。

20

【0050】

本実施例では、プロセッサのパワーオン・リセット時に、テスト回路によるテスト動作に基づいて最適な(必要最低限の)電圧値に設定してから、内部リセットを解除して動作を開始することができる。この機能があれば、製造バラツキ等によりチップ間で性能バラツキがあったとしても、チップの動作開始時から必要最低限の内部動作電圧に基づいて動作することが可能となり、チップ毎に最適な低消費電力化を図ることができる。

【0051】

図 9 は、コアクロック信号 CORE__CLK の停止に関する制御動作を説明するための図である。これまで説明した実施例では、電圧変更時にコアクロック信号 CORE__CLK の供給を停止する構成としている。しかしながら CPU コア部 3 がバスアクセス中にコアクロック信号 CORE__CLK を停止させても、CPU コア部 3 以外のクロックを停止させない場合には、バス上のデータが消失して CPU コア部 3 がハングアップしてしまう危険がある。

30

【0052】

そのためクロック供給停止に先立って、クロック生成部 2 から CPU コア部 3 へクロック供給停止を要求するリクエスト信号 CTRL__REQ を供給する。リクエスト信号 CTRL__REQ を受け取った CPU コア部 3 は、現在転送中のデータのバスアクセスが全て完了してクロック停止が可能な状態になると、それ以降のバスリクエストを抑止した状態にして、アクノリッジ信号 CTRL__ACK をクロック生成部 2 に返送する。クロック生成部 2 では、アクノリッジ信号 CTRL__ACK を受信してから、コアクロック信号 CORE__CLK の供給を停止する。

40

【0053】

なおリクエスト信号の送出元はクロック生成部 2 ではなく電圧制御部 1 であってもよい。またリクエスト信号の送出先は、必要に応じて、CPU コア部 3 ではなくオンチップバス 5 に接続された DMA コントローラ等のバスマスタやバスブリッジ 6 であってもよい。

【0054】

図 10 は、本発明の半導体集積回路における電圧制御動作の別の実施例を示すタイミングチャートである。

【0055】

図 10 の電圧制御動作においては、図 2 の電圧制御動作のように電圧変化中にコアクロ

50

ック信号CORE_CLKを停止させるのではなく、そのクロック周波数を低くしている。このようにクロック周波数を低くすることで、内部動作電圧が多少不安定になっても、タイミング的に比較的余裕をもって命令を実行することができるために、CPUコア部3のハングアップ等の以上動作の危険性を少なくすることができる。

【0056】

図11は、本発明の半導体集積回路における電圧制御動作の更に別の実施例を示すタイミングチャートである。図11の電圧制御動作においては、電圧変更中であってもコアクロック信号CORE_CLK(図11(d))を停止することはなく、その代わりにCPUコア部3に対するビジー信号CORE_BUSYを期間T1~T3の間アサートしている。このビジー信号CORE_BUSYは、例えば電圧制御部1からCPUコア部3に供給すればよい。CPUコア部3では、ビジー信号CORE_BUSYがアサートされると、命令実行処理を停止する。このようにビジー信号を用いた構成によっても、内部動作電圧変更中の不安定期間におけるハングアップ等の以上動作を防止することができる。

10

【0057】

図12は、本発明の半導体集積回路における電圧制御動作の更に別の実施例を示すタイミングチャートである。図3に示す動作と比較して図12に示す動作では、電圧変化後の通常動作のためのクロック周波数が、電圧変化前より低い周波数となっていることが異なる。この場合の内部動作電圧は、低い周波数で正常動作するのに必要な最低限の電圧値に設定されるので、図3の動作と比較して更なる低消費電力化を図ることができる。なおこの場合、期間T2~T3及び期間T4~T5におけるテスト動作は、周波数変化後の低い周波数のクロック信号を用いて実行される。

20

【0058】

クロック周波数の変更はクロック生成部2により実行されるが、これはクロック制御レジスタ10等の設定値に基づいて制御すればよい。また上記説明はクロック周波数を下げる場合についての例であるが、クロック周波数を上げる場合にも、テスト回路によるテスト結果がOKを示すようになるまで徐々に電圧を上げていくという制御を実行することができる。

【0059】

図13は、本発明による半導体集積回路の更に別の実施例の構成を示す図である。図13に示す構成は、CPUコア部3がハングアップしてしまった場合に対処するためのものである。図13において、図1と同一の構成要素は同一の番号で参照し、その説明は省略する。

30

【0060】

図13において、プロセッサ100はCPUモニタ回路50を含む。CPUモニタ回路50、CPUコア部3で命令を実行する際の命令フェッチアドレスを示すプログラムカウンタをモニタする。或いはCPUモニタ回路50は、オンチップバス5のバスリクエスト信号等をモニタしてもよい。CPUコア部3のプログラムカウンタの内容或いはオンチップバス5のバスリクエスト信号等が一定期間変化しない場合、CPUモニタ回路50は電圧制御部1に対してリセット要求信号を送出する。

【0061】

一定期間、プログラムカウンタやバスリクエスト信号等が変化しない場合には、CPUコア部3がハングアップしていると考えられる。このように一旦CPUコア部3がハングアップしてしまうと、内部動作電圧を電圧制御部1で上昇させたとしても、プログラムが復帰して動作が回復することはない。従って、ハングアップが検出された場合には、CPUモニタ回路50から電圧制御部1にリセット要求信号を送出する。リセット要求信号のアサートにตอบสนองして、電圧制御部1はプロセッサ100のチップ内部の各モジュールを強制的にリセットする。この際、電圧制御部1は電圧制御レジスタ9にハングアップ後のリセットであることを示す値を格納する。その後電圧制御部1は、内部動作電圧を安全と考えられる高い電圧値に変更した後、リセットを解除することにより、チップの動作を初期状態から再開させる。

40

50

【 0 0 6 2 】

内部動作電圧を制御する場合にはハングアップの危険性が高いので、特に電圧を下降させる場合には、電圧変更前に予め外部 S D R A M 等のメモリにチップ内部の必要なレジスタ値を退避させておくことが望ましい。ハングアップ状態からリセット動作で初期化する際には、ブートプログラムにより電圧制御レジスタ 9 の値を読み出し、ハングアップ後のリセットによるブートであることを認識する。この認識に基づいて、C P U コア部 3 は、外部 S D R A M 等のメモリ媒体に各種レジスタ値等を読みに行き、これらレジスタ値を復帰させることによって動作を再開することができる。

【 0 0 6 3 】

なおリセット後に動作を再開する前に、本発明のテスト回路を用いて例えば図 8 に示すような制御動作を実行することにより、ハングアップしない適切な内部動作電圧で動作を再開することができる。

【 0 0 6 4 】

図 1 4 は、図 1 3 のプロセッサ 1 0 0 の動作の実施例を示すフローチャートである。ステップ S 1 において、電圧制御動作に先立って必要なレジスタの内容等を外部メモリ等に退避しておく。ステップ S 2 において、例えば内部電源電圧降下等の電圧制御動作を実行する。ステップ S 3 において、動作テストを実行する。この動作テストは、上記本発明の実施例で説明したテスト回路によるテスト動作である。ステップ S 4 において、テスト結果が O K であるか否かを判断する。テスト結果が O K でなければ、ステップ S 2 に戻り電圧を調整してから再度テスト動作及びテスト結果の判定を実行する。

【 0 0 6 5 】

ステップ S 4 においてテスト結果が O K の場合、ステップ S 5 に進み、通常動作に復帰する。即ち電圧制御動作により変更された後の内部電源電圧でプロセッサ 1 0 0 の動作を再開する。

【 0 0 6 6 】

ここで電圧制御動作時に C P U のクロックを停止又は減速させないで内部動作電圧を下げた場合や、C P U のクリティカルパスが正常動作できない電圧であるにも関わらずプロセッサ・パラツキ等によりテスト回路が動作した場合等には、通常動作を再開しても C P U がハングアップしてしまう可能性がある。そこでステップ S 6 において、ハングアップが検出されたか否かを判断する。このハングアップ検出は、図 1 3 において説明したように C P U モニタ回路 5 0 によって行われる。

【 0 0 6 7 】

ステップ S 6 でハングアップが検出された場合には、ステップ S 7 に進み、リセット動作を実行する。ステップ S 8 では、リセット動作で駆動された C P U のブートプログラムがリセット要因をハングアップであると認識し、外部メモリ等に退避してあったレジスタ値等を復帰させる処理を実行する。その後、ステップ S 2 に戻って移行の処理を実行することで、電圧制御動作、テスト動作、及び通常動作への復帰を行う。

【 0 0 6 8 】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【 0 0 6 9 】

なお本発明は以下の内容を含むものである。

(付記 1) クロック信号に基づいて動作する内部モジュールと、

該内部モジュールに供給される電源電圧を変更する電圧制御部と、

該クロック信号を該内部モジュールに供給するクロック生成部と、

該クロック信号及び該電源電圧で動作して該内部モジュールにおけるクリティカルパスの遅延を模擬することにより該内部モジュールが該電源電圧で正常に動作するか否かをテストするテスト回路

を含み、該電圧制御部が該電源電圧を変更している間において該クロック生成部は該クロック信号の代わりに別の信号を該内部モジュールに供給することを特徴とする半導体集積

10

20

30

40

50

回路。

(付記 2) 該電圧制御部が該電源電圧を変更している間において該クロック生成部は信号レベルが固定された信号を該別の信号として該該内部モジュールに供給することを特徴とする付記 1 記載の半導体集積回路。

(付記 3) 該電圧制御部が該電源電圧を変更している間において該クロック生成部は該クロック信号よりも低い周波数のクロック信号を該別の信号として該該内部モジュールに供給することを特徴とする付記 1 記載の半導体集積回路。

(付記 4) 該電源電圧の変更を完了した後に該テスト回路によるテスト結果が良好を示す場合に該クロック生成部は該該内部モジュールに対する該クロック信号の供給を再開することを特徴とする付記 1 記載の半導体集積回路。

(付記 5) 該電源電圧の変更を完了した後に該テスト回路によるテスト結果が不良を示す場合に、該テスト回路によるテスト結果が良好を示すまで該電圧制御部は該電源電圧を上昇させることを特徴とする付記 4 記載の半導体集積回路。

(付記 6) 該テスト回路は、

該該内部モジュールのクリティカルパスの遅延値に相当する遅延を有する遅延パスと、
該遅延パスを伝播した信号を該クロック信号に同期して正常に受け取れるか否かを判断する判定回路

を含み、該判定回路による該遅延パスを伝播した信号を正常に受け取れるか否かの判断に応じて該該内部モジュールが該電源電圧で正常に動作するか否かをテストすることを特徴とする付記 1 記載の半導体集積回路。

(付記 7) 該テスト回路は該遅延パスと該判定回路のセットを複数個含み、該複数個のセットの該遅延パスはそれぞれ異なる遅延を有することを特徴とする付記 6 記載の半導体集積回路。

(付記 8) 該テスト回路のテスト結果を格納するレジスタを更に含み、該内部モジュールは命令実行動作により該レジスタをアクセス可能であることを特徴とする付記 7 記載の半導体集積回路。

(付記 9) 該テスト回路は定期的にテスト動作を実行することを特徴とする付記 7 記載の半導体集積回路。

(付記 10) 該電圧制御部は該テスト回路のテスト結果に応じて該電源電圧を制御することを特徴とする付記 9 記載の半導体集積回路。

(付記 11) 該テスト回路のテスト結果に応じて該内部モジュールへの割り込みを発生する割込制御部を更に含むことを特徴とする付記 9 記載の半導体集積回路。

(付記 12) それぞれ独立に電源電圧が制御可能な複数の電源ブロックと、

該複数の電源ブロックの各々に設けられるテスト回路
を更に含むことを特徴とする付記 1 記載の半導体集積回路。

(付記 13) 該電圧制御部は該半導体集積回路のパワーオン・リセットの直後に該テスト回路に該テスト動作を実行させながら該電源電圧を制御することを特徴とする付記 1 記載の半導体集積回路。

(付記 14) 該クロック生成部は該電圧制御部が該電源電圧を変更する前後において該クロック信号の周波数を変化させることを特徴とする付記 1 記載の半導体集積回路。

(付記 15) 該内部モジュールはコア回路であることを特徴とする付記 1 記載の半導体集積回路。

(付記 16) 該内部モジュールは外部メモリを含む外部周辺回路と接続するインタフェース回路であることを特徴とする付記 1 記載の半導体集積回路。

(付記 17) クロック信号に基づいて動作する内部モジュールと、
該内部モジュールに供給される電源電圧を変更する電圧制御部と、
該クロック信号を該内部モジュールに供給するクロック生成部と、

該クロック信号及び該電源電圧で動作して該内部モジュールにおけるクリティカルパスの遅延を模擬することにより該内部モジュールが該電源電圧で正常に動作するか否かをテストするテスト回路

10

20

30

40

50

を含み、該電圧制御部が該電源電圧を変更している間において該電圧制御部から該内部モジュールにビジー信号をアサートすることにより該内部モジュールの動作を停止することを特徴とする半導体集積回路。

(付記18) クロック信号に基づいて動作して命令を実行するコア回路と、

該コア回路に供給される電源電圧を変更する電圧制御部と、

該クロック信号を該コア回路に供給するクロック生成部と、

該コア回路のハングアップ状態を検出するモニタ回路

を含み、該モニタ回路による該ハングアップ状態の検出にตอบสนองして該コア回路をリセットすることを特徴とする半導体集積回路。

(付記19) 該クロック信号及び該電源電圧で動作して該コア回路の動作を模擬することにより該コア回路が該電源電圧で正常に動作するか否かをテストするテスト回路を更に含み、該リセット時に該電圧制御部は該テスト回路にテスト動作を実行させながら該電源電圧を制御することを特徴とする付記18記載の半導体集積回路。

10

【図面の簡単な説明】

【0070】

【図1】本発明による半導体集積回路の実施例の構成の一例を示す図である。

【図2】図1の半導体集積回路における電圧制御動作の実施例の一例を示すタイミングチャートである。

【図3】図1の半導体集積回路における電圧制御動作の実施例の別の例を示すタイミングチャートである。

20

【図4】テスト回路の実施例の構成の一例を示す回路図である。

【図5】プロセッサの第2の実施例の構成の一例を示す図である。

【図6】本発明を適用したシステムLSIの実施例の構成の一例を示す構成図である。

【図7】プロセッサの第3の実施例の構成の一例を示す図である。

【図8】本発明による半導体集積回路の動作の別の実施例を示す図である。

【図9】コアクロック信号の停止に関する制御動作を説明するための図である。

【図10】本発明の半導体集積回路における電圧制御動作の別の実施例を示すタイミングチャートである。

【図11】本発明の半導体集積回路における電圧制御動作の更に別の実施例を示すタイミングチャートである。

30

【図12】本発明の半導体集積回路における電圧制御動作の更に別の実施例を示すタイミングチャートである。

【図13】本発明による半導体集積回路の更に別の実施例の構成を示す図である。

【図14】図13のプロセッサの動作の実施例を示すフローチャートである。

【符号の説明】

【0071】

1 電圧制御部

2 クロック生成部

3 CPUコア部

4 SDRAM制御部

40

5 オンチップバス

6 バスブリッジ

7 内部周辺バス

8 モジュール

9 電圧制御レジスタ

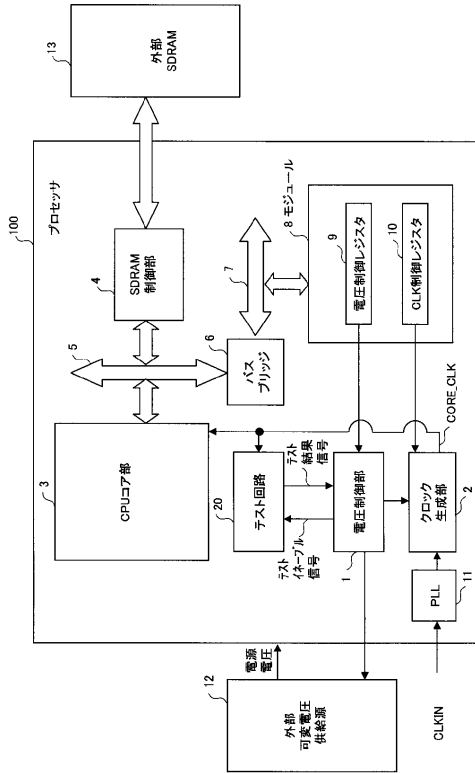
10 クロック制御レジスタ

11 PLL回路

20 テスト回路

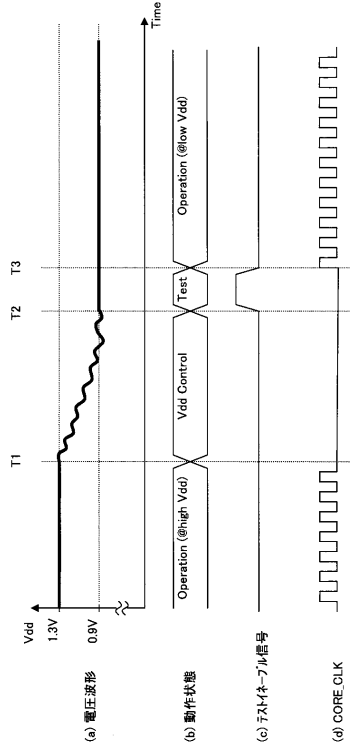
【図1】

本発明による半導体集積回路の実施例の構成の一例を示す図



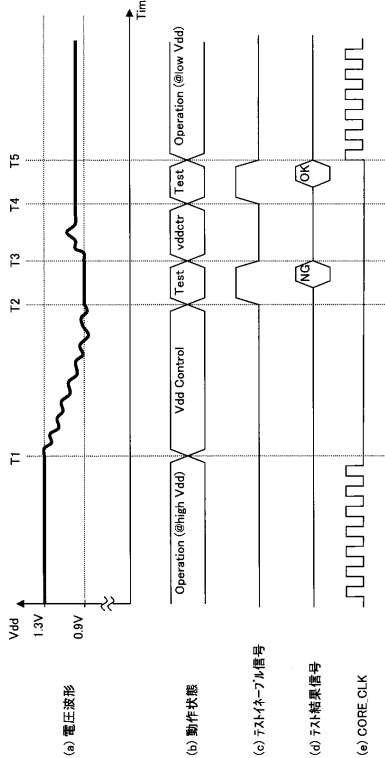
【図2】

図1の半導体集積回路における電圧制御動作の実施例の一例を示すタイミングチャート



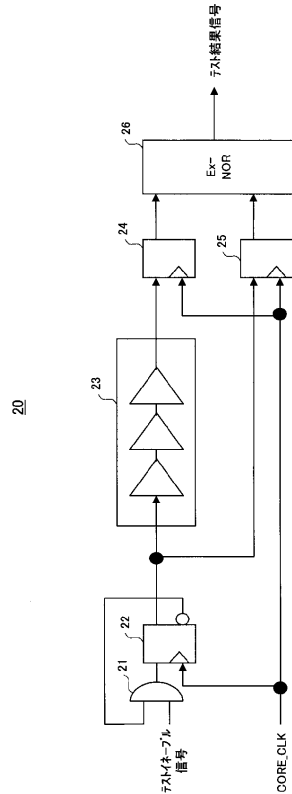
【図3】

図1の半導体集積回路における電圧制御動作の実施例の別の例を示すタイミングチャート



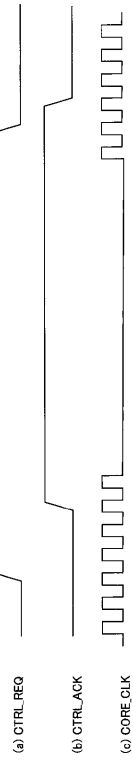
【図4】

テスト回路の実施例の構成の一例を示す回路図



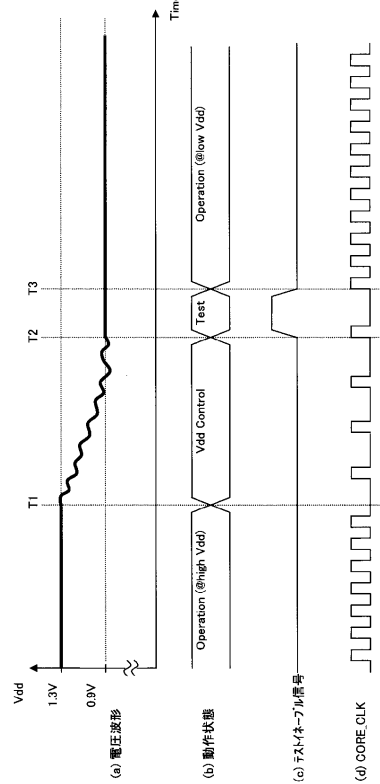
【図 9】

コアクロック信号の停止に関する制御動作を説明するための図



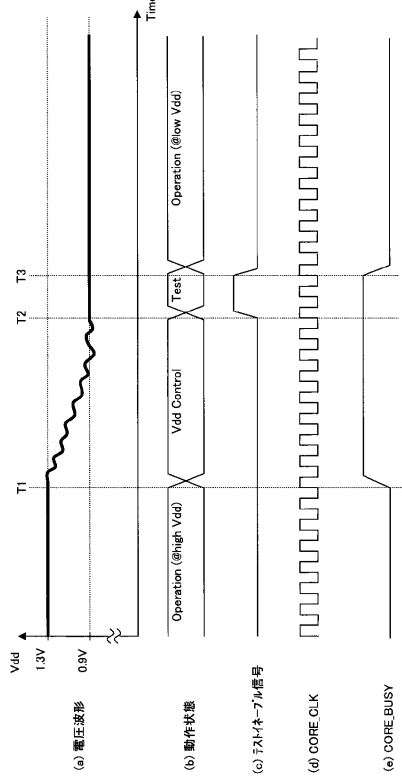
【図 10】

本発明の半導体集積回路における電圧制御動作の別の実施例を示すタイミングチャート



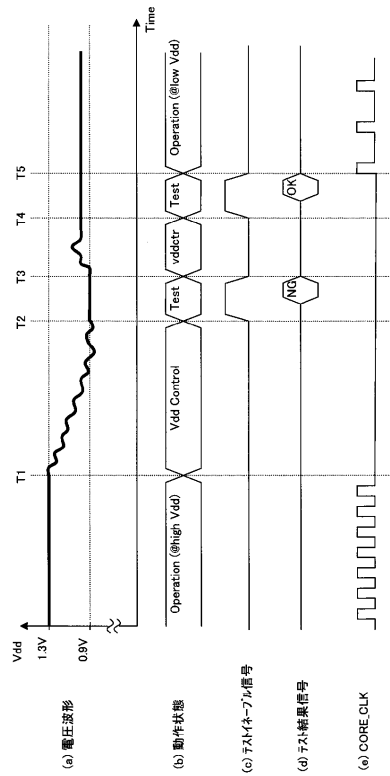
【図 11】

本発明の半導体集積回路における電圧制御動作の更に別の実施例を示すタイミングチャート



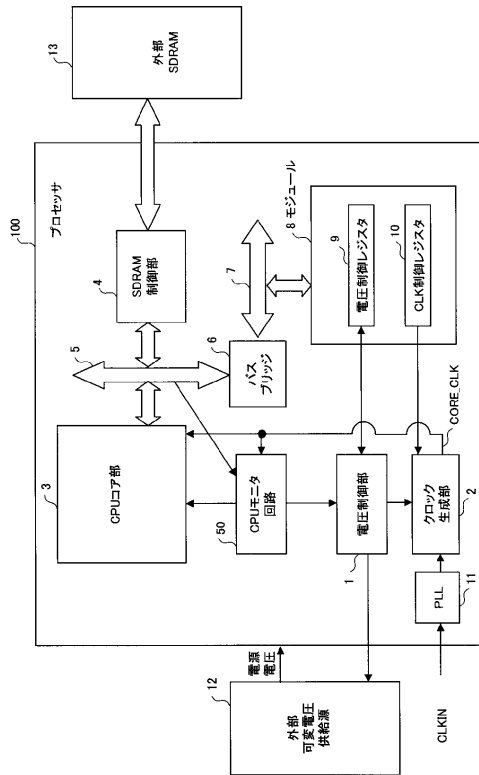
【図 12】

本発明の半導体集積回路における電圧制御動作の更に別の実施例を示すタイミングチャート



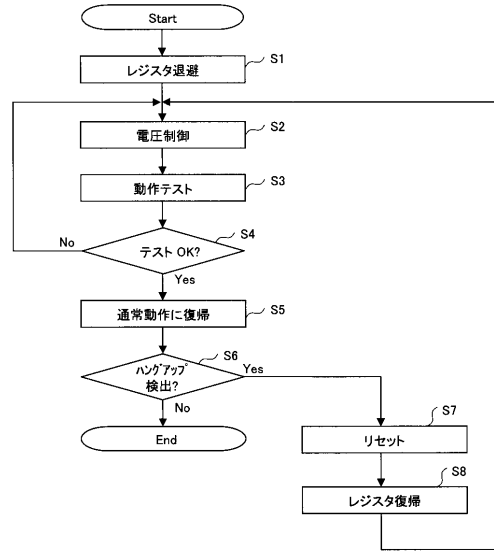
【図13】

本発明による半導体集積回路の更に別の実施例の構成を示す図



【図14】

図13のプロセッサの動作の実施例を示すフローチャート



フロントページの続き

- (56)参考文献 特開平11-296243(JP,A)
特表2002-543513(JP,A)
特開2000-112560(JP,A)
特開平07-264056(JP,A)
特開2003-256403(JP,A)
特開平04-160519(JP,A)
特開2001-36008(JP,A)
特開2003-142598(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 15/78
G06F 1/04