

發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：92100601 ※IPC分類：G11C11/406

※申請日期：92-1-13

壹、發明名稱

(中文) 增加半導體記憶裝置的更新週期

(英文) INCREASING A REFRESH PERIOD IN A SEMICONDUCTOR
MEMORY DEVICE

貳、發明人 (共1人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 金 鼎 筆

(英文) JUNG-PILL KIM

住居所地址：(中文) 大韓民國京畿道利川市夫鉢邑牙美里山 136-1

(英文) SAN 136-1, AMI-RI, BUBAL-EUB, ICHON-SHI,
KYOUNGKI-DO 467-860, REPUBLIC OF
KOREA

國籍：(中文) 南韓 (英文) KOREA

參、申請人 (共1人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 韓商海力士半導體股份有限公司

(英文) HYNIX SEMICONDUCTOR INC.

住居所或營業所地址：(中文) 大韓民國京畿道利川市夫鉢邑牙美里山 136-1

(英文) SAN 136-1, AMI-RI, BUBAL-EUB,
ICHON-SHI, KYOUNGKI-DO 467-860,
REPUBLIC OF KOREA

國籍：(中文) 南韓 (英文) KOREA

代表人：(中文) 鄭東洙

(英文) DONG-SOO CHUNG

捌、聲明事項

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為：_____

本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 美國 2002 年 01 月 11 日 60/346,897 _____
2. _____
3. _____

主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 美國 2002 年 01 月 11 日 60/346,897 _____
2. _____
3. _____
4. _____
5. _____
6. _____
7. _____
8. _____
9. _____
10. _____

主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____
2. _____
3. _____

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

熟習該項技術者易於獲得，不須寄存。

(1)

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

技術領域

本發明係關於資料儲存。

先前技術

半導體隨機存取記憶體廣泛用於電子計算應用中。對於許多應用，動態隨機存取記憶體 (dynamic random access memory; DRAM) 裝置因其具有儲存密度高及成本低的特點而優先被選用。

圖 1 顯示一電晶體 DRAM 單元的電路圖。該單元包括一單元電容器 C，其儲存與資料值對應的電荷。單元電容器 C 經場效電晶體 (field-effect transistor; FET) M1 與位元線 BL 耦合，而 FET M1 的閘極則與字組線 WL 連接。

讀取該單元前，將位元線 BL 的固有電容 C_{BL} 預充電至一預定位準。為了重新獲取單元電容器 C 中儲存的資料值，拉高字組線 WL 以啟動 FET M1。這會引起單元電容器 C 與固有電容 C_{BL} 之間的電荷共享 (charge sharing)。該電荷共享引起位元線 BL 上預充電位準的電壓，依據單元電容器 C 中儲存的電荷而發生變化。一感測放大器 (未顯示) 偵測出位元線 BL 上的電壓變化並將其放大，以重新獲取並輸出對應的資料值。

圖 1 所示之 DRAM 單元的缺點在於單元電容器 C 儲存的電荷位準，會隨時間而退化 (如因介電質不理想而發生洩漏)。一旦電荷位準退化的程度致使感測放大器無法正確偵測出位元線 BL 上對應之電壓變化時，儲存的資料值即會

(2)

遺失。因此，有必要不時地更新單元電容器中儲存的電荷。

更新 DRAM 單元時，不能存取儲存的資料值，也不能儲存新的資料值。因此，更新行為會對包含 DRAM 裝置之記憶體系統的性能造成限制。為了減少該行為對記憶體系統性能的影響，需要更新該更新操作之間的週期（「更新週期」）。

更新該更新週期也可減少動力損耗。例如，即使一電子單元不在使用中，為了保留其 DRAM 裝置中所儲存的資訊，該單元也要執行更新操作。在一手持式單元（如蜂巢式電話、個人數位助理或筆記型電腦）的情形中，執行 DRAM 更新所耗費的動力可能為該單元備用動力損失總量（total standby power drain）的主要部分。藉由減少定時進行的更新操作的次數，更新該更新週期可減少該單元的備用動力損耗，並有助於延長該等裝置保持待命模式以進行電池充電的週期。

延長更新操作間週期的一項技術，係增大單元電容器 C 的電容。然而，該技術可能需要增大單元電容器 C 的尺寸，其會造成儲存密度降低及 / 或電路面積明顯增大的不利影響。

延長更新操作間週期的另一項技術，係降低位元線電容與單元電容器電容的比值。藉由提高位元線上的電壓因電荷共享而發生變化的幅度，該項技術也可延長單元電容器上的電荷保持可偵測的週期。可惜此項技術也包含增大單元電容器的尺寸。因此需要既能更新 DRAM 裝置中更新操

作間的週期，又不增大單元電容器尺寸的技術。

發明內容

在一種依據本發明之一項具體實施例的方法中，預充電第一位元線和第二位元線。允許單元電容器與預充電的第一位元線之間進行電荷共享，並施加偏壓於該預充電位元線中選定的一位元線。例如，施加偏壓於一位元線可包括降低該位元線的電位。施加偏壓於一位元線也包括對一偏壓電容器(其與選定的位元線耦合)施加一電位。在電荷共享與施加偏壓後，感測出第一和第二記憶體單元之位元線的電位差，感測出該電位差也包括放大該電位差。

實施方式

圖2顯示DRAM裝置的一方塊圖，其包括單元陣列110、感測放大器120和預充電電路130。單元陣列110包括圖2所示的兩個單元：單元1包括FET M1和單元電容器C1，單元2包括FET M2和單元電容器C2。在示範性實施方案中，每一單元電容器C1、C2可製成為一雙端電容器(two-terminal capacitor)或一溝槽式電容器(trench capacitor)。在圖2所示之裝置的其它實施方案中，單元陣列110、感測放大器120和預充電電路130，可沿位元線BL1、BL2以任何順序串聯連接。

在圖2之裝置的示範應用中，與FET M1、M2相反的單元電容器C1、C2之端連接至一電位，其值為 $V_{dd}/2$ 。在此情形中，經單元電容器儲存電壓 V_{dd} (「高」電壓或資料值「1」)或電壓 V_{ss} (「低」電壓或資料值「0」)，資料值即可儲入

(4)

單元中。在示範性實施方案中，Vdd 與 Vss 之差可高達 3、5 或 9 伏特或更高，或低至 1.5 或 1 伏特或更低。

如上所述，選擇讀取的單元前，對該等位元線預充入固有電容。圖 3 顯示預充電電路 130a 的示意圖，其適用於圖 2 所示之裝置。該電路包括三個串聯連接的 N 通道 FET P1 至 P3 (三者有一連接點)，其與每一位元線連接，而串聯的各端則連接至一預充電信號 PC，其電位值為 Vblp。在一示範性應用中，Vblp 的值為 Vdd/2。FET P1 至 P3 的閘極連接在一起，並與一低態有效 (active-low) 預充電控制信號 P 相連。

圖 3 所示的預充電電路也可稱為一均衡器。技術中熟知的其它類型的預充電電路也可用作預充電電路 130。

由於電荷共享，對應的位元線上出現電壓變化 ΔV 。由於單元電容器中儲存的電荷很小 (單元電容器 C 的電容可能小於一百飛法拉 (one hundred femtofarads)，因而偵測儲存的電壓位準通常需要放大 ΔV 。圖 4 顯示感測放大器 120a 的示意圖，其適用於圖 2 所示之裝置。感測放大器 120a 包括兩個 P 通道 FET S1、S3，其串聯連接的源極汲極電路經位元線 BL1、BL2 連接，而其連接點則與高態有效 (active-high) 的啟動信號 SA-P 連接。感測放大器 120a 也包括兩個 N 通道 FET S2、S4，其串聯連接的源極汲極電路經位元線 BL1、BL2 連接，而其連接點則與低態有效的啟動信號 SA-N 連接。與每一位元線連接的該對 FET 之閘極連接在一起，並與其它位元線連接。

圖 4 所示之感測放大器電路的特徵，係兩個 CMOS 反向器

經位元線 BL1 和 BL2 反向連接。該等電路亦可視為閃鎖感測放大器 (latching sense amplifier) 的一種形式。技術中熟知的其它形式之閃鎖感測放大器電路及其它各種類型的感測放大器電路，如電流鏡式感測放大器電路 (current-mirror sense amplifier circuits) 也可用作感測放大器 120。

感測放大器 120a 的電路亦可如圖 5 所示進行修改。該修改包括一 P 通道 FET S5，其閘極與啟動信號 SA-P 連接，其源極汲極電路的一端連接至 Vdd，而另一端則連接至 FET S1、S3 之 P 通道源極汲極電路的連接點。該修改還包括一 N 通道 FET S6，其閘極與啟動信號 SA-N 連接，其源極汲極電路的一端連接至 Vss，而另一端則連接至 FET S2、S4 之 N 通道源極汲極電路的連接點。

圖 6 顯示圖 2 所示裝置之示範性應用的時序圖，在此情形中一高資料值已儲存於陣列 110 的單元 1 中。在 DRAM 裝置的待命模式狀態，預充電電路 130 的控制信號 P 具有一高位準，而位元線 BL1、BL2 的固有電容預充電至一電位 Vblp。在 DRAM 裝置的活動模式狀態，拉低預充電控制信號 P，使位元線 BL1、BL2 浮動。然後拉高字組線 WL1 以選擇單元 1，從而啟動電晶體 M1。

啟動電晶體 M1 後，引起單元電容器 C1 與位元線 BL1 (預充電) 的固有電容之間出現電荷共享。在本例中，當單元電容器 C1 儲存一高資料值時，與參考位元線 BL2 上的電壓 Vblp 相比，電荷共享使位元線 BL1 上的電壓上升 ΔV 。分別拉高與拉低啟動信號 SA-P 與 SA-N 以啟動感測放大器 120，使感

(6)

測放大器 120 分別將位元線 BL1、BL2 上的電壓位準放大至 V_{dd} 和 V_{ss} 。

圖 7 顯示圖 2 所示裝置之示範性應用的時序圖，在此情形中一低資料值已儲存於陣列 110 的單元 1 中。在本例中，當單元電容器 C1 儲存一低資料值時，與參考位元線 BL2 上的電壓 V_{blp} 相比，電荷共享致使位元線 BL1 上的電壓下降 ΔV 。一啟動感測放大器 120，其就分別將位元線 BL1、BL2 上的電壓位準放大至 V_{ss} 和 V_{dd} 。

當單元電容器上的電荷位準衰減時，位元線上因電荷共享產生的電壓變化 ΔV 也隨之減少。若電壓變化 ΔV 降至感測放大器 120 的感測界限以下，則不能識別該電荷位準（即感測放大器無法讀出），因而就遺失了儲存的資料值。

通常圖 1 所示的單元電容器將低電荷位準（即對應於低電壓或資料值的電荷位準）保持於可讀位準的持續時間，比其將高電荷位準（即對應於高電壓或資料值的電荷位準）保持於可讀位準的持續時間長。例如，單元電容器可將低電荷位準保持於可讀位準幾秒鐘，而同一單元電容器只能將高電荷位準保持於可讀位準幾百毫秒或更少，相差約一個幅度等級。

預先知道儲存的資訊是不切實際的，並且包括 DRAM 裝置之記憶體系統中的更新操作通常係定期發生，而其週期係由最糟的情形所決定。因此，即使儲存低電荷位準的單元保持可讀的時間可以較長，但習慣上 DRAM 裝置中更新操作間的最大週期並不大於保持高電荷位準可讀的最小週

期。

在一種依據本發明一項具體實施例的方法中，更新了高電荷位準的可讀週期。在一種依據本發明之一項具體實施例的裝置中，設置了一偏壓電路以減少高電荷位準之可讀週期與低電荷位準之可讀週期間的差異。

圖 8 顯示依據本發明一項具體實施例，包含一偏壓電路 140a 的裝置。偏壓電路 140a 包括一偏壓電容器 BC1，其一端與位元線 BL1 相連，另一端與一低態有效的偏壓信號 B1 相連，及一偏壓電容器 BC2，其一端與位元線 BL2 相連，而另一端則與低態有效的偏壓信號 B2 相連。如圖 8 所示，每一偏壓電容器 BC1、BC2 均可製成為一 NMOS FET，其源極與汲極可縮短為一體。在其它實施方案中，偏壓電容器 BC1、BC2 可製成為雙端電容器(如溝槽式電容器)。

在一示範性實施方案中，偏壓電容器 BC1、BC2 係製成為低 V_t NMOS FET。在偏壓電容器為 MOSFET 的實施方案中，其可能的一優勢係使偏壓電容器加在位元線上的電容量降至最低。圖 8 所示之裝置的其它優勢係易於併入現有的加工程序中，如在加工難度及電路重新設計的程度方面都很方便。然而，該等優勢並非係實施本發明所必需。

圖 9 顯示圖 8 所示之裝置的時序圖，在此情形中，從位元線 BL1 上的單元讀取一高資料值。在均衡了位元線上的預充電後，且於啟動感測放大器前，拉低對應於參考位元線的偏壓信號(此處係對應於位元線 BL2 的偏壓信號 B2)。因此，位元線 BL2 上的電壓下降 ΔV_{BIAS} 至 V_{blp} 以下，而位元線

之間的電壓差則從 ΔV 增至 ΔV_H (此處 $\Delta V_H = \Delta V + \Delta V_{BIAS}$)。儘管圖9顯示，啟動字組線WL後再拉低偏壓信號B2，但在另一實施方案中，也可在啟動字組線WL前及/或期間拉低偏壓信號B2。

圖10顯示圖8所示之裝置的時序圖，在此情形中，從位元線BL1上的單元讀取低資料值。在此情形中，同樣在均衡了位元線上的預充電後，及啟動感測放大器前，拉低對應於參考位元線的偏壓信號(此處係對應於位元線BL2的偏壓信號B2)。因此，位元線BL2上的電壓下降電壓變化值 ΔV_{BIAS} 至 V_{blp} 以下，而位元線之間的電壓差則從 ΔV 降至 ΔV_L (此處 $\Delta V_L = \Delta V - \Delta V_{BIAS}$)。如上所述，在另一項實施方案中，可在啟動字組線WL前及/或期間，拉低偏壓信號B2。也需要選擇 ΔV_{BIAS} 的幅度，使電壓差 ΔV_L 不會降至感測放大器的感測界限以下。

在現有的DRAM裝置中，通常感測放大器與預充電電路係在一個以上的單元陣列中共用。在依據本發明進一步具體實施例的裝置中，一偏壓電路140的實例也係在一個以上的單元陣列110中共用。該等配置可包括將未讀取陣列隔離的電路。圖11顯示依據本發明一項具體實施例之裝置的方塊圖，其包括兩個單元陣列110L、110R及兩個隔離電路150L、150R。圖12顯示單元陣列110L、110R之一示範性實施方案的方塊圖，其適用於圖11所示之裝置中，單元1至4分別包括FET M1至M4中的各自一FET，及單元電容器C1至C4中的各自一單元電容器。

(9)

圖 13 顯示隔離電路 150a 的示意圖，其適用於圖 11 所示之裝置。隔離電路 150a 包括兩個 N 通道 FET I1、I2，每一 FET 的源極汲極電路串聯連接至各自一個位元線 BL1、BL2，而兩個 FET 的閘極則與一隔離信號 I 連接。在其它實施方案中，也可用 P 通道裝置取代圖 13 所示之隔離電路的 N 通道裝置，(或除其之外也可使用 P 通道裝置)，其極性及/或隔離信號 I 值也都會相應地適當變化。

圖 14 顯示圖 13 所示之裝置的時序圖，在此情形中，從單元陣列 110L 的單元 1 讀取高資料值。啟動了預充電控制信號 P 後，隔離電路 150L 的隔離信號 IL 即升至增強的電壓位準 V_{pp} ，以選擇單元陣列 110L，而隔離電路 150R 的隔離信號 IR 則降至 V_{ss} ，以隔離單元陣列 110R。在另一實施方案中，可在預充電前啟動隔離信號 IL、IR。感測單元中儲存的電荷位準的過程如上所述。

在圖 11 所示之裝置的其它實施方案中，感測放大器 120、預充電電路 130 和偏壓電路 140，可沿位元線 BL1、BL2 以任何順序串聯連接。儘管圖 11 顯示單元陣列 110L 和 110R 係與不同的字組線耦合，但在圖 14 所示的另一實施方案中，可改變時序以支援從陣列 110L 和 110R 中讀取相同字組的不同資料值。

需要施加向下偏壓於具有參考電位的位元線而非施加向下偏壓於共享電荷的一位元線。(在另一應用中，不是(或除了)施加向下偏壓於具有參考電位的位元線，而是(還)需要施加向上偏壓於共享電荷的位元線。)依據本發明進一

步具體實施例的方法，包括選擇要施加偏壓的位元線。

圖 11 顯示一裝置，其中兩個字組線與每一位元線耦合。具體而言，字組線 WL1 和 WL3 與字組線 BL1 耦合，而字組線 WL2 和 WL4 與位元線 BL2 耦合。在實際應用中，可擴展該結構，使許多字組線可與每一位元線耦合。在典型的 DRAM 裝置中，如 256 或 512 個字組線可與每一位元線耦合。(這些字組線也可與連接至其它單元陣列的其它位元線耦合。)

對於與單元陣列 110L 和 110R 連接的兩個位元線 BL1 和 BL2，每一字組線與一個位元線耦合，且只能與兩個位元線之一耦合。因此，與單元陣列的位元線耦合的(也可能是許多)字組線分成不重疊的兩組：與位元線 BL1 耦合的字組線及與位元線 BL2 耦合的字組線。

選擇字組線時，啟動對應的單元，則對應的位元線上出現電荷共享。在依據本發明進一步具體實施例的裝置或方法中，選擇字組線係用於識別要施加偏壓的位元線。在圖 11 所示之裝置的實例中，若選擇字組線 WL2 或字組線 WL4，則施加向下偏壓於位元線 BL1；若選擇字組線 WL1 或字組線 WL3，則施加向下偏壓於位元線 BL2。

上述具體實施例可讓熟知技術人士利用或使用本發明。可對這些具體實施例進行各種修改，且本文中提出的利用記憶體裝置中之偏壓電路的基本原理也可用於其它具體實施例。例如，本發明之具體實施例可具體實施為部分或整體用作硬線路 (hard-wired circuit)，或用作製造特殊應用之

積體電路的電路配置。依據本發明之一項具體實施例的裝置，也可製成技術中熟知的含有一或多個DRAM單元，而非圖1所示的一電晶體單元：如三電晶體(3T)單元設計。

本文中說明的依據本發明一項具體實施例的裝置，也可用於幾個不同DRAM的實施方案中，包括同步DRAM (synchronous DRAM; SDRAM)、倍速資料傳輸率DRAM (double data rate DRAM; DDR DRAM)和 Rambus DRAM (RDRAM)。依據本發明之具體實施例的方法，也可用於儲存非二元資料值(即資料值代表兩級以上)的DRAM裝置中。本發明之原理也可用於嵌入式DRAM產品中，如嵌入式圖形控制器(embedded graphics controllers)。因此，本發明並不受限於上述具體實施例，而是符合與本文以任意方式所揭露之原理及新穎特點一致的最廣泛範疇。

圖式簡單說明

圖1係一電晶體DRAM單元的示意圖。

圖2係一裝置的方塊圖，其包括一單元陣列、一感測放大器及一預充電電路。

圖3係一預充電電路的示意圖。

圖4係一感測放大器的示意圖。

圖5係一包含感測放大器的電路示意圖。

圖6係圖2所示之裝置的時序圖。

圖7係圖2所示之裝置的時序圖。

圖8係依據本發明一項具體實施例之裝置的方塊圖。

圖9係圖8所示之裝置的時序圖。

圖 10 係圖 8 所示之裝置的時序圖。

圖 11 係依據本發明另一項具體實施例之裝置的方塊圖。

圖 12 係兩個單元陣列的方塊圖。

圖 13 係一隔離電路的示意圖。

圖 14 係圖 11 所示之裝置的時序圖。

圖式代表符號說明

110	單元陣列
110L,110R	單元陣列
120	感測放大器
120a	感測放大器
130	預充電電路
130a	預充電電路
140	偏壓電路
140a	偏壓電路
150a	隔離電路
150L,150R	隔離電路
B1,B2	偏壓信號
BC1,BC2	偏壓電容器
BL1,BL2	位元線
C	單元電容器
C1,C2	單元電容器
I	隔離信號
IL,IR	隔離信號
M1,M2	場效電晶體

P	預充電控制信號
P1, P2, P3	場效電晶體
C_{BL}	固有電容
PC	預充電信號
S1, S2, S3, S4, S5, S6	場效電晶體
SA-P, SA-N	啟動信號
WL1, WL2, WL3, WL4	字組線

肆、中文發明摘要

在依據本發明的一項具體實施例的方法中，施加偏壓於一參考位元線，並增加 DRAM 單元的更新週期。在該方法的一實例中，施加偏壓於該參考位元線包括，施加一預定的偏壓電壓。在依據本發明一項具體實施例的記憶體裝置中，一偏壓電路包括一偏壓電容器，其與一位元線相連並設定組態及配置為可接收一偏壓信號。

伍、英文發明摘要

In one method according to an embodiment of the invention, a reference bitline is biased and a refresh period of a DRAM cell is increased. In one example of such a method, biasing the reference bitline includes applying a predetermined bias voltage. In a memory device according to one embodiment of the invention, a bias circuit includes a bias capacitor connected to a bitline and configured and arranged to receive a bias signal.

拾、申請專利範圍

1. 一種資料存取方法，該方法包括：
 - 將一第一位元線和一第二位元線預充電；
 - 允許一記憶體單元的電容與該預充電的第一位元線之間的電荷共享；
 - 施加偏壓於該預充電的第二位元線；以及
 - 於該允許電荷共享後，感測該第一位元線之一電位與該施加偏壓的第二位元線之一電位的差異。
2. 如申請專利範圍第1項之方法，其中該施加偏壓步驟包括改變該第二位元線的一電位。
3. 如申請專利範圍第1項之方法，其中該施加偏壓步驟包括減少該第二位元線的一電位。
4. 如申請專利範圍第1項之方法，其中感測該第一位元線之一電位與該第二位元線之一電位的差異的步驟包括放大該電位差。
5. 如申請專利範圍第1項之方法，其中該允許電荷共享的步驟包括對該記憶體單元的一電晶體之間極施加一電位。
6. 如申請專利範圍第1項之方法，其中該施加偏壓的步驟包括對耦合至該第二位元線的一偏壓電容器施加一電位。
7. 一種資料存取方法，該方法包括：
 - 選擇一字組線；
 - 確定對應於該字組線的一偏壓信號；以及

感測與該字組線耦合的一位元線之一電位與一參考位元線之一電位的差異，

其中一記憶體單元與該位元線之間的電荷共享為該選擇一字組線的結果，以及

其中改變該參考位元線之該電位為該確定一偏壓信號的結果。

8. 如申請專利範圍第7項之方法，其中該確定一偏壓信號係在該選擇一字組線後發生。
9. 如申請專利範圍第7項之方法，其中該感測包括感測該位元線之該電位與該參考位元線之該改變電位的一差異。
10. 如申請專利範圍第7項之方法，其中減少該參考位元線之該電位為該確定一偏壓信號的結果。
11. 一種資料存取方法，該方法包括：
 - 將一第一位元線及一第二位元線預充電；
 - 允許一記憶體單元之一電容與該預充電的第一位元線之間的電荷共享；
 - 施加偏壓於該預充電位元線中選定的一位元線；以及
 - 於該允許電荷共享及施加該偏壓後，感測該第一位元線之一電位與該第二位元線之一電位的一差異。
12. 如申請專利範圍第11項之方法，其中該施加偏壓的步驟包括改變該選定位元線之一電位。
13. 如申請專利範圍第11項之方法，其中該施加偏壓的步驟包括對耦合至該選定位元線之一偏壓電容器施加一電

位。

14. 一種儲存裝置，其包括：

一預充電電路，其設定組態並配置以預充電一位元線及一參考位元線；

一記憶體單元，其設定組態並配置以與該位元線共享電荷；

一偏壓電路，其設定組態並配置以改變該參考位元線的一電位；以及

一感測放大器，其設定組態並配置以感測該位元線之一電位與該參考位元線之一電位之間的一差異。

15. 如申請專利範圍第14項之儲存裝置，其中該記憶體單元包括一場效電晶體及一電容器。

16. 如申請專利範圍第14項之儲存裝置，其中該記憶體單元係與一字組線耦合，並進一步設定組態並配置為當該字組線之一電位在一預定變化時，與該位元線共享電荷。

17. 如申請專利範圍第14項之儲存裝置，其中該偏壓電路係設定組態並配置以減少該參考位元線的一電位。

18. 如申請專利範圍第14項之儲存裝置，其中該偏壓電路包括耦合至該參考位元線的一偏壓電容器。

19. 如申請專利範圍第14項之儲存裝置，其中該偏壓電容器包括具有一低臨界電壓的一金屬氧化物半導體場效電晶體。

20. 如申請專利範圍第19項之儲存裝置，其中該金屬氧化物半導體場效電晶體之該臨界電壓的一幅度小於0.3伏

特。

21. 如申請專利範圍第14項之儲存裝置，其中該偏壓電容器包括具有一低臨界電壓的一n通道金屬氧化物半導體場效電晶體。
22. 如申請專利範圍第21項之儲存裝置，其中該金屬氧化物半導體場效電晶體之該臨界電壓的一幅度小於0.3伏特。
23. 如申請專利範圍第14項之儲存裝置，進一步包括：
 - 一第二記憶體單元，其組態設定及配置以與該位元線共享電荷；
 - 一第一隔離電路，其組態設定及配置以將該記憶體單元與該感測放大器隔離；以及
 - 一第二隔離電路，其組態設定及配置以將該第二記憶體單元與該感測放大器隔離。

拾壹、圖式

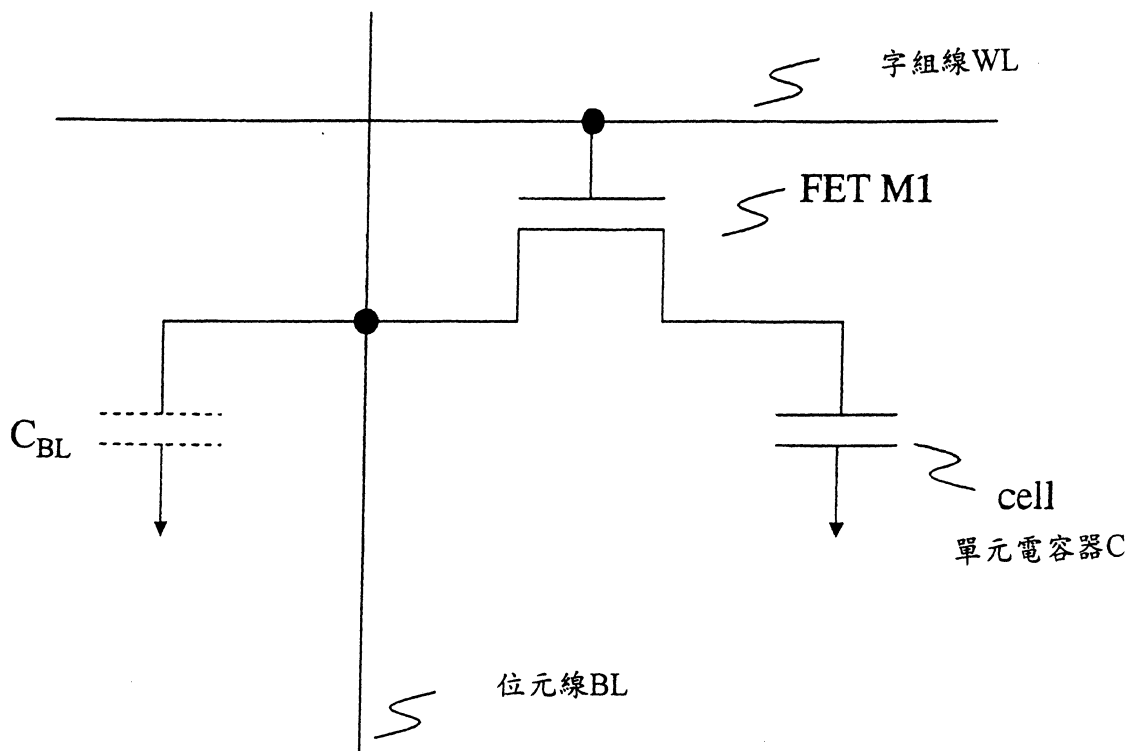


圖1

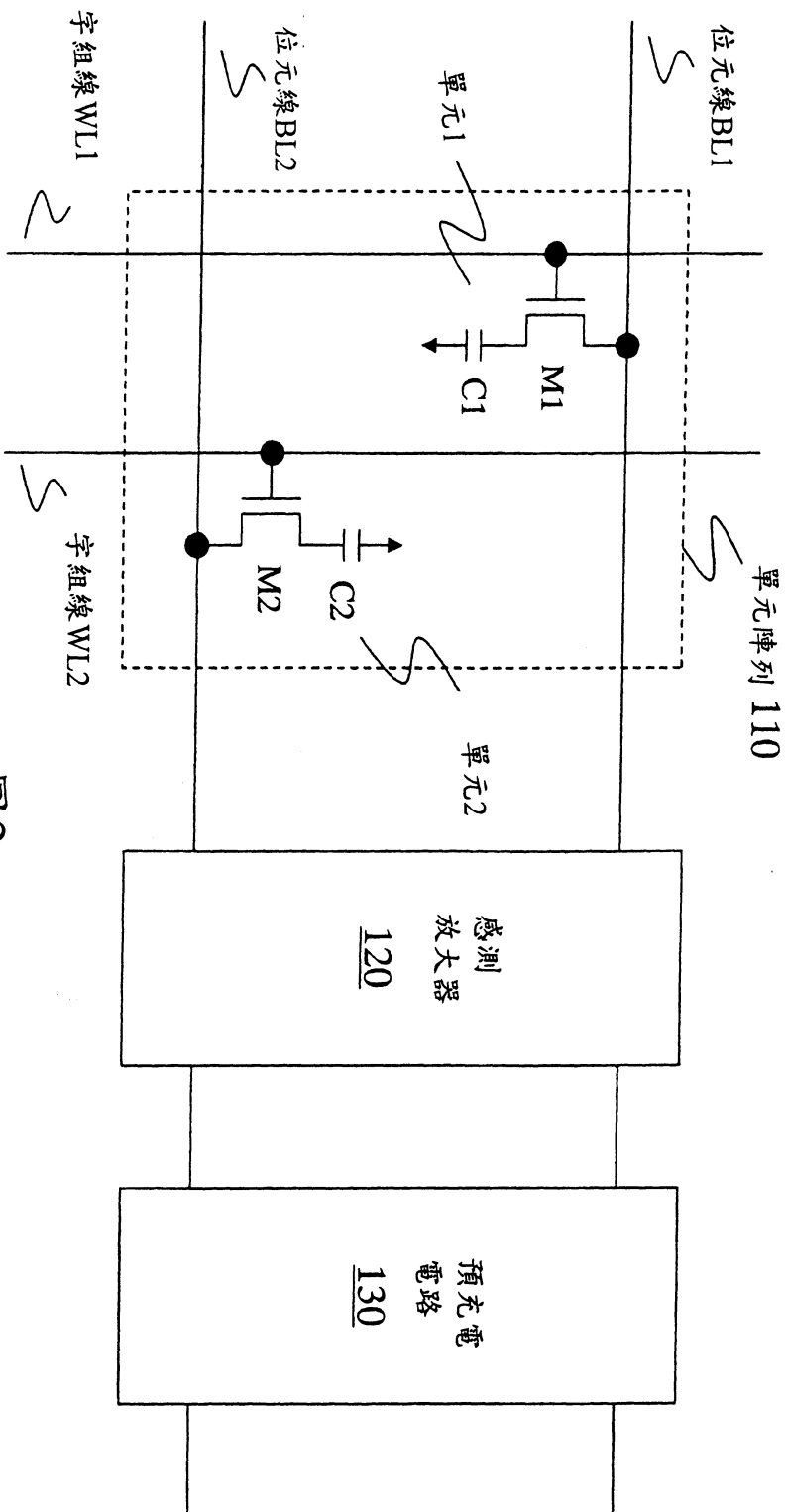


圖 2

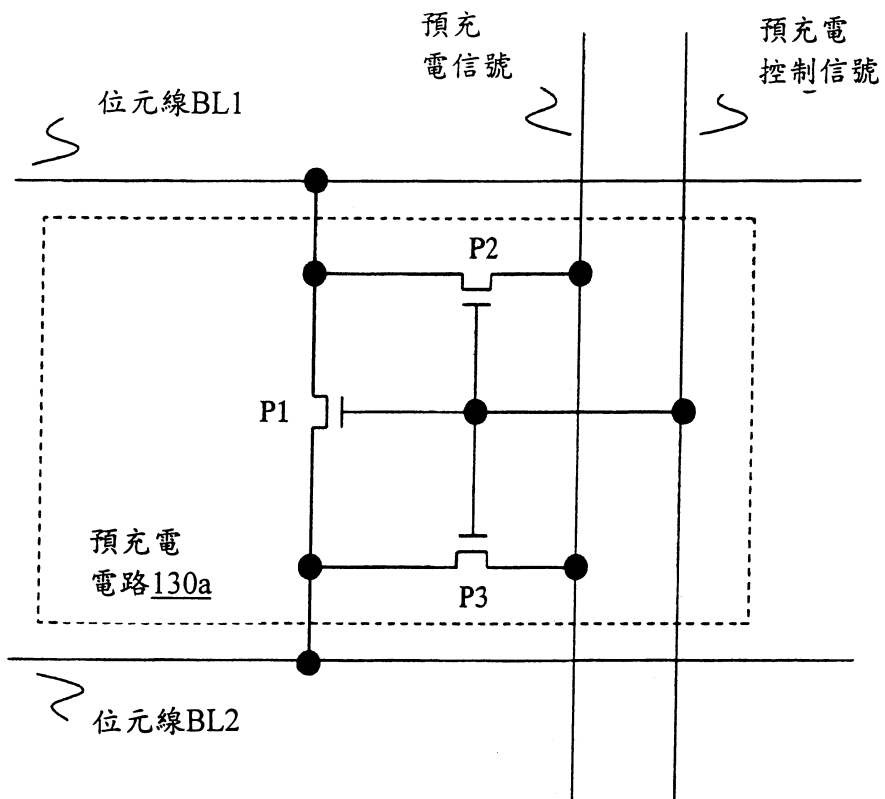


圖3

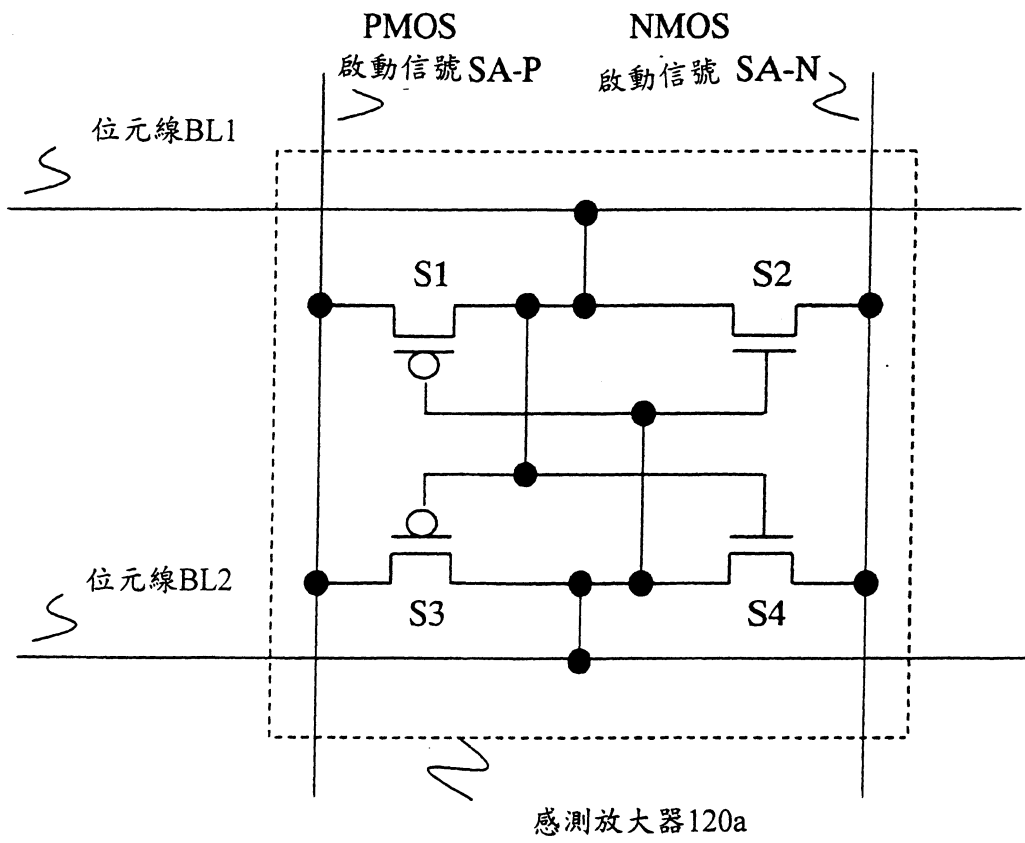


圖4

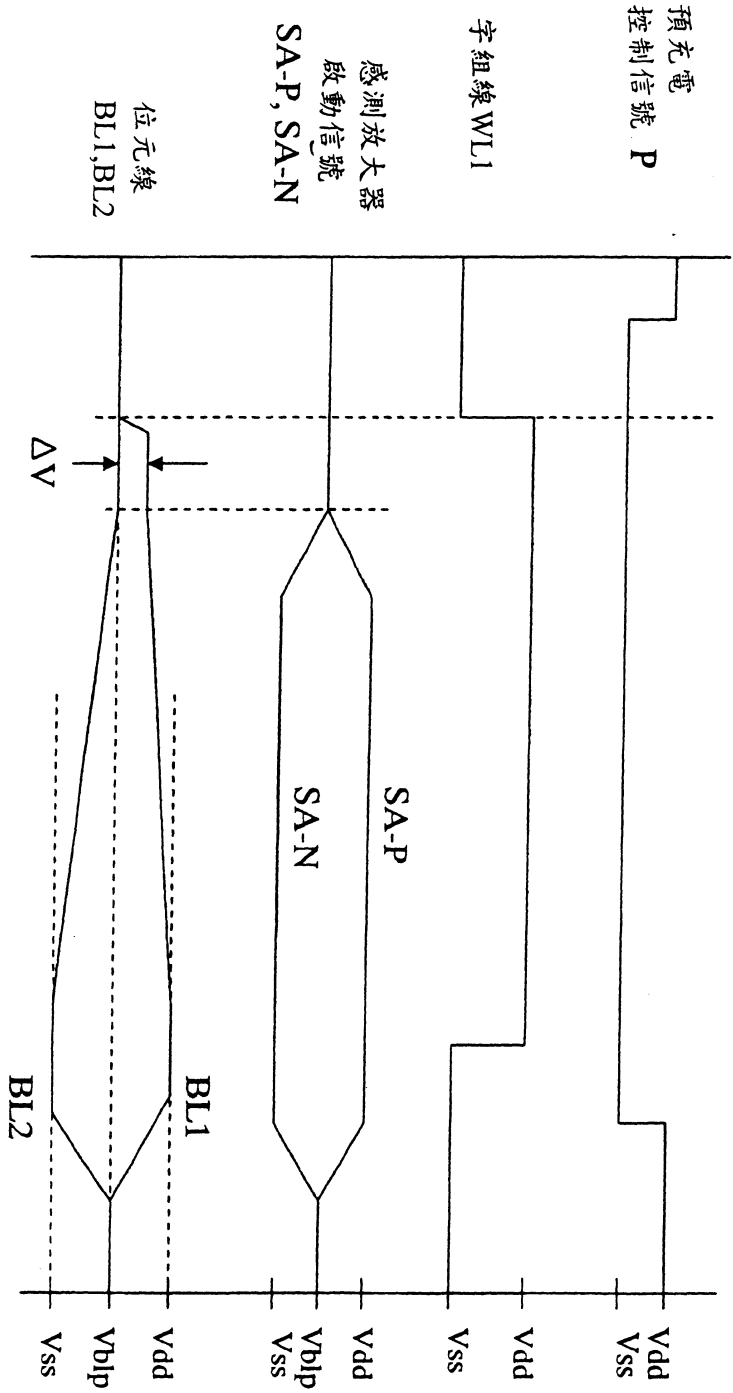
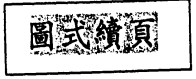


圖 6

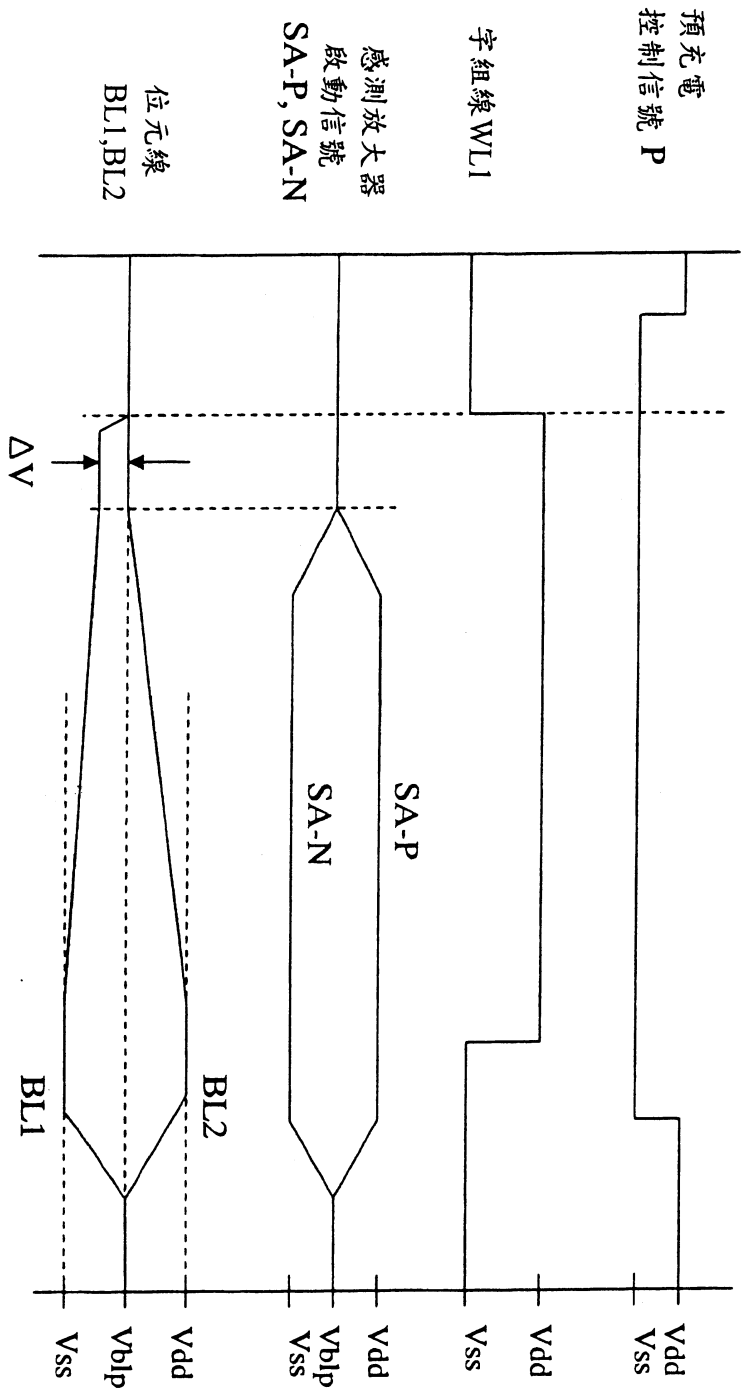


圖 7

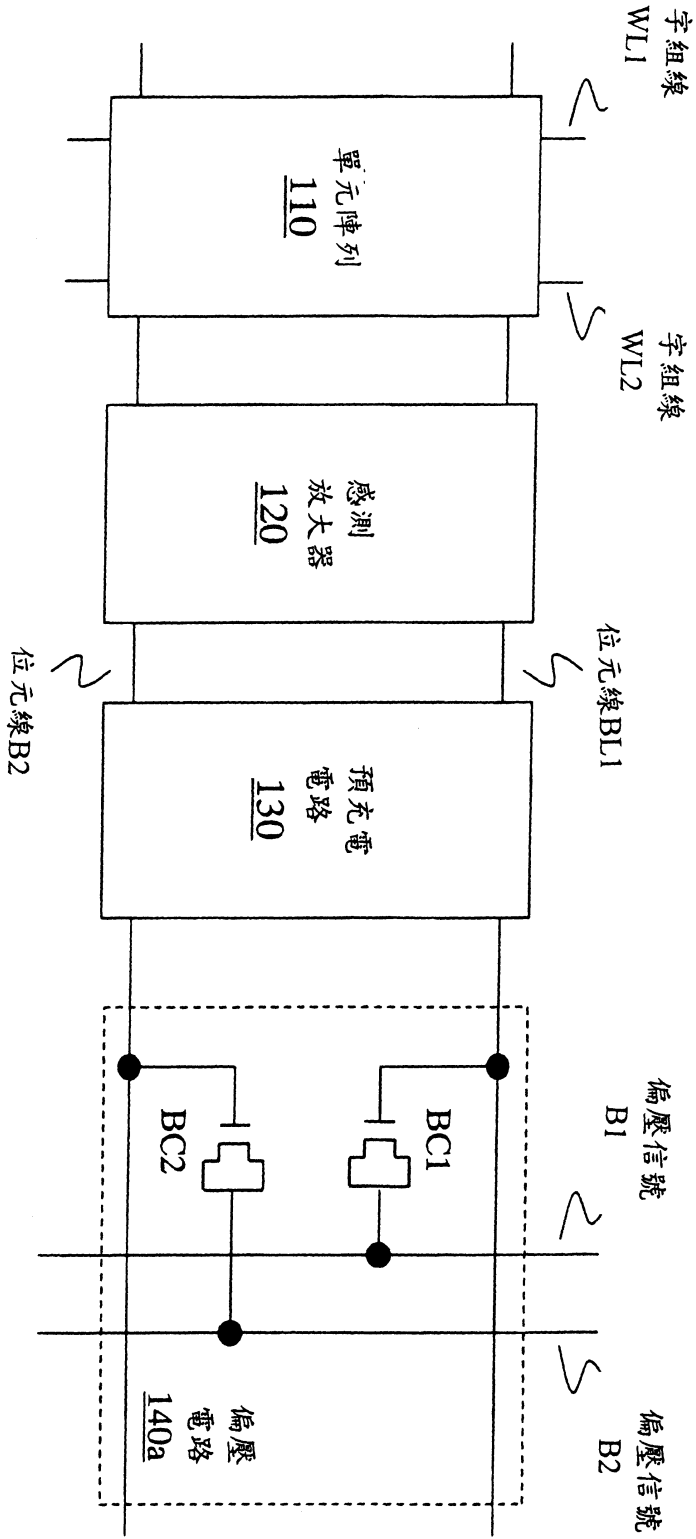


圖 8

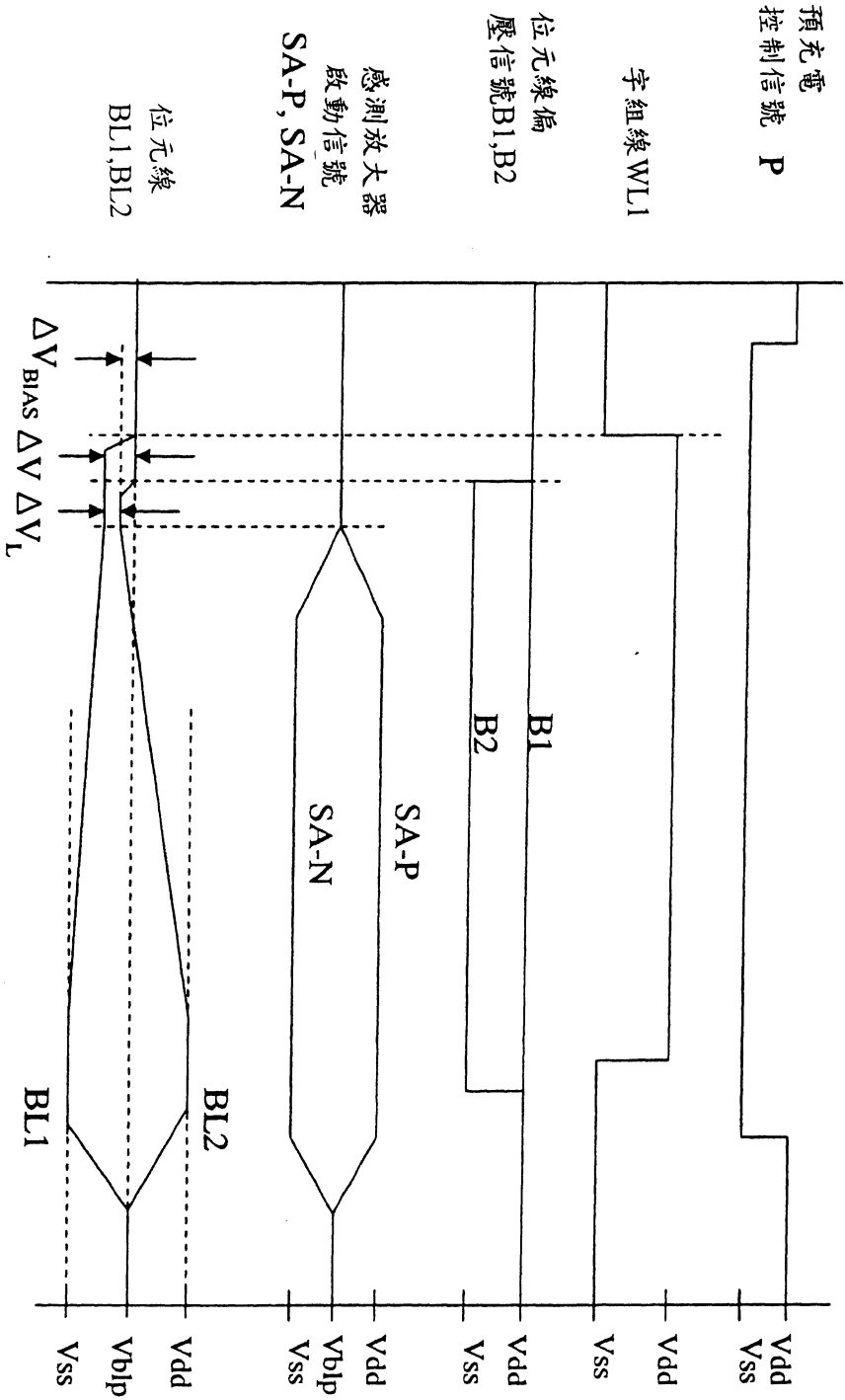


圖 10

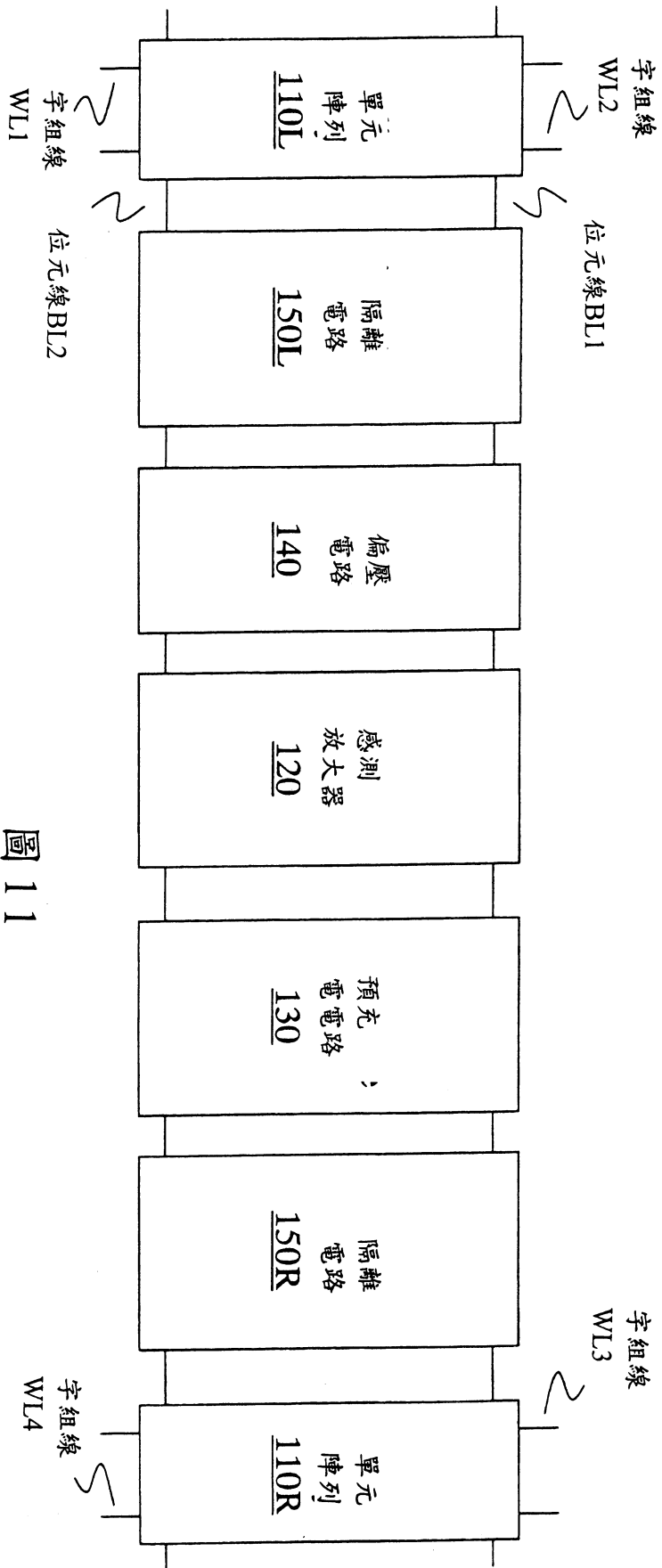


圖 11

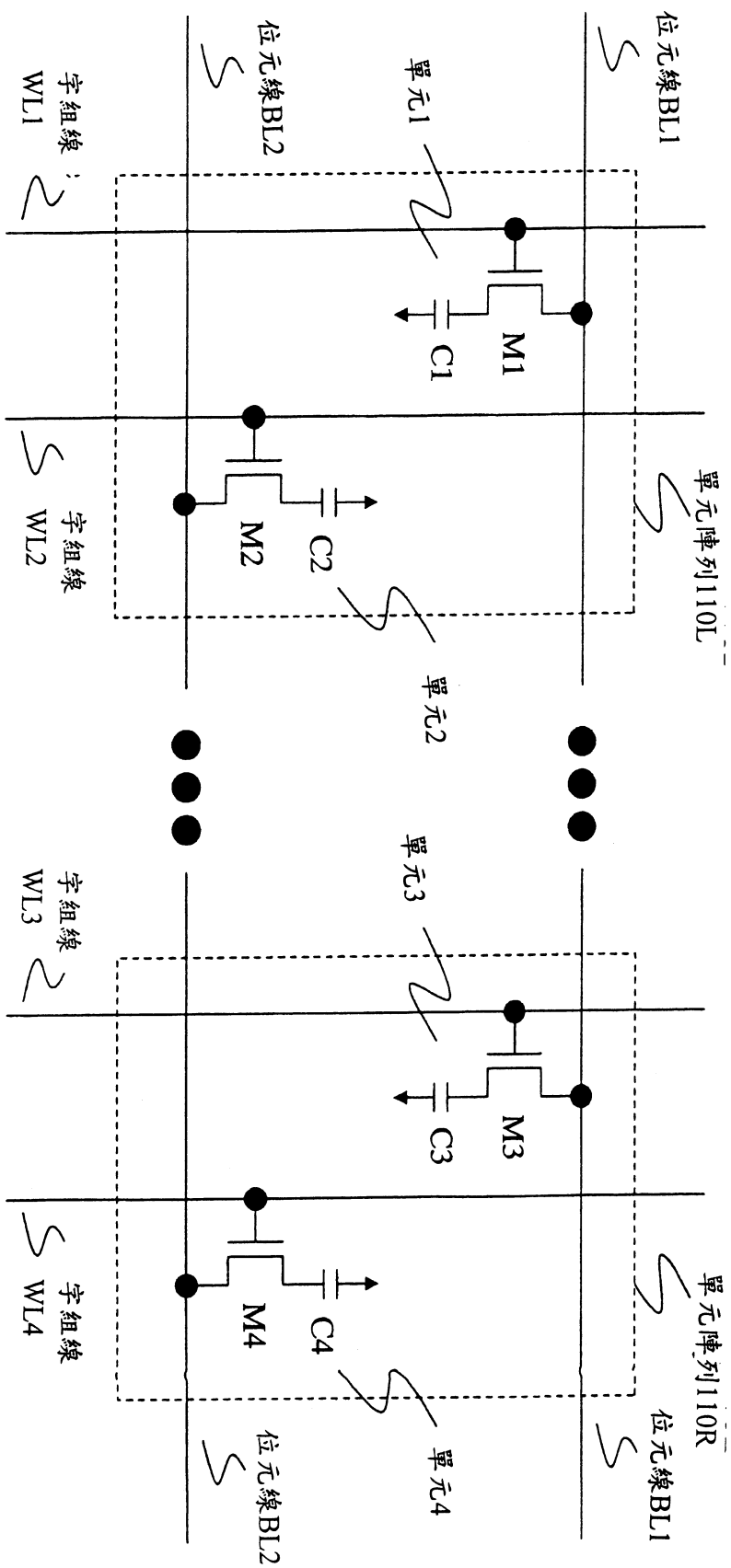


圖 12

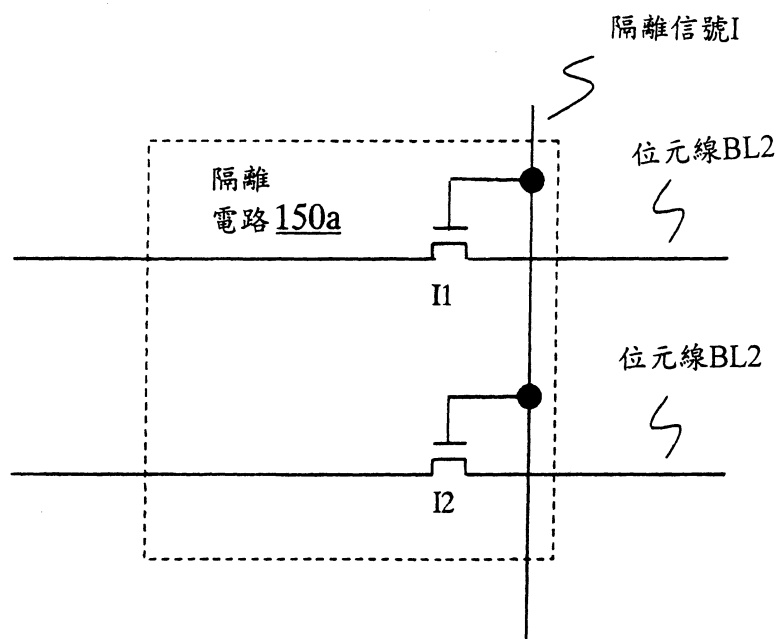


圖 13

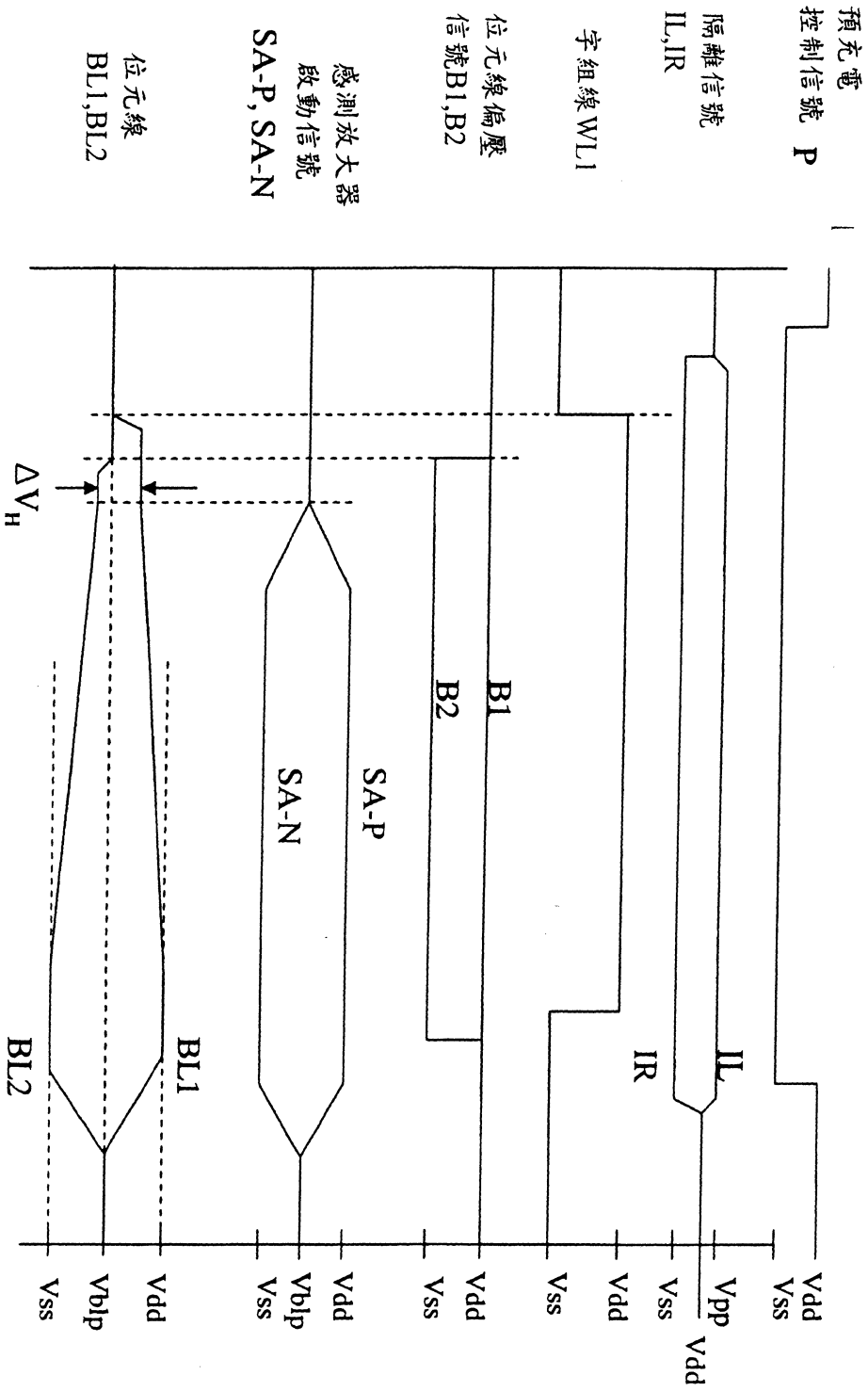


圖 14

陸、(一)、本案指定代表圖為：第8圖

(二)、本代表圖之元件代表符號簡單說明：

110	單元陣列
120	感測放大器
130	預充電電路
140a	偏壓電路
B1,B2	偏壓信號
BC1,BC2	偏壓電容器
BL1,BL2	位元線
WL1,WL2	字組線

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：