



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년01월03일  
(11) 등록번호 10-2620562  
(24) 등록일자 2023년12월28일

(51) 국제특허분류(Int. Cl.)  
G11C 16/30 (2006.01) G11C 16/08 (2006.01)  
G11C 16/10 (2006.01) G11C 16/26 (2006.01)  
(52) CPC특허분류  
G11C 16/30 (2013.01)  
G11C 16/0483 (2013.01)  
(21) 출원번호 10-2016-0099219  
(22) 출원일자 2016년08월04일  
심사청구일자 2021년07월27일  
(65) 공개번호 10-2018-0015803  
(43) 공개일자 2018년02월14일  
(56) 선행기술조사문헌  
US09542118 B  
US20110280092 A1

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
곽동훈  
경기도 화성시 동탄공원로 21-40, 928동 1703호  
(능동, 동탄푸른마을두산위브아파트)  
강희웅  
경기도 수원시 영통구 봉영로1517번길 27,910동  
1902호 (영통동, 벽적골9단지 주공아파트)  
(뒷면에 계속)  
(74) 대리인  
박영우

전체 청구항 수 : 총 30 항

심사관 : 한선경

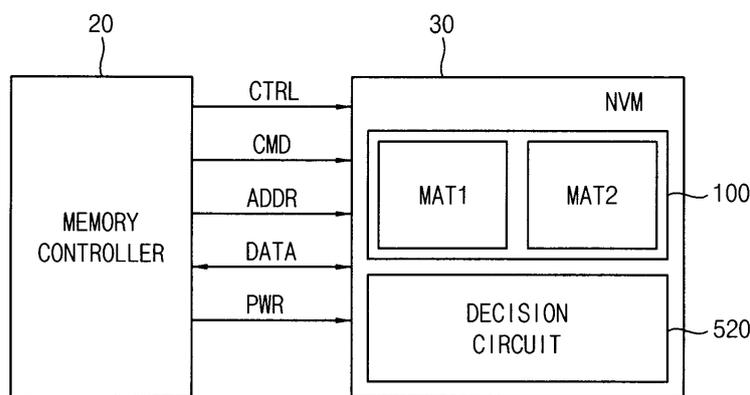
(54) 발명의 명칭 비휘발성 메모리 장치

(57) 요약

비휘발성 메모리 장치는 메모리 셀 어레이, 전압 생성기, 페이지 버퍼 회로, 어드레스 디코더 및 제어 회로를 포함할 수 있다. 상기 메모리 셀 어레이는 서로 다른 비트라인에 대응되는 복수의 매트들을 포함하고, 상기 복수의 매트들 각각은 복수의 메모리 블록들을 포함한다. 상기 전압 생성기는 상기 메모리 셀 어레이에 인가되는 워드라인 전압들을 생성한다. 상기 페이지 버퍼 회로는 상기 메모리 셀 어레이와 비트라인들을 통하여 연결된다. 상기 어드레스 디코더는 상기 메모리 셀 어레이와 워드라인들을 통하여 연결되고, 상기 워드라인 전압들을 상기 메모리 셀 어레이에 전달한다. 상기 제어 회로는 상기 복수의 매트들 중 동시에 동작하는 매트들의 수에 따라 상기 워드라인 또는 상기 비트라인에 서로 다른 레벨의 전압들을 인가한다.

대표도 - 도1

10



(52) CPC특허분류

*G11C 16/08* (2013.01)

*G11C 16/10* (2013.01)

*G11C 16/26* (2013.01)

(72) 발명자

**서준호**

경기도 화성시 동탄대로22길 30,602동 803호 (영천  
동, 동탄센트럴자이)

---

**이희원**

경기도 수원시 영통구 효원로 363,107동 2002호 (매탄동, 매탄 위브 하늘채)

## 명세서

### 청구범위

#### 청구항 1

서로 다른 비트라인에 대응되는 복수의 매트들을 포함하고, 상기 복수의 매트들 각각은 복수의 메모리 블록들을 포함하고, 상기 복수의 메모리 블록들 각각은 복수의 워드라인들 및 복수의 비트라인들에 연결되는 복수의 셀 스트링들을 포함하는 메모리 셀 어레이;

상기 메모리 셀 어레이에 인가되는 워드라인 전압들을 생성하는 전압 생성기;

상기 메모리 셀 어레이와 상기 비트라인들을 통하여 연결되는 페이지 버퍼 회로;

상기 메모리 셀 어레이와 상기 워드라인들을 통하여 연결되고, 상기 워드라인 전압들을 상기 메모리 셀 어레이에 전달하는 어드레스 디코더; 및

커맨드 및 어드레스에 기초하여 상기 전압 생성기, 상기 어드레스 디코더 및 상기 페이지 버퍼 회로를 제어하는 제어 회로를 포함하고,

상기 제어 회로는 상기 복수의 매트들 중 하나의 매트만이 동작하는지 여부 또는 두 개의 매트들의 동시에 동작하는지 여부에 따라 상기 워드라인들 중 적어도 하나 또는 상기 비트라인들 중 적어도 하나에 서로 다른 레벨의 전압들을 인가하고,

상기 복수의 매트들은 적어도 제1 매트 및 제2 매트를 포함하고,

상기 복수의 셀 스트링들 각각은 직렬로 연결되는 적어도 하나의 접지 선택 트랜지스터, 복수의 메모리 셀들 및 적어도 하나의 스트링 선택 트랜지스터를 포함하고,

상기 제어 회로는 상기 제1 매트 및 상기 제2 매트 중 어느 하나에 대한 메모리 동작이 수행되는 싱글 매트 모드에서의 상기 워드라인 전압들의 레벨 또는 상기 비트라인 전압들의 레벨이 상기 제1 매트 및 상기 제2 매트에 대하여 동시에 메모리 동작이 수행되는 멀티 매트 모드에서의 상기 워드라인 전압들의 레벨 또는 상기 비트라인 전압들의 레벨과 달라지도록 상기 어드레스 디코더와 상기 페이지 버퍼 회로를 제어하는 비휘발성 메모리 장치.

#### 청구항 2

삭제

#### 청구항 3

제1항에 있어서,

상기 제어 회로는 상기 싱글 매트 모드에서의 상기 워드라인 전압들의 레벨이 상기 멀티 매트 모드에서의 상기 워드라인 전압들의 레벨보다 작도록 상기 어드레스 디코더를 제어하는 비휘발성 메모리 장치.

#### 청구항 4

제1항에 있어서,

상기 제어 회로는 상기 싱글 매트 모드에서의 상기 워드라인 전압들의 레벨이 상기 멀티 매트 모드에서의 상기 워드라인 전압들의 레벨보다 높도록 상기 어드레스 디코더를 제어하는 비휘발성 메모리 장치.

#### 청구항 5

제1항에 있어서, 상기 제어 회로는

상기 커맨드에 기초하여 상기 싱글 매트 모드와 상기 멀티 매트 모드 중 하나를 나타내는 모드 신호를 생성하는 판단 회로;

상기 모드 신호에 응답하여 상기 싱글 매트 모드와 상기 멀티 매트 모드에 따라 상기 어드레스 디코더를 제어하

는 제1 제어 신호를 생성하는 제1 레벨/타이밍 컨트롤러; 및

상기 모드 신호에 응답하여 상기 싱글 매트 모드와 상기 멀티 매트 모드에 따라 상기 페이지 버퍼 회로를 제어하는 제2 제어 신호를 생성하는 제2 레벨/타이밍 컨트롤러를 포함하는 비휘발성 메모리 장치.

**청구항 6**

제5항에 있어서,

상기 제1 레벨/타이밍 컨트롤러는 상기 메모리 셀 어레이에 대한 프로그램 동작, 독출 동작 및 소거 동작 각각에 대하여 상기 싱글 매트 모드와 상기 멀티 매트 모드에 따른 상기 워드라인 전압들의 레벨들을 제1 커맨드 셋으로서 저장하고,

상기 제2 레벨/타이밍 컨트롤러는 상기 메모리 셀 어레이에 대한 상기 프로그램 동작, 상기 독출 동작 및 상기 소거 동작 각각에 대하여 상기 싱글 매트 모드와 상기 멀티 매트 모드에 따른 상기 비트라인 전압들의 레벨들을 제2 커맨드 셋으로서 저장하는 비휘발성 메모리 장치.

**청구항 7**

제5항에 있어서, 상기 어드레스 디코더는

상기 어드레스와 상기 모드 신호에 응답하여 상기 제1 매트를 선택하는 제1 매트 선택 신호와 상기 제2 매트를 선택하는 제2 매트 선택 신호를 생성하는 디코더;

상기 전압 생성기에 연결되는 복수의 선택 라인들과 상기 제1 매트에 연결되는 제1 스위치 회로; 및

상기 복수의 복수의 선택 라인들과 상기 제2 매트에 연결되는 제2 스위치 회로를 포함하고,

상기 제1 스위치 회로는

상기 제1 매트와 적어도 하나의 스트링 선택 라인, 복수의 워드라인들 및 적어도 하나의 접지 선택 라인들을 통하여 연결되는 복수의 패스 트랜지스터들; 및

상기 제1 매트 선택 신호와 상기 제1 제어 신호에 응답하여 상기 패스 트랜지스터들은 턴-온과 턴-오프를 제어하는 스위칭 제어 신호를 생성하는 스위치 컨트롤러를 포함하는 비휘발성 메모리 장치.

**청구항 8**

적어도 하나의 비휘발성 메모리 장치; 및

상기 적어도 하나의 비휘발성 메모리 장치를 제어하는 메모리 컨트롤러를 포함하고,

상기 적어도 하나의 비휘발성 메모리 장치는

서로 다른 비트라인에 대응되는 복수의 매트들을 포함하고, 상기 복수의 매트들 각각은 복수의 메모리 블록들을 포함하고, 상기 복수의 메모리 블록들 각각은 복수의 워드라인들 및 복수의 비트라인들에 연결되는 복수의 셀 스트링들을 포함하는 메모리 셀 어레이;

상기 메모리 셀 어레이에 인가되는 워드라인 전압들을 생성하는 전압 생성기;

상기 메모리 셀 어레이와 상기 비트라인들을 통하여 연결되는 페이지 버퍼 회로;

상기 메모리 셀 어레이와 상기 워드라인들을 통하여 연결되고, 상기 워드라인 전압들을 상기 메모리 셀 어레이에 전달하는 어드레스 디코더; 및

커맨드 및 어드레스에 기초하여 상기 전압 생성기, 상기 어드레스 디코더 및 상기 페이지 버퍼 회로를 제어하는 제어 회로를 포함하고,

상기 제어 회로는 상기 복수의 매트들 중 하나의 매트만이 동작하는지 여부 또는 적어도 두 개의 매트들의 동시에 동작하는지 여부에 따라 상기 워드라인들 중 적어도 하나 또는 상기 비트라인들 중 적어도 하나에 서로 다른 레벨의 전압들을 인가하고,

상기 메모리 컨트롤러는 상기 복수의 매트들 중 하나의 매트만이 동작하는지 또는 상기 적어도 두 개의 매트들이 동시에 동작하는지 여부를 판단하는 판단 회로를 포함하고,

상기 복수의 매트들은 적어도 제1 매트 및 제2 매트를 포함하고,

상기 판단 회로는 상기 제1 매트 및 상기 제2 매트 중 어느 하나에 대한 메모리 동작이 수행되는 싱글 매트 모드와 상기 제1 매트 및 상기 제2 매트에 대하여 동시에 메모리 동작이 수행되는 멀티 매트 모드 중 하나를 지시하는 커맨드 시퀀스와 함께 상기 워드라인 전압들의 레벨 및 상기 워드라인 전압들의 인가 시간 또는 상기 비트라인 전압들의 레벨 및 상기 비트라인 전압들의 인가 시간을 커맨드 세트로서 상기 적어도 하나의 비휘발성 메모리 장치에 전송하는 메모리 시스템.

**청구항 9**

제8항에 있어서,

상기 제어 회로는 상기 전압 생성기, 상기 어드레스 디코더 및 상기 페이지 버퍼 회로를 제어하여 상기 메모리 동작이 상기 복수의 매트들 중 적어도 일부에 대하여 수행되도록 하는 것을 특징으로 하는 메모리 시스템.

**청구항 10**

제1항에 있어서,

상기 제어 회로는 상기 싱글 매트 모드에서의 상기 비트라인 전압들의 레벨이 상기 멀티 매트 모드에서의 상기 비트라인 전압들의 레벨보다 작도록 상기 어드레스 디코더를 제어하는 비휘발성 메모리 장치.

**청구항 11**

제1항에 있어서,

상기 제어 회로는 상기 싱글 매트 모드에서의 상기 비트라인 전압들의 레벨이 상기 멀티 매트 모드에서의 상기 비트라인 전압들의 레벨보다 높도록 상기 어드레스 디코더를 제어하는 비휘발성 메모리 장치.

**청구항 12**

복수의 플레인들을 포함하고, 상기 복수의 플레인들 중 제1 플레인과 제2 플레인 각각은 복수의 메모리 블록들을 포함하고, 상기 복수의 메모리 블록들 각각은 복수의 셀 스트링들을 포함하고, 상기 제1 플레인의 상기 셀 스트링들 중 제1 셀 스트링은 복수의 제1 워드라인들 및 제1 비트라인에 연결되고, 상기 제2 플레인의 상기 셀 스트링들 중 제2 셀 스트링은 복수의 제2 워드라인들 및 제2 비트라인에 연결되는 메모리 셀 어레이;

상기 제1 워드라인들 및 상기 제2 워드라인들에 연결되고 상기 제1 워드라인들 및 상기 제2 워드라인들에 워드라인 전압들을 인가하는 전압 생성기;

상기 제1 플레인 및 상기 제2 플레인 중 하나 또는 두 개가 동시에 동작하는지 여부에 기초하여 상기 제1 및 제2 워드라인들에 인가되는 상기 워드라인 전압들 중 적어도 하나를 제어하는 제어 회로를 포함하고,

상기 제어 회로는

상기 제1 및 제2 플레인들 중 하나만이 동작하는 경우에 상기 제1 및 제2 워드라인들 중 적어도 하나의 워드라인에 제1 전압을 인가하고, 상기 제1 및 제2 플레인들 중 두 개가 모두 동작하는 경우에 상기 적어도 하나의 워드라인에 상기 제1 전압과 다른 제2 전압을 인가하여 상기 워드라인 전압들을 제어하는 비휘발성 메모리 장치.

**청구항 13**

제12항에 있어서,

상기 제1 비트라인과 상기 제2 비트라인에 각각 연결되고, 상기 제1 비트라인과 상기 제2 비트라인에 비트라인 전압을 각각 인가하는 제1 페이지 버퍼와 제2 페이지 버퍼를 더 포함하고,

상기 제어 회로는 상기 제1 플레인 및 상기 제2 플레인 중 하나 또는 두 개가 동시에 동작하는지 여부에 기초하여 상기 비트라인 전압을 제어하고,

상기 제어 회로는

상기 제1 및 제2 플레인들 중 하나만이 동작하는 경우에 상기 제1 및 제2 비트라인들 중 적어도 하나의 비트라인에 제3 전압을 인가하고, 상기 제1 및 제2 플레인들 중 두 개가 모두 동작하는 경우에 상기 적어도 하나의 비

트라인에 상기 제3 전압과 다른 제4 전압을 인가하여 상기 비트라인 전압을 제어하는 비휘발성 메모리 장치.

**청구항 14**

제12항에 있어서,

상기 제어 회로는 상기 적어도 하나의 워드라인에 제1 시간 구간 동안 상기 제1 전압을 인가하고, 제2 시간 구간 동안 상기 제2 전압을 인가하고,

상기 제2 전압의 레벨은 상기 제1 전압의 레벨보다 크고,

상기 제2 시간 구간은 상기 제1 시간 구간보다 긴 것을 특징으로 하는 비휘발성 메모리 장치.

**청구항 15**

제13항에 있어서,

상기 제어 회로는 상기 적어도 하나의 비트라인에 제1 시간 구간 동안 상기 제3 전압을 인가하고, 제2 시간 구간 동안 상기 제4 전압을 인가하고,

상기 제4 전압의 레벨은 상기 제3 전압의 레벨보다 크고,

상기 제2 시간 구간은 상기 제1 시간 구간보다 긴 것을 특징으로 하는 비휘발성 메모리 장치.

**청구항 16**

서로 다른 비트라인에 대응되는 복수의 매트들을 포함하고, 상기 복수의 매트들 각각은 복수의 메모리 블록들을 포함하고, 상기 복수의 메모리 블록들 각각은 복수의 워드라인들 및 복수의 비트라인들에 연결되는 복수의 셀 스트링들을 포함하는 메모리 셀 어레이;

상기 메모리 셀 어레이에 인가되는 워드라인 전압들을 생성하는 전압 생성기;

상기 메모리 셀 어레이와 상기 비트라인들을 통하여 연결되는 페이지 버퍼 회로;

상기 메모리 셀 어레이와 상기 워드라인들을 통하여 연결되고, 상기 워드라인 전압들을 상기 메모리 셀 어레이에 전달하는 어드레스 디코더; 및

커맨드 및 어드레스에 기초하여 상기 전압 생성기, 상기 어드레스 디코더 및 상기 페이지 버퍼 회로를 제어하는 제어 회로를 포함하고,

상기 제어 회로는 상기 복수의 매트들 중 하나의 매트만이 동작하는지 여부 또는 두 개의 매트들의 동시에 동작하는지 여부에 따라 복수의 시간 구간들 중에서 선택된 시간 구간 동안 상기 워드라인들 중 적어도 하나 또는 상기 비트라인들 중 적어도 하나에 전압들을 인가하고,

상기 선택된 시간 구간은 상기 복수의 매트들 중 하나만이 동작하는 경우에는 제1 시간 구간에 해당하고,

상기 선택된 시간 구간은 상기 복수의 매트들 중 적어도 두 개가 동시에 동작하는 경우에는 상기 제1 시간 구간과는 다른 제2 시간 구간에 해당하는 비휘발성 메모리 장치.

**청구항 17**

제16항에 있어서,

상기 복수의 매트들은 적어도 제1 매트 및 제2 매트를 포함하고,

상기 제어 회로는 상기 제1 매트 및 상기 제2 매트 중 어느 하나에 대한 메모리 동작이 수행되는 싱글 매트 모드에서 상기 워드라인 전압들 또는 상기 비트라인 전압들이 인가되는 상기 제1 시간 구간이 상기 제1 매트 및 상기 제2 매트에 대하여 동시에 메모리 동작이 수행되는 멀티 매트 모드에서의 상기 워드라인 전압들 또는 상기 비트라인 전압들이 인가되는 상기 제2 시간 구간과 달라지도록 상기 어드레스 디코더와 상기 페이지 버퍼 회로를 제어하는 것을 특징으로 하는 비휘발성 메모리 장치.

**청구항 18**

제17항에 있어서,

상기 제어 회로는 상기 싱글 매트 모드에서의 상기 제1 시간 구간이 상기 멀티 매트 모드에서의 상기 제2 시간 구간보다 짧도록 상기 어드레스 디코더와 상기 페이지 버퍼 회로를 제어하는 것을 특징으로 하는 비휘발성 메모리 장치.

**청구항 19**

제17항에 있어서,

상기 제어 회로는 상기 싱글 매트 모드에서의 상기 제1 시간 구간이 상기 멀티 매트 모드에서의 상기 제2 시간 구간보다 길도록 상기 어드레스 디코더와 상기 페이지 버퍼 회로를 제어하는 것을 특징으로 하는 비휘발성 메모리 장치.

**청구항 20**

제17항에 있어서, 상기 제어 회로는

상기 커맨드에 기초하여 상기 싱글 매트 모드와 상기 멀티 매트 모드 중 하나를 나타내는 모드 신호를 생성하는 판단 회로;

상기 모드 신호에 응답하여 상기 싱글 매트 모드와 상기 멀티 매트 모드에 따라 상기 어드레스 디코더를 제어하는 제1 제어 신호를 생성하는 제1 레벨/타이밍 컨트롤러; 및

상기 모드 신호에 응답하여 상기 싱글 매트 모드와 상기 멀티 매트 모드에 따라 상기 페이지 버퍼 회로를 제어하는 제2 제어 신호를 생성하는 제2 레벨/타이밍 컨트롤러를 포함하는 비휘발성 메모리 장치.

**청구항 21**

제20항에 있어서,

상기 제1 레벨/타이밍 컨트롤러는 상기 메모리 셀 어레이에 대한 프로그램 동작, 독출 동작 및 소거 동작 각각에 대하여 상기 싱글 매트 모드와 상기 멀티 매트 모드에 따른 상기 워드라인 전압들의 시간 구간들을 제1 커맨드 셋으로서 저장하고,

상기 제2 레벨/타이밍 컨트롤러는 상기 메모리 셀 어레이에 대한 상기 프로그램 동작, 상기 독출 동작 및 상기 소거 동작 각각에 대하여 상기 싱글 매트 모드와 상기 멀티 매트 모드에 따른 상기 비트라인 전압들의 시간 구간들을 제2 커맨드 셋으로서 저장하는 비휘발성 메모리 장치.

**청구항 22**

제20항에 있어서, 상기 어드레스 디코더는

상기 어드레스와 상기 모드 신호에 응답하여 상기 제1 매트를 선택하는 제1 매트 선택 신호와 상기 제2 매트를 선택하는 제2 매트 선택 신호를 생성하는 디코더;

상기 전압 생성기에 연결되는 복수의 선택 라인들과 상기 제1 매트에 연결되는 제1 스위치 회로; 및

상기 복수의 복수의 선택 라인들과 상기 제2 매트에 연결되는 제2 스위치 회로를 포함하고,

상기 제1 스위치 회로는

상기 제1 매트와 적어도 하나의 스트링 선택 라인, 복수의 워드라인들 및 적어도 하나의 접지 선택 라인들을 통하여 연결되는 복수의 패스 트랜지스터들; 및

상기 제1 매트 선택 신호와 상기 제1 제어 신호에 응답하여 상기 패스 트랜지스터들은 턴-온과 턴-오프를 제어하는 스위칭 제어 신호를 생성하는 스위치 컨트롤러를 포함하는 비휘발성 메모리 장치.

**청구항 23**

복수의 플레인들을 포함하고, 상기 복수의 플레인들 중 제1 플레인과 제2 플레인 각각은 복수의 메모리 블록들을 포함하고, 상기 복수의 메모리 블록들 각각은 복수의 셀 스트링들을 포함하고, 상기 제1 플레인의 상기 셀 스트링들 중 제1 셀 스트링은 복수의 제1 워드라인들 및 제1 비트라인에 연결되고, 상기 제2 플레인의 상기 셀 스트링들 중 제2 셀 스트링은 복수의 제2 워드라인들 및 제2 비트라인에 연결되는 메모리 셀 어레이;

상기 제1 워드라인들 및 상기 제2 워드라인들에 연결되고 상기 제1 워드라인들 및 상기 제2 워드라인들에 워드라인 전압들을 인가하는 전압 생성기;

상기 제1 플레인 및 상기 제2 플레인 중 하나 또는 두 개가 동시에 동작하는지 여부에 기초하여 상기 제1 및 제2 워드라인들에 인가되는 상기 워드라인 전압들 중 적어도 하나를 제어하는 제어 회로를 포함하고,

상기 제어 회로는

상기 제1 및 제2 플레인들 중 하나만이 동작하는 경우에 상기 제1 및 제2 워드라인들 중 적어도 하나의 워드라인에 제1 시간 구간 동안 제1 전압을 인가하고, 상기 제1 및 제2 플레인들 중 두 개가 모두 동작하는 경우에 상기 적어도 하나의 워드라인에 상기 제1 시간 구간 동안과 다른 제2 시간 구간 동안 상기 제1 전압과 다른 제2 전압을 인가하여 상기 워드라인 전압들을 제어하는 비휘발성 메모리 장치.

#### 청구항 24

제23항에 있어서,

상기 제1 비트라인과 상기 제2 비트라인에 각각 연결되고, 상기 제1 비트라인과 상기 제2 비트라인에 비트라인 전압을 각각 인가하는 제1 페이지 버퍼와 제2 페이지 버퍼를 더 포함하고,

상기 제어 회로는 상기 제1 플레인 및 상기 제2 플레인 중 하나 또는 두 개가 동시에 동작하는지 여부에 기초하여 상기 비트라인 전압을 제어하고,

상기 제어 회로는

상기 제1 및 제2 플레인들 중 하나만이 동작하는 경우에 상기 제1 및 제2 비트라인들 중 적어도 하나의 비트라인에 제3 시간 구간 동안 제3 전압을 인가하고, 상기 제1 및 제2 플레인들 중 두 개가 모두 동작하는 경우에 상기 적어도 하나의 비트라인에 상기 제3 시간 구간 동안과 다른 제4 시간 구간 동안 상기 제3 전압과 다른 제4 전압을 인가하여 상기 비트라인 전압을 제어하는 비휘발성 메모리 장치.

#### 청구항 25

제23항에 있어서,

상기 제1 및 제2 셀 스트링들 각각은 제1 및 제2 스트링 선택 라인들에 각각 연결되고,

상기 전압 생성기는 상기 제1 및 제2 스트링 선택 라인들에 연결되고, 상기 제1 및 제2 스트링 선택 라인 각각에 스트링 선택 전압을 인가하고,

상기 제어 회로는

상기 제1 및 제2 플레인들 중 하나만이 동작하는 경우에 상기 제1 및 제2 스트링 선택 라인들 중 적어도 하나의 스트링 선택 라인에 제3 시간 구간 동안 제3 전압을 인가하고, 상기 제1 및 제2 플레인들 중 두 개가 모두 동작하는 경우에 상기 적어도 하나의 스트링 선택 라인에 상기 제3 시간 구간 동안과 다른 제4 시간 구간 동안 상기 제3 전압과 다른 제4 전압을 인가하여 상기 비트라인 전압을 제어하는 비휘발성 메모리 장치.

#### 청구항 26

제23항에 있어서,

상기 제2 시간 구간은 상기 제1 시간 구간보다 긴 것을 특징으로 하는 비휘발성 메모리 장치.

#### 청구항 27

제23항에 있어서,

상기 제1 시간 구간은 상기 제2 시간 구간보다 긴 것을 특징으로 하는 비휘발성 메모리 장치.

#### 청구항 28

적어도 하나의 비휘발성 메모리 장치; 및

상기 적어도 하나의 비휘발성 메모리 장치를 제어하는 메모리 컨트롤러를 포함하고,

상기 적어도 하나의 비휘발성 메모리 장치는

서로 다른 비트라인에 대응되는 복수의 매트들을 포함하고, 상기 복수의 매트들 각각은 복수의 메모리 블록들을 포함하고, 상기 복수의 메모리 블록들 각각은 복수의 워드라인들 및 복수의 비트라인들에 연결되는 복수의 셀 스트링들을 포함하는 메모리 셀 어레이;

워드라인 전압들을 생성하는 전압 생성기;

상기 메모리 셀 어레이와 상기 비트라인들을 통하여 연결되는 페이지 버퍼 회로;

상기 메모리 셀 어레이와 상기 워드라인들을 통하여 연결되고, 상기 워드라인 전압들을 상기 메모리 셀 어레이에 전달하는 어드레스 디코더; 및

커맨드 및 어드레스에 기초하여 상기 전압 생성기, 상기 어드레스 디코더 및 상기 페이지 버퍼 회로를 제어하는 제어 회로를 포함하고,

상기 제어 회로는 상기 복수의 매트들 중 동시에 동작하는 매트들의 수에 따라 전압들이 상기 워드라인들 중 적어도 하나 또는 상기 비트라인들 중 적어도 하나에 인가되는 동안의 시간 구간을 제어하고,

상기 메모리 컨트롤러는 상기 복수의 매트들 중 하나의 매트만이 동작하는지 또는 상기 동시에 동작하는 매트들의 수를 판단하는 판단 회로를 포함하고,

상기 제어 회로는 상기 복수의 매트들 중 하나만이 동작하는 경우 상기 전압들이 제1 시간 구간 동안 상기 워드라인들 중 적어도 하나 또는 상기 비트라인들 중 적어도 하나에 인가되도록 상기 시간 구간을 제어하고,

상기 제어 회로는 상기 복수의 매트들 중 적어도 두 개의 매트들이 동시에 동작하는 경우 상기 전압들이 상기 제1 시간 구간 동안과는 다른 제2 시간 구간 동안 상기 워드라인들 중 적어도 하나 또는 상기 비트라인들 중 적어도 하나에 인가되도록 상기 시간 구간을 제어하는 메모리 시스템.

**청구항 29**

제28항에 있어서,

상기 복수의 매트들은 적어도 제1 매트 및 제2 매트를 포함하고,

상기 판단 회로는 상기 판단 회로가 상기 제1 매트 및 상기 제2 매트 중 어느 하나에 대한 메모리 동작이 수행되는 싱글 매트 모드와 상기 제1 매트 및 상기 제2 매트에 대하여 동시에 메모리 동작이 수행되는 멀티 매트 모드 중 하나를 지시하는 커맨드 시퀀스를 상기 적어도 하나의 비휘발성 메모리 장치에 전송하기 전에 상기 워드라인 전압들의 인가 시간 또는 상기 비트라인 전압들의 인가 시간을 커맨드 세트로서 상기 적어도 하나의 비휘발성 메모리 장치에 전송하는 메모리 시스템.

**청구항 30**

제28항에 있어서,

상기 복수의 매트들은 적어도 제1 매트 및 제2 매트를 포함하고,

상기 판단 회로는 상기 제1 매트 및 상기 제2 매트 중 어느 하나에 대한 메모리 동작이 수행되는 싱글 매트 모드와 상기 제1 매트 및 상기 제2 매트에 대하여 동시에 메모리 동작이 수행되는 멀티 매트 모드 중 하나를 지시하는 커맨드 시퀀스와 함께 상기 워드라인 전압들의 인가 시간 또는 상기 비트라인 전압들의 인가 시간을 커맨드 세트로서 상기 적어도 하나의 비휘발성 메모리 장치에 전송하는 메모리 시스템.

**청구항 31**

제28항에 있어서,

상기 제어 회로는 상기 전압 생성기, 상기 어드레스 디코더 및 상기 페이지 버퍼 회로를 제어하여 메모리 동작이 상기 복수의 매트들 중 적어도 일부에 대하여 수행되도록 하는 것을 특징으로 하는 메모리 시스템.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 메모리 장치에 관한 것으로, 보다 상세하게는 비휘발성 메모리 장치에 관한 것이다.

**배경 기술**

[0002] 반도체 메모리 장치는 크게 휘발성 반도체 메모리 장치(Volatile semiconductor memory device)와 비휘발성 반도체 메모리 장치(Nonvolatile semiconductor memory device)로 구분될 수 있다. 휘발성 반도체 메모리 장치는 읽고 쓰는 속도가 빠르지만 전원 공급이 끊기면 저장된 내용이 사라져 버리는 단점이 있다. 반면에 비휘발성 반도체 메모리 장치는 전원 공급이 중단되더라도 그 내용을 보존한다. 그러므로, 비휘발성 반도체 메모리 장치는 전원이 공급되었는지의 여부에 관계없이 보존되어야 할 내용을 기억시키는 데 쓰인다.

[0003] 비휘발성 반도체 메모리 장치로는 마스크 롬(Mask read-only memory, MROM), 프로그램 가능한 롬(Programmable read-only memory, PROM), 소거 및 프로그램 가능한 롬(Erasable programmable read-only memory, EPROM), 전기적으로 소거 및 프로그램 가능한 롬(Electrically erasable programmable read-only memory, EEPROM) 등이 있다.

[0004] 비휘발성 메모리 장치의 대표적인 예로 플래시 메모리 장치가 있다. 플래시 메모리 장치는 컴퓨터, 휴대폰, PDA, 디지털카메라, 캠코더, 보이스 리코더, MP3 플레이어, 개인용 휴대 단말기(PDA), 휴대용 컴퓨터(Handheld PC), 게임기, 팩스, 스캐너, 프린터 등과 같은 전자 기기들의 음성 및 영상 데이터 저장 매체로서 널리 사용되고 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명의 일 목적은 성능을 높일 수 있는 비휘발성 메모리 장치를 제공하는 것이다.

**과제의 해결 수단**

[0006] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 비휘발성 메모리 장치는 메모리 셀 어레이, 전압 생성기, 페이지 버퍼 회로, 어드레스 디코더 및 제어 회로를 포함할 수 있다. 상기 메모리 셀 어레이는 서로 다른 비트라인에 대응되는 복수의 매트들을 포함하고, 상기 복수의 매트들 각각은 복수의 메모리 블록들을 포함한다. 상기 전압 생성기는 상기 메모리 셀 어레이에 인가되는 워드라인 전압들을 생성한다. 상기 페이지 버퍼 회로는 상기 메모리 셀 어레이와 비트라인들을 통하여 연결된다. 상기 어드레스 디코더는 상기 메모리 셀 어레이와 워드라인들을 통하여 연결되고, 상기 워드라인 전압들을 상기 메모리 셀 어레이에 전달한다. 상기 제어 회로는 상기 복수의 매트들 중 동시에 동작하는 매트들의 수에 따라 상기 워드라인 또는 상기 비트라인에 서로 다른 레벨의 전압들을 인가한다.

[0007] 비휘발성 메모리 장치는 메모리 셀 어레이, 전압 생성기, 페이지 버퍼 회로, 어드레스 디코더 및 제어 회로를 포함할 수 있다. 상기 메모리 셀 어레이는 서로 다른 비트라인에 대응되는 복수의 매트들을 포함하고, 상기 복수의 매트들 각각은 복수의 메모리 블록들을 포함한다. 상기 전압 생성기는 상기 메모리 셀 어레이에 인가되는 워드라인 전압들을 생성한다. 상기 페이지 버퍼 회로는 상기 메모리 셀 어레이와 비트라인들을 통하여 연결된다. 상기 어드레스 디코더는 상기 메모리 셀 어레이와 워드라인들을 통하여 연결되고, 상기 워드라인 전압들을 상기 메모리 셀 어레이에 전달한다. 상기 제어 회로는 상기 복수의 매트들 중 동시에 동작하는 매트들의 수에 따라 상기 워드라인 전압들의 인가 시간 또는 상기 페이지 버퍼 회로를 통하여 상기 비트라인들에 인가되는 비트라인 전압들의 인가 시간이 달라지도록 한다.

**발명의 효과**

[0008] 본 발명의 실시예들에 따르면, 싱글 매트 모드와 멀티 매트 모드에서 메모리 셀 어레이에 인가되는 전압들의 레벨이나 인가 시간을 달리하여 싱글 매트 모드와 멀티 매트 모드에서 모두 성능을 향상시킬 수 있다.

**도면의 간단한 설명**

[0009] 도 1은 본 발명의 실시예들에 따른 메모리 시스템을 나타내는 블록도이다.

- 도 2는 본 발명의 실시예들에 따른 도 1의 메모리 시스템에서 제어 신호들의 예를 나타낸다.
- 도 3은 본 발명의 실시예들에 따른 도 1의 메모리 시스템에서 비휘발성 메모리 장치를 나타내는 블록도이다.
- 도 4는 도 3의 메모리 셀 어레이를 나타내는 블록도이다.
- 도 5는 도 4의 메모리 블록들 중 하나의 메모리 블록을 보여주는 사시도이다.
- 도 6은 본 발명의 실시예들에 따른 도 3의 비휘발성 메모리 장치에서 매트 구조를 나타내는 회로도이다.
- 도 7은 본 발명의 실시예들에 따른 도 3의 비휘발성 메모리 장치에서 제어 회로의 구성을 나타내는 블록도이다.
- 도 8은 본 발명의 실시예들에 따른 도 3의 비휘발성 메모리 장치에서 전압 생성기의 구성을 나타내는 블록도이다.
- 도 9는 본 발명의 실시예들에 따른 도 3의 비휘발성 메모리 장치에서 어드레스 디코더의 구성을 나타낸다.
- 도 10과 도 11은 각각 싱글 매트 모드와 멀티 매트 모드에서 워드라인 전압들과 비트라인 전압들을 나타낸다.
- 도 12는 도 3의 비휘발성 메모리 장치를 간략히 나타내는 블록도이다.
- 도 13은 독출 동작 시 싱글 매트 모드와 멀티 매트 모드에서 도 4의 제1 매트와 제2 매트에 인가되는 워드라인 전압들과 비트라인 전압들을 나타내는 타이밍도이다.
- 도 14는 본 발명의 실시예들에 따른 멀티 매트 모드에서 워드라인 전압들과 비트라인 전압들의 레벨들이 오버드라이브된 것을 나타낸다.
- 도 15는 독출 동작 시 싱글 매트 모드와 멀티 매트 모드에서 도 13의 전압들의 레벨들과 인가 시간의 설정 값을 나타내는 표이다.
- 도 16은 프로그램 동작 시 싱글 매트 모드와 멀티 매트 모드에서 도 4의 제1 매트와 제2 매트에 인가되는 워드라인 전압들과 비트라인 전압들을 나타내는 타이밍도이다.
- 도 17은 프로그램 동작 시, 싱글 매트 모드와 멀티 매트 모드에서 도 16의 전압들의 레벨들과 인가 시간의 설정 값을 나타내는 표이다.
- 도 18은 본 발명의 실시예들에 따른 메모리 시스템을 나타내는 블록도이다.
- 도 19는 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 동작 방법을 나타내는 흐름도이다.
- 도 20은 본 발명의 실시예들에 따른 에스에스디를 나타내는 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0010] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0011] 도 1은 본 발명의 실시예들에 따른 메모리 시스템을 나타내는 블록도이다.
- [0012] 도 1을 참조하면, 메모리 시스템(또는 비휘발성 메모리 시스템, 10)은 메모리 컨트롤러(20) 및 적어도 하나의 비휘발성 메모리 장치(30)를 포함할 수 있다.
- [0013] 도 1에 도시된 메모리 시스템(10)은 메모리 카드, USB 메모리, SSD 등과 같은 플래시 메모리를 기반으로 하는 데이터 저장 매체가 모두 포함될 수 있다.
- [0014] 비휘발성 메모리 장치(30)는 메모리 컨트롤러(20)의 제어에 따라 소거, 프로그램 또는 독출 동작 등을 수행할 수 있다. 이를 위하여, 비휘발성 메모리 장치(30)는 입출력 라인을 통해 커맨드(CMD), 어드레스(ADDR), 그리고 데이터(DATA)를 입력받는다. 또한, 비휘발성 메모리 장치(30)는 제어 라인을 통하여 제어 신호(CTRL)를 제공받을 수 있다. 또한 비휘발성 메모리 장치(30)는 파워 라인을 통하여 메모리 컨트롤러(20)로부터 파워(PWR)를 제공받을 수 있다.
- [0015] 비휘발성 메모리 장치(30)는 적어도 제1 매트(MAT1) 및 제2 매트(MAT2)를 구비하는 메모리 셀 어레이(100)와 상기 제1 매트(MAT1) 및 제2 매트(MAT2)의 싱글 매트 모드 및 멀티 매트 모드를 결정하는 판단 회로(520)를 포함할 수 있다.

- [0016] 도 2는 본 발명의 실시예들에 따른 도 1의 메모리 시스템에서 제어 신호들의 예를 나타낸다.
- [0017] 도 1 및 도 2를 참조하면, 메모리 컨트롤러(20)가 비휘발성 메모리 장치(30)에 인가하는 제어 신호(CTRL)는 커맨드 래치 인에이블 신호(CLE), 어드레스 래치 인에이블 신호(ALE), 칩 인에이블 신호(nCE), 독출 인에이블 신호(nRE) 및 기입 인에이블 신호(nWE)를 포함할 수 있다.
- [0018] 메모리 컨트롤러(20)는 비휘발성 메모리 장치(30)에 커맨드 래치 인에이블 신호(CLE)를 전송할 수 있다. 메모리 컨트롤러(20)는 별도로 할당된 제어 핀을 통해 커맨드 래치 인에이블 신호(CLE)를 비휘발성 메모리 장치(30)로 전송할 수 있다. 커맨드 래치 인에이블 신호(CLE)는 입출력 라인들을 통하여 전달되는 정보가 커맨드(CMD)임을 가리키는 신호일 수 있다.
- [0019] 메모리 컨트롤러(20)는 비휘발성 메모리 장치(30)에 어드레스 래치 인에이블 신호(ALE)를 전송할 수 있다. 메모리 컨트롤러(20)는 별도로 할당된 제어 핀을 통해 어드레스 래치 인에이블 신호(ALE)를 비휘발성 메모리 장치(30)로 전송할 수 있다. 어드레스 래치 인에이블 신호(ALE)는 입출력 라인들을 통하여 전달되는 정보가 어드레스(ADDR)임을 가리키는 신호일 수 있다.
- [0020] 메모리 컨트롤러(20)는 비휘발성 메모리 장치(30)에 칩 인에이블 신호(nCE)를 전송할 수 있다. 메모리 컨트롤러(20)는 별도로 할당된 제어 핀을 통해 칩 인에이블 신호(nCE)를 비휘발성 메모리 장치(30)로 전송할 수 있다. 칩 인에이블 신호(nCE)는 비휘발성 메모리 장치(30)가 복수의 메모리 칩들을 포함하는 경우, 복수의 메모리 칩들 중 선택된 메모리 칩을 가리킬 수 있다.
- [0021] 메모리 컨트롤러(20)는 비휘발성 메모리 장치(30)에 독출 인에이블 신호(nRE)를 전송할 수 있다. 메모리 컨트롤러(20)는 별도로 할당된 제어 핀을 통해 어드레스 독출 인에이블 신호(nRE)를 비휘발성 메모리 장치(30)로 전송할 수 있다. 비휘발성 메모리 장치(30)는 독출 인에이블 신호(nRE)에 기초하여 독출된 데이터를 메모리 컨트롤러(20)로 전송할 수 있다.
- [0022] 메모리 컨트롤러(20)는 비휘발성 메모리 장치(30)에 기입 인에이블 신호(nWE)를 전송할 수 있다. 메모리 컨트롤러(20)는 별도로 할당된 제어 핀을 통해 어드레스 기입 인에이블 신호(nWE)를 비휘발성 메모리 장치(30)로 전송할 수 있다. 기입 인에이블 신호(nWE)가 활성화될 때, 비휘발성 메모리 장치(30)는 메모리 컨트롤러(20)로부터 전송되는 신호들을 커맨드(CMD) 또는 어드레스(ADDR)로서 저장할 수 있다.
- [0023] 도 3은 본 발명의 실시예들에 따른 도 1의 메모리 시스템에서 비휘발성 메모리 장치를 나타내는 블록도이다.
- [0024] 도 3을 참조하면, 비휘발성 메모리 장치(30)는 메모리 셀 어레이(100), 어드레스 디코더(600), 페이지 버퍼 회로(410), 데이터 입출력 회로(420), 제어 회로(500) 및 전압 생성기(700)를 포함할 수 있다. 제어 회로(500)는 판단 회로(520)를 포함할 수 있다.
- [0025] 메모리 셀 어레이(100)는 적어도 하나의 스트링 선택 라인(SSL), 복수의 워드 라인들(WLs) 및 적어도 하나의 접지 선택 라인(GSL)을 통해 어드레스 디코더(600)와 연결될 수 있다. 또한, 메모리 셀 어레이(100)는 복수의 비트 라인들(BLs)을 통해 페이지 버퍼 회로(410)와 연결될 수 있다.
- [0026] 메모리 셀 어레이(100)는 복수의 워드 라인들(WLs) 및 복수의 비트 라인들(BLs)에 연결되는 복수의 메모리 셀들을 포함할 수 있다.
- [0027] 일 실시예에 있어서, 메모리 셀 어레이(100)는 기판 상에 삼차원 구조(또는 수직 구조)로 형성되는 삼차원(three dimensional) 메모리 셀 어레이일 수 있다. 이 경우, 메모리 셀 어레이(100)는 서로 적층되어 형성되는 복수의 메모리 셀들을 포함하는 수직 메모리 셀 스트링들을 포함할 수 있다. 삼차원 메모리 셀 어레이에 대한 자세한 설명은 본 명세서에 참고 문헌으로 결합된 미국 등록 번호 7,679,133; 8,553,466; 8,654,587; 8,559,235 및 미국 공개 번호 2011/0233648에 기술되어 있다.
- [0028] 다른 실시예에 있어서, 메모리 셀 어레이(100)는 기판 상에 이차원 구조(또는 수평 구조)로 형성되는 이차원(two dimensional) 메모리 셀 어레이일 수 있다.
- [0029] 도 4는 도 3의 메모리 셀 어레이를 나타내는 블록도이다.
- [0030] 도 4를 참조하면, 메모리 셀 어레이(100)는 복수의 메모리 블록들(BLK1~BLKz)을 포함한다. 실시예에 있어서, 메모리 블록들(BLK1~BLKz)은 도3에 도시된 어드레스 디코더(600)에 의해 선택된다. 예를 들면, 어드레스 디코더(600)는 메모리 블록들(BLK1~BLKz) 중 블록 어드레스에 대응하는 메모리 블록(BLK)을 선택할 수 있다.

- [0031] 도 5는 도 4의 메모리 블록들(BLK1-BLKz) 중 하나(BLK<sub>i</sub>)를 보여주는 사시도이다.
- [0032] 도 5를 참조하면, 메모리 블록(BLK<sub>i</sub>)은 3차원 구조 또는 수직 구조로 형성되는 셀 스트링들을 포함한다. 메모리 블록(BLK<sub>i</sub>)은 복수의 방향들(D1, D2, D3)을 따라 신장된 구조물들을 포함한다.
- [0033] 메모리 블록(BLK<sub>i</sub>)을 형성하기 위해서는, 우선 기판(111)이 제공된다. 예를 들면, 기판(111)은 붕소(B, Boron)와 같은 5족 원소가 주입되어 형성된 P-웰로 형성될 수 있을 것이다. 또는, 기판(111)은 N-웰 내에 제공되는 포켓 P-웰로 형성될 수 있을 것이다. 이하에서, 기판(111)은 P-웰 인 것으로 가정하기로 한다. 그러나 기판(111)은 P-웰에만 한정되지 않는다.
- [0034] 기판(111) 상에, D1 방향을 따라 복수의 도핑 영역들(311~314)이 형성된다. 예를 들면, 복수의 도핑 영역들(311~314)은 기판(111)과 상이한 n 타입의 도전체로 형성될 수 있을 것이다. 이하에서, 제 1 내지 제 4 도핑 영역들(311~314)은 n 타입을 갖는 것으로 가정한다. 그러나, 제 1 내지 제 4 도핑 영역들(311~314)은 n 타입을 갖는 것으로 한정되지 않는다.
- [0035] 제 1 및 제 2 도핑 영역들(311, 312) 사이의 기판(111)의 영역 상에, D2 방향을 따라 신장되는 복수의 절연 물질들(112)이 D3 방향을 따라 순차적으로 제공된다. 예를 들면, 복수의 절연 물질들(112)은 D3 방향을 따라 특정 거리만큼 이격되어 형성될 것이다. 예시적으로, 절연 물질들(112)은 실리콘 산화물(Silicon Oxide)과 같은 절연물질을 포함할 것이다.
- [0036] 제 1 및 제 2 도핑 영역들(311, 312) 사이의 기판(111) 상부에, D2 방향을 따라 순차적으로 배치되며 D3 방향을 따라 절연 물질들(112)을 관통하는 필라(113)가 형성된다. 예시적으로, 필라(113)는 절연 물질들(112)을 관통하여 기판(111)과 연결될 것이다. 여기서, 필라(113)는 제 2 및 제 3 도핑 영역들(312, 313) 사이의 기판 상부와, 제 3 및 제 4 도핑 영역들(313, 314) 사이의 기판 상부에도 형성된다.
- [0037] 예시적으로, 각 필라(113)는 복수의 물질들로 구성될 것이다. 예를 들면, 각 필라(113)의 표면층(114)은 제1 타입을 갖는 실리콘 물질을 포함할 것이다. 예를 들면, 각 필라(113)의 표면층(114)은 기판(111)과 동일한 타입을 갖는 실리콘 물질을 포함할 것이다. 이하에서, 각 필라(113)의 표면층(114)은 p 타입 실리콘을 포함하는 것으로 가정한다. 그러나, 각 필라(113)의 표면층(114)은 p 타입 실리콘을 포함하는 것으로 한정되지 않는다.
- [0038] 각 필라(113)의 내부층(115)은 절연 물질로 구성된다. 예를 들면, 각 필라(113)의 내부층(115)은 실리콘 산화물(Silicon Oxide)과 같은 절연 물질을 포함할 것이다. 예를 들면, 각 필라(113)의 내부층(115)은 에어 갭(Air gap)을 포함할 수 있다.
- [0039] 제 1 및 제 2 도핑 영역들(311, 312) 사이의 영역에서, 절연 물질들(112), 필라들(113), 그리고 기판(111)의 노출된 표면을 따라 절연막(116)이 제공된다. 예시적으로, D3 방향을 따라 제공되는 마지막 절연 물질(112)의 D3 방향 쪽의 노출면에 제공되는 절연막(116)은 제거될 수 있다.
- [0040] 제 1 및 제 2 도핑 영역들(311, 312) 사이의 영역에서, 절연막(116)의 노출된 표면상에 제 1 도전 물질들(211~291)이 제공된다. 예를 들면, 기판(111)에 인접한 절연 물질(112) 및 기판(111) 사이에 D2 방향을 따라 신장되는 제 1 도전 물질(211)이 제공된다. 더 상세하게는, 기판(111)에 인접한 절연 물질(112)의 하부면의 절연막(116) 및 기판(111) 사이에, D1 방향으로 신장되는 제 1 도전 물질(211)이 제공된다.
- [0041] 절연 물질들(112) 중 특정 절연 물질 상부면의 절연막(116) 및 특정 절연 물질 상부에 배치된 절연 물질의 하부면의 절연막(116) 사이에, D2 방향을 따라 신장되는 제 1 도전 물질이 제공된다. 예시적으로, 절연 물질들(112) 사이에, D2 방향으로 신장되는 복수의 제 1 도전 물질들(221~281)이 제공된다. 예시적으로, 제 1 도전 물질들(211~291)은 금속 물질일 것이다. 예시적으로, 제 1 도전 물질들(211~291)은 폴리 실리콘 등과 같은 도전 물질들일 것이다.
- [0042] 제 2 및 제 3 도핑 영역들(312, 313) 사이의 영역에서, 제 1 및 제 2 도핑 영역들(311, 312) 상의 구조물과 동일한 구조물이 제공될 것이다. 예시적으로, 제 2 및 제 3 도핑 영역들(312, 313) 사이의 영역에서, D2 방향으로 신장되는 복수의 절연 물질들(112), D2 방향을 따라 순차적으로 배치되며 D1 방향을 따라 복수의 절연 물질들(112)을 관통하는 복수의 필라들(113), 복수의 절연 물질들(112) 및 복수의 필라들(113)의 노출된 표면에 제공되는 절연막(116), 그리고 D2 방향을 따라 신장되는 복수의 제 1 도전 물질들(212~292)이 제공된다. 제 3 및 제 4 도핑 영역들(313, 314) 사이의 영역에서, 제 1 및 제 2 도핑 영역들(311, 312) 상의 구조물과 동일한 구조물이 제공될 것이다. 예시적으로, 제 3 및 제 4 도핑 영역들(312, 313) 사이의 영역에서, D2 방향으로 신장되는 복수의 절연 물질들(112), D2 방향을 따라 순차적으로 배치되며 D3 방향을 따라 복수의 절연 물질들(112)을 관

통하는 복수의 필라들(113), 복수의 절연 물질들(112) 및 복수의 필라들(113)의 노출된 표면에 제공되는 절연막(116), 그리고 D2 방향을 따라 신장되는 복수의 제 1 도전 물질들(213~293)이 제공된다.

- [0043] 복수의 필라들(113) 상에 드레인들(320)이 각각 제공된다. 드레인들(320) 상에, D1 방향으로 신장된 제 2 도전 물질들(331~333)이 제공된다. 제 2 도전 물질들(331~333)은 D2 방향을 따라 순차적으로 배치된다. 제 2 도전 물질들(331~333) 각각은 대응하는 영역의 드레인들(320)과 연결된다. 예시적으로, 드레인들(320) 및 D1 방향으로 신장된 제 2 도전 물질(333)은 각각 콘택 플러그들(Contact plug)을 통해 연결될 수 있다. 예시적으로, 제 2 도전 물질들(331~333)은 금속 물질들일 것이다. 예시적으로, 제 2 도전 물질들(331~333)은 폴리 실리콘 등과 같은 도전 물질들일 것이다.
- [0044] 도 6은 본 발명의 실시예들에 따른 도 3의 비휘발성 메모리 장치에서 매트 구조를 나타내는 회로도이다.
- [0045] 도 6에는 복수의 매트(MAT1, MAT2)를 포함하는 메모리 셀 어레이(100b)가 도시된다. 복수의 매트들(MAT1, MAT2)에는 복수의 메모리 블록들이 포함될 수 있다. 그리고, 복수의 메모리 블록들 각각에는 복수의 셀 스트링이 포함된다. 예를 들어, 제 1 매트(MAT1)에 포함된 메모리 블록들 중 어느 하나의 블록에는 복수의 셀 스트링들(CS11, CS12, CS21, CS22)이 포함된다. 하나의 매트에 포함된 복수의 셀 스트링들은 복수의 플레인 상에 형성될 수 있다. 각각의 매트들(MAT1, MAT2)은 복수의 메모리 블록을 포함하고, 복수의 메모리 블록 중 어느 한 메모리 블록은 복수의 셀 스트링(CS11, CS12, CS21, CS22) 중 적어도 하나의 셀 스트링을 선택하기 위한 복수의 스트링 선택 라인들(SSL1a, SSL1b)을 구비할 수 있다. 예를 들어, 제 1 스트링 선택 라인(SSL1a)에 선택 전압이 인가된 경우, 제 1 및 제 2 셀 스트링(CS11, CS12)이 선택될 수 있다. 마찬가지로, 제 2 스트링 선택 라인(SSL1b)에 선택 전압이 인가된 경우, 제 3 및 제 4 셀 스트링(CS21, CS22)이 선택될 수 있다.
- [0046] 실시예에 있어서, 제 1 매트 및 제 2 매트(MAT1, MAT2)는 실질적으로 동일한 물리 구조를 가질 수 있다. 예를 들어, 제 1 매트(MAT1)와 동일하게, 제 2 매트(Mat2)는 복수의 플레인 상에 형성된 복수의 메모리 블록들 및 복수의 셀 스트링들을 포함할 수 있다. 그리고, 동일하게, 복수의 셀 스트링 중 적어도 하나의 셀 스트링을 선택하기 위한 복수의 스트링 선택 라인(SSL2a, SSL2b)을 구비할 수 있다.
- [0047] 한편, 매트들(MAT1, MAT2)은 각각의 워드라인 및 공통소스 라인에 연결될 수 있다. 예를 들어, 제 1 매트(Mat1)에 포함된 셀 스트링들은 워드라인들(WL11, WL12, WL13, WL14, WL15, WL16), 접지 선택 라인(GSL1) 및 공통소스 라인(CSL1)에 연결될 수 있다. 제 2 매트(MAT2)에 포함된 셀 스트링들은 워드라인들(WL21, WL22, WL23, WL24, WL25, WL26), 접지 선택 라인(GSL1) 및 공통 소스 라인(CSL1)에 연결될 수 있다.
- [0048] 또한, 매트들(MAT1, MAT2)은 비트라인을 공유하지 않는다. 제 1 비트라인들(BL1, BL1a)은 제 1 매트(MAT1)에만 배타적으로 연결된다. 마찬가지로, 제 2 비트라인들(BL2, BL2a)은 제 2 매트(MAT2)에만 배타적으로 연결된다.
- [0049] 한편, 여기서, 각각의 매트는 두 개의 비트라인들 및 6개의 워드라인들과 연결된 것을 가정하였다. 그러나, 이는 예시적인 것으로서 각각의 매트는 3개 이상의 비트 라인들 또는 7개 이상의 워드 라인들 연결될 수 있다.
- [0050] 그리고, 각 셀 스트링은 적어도 하나의 스트링 선택 트랜지스터, 메모리 셀들, 적어도 하나의 접지 선택 트랜지스터를 포함한다. 예를 들어, 하나의 셀 스트링(CS31)에는 하나의 접지 선택 트랜지스터(GST), 복수의 메모리 셀(MC1~MC6) 및 하나의 스트링 선택 트랜지스터(SST)가 기판에 수직하여 순차적으로 형성된다. 나머지 셀 스트링도 셀 스트링(CS31)과 동일한 구성을 갖는다.
- [0051] 실시예에 있어서, 매트들(MAT1, MAT2) 각각에 연결된 스트링 선택 라인은 대응되는 하나의 매트에만 배타적으로 연결될 수 있다. 예를 들어, 스트링 선택 라인들(SSL1a, SSL1b) 각각은 오직 제 1 매트(MAT1)에만 연결된다. 마찬가지로, 스트링 선택 라인들(SSL2a, SSL2b) 각각은 오직 제 2 매트(MAT2)에만 연결된다. 따라서, 하나의 스트링 선택 라인은 하나의 매트에 포함된 셀 스트링들만을 선택할 수 있다. 또한, 각각의 스트링 선택 라인을 독립적으로 제어함으로써, 셀 스트링들은 매트마다 독립적으로 선택될 수 있다.
- [0052] 예를 들어, 제 1 스트링 선택 라인(SSL1a)에 독립적으로 선택 전압을 인가함으로써, 셀 스트링들(CS11, CS12)이 독립적으로 선택될 수 있다. 제 1 스트링 선택 라인(SSL1a)에 선택 전압이 인가되면, 선택 전압은 대응되는 셀 스트링들(CS11, CS12)의 스트링 선택 트랜지스터를 턴-온(turn-on) 시킨다. 그리고, 스트링 선택 트랜지스터가 턴-온되면, 셀 스트링들(CS11, CS12)의 메모리 셀들과 비트 라인이 전기적으로 연결된다. 반대로, 제 1 스트링 선택 라인(SSL1a)에 비선택 전압이 인가되면, 셀 스트링들(CS11, CS12)의 스트링 선택 트랜지스터는 턴-오프(turn-off)되고, 셀 스트링들(CS11, CS12)은 비선택될 것이다. 그러면, 셀 스트링들(CS11, CS12)의 메모리 셀들은 제 1 비트 라인(BL1)과 전기적으로 차단된다.

- [0053] 다시 도 3을 참조하면, 제어 회로(500)는 메모리 컨트롤러(20)로부터 커맨드 신호(CMD) 및 어드레스 신호(ADDR)를 수신하고, 커맨드 신호(CMD) 및 어드레스 신호(ADDR)에 기초하여 비휘발성 메모리 장치(10)의 소거 루프, 프로그램 루프 및 독출 동작을 제어할 수 있다. 여기서 프로그램 루프는 프로그램 동작과 프로그램 검증 동작을 포함할 수 있고, 소거 루프는 소거 동작과 소거 검증 동작을 포함할 수 있다.
- [0054] 예를 들어, 제어 회로(500)는 커맨드 신호(CMD)에 기초하여 전압 생성기(700)를 제어하기 위한 제어 신호들(CTLs), 어드레스 디코더(600)를 제어하기 위한 제1 제어 신호(LTC1) 및 페이지 버퍼 회로(410)를 제어하기 위한 제2 제어 신호(LTC2)를 생성하고, 어드레스 신호(ADDR)에 기초하여 로우 어드레스(R\_ADDR) 및 컬럼 어드레스(C\_ADDR)를 생성할 수 있다.
- [0055] 제어 회로(500)는 로우 어드레스(R\_ADDR)를 어드레스 디코더(600)에 제공하고, 컬럼 어드레스(C\_ADDR)를 데이터 입출력 회로(420)에 제공할 수 있다. 이를 위하여 제어 회로(500)는 복수의 매트들 중 동시에 동작하는 매트들의 수에 따른 동작 모드를 결정하는 판단 회로(520)를 포함할 수 있다. 본 명세서에서 매트 개념 대신에 플레인 개념이 호환적으로 사용될 수 있다.
- [0056] 어드레스 디코더(600)는 적어도 하나의 스트링 선택 라인(SSL), 복수의 워드 라인들(WLs) 및 적어도 하나의 접지 선택 라인(GSL)을 통해 메모리 셀 어레이(100)와 연결될 수 있다. 프로그램 동작 또는 독출 동작 시, 어드레스 디코더(600)는 제어 회로(500)로부터 제공되는 로우 어드레스(R\_ADDR)에 기초하여 복수의 워드 라인들(WLs) 중의 하나를 선택 워드라인으로 결정하고, 복수의 워드 라인들(WLs) 중에서 선택 워드라인을 제외한 나머지 워드 라인들을 비선택 워드라인들로 결정할 수 있다.
- [0057] 전압 생성기(700)는 제어 회로(500)로부터 제공되는 제어 신호들(CTLs)에 기초하여 비휘발성 메모리 장치(30)의 동작에 필요한 워드라인 전압들(VWLs)을 생성할 수 있다. 전압 생성기(600)로부터 생성되는 워드라인 전압들(VWLs)은 어드레스 디코더(600)를 통해 복수의 워드 라인들(WLs)에 인가될 수 있다.
- [0058] 예를 들어, 소거 동작 시, 전압 생성기(700)는 메모리 블록의 웬에 소거 전압을 인가하고 메모리 블록의 모든 워드라인들에 접지 전압을 인가할 수 있다. 소거 검증 동작 시, 전압 생성기(700)는 하나의 메모리 블록의 모든 워드라인들에 소거 검증 전압을 인가하거나 워드라인 단위로 소거 검증 전압을 인가할 수 있다.
- [0059] 예를 들어, 프로그램 동작 시, 전압 생성기(700)는 선택 워드라인에 프로그램 전압을 인가하고, 비선택 워드라인들에는 프로그램 패스 전압을 인가할 수 있다. 또한 프로그램 검증 동작 시, 전압 생성기(700)는 선택 워드라인에 프로그램 검증 전압을 인가하고, 비선택 워드라인들에는 검증 패스 전압을 인가할 수 있다.
- [0060] 또한, 독출 동작 시, 전압 생성기(700)는 선택 워드라인에 독출 전압을 인가하고, 비선택 워드라인들에는 독출 패스 전압을 인가할 수 있다.
- [0061] 페이지 버퍼 회로(410)는 복수의 비트 라인들(BLs)을 통해 메모리 셀 어레이(100)와 연결될 수 있다. 페이지 버퍼 회로(410)는 복수의 페이지 버퍼를 포함할 수 있다. 일 실시예에 있어서, 하나의 페이지 버퍼에 하나의 비트 라인이 연결될 수 있다. 다른 실시예에 있어서, 하나의 페이지 버퍼에 두 개 이상의 비트 라인들이 연결될 수 있다.
- [0062] 페이지 버퍼 회로(410)는 프로그램 동작 시 선택된 페이지에 프로그램될 데이터를 임시로 저장하고, 독출 동작 시 선택된 페이지로부터 독출된 데이터를 임시로 저장할 수 있다.
- [0063] 데이터 입출력 회로(420)는 데이터 라인들(DLs)을 통해 페이지 버퍼 회로(410)와 연결될 수 있다. 프로그램 동작 시, 데이터 입출력 회로(420)는 메모리 컨트롤러(20)로부터 프로그램 데이터(DATA)를 수신하고, 제어 회로(500)로부터 제공되는 컬럼 어드레스(C\_ADDR)에 기초하여 프로그램 데이터(DATA)를 페이지 버퍼 회로(410)에 제공할 수 있다. 독출 동작 시, 데이터 입출력 회로(420)는 제어 회로(500)로부터 제공되는 컬럼 어드레스(C\_ADDR)에 기초하여 페이지 버퍼 회로(410)에 저장된 독출 데이터(DATA)를 상기 메모리 컨트롤러(20)에 제공할 수 있다.
- [0064] 또한, 페이지 버퍼 회로(410)와 입출력 회로(420)는 메모리 셀 어레이(100)의 제1 저장 영역으로부터 데이터를 독출하고, 독출된 데이터를 메모리 셀 어레이(100)의 제2 저장 영역에 기입할 수 있다. 즉, 페이지 버퍼 회로(410)와 입출력 회로(420)는 카피-백(copy-back) 동작을 수행할 수 있다. 페이지 버퍼 회로(410)와 입출력 회로(420)는 제어 회로(500)에 의하여 제어될 수 있다.
- [0065] 도 7은 본 발명의 실시예들에 따른 도 3의 비휘발성 메모리 장치에서 제어 회로의 구성을 나타내는 블록도이다.

- [0066] 도 7을 참조하면, 제어 회로(500)는 커맨드 디코더(510), 판단 회로(520), 어드레스 버퍼(530), 제어 신호 생성기(540), 제1 레벨/타이밍 컨트롤러(550) 및 제2 레벨/타이밍 컨트롤러(560)를 포함할 수 있다.
- [0067] 커맨드 디코더(510)는 커맨드 신호(CMD)를 디코딩하여 디코딩된 커맨드(D\_CMD)를 제어 신호 생성기(540)에 제공할 수 있다. 어드레스 버퍼(520)는 어드레스 신호(ADDR)를 수신하고, 어드레스 신호(ADDR) 중 로우 어드레스(R\_ADDR)는 어드레스 디코더(600)에 제공하고 컬럼 어드레스(C\_ADDR)는 데이터 입출력 회로(420)에 제공할 수 있다.
- [0068] 판단 회로(520)는 커맨드 신호(CMD)를 수신하고, 커맨드 신호(CMD)에 기초하여 복수의 매트들 중 하나의 매트에 대한 메모리 동작이 수행되는 싱글 매트 모드와 복수의 매트들 중 적어도 두 개의 매트에 대하여 동시에 메모리 동작이 수행되는 멀티 매트 모드 중 하나를 나타내는 모드 신호(MS)를 생성할 수 있다. 싱글 매트 모드는 또한 싱글 플레인 모드 또는 싱글 배속 모드로 호칭될 수 있다. 멀티 매트 모드는 또한 멀티 플레인 모드 또는 멀티 배속 모드로 호칭될 수 있다. 판단 회로(520)는 모드 신호(MS)를 제어 신호 생성기(540), 1 레벨/타이밍 컨트롤러(550) 및 제2 레벨/타이밍 컨트롤러(560)에 제공할 수 있다.
- [0069] 제어 신호 생성기(540)는 디코딩된 커맨드(D\_CMD)와 모드 신호(MS)를 수신하고, 디코딩된 커맨드(D\_CMD)가 지시하는 동작과 모드 신호(MS)가 지시하는 모드에 기초하여 제어 신호들(CTLs)을 생성하고, 생성된 제어 신호들(CTLs)을 전압 생성기(700)에 제공할 수 있다.
- [0070] 제1 레벨/타이밍 컨트롤러(550)는 모드 신호(MS)를 수신하고, 모드 신호(MS)가 나타내는 모드에 따라 제1 제어 신호(LTC1)를 생성하고, 생성된 제1 제어 신호(LTC1)를 어드레스 버퍼(600)에 제공할 수 있다. 제1 레벨/타이밍 컨트롤러(550)는 메모리 컨트롤러(20)로부터 싱글 매트 모드와 멀티 매트 모드에서 워드라인 전압들의 레벨들 및 인가 시간에 관한 설정 정보를 커맨드 셋(CMDSET)으로서 수신하고 이를 저장할 수 있다. 제1 레벨/타이밍 컨트롤러(550)는 모드 신호(MS)에 따라 상기 워드라인 전압들의 설정 정보를 반영하는 제1 제어 신호(LTC1)를 어드레스 디코더(600)에 제공할 수 있다.
- [0071] 제2 레벨/타이밍 컨트롤러(560)는 모드 신호(MS)를 수신하고, 모드 신호(MS)가 나타내는 모드에 따라 제2 제어 신호(LTC2)를 생성하고, 생성된 제2 제어 신호(LTC2)를 페이지 버퍼 회로(410)에 제공할 수 있다. 제2 레벨/타이밍 컨트롤러(560)는 메모리 컨트롤러(20)로부터 싱글 매트 모드와 멀티 매트 모드에서 비트라인 전압들의 레벨들 및 인가 시간에 관한 설정 정보를 커맨드 셋(CMDSET)으로서 수신하고 이를 저장할 수 있다. 제2 레벨/타이밍 컨트롤러(560)는 모드 신호(MS)에 따라 상기 비트라인 전압들의 설정 정보를 반영하는 제2 제어 신호(LTC2)를 페이지 버퍼 회로(410)에 제공할 수 있다.
- [0072] 도 8은 본 발명의 실시예들에 따른 도 3의 비휘발성 메모리 장치에서 전압 생성기의 구성을 나타내는 블록도이다.
- [0073] 도 8을 참조하면, 전압 생성기(700)는 고전압 생성기(710) 및 저전압 생성기(730)를 포함할 수 있다. 실시예에 있어서, 전압 생성기(700)는 음전압(negative voltage) 생성기(750)를 더 포함할 수 있다.
- [0074] 고전압 생성기(710)는 제1 제어 신호(CTL1)에 응답하여 디코딩된 커맨드(D\_CMD)가 지시하는 동작과 모드 신호(MS)가 나타내는 모드에 따라 프로그램 전압(VPGM), 프로그램 패스 전압(VPPASS), 검증 패스 전압(VVPASS), 독출 패스 전압(VRPASS) 및 소거 전압(VRES)을 생성할 수 있다.
- [0075] 프로그램 전압(VPGM), 프로그램 패스 전압(VPPASS), 검증 패스 전압(VVPASS), 독출 패스 전압(VRPASS) 및 소거 전압(VRES)의 레벨들은 싱글 매트 모드와 멀티 매트 모드에서 서로 달라질 수 있다. 프로그램 전압(VPGM)은 선택 워드라인에 인가되고, 프로그램 패스 전압(VPPASS), 프로그램 검증 패스 전압(VVPASS), 독출 패스 전압(VRPASS)은 비선택 워드라인들에 인가되고, 소거 전압(VRES)은 메모리 블록의 웰에 인가될 수 있다. 제1 제어 신호(CTL1)는 복수의 비트들을 포함하여 디코딩된 커맨드(D\_CMD)가 지시하는 동작과 모드 신호(MS)가 지시하는 모드를 나타낼 수 있다.
- [0076] 저전압 생성기(730)는 제2 제어 신호(CTL2)에 응답하여 디코딩된 커맨드(D\_CMD)가 지시하는 동작과 모드 신호(MS)가 나타내는 모드에 따라 프로그램 검증 전압(VPV), 독출 전압(VRD) 및 소거 검증 전압(VEV)을 생성할 수 있다. 프로그램 검증 전압(VPV), 독출 전압(VRD) 및 소거 검증 전압(VEV)의 레벨들은 싱글 매트 모드와 멀티 매트 모드에서 서로 달라질 수 있다. 프로그램 검증 전압(VPV), 독출 전압(VRD) 및 소거 검증 전압(VEV)은 동작에 따라 선택 워드라인에 인가될 수 있다. 제2 제어 신호(CTL2)는 복수의 비트들을 포함하여 디코딩된 커맨드(D\_CMD)가 지시하는 동작과 모드 신호(MS)가 지시하는 모드를 나타낼 수 있다.

- [0077] 음전압 생성기(750)는 제3 제어 신호(CTL3)에 응답하여 디코딩된 커맨드(D\_CMD)가 지시하는 동작과 모드 신호(MS)가 지시하는 모드에 따라 음의 레벨을 가지는 프로그램 검증 전압(VPV'), 독출 전압(VRD') 및 소거 검증 전압(VEV')을 생성할 수 있다. 프로그램 검증 전압(VPV'), 독출 전압(VRD') 및 소거 검증 전압(VEV')의 레벨들은 싱글 매트 모드와 멀티 매트 모드에서 서로 달라질 수 있다. 제3 제어 신호(CTL3)는 복수의 비트들을 포함하여 디코딩된 커맨드(D\_CMD)가 지시하는 동작과 모드 신호(MS)가 지시하는 모드를 나타낼 수 있다.
- [0078] 도 9는 본 발명의 실시예들에 따른 도 3의 비휘발성 메모리 장치에서 어드레스 디코더의 구성을 나타낸다.
- [0079] 도 9에서는 설명의 편의를 위하여 제1 매트(MAT1)와 제2 매트(MAT2)를 함께 도시한다.
- [0080] 도 9를 참조하면, 어드레스 디코더(600)는 디코더(610), 제1 스위치 회로(620) 및 제2 스위치 회로(630)를 포함할 수 있다.
- [0081] 디코더(610)는 어드레스(ADDR)와 모드 신호(MS)를 수신하고, 어드레스(ADDR)가 지시하는 매트와 모드 신호(MS)가 지시하는 모드에 따라 제1 매트(MAT1)를 선택하는 제1 매트 선택 신호(MSS1)와 제2 매트(MAT2)를 선택하는 제2 매트 선택 신호(MSS2)를 생성할 수 있다. 디코더(610)는 모드 신호(MS)가 싱글 매트 모드를 나타내는 경우에는 제1 매트 선택 신호(MSS1)와 제2 매트 선택 신호(MSS2) 중 어느 하나만을 활성화시키고, 모드 신호(MS)가 멀티 매트 모드를 나타내는 경우에는 제1 매트 선택 신호(MSS1)와 제2 매트 선택 신호(MSS2)를 동시에 활성화시킬 수 있다. 디코더(610)는 제1 매트 선택 신호(MSS1)와 제2 매트 선택 신호(MSS2)를 제1 스위치 회로(620) 및 제2 스위치 회로(630)에 각각 제공할 수 있다.
- [0082] 제1 스위치 회로(620) 및 제2 스위치 회로(630)는 전압 생성기(700)에 연결되는 선택 라인들(SIs)에 연결될 수 있다. 제1 스위치 회로(620)는 제1 매트(MAT1)와 적어도 하나의 스트링 선택 라인(SSL), 복수의 워드라인들(WL1~WLn) 및 적어도 하나의 접지 선택 라인(GSL)을 통하여 연결될 수 있다. 제1 스위치 회로(630)는 제2 매트(MAT2)와 적어도 하나의 스트링 선택 라인(SSL), 복수의 워드라인들(WL1~WLn) 및 적어도 하나의 접지 선택 라인(GSL)을 통하여 연결될 수 있다.
- [0083] 제1 스위치 회로(620)는 선택 라인들(SIs) 및 제1 매트(MAT1)의 스트링 선택 라인(SSL), 복수의 워드라인들(WL1~WLn) 및 접지 선택 라인(GSL) 각각과 연결되는 복수의 패스 트랜지스터들(PT11~PT14) 및 스위치 컨트롤러(621)를 포함할 수 있다. 스위치 컨트롤러(621)는 제1 매트 선택 신호(MSS1)와 제1 제어 신호(LTC1)에 응답하여 패스 트랜지스터들(PT11~PT14)의 턴-온과 턴-오프를 제어하고, 패스 트랜지스터들(PT11~PT14)의 턴-온 타이밍을 조절할 수 있다.
- [0084] 제2 스위치 회로(630)는 선택 라인들(SIs) 및 제2 매트(MAT2)의 스트링 선택 라인(SSL), 복수의 워드라인들(WL1~WLn) 및 접지 선택 라인(GSL) 각각과 연결되는 복수의 패스 트랜지스터들(PT21~PT24) 및 스위치 컨트롤러(631)를 포함할 수 있다. 스위치 컨트롤러(631)는 제2 매트 선택 신호(MSS2)와 제1 제어 신호(LTC1)에 응답하여 패스 트랜지스터들(PT21~PT24)의 턴-온과 턴-오프를 제어하고, 패스 트랜지스터들(PT21~PT24)의 턴-온 타이밍을 조절할 수 있다.
- [0085] 예를 들어, 모드 신호(MS)가 싱글 매트 모드를 나타내고, 어드레스(ADDR)가 제1 매트(MAT1)를 지정하는 경우에, 제1 매트 선택 신호(MSS1)는 활성화되고, 제2 매트 선택 신호(MSS2)는 비활성화될 수 있다. 제1 제어 신호(LTC1)에 따라서 제1 스위치 컨트롤러(621)는 제1 스위칭 제어 신호(SCS1)를 제1 시간 동안 활성화시켜 패스 트랜지스터들(PT11~PT14)을 제1 시간 동안 턴-온 시킬 수 있다. 따라서 제1 레벨들을 갖는 워드라인 전압들(VWLs)이 제1 매트(MAT1)에 인가될 수 있다.
- [0086] 예를 들어, 모드 신호(MS)가 더블 매트 모드의 제1 서브 모드를 나타내는 경우에, 제1 매트 선택 신호(MSS1)와 제2 매트 선택 신호(MSS2)가 활성화될 수 있다. 제1 제어 신호(LTC1)에 따라서 제1 스위치 컨트롤러(621)는 제1 스위칭 제어 신호(SCS1)를 제1 시간 동안 활성화시켜 패스 트랜지스터들(PT11~PT14)을 제1 시간 동안 턴-온 시키고, 제1 제어 신호(LTC1)에 따라서 제2 스위치 컨트롤러(631)는 제2 스위칭 제어 신호(SCS2)를 제1 시간 동안 활성화시켜 패스 트랜지스터들(PT21~PT24)을 제1 시간 동안 턴-온 시킬 수 있다. 따라서 제1 레벨들보다 높은 제2 레벨들을 갖는 워드라인 전압들(VWLs)이 제1 매트(MAT1)와 제2 매트(MAT2)에 인가될 수 있다.
- [0087] 예를 들어, 모드 신호(MS)가 더블 매트 모드의 제2 서브 모드를 나타내는 경우에, 제1 매트 선택 신호(MSS1)와 제2 매트 선택 신호(MSS2)가 활성화될 수 있다. 제1 제어 신호(LTC1)에 따라서 제1 스위치 컨트롤러(621)는 제1 스위칭 제어 신호(SCS1)를 제1 시간 보다 긴 제2 시간 동안 활성화시켜 패스 트랜지스터들(PT11~PT14)을 제2 시간 동안 턴-온 시키고, 제1 제어 신호(LTC1)에 따라서 제2 스위치 컨트롤러(631)는 제2 스위칭 제어 신호(SCS

2)를 제2 시간 동안 활성화시켜 패스 트랜지스터들(PT21~PT24)을 제2 시간 동안 턴-온 시킬 수 있다. 따라서 제1 레벨들을 갖는 워드라인 전압들(VWLs)이 제1 매트(MAT1)와 제2 매트(MAT2)에 인가될 수 있다.

- [0088] 도 10과 도 11은 싱글 매트 모드와 멀티 매트 모드에서 워드라인 전압들과 비트라인 전압들을 나타낸다.
- [0089] 도 10에서 참조 번호(641)는 싱글 매트 모드에서 워드라인 전압들과 비트라인 전압들을 나타낼 수 있고, 참조 번호(642)는 멀티 매트 모드에서 워드라인 전압들과 비트라인 전압들을 나타낼 수 있다. 멀티 매트 모드에서 워드라인 전압들과 비트라인 전압들의 레벨이 싱글 매트 모드에서의 레벨보다 높음을 알 수 있다. 참조 번호(643)는 싱글 매트 모드와 멀티 매트 모드에서 센싱 시점이 동일함을 나타낸다.
- [0090] 도시하지는 않았지만, 실시예에 따라 멀티 매트 모드에서 워드라인 전압들과 비트라인 전압들의 레벨이 싱글 매트 모드에서의 레벨보다 낮을 수도 있다.
- [0091] 도 11에서 참조 번호(651)는 싱글 매트 모드에서 워드라인 전압들과 비트라인 전압들을 나타낼 수 있고, 참조 번호(652)는 멀티 매트 모드에서 워드라인 전압들과 비트라인 전압들을 나타낼 수 있다. 멀티 매트 모드에서 워드라인 전압들과 비트라인 전압들의 인가 시간이 싱글 매트 모드에서의 인가 시간보다 긴 것을 알 수 있다. 참조 번호들(653, 654)는 싱글 매트 모드와 멀티 매트 모드에서 센싱 시점이 서로 다를 수 있음을 나타낸다. 도시하지는 않았지만 멀티 매트 모드에서 워드라인 전압들과 비트라인 전압들의 인가 시간이 싱글 매트 모드에서의 인가 시간 보다 짧을 수도 있다.
- [0092] 도 12는 도 3의 비휘발성 메모리 장치를 간략히 나타내는 블록도이다.
- [0093] 도 12에서는 제1 매트(MAT1)는 워드라인(WL1)과 비트라인(BL1)에 연결되는 제1 메모리 셀(MC1)을 포함하고, 제2 매트(MAT2)는 워드라인(WL2)과 비트라인(BL2)에 연결되는 제2 메모리 셀(MC2)을 포함하는 것으로 도시되었다. 제1 매트(MAT1)의 제1 메모리 셀(MC1)은 패스 트랜지스터(PT1)를 통하여 선택 라인(SI)에 연결되고, 패스 트랜지스터(PT1)의 게이트에는 스위칭 제어 신호(SCS1)가 인가된다. 제2 매트(MAT2)의 제2 메모리 셀(MC2)은 패스 트랜지스터(PT2)를 통하여 선택 라인(SI)에 연결되고, 패스 트랜지스터(PT2)의 게이트에는 스위칭 제어 신호(SCS2)가 인가된다.
- [0094] 비트라인(BL1)은 페이지 버퍼(PB1)에 연결되고, 비트라인(BL2)은 페이지 버퍼(PB2)에 연결되고, 페이지 버퍼들(PB1, PB2)은 제2 레벨 타이밍/컨트롤러(560)에 의하여 제어된다.
- [0095] 도 13은 도 3의 비휘발성 메모리 장치에 대한 독출 동작 시, 싱글 매트 모드와 멀티 매트 모드에서 도 4의 제1 매트와 제2 매트에 인가되는 워드라인 전압들과 비트라인 전압들을 나타내는 타이밍도이다.
- [0096] 도 3 내지 도 13을 참조하면, 비휘발성 메모리 장치(30)에 대한 독출 동작에서, 선택된 스트링 선택 라인(SEL\_SSL)에는 제1 구간 내지 제5 구간(P11~P15) 동안에 선택 전압(VSSSL)이 인가되고, 비선택된 스트링 선택 라인(UNSEL\_SSL)에는 제1 구간(P11) 동안 제1 프리 펄스(PREP1)가 인가되고, 제2 구간 내지 제4 구간 동안(P12~P14)에는 접지 전압으로 방전되고, 제5 구간(P15) 동안에는 제1 포스트 펄스(PSTP1)이 인가된다. 또한 선택 워드라인(SEL\_WL)에는 제1 구간(P11) 동안 제2 프리 펄스(PREP2)가 인가되고, 제2 구간 내지 제4 구간 동안(P12~P14)에는 독출 전압(VR)이 인가되고, 제5 구간(P15) 동안에는 제2 포스트 펄스(PSTP2)이 인가된다. 비선택 워드라인(UNSEL\_WL)에는 제1 구간 내지 제5 구간(P11~P15) 동안에 독출 패스 전압(VRPASS)이 인가된다.
- [0097] 비트라인(BL)은 제1 구간(P11) 동안 셋업되고, 제2 구간(P12) 동안 프리차지 전압(VPCH)이 인가되어 프리차지되고, 제3 구간(P13) 동안 디벨롭되고, 제3 구간(P13)과 제4 구간(P14) 동안 전압(VCMP)으로 클램핑되고, 제5 구간(P15)에서 접지 전압으로 디스차지된다.
- [0098] 도 14는 본 발명의 실시예들에 따른 싱글 매트 모드와 멀티 매트 모드에서 워드라인 전압들과 비트라인 전압들의 레벨들이 오버드라이브된 것을 나타낸다.
- [0099] 도 14에서 참조 번호(660)는 싱글 매트 모드에서 워드라인 전압들과 비트라인 전압들을 나타낼 수 있고, 참조 번호(670)는 멀티 매트 모드에서 워드라인 전압들과 비트라인 전압들을 나타낼 수 있다. 멀티 매트 모드에서 전압 레벨이 양(OD) 만큼 오버드라이브된 후에 감소됨을 알 수 있다. 도 14는 싱글 매트 모드에서의 전압을 멀티 매트 모드에서 오버드라이브한다는 것만을 나타내지 않고, 오버드라이브되는 전압의 레벨을 싱글 매트 모드와 멀티 매트 모드에서 다르게 한다는 것을 나타낸다. 오버드라이브되는 전압의 레벨을 싱글 매트 모드와 멀티 매트 모드에서 달리하는 것을 독출 동작 뿐 아니라 프로그램 동작 전반에 적용될 수 있다.
- [0100] 도 15는 도 3의 비휘발성 메모리 장치에 대한 독출 동작 시, 싱글 매트 모드와 멀티 매트 모드에서 도 13 및 도

14의 전압들의 레벨들과 인가 시간의 설정 값을 나타내는 표이다.

- [0101] 도 15를 참조하면, 독출 동작이 수행되는 동안, 싱글 매트 모드에서의 전압들의 레벨들 및 인가 시간의 설정 값들이 멀티 매트 모드에서 전압들의 레벨들 및 인가 시간의 설정 값보다 작음을 알 수 있다.
- [0102] 도 15의 설정 값들은 도 7의 제1 레벨/타이밍 컨트롤러(550)와 제2 레벨/타이밍 컨트롤러(560)에 각각 커맨드 셋(CMDSET)으로 저장될 수 있다. 또한 도 15의 설정 값들은 비휘발성 메모리 장치(30) 내부에 이미 설정되어 있는 정보(메모리 셀 또는 래치)에 기초하여 저장될 수 있다. 제1 레벨/타이밍 컨트롤러(550)와 제2 레벨/타이밍 컨트롤러(560)은 상기 저장된 설정 값들을 참조하여 싱글 매트 모드와 멀티 매트 모드에서 전압들의 레벨들 및 인가 시간 중 적어도 하나가 달라지도록 각각 어드레스 디코더(600)와 페이지 버퍼 회로(410)를 제어할 수 있다.
- [0103] 실시예에 따라서 도시하지는 않았지만, 독출 동작 시, 싱글 매트 모드에서의 전압들의 레벨들 및 인가 시간의 설정 값들이 멀티 매트 모드에서 전압들의 레벨들 및 인가 시간의 설정 값보다 클 수도 있다.
- [0104] 도 16은 도 3의 비휘발성 메모리 장치에 대한 프로그램 동작 시, 싱글 매트 모드와 멀티 매트 모드에서 도 4의 제1 매트와 제2 매트에 인가되는 워드라인 전압들과 비트라인 전압들을 나타내는 타이밍도이다.
- [0105] 도 3 내지 도 12 및 도 16을 참조하면, 비휘발성 메모리 장치(30)에 대한 프로그램 동작에서, 선택 워드라인(SEL\_WL)에는 제1 구간(P21) 동안 워드라인 셋업 전압(VWSTP)이 인가되고, 제2 구간 동안(P22)에는 제1 프로그램 패스 전압(VPPASS1)과 프로그램 전압(VPGM)이 순차적으로 인가되고, 제3 구간(P23) 동안에는 프로그램 검증 전압(VPV)이 인가되어 프로그램 여부를 확인할 수 있다.
- [0106] 비선택 워드라인(UNSEL\_WL)에는 제1 구간(P21) 동안에는 접지 전압(GND)이 인가되어, 비선택 워드라인(UNSEL\_WL)을 디스차지시키고, 제2 구간(P22) 동안에는 제2 프로그램 패스 전압(VPPASS2)이 인가되고, 제3 구간(P23) 동안에는 독출 패스 전압(VRPASS)이 인가될 수 있다.
- [0107] 비트라인(BL)은 제1 구간(P21)과 제2 구간(P22) 동안 비트라인 셋업 전압(VBSTP)이 인가되어 셋업되고, 제3 구간 동안(P23) 동안 프리차지 전압(VPCH)이 인가되어 프리차지되고, 이후에 디스차지될 수 있다.
- [0108] 도 17은 도 3의 비휘발성 메모리 장치에 대한 프로그램 동작 시, 싱글 매트 모드와 멀티 매트 모드에서 도 16의 전압들의 레벨들과 인가 시간의 설정 값을 나타내는 표이다.
- [0109] 도 17을 참조하면, 프로그램 동작이 수행되는 동안, 싱글 매트 모드에서의 전압들의 레벨들 및 인가 시간의 설정 값들이 멀티 매트 모드에서 전압들의 레벨들 및 인가 시간의 설정 값보다 작음을 알 수 있다.
- [0110] 도 17의 설정 값들은 도 7의 제1 레벨/타이밍 컨트롤러(550)와 제2 레벨/타이밍 컨트롤러(560)에 각각 커맨드 셋(CMDSET)으로 저장될 수 있다. 제1 레벨/타이밍 컨트롤러(550)와 제2 레벨/타이밍 컨트롤러(560)은 상기 저장된 설정 값들을 참조하여 싱글 매트 모드와 멀티 매트 모드에서 전압들의 레벨들 및 인가 시간 중 적어도 하나가 달라지도록 각각 어드레스 디코더(600)와 페이지 버퍼 회로(410)를 제어할 수 있다.
- [0111] 실시예에 따라서, 도시하지는 않았지만, 프로그램 동작 시, 싱글 매트 모드에서의 전압들의 레벨들 및 인가 시간의 설정 값들이 멀티 매트 모드에서 전압들의 레벨들 및 인가 시간의 설정 값보다 클 수도 있다.
- [0112] 도 15에서는 비휘발성 메모리 장치(30)의 독출 동작 시에 싱글 매트 모드와 멀티 매트 모드에서 워드라인 전압들 및 비트라인 전압들의 레벨들 및 인가 시간들을 나타내었고, 도 17에서는 비휘발성 메모리 장치(30)의 프로그램 동작 시에 싱글 매트 모드와 멀티 매트 모드에서 워드라인 전압들 및 비트라인 전압들의 레벨들 및 인가 시간들을 나타내었다.
- [0113] 도시하지는 않았지만, 비휘발성 메모리 장치(30)에 대한 소거 동작 시에 싱글 매트 모드와 멀티 매트 모드에서, 메모리 블록의 웰에 인가되는 소거 전압의 레벨과 인가 시간도 서로 다르게 할 수 있고, 소거 검증 동작 시에 워드라인들에 인가되는 소거 검증 전압의 레벨과 인가 시간도 서로 다르게 할 수 있다. 소거 전압과 소거 검증 전압의 설정 값들도, 제1 레벨/타이밍 컨트롤러(550)와 제2 레벨/타이밍 컨트롤러(560)에 각각 커맨드 셋(CMDSET)으로 저장될 수 있다.
- [0114] 즉 비휘발성 메모리 장치(30)에 대한 메모리 동작은 프로그램 동작, 독출 동작 및 소거 동작 중 하나를 포함할 수 있다.
- [0115] 도 18은 본 발명의 실시예들에 따른 메모리 시스템을 나타내는 블록도이다.

- [0116] 도 18을 참조하면, 메모리 시스템(15)은 메모리 컨트롤러(25) 및 적어도 하나의 비휘발성 메모리 장치(35)를 포함할 수 있다.
- [0117] 도 18의 메모리 시스템(15)이 도 1의 메모리 시스템(10)과 다른 점은 도 1에서는 비휘발성 메모리 장치(30)가 판단 회로(520)를 포함하는데, 도 18의 메모리 시스템(15)에서는 메모리 컨트롤러(25)가 판단 회로(27)를 포함한다는 점이다.
- [0118] 메모리 컨트롤러(25)가 판단 회로(27)를 포함하는 경우에, 도 7의 제어 회로(500)는 판단 회로를 제외한 나머지 구성 요소들을 포함할 수 있다. 판단 회로(27)는 비휘발성 메모리 장치(35)의 복수의 매트들(MAT1, MAT2) 중 동시에 동작하는 매트들의 수를 결정하고 이를 나타내는 모드 신호를 커맨드(CMD)나 제어 신호(CTRL)에 포함시켜 비휘발성 메모리 장치(35)로 전송할 수 있다.
- [0119] 예를 들어, 판단 회로(27)가 복수의 매트들(MAT1, MAT2)의 싱글 매트 모드나 멀티 매트 모드를 결정하는 경우에, 결정된 모드 신호를 비휘발성 메모리 장치(35)로 전송하기 전에, 싱글 매트 모드와 멀티 매트 모드 각각의 전압들의 레벨 및 인가 시간의 설정 값들을 커맨드 셋으로서 비휘발성 메모리 장치(35)로 전송할 수 있다.
- [0120] 예를 들어, 판단 회로(27)가 복수의 매트들(MAT1, MAT2)의 싱글 매트 모드나 멀티 매트 모드를 결정하는 경우에, 결정된 모드 신호를 비휘발성 메모리 장치(35)로 전송하는 것과 함께, 싱글 매트 모드와 멀티 매트 모드 각각의 전압들의 레벨 및 인가 시간의 설정 값들을 커맨드 셋으로서 비휘발성 메모리 장치(27)로 전송할 수 있다. 이 경우에, 설정 값들의 커맨드 셋은 비휘발성 메모리 장치(35)로 전송되는 커맨드 시퀀스에 포함될 수 있다.
- [0121] 도 19는 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 동작 방법을 나타내는 흐름도이다.
- [0122] 도 1 내지 도 19를 참조하면, 서로 다른 비트라인에 대응되는 복수의 매트들을 구비하는 메모리 셀 어레이를 구비하는 비휘발성 메모리 장치(30)의 동작 방법에서는 비휘발성 메모리 장치(30)가 메모리 컨트롤러(20)로부터 커맨드(CMD) 및 어드레스(ADDR)를 수신한다(S810).
- [0123] 제어 회로(500)의 판단 회로(520)는 커맨드(CMD)에 기초하여 매트들(MAT1, MAT2)의 동작 모드를 싱글 매트 모드 및 멀티 매트 모드 중 하나로 결정한다(S820).
- [0124] 판단 회로(520)는 싱글 매트 모드 및 멀티 매트 모드 중 하나를 나타내는 모드 신호(MS)를 제 1 레벨/타이밍 컨트롤러(550) 및 제 2 레벨/타이밍 컨트롤러(560)에 제공하여 싱글 매트 모드와 멀티 매트 모드에서 워드라인 전압들 또는 비트라인 전압들의 레벨들 및 인가 시간 중 적어도 하나가 달라지도록 어드레스 디코더(600)와 페이지 버퍼 회로(410)를 각각 제어한다(S830).
- [0125] 본 발명의 실시예들에 따른 비휘발성 메모리 장치, 이를 포함하는 메모리 시스템 및 비휘발성 메모리 장치의 동작 방법에서는 싱글 매트 모드와 멀티 매트 모드에서 메모리 셀 어레이에 인가되는 전압들의 레벨이나 인가 시간을 달리하여 싱글 매트 모드와 멀티 매트 모드에서 모두 성능을 향상시킬 수 있다.
- [0126] 도 20은 본 발명의 실시예들에 따른 에스에스디(SSD: solid state disk or solid state drive)를 나타내는 블록도이다.
- [0127] 도 20을 참조하면, SSD(1000)는 복수의 비휘발성 메모리 장치들(1100) 및 SSD 제어기(1200)를 포함한다.
- [0128] 비휘발성 메모리 장치들(1100)은 옵션적으로 외부 고전압(VPP)을 제공받도록 구현될 수 있다. 비휘발성 메모리 장치들(1100)은 전술한 도 3의 비휘발성 메모리 장치(30)로 구현될 수 있다. 따라서 비휘발성 메모리 장치들(1100)은 싱글 매트 모드와 멀티 매트 모드에서 서로 다른 전압들을 인가하거나 인가 시간을 달리할 수 있다.
- [0129] SSD 제어기(1200)는 복수의 채널들(CH1~CH4)을 통하여 비휘발성 메모리 장치들(1100)에 연결된다. SSD 제어기(1200)는 적어도 하나의 프로세서(1210), 버퍼 메모리(1220), 에러 정정 회로(1230), 호스트 인터페이스(1250) 및 비휘발성 메모리 인터페이스(1260)를 포함한다. 버퍼 메모리(1220)는 메모리 제어기(1200)의 구동에 필요한 데이터를 임시로 저장할 수 있다. 또한, 버퍼 메모리(1220)는 기입 요청시 파인 프로그램 동작에 이용될 데이터를 버퍼링해 놓을 수 있다. 에러 정정 회로(1230)는 기입 동작에서 프로그램될 데이터의 에러 정정 코드 값을 계산하고, 읽기 동작에서 읽혀진 데이터를 에러 정정 코드 값에 근거로 하여 에러 정정하고, 데이터 복구 동작에서 비휘발성 메모리 장치(1100)로부터 복구된 데이터의 에러를 정정할 수 있다.
- [0130] 본 발명의 실시 예에 따른 메모리 장치 혹은 저장 장치는 다양한 형태들의 패키지를 이용하여 실장 될 수 있다.

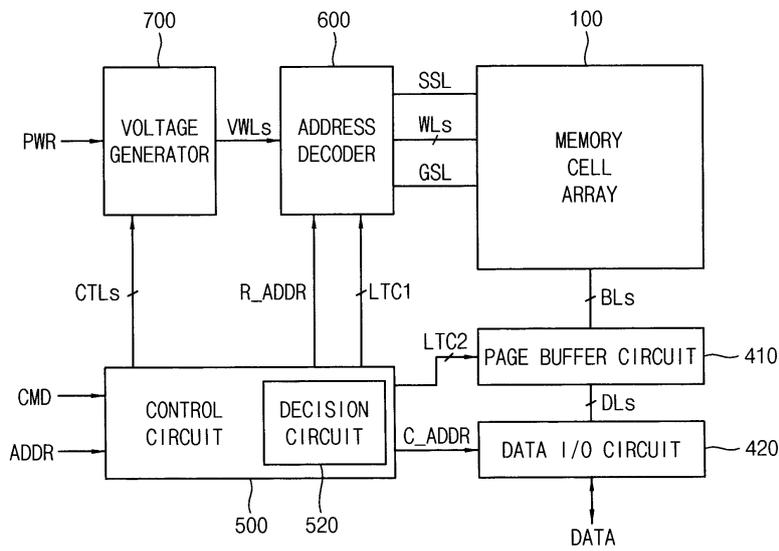


도면2

CLE	COMMAND LATCH ENABLE
ALE	ADDRESS LATCH ENABLE
nCE	CHIP ENABLE
nRE	READ ENABLE
nWE	WRITE ENABLE

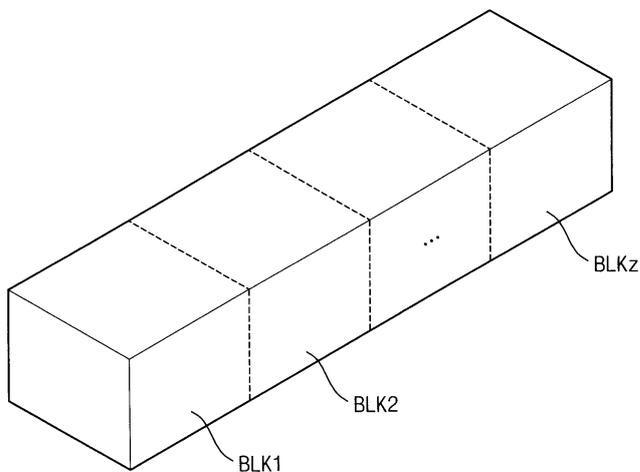
도면3

30

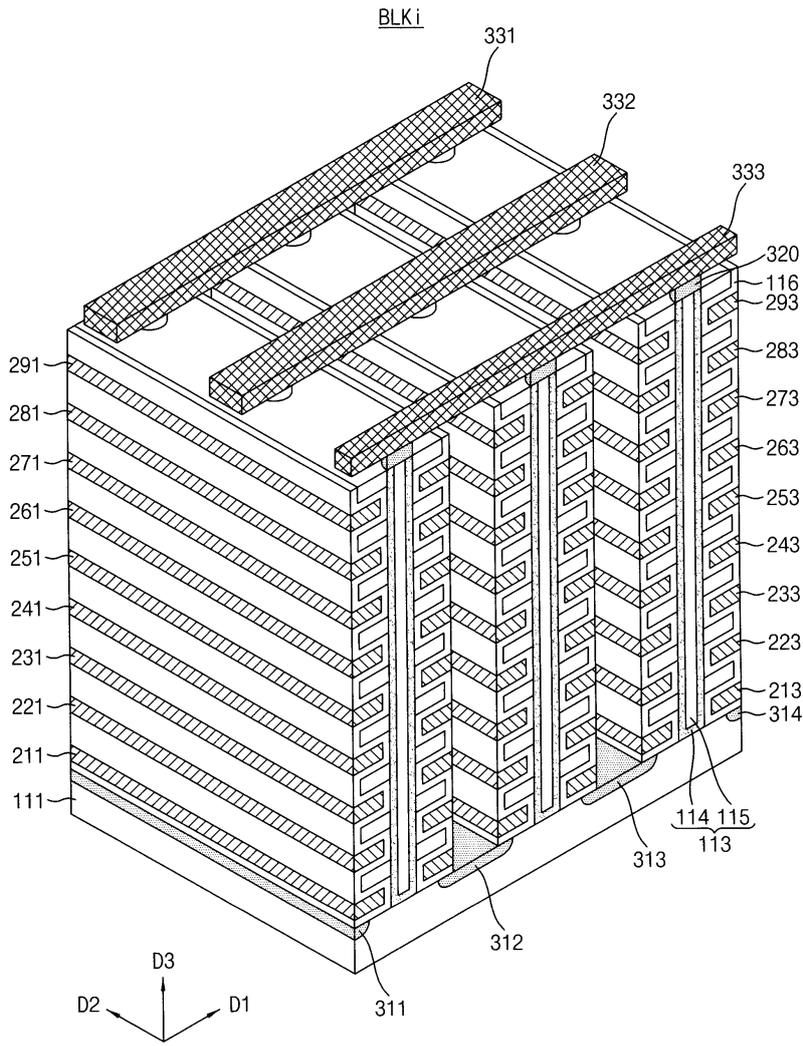


도면4

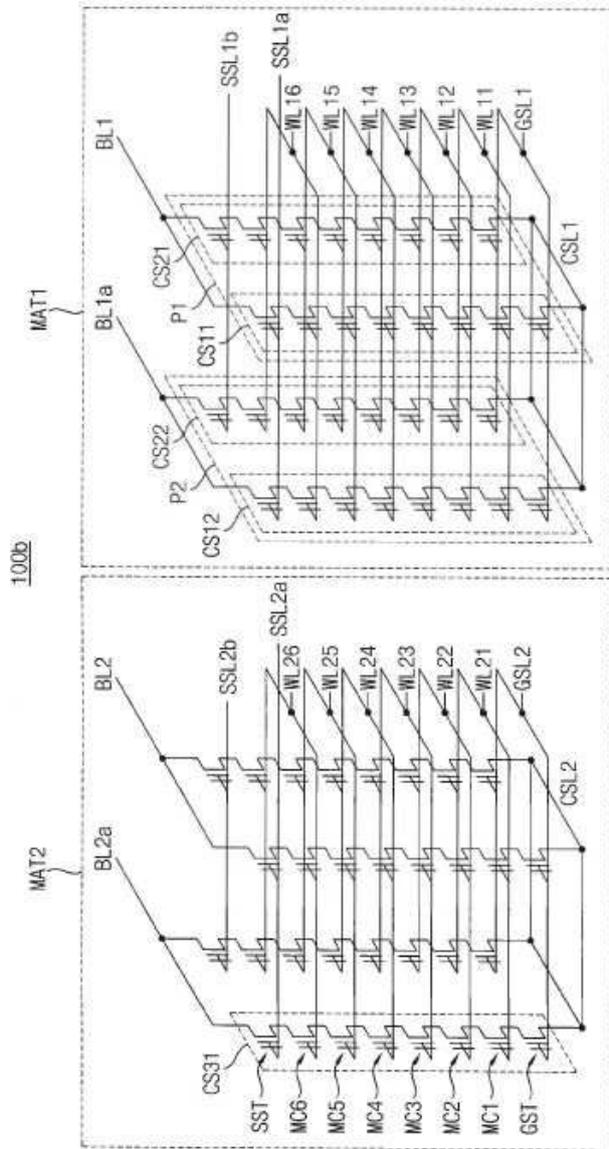
100a



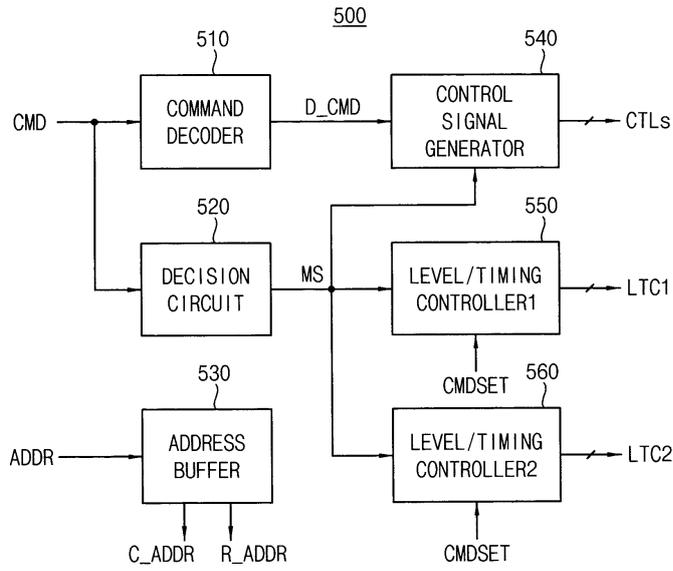
도면5



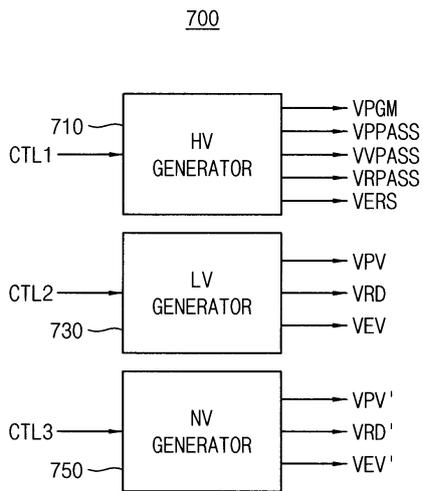
도면6



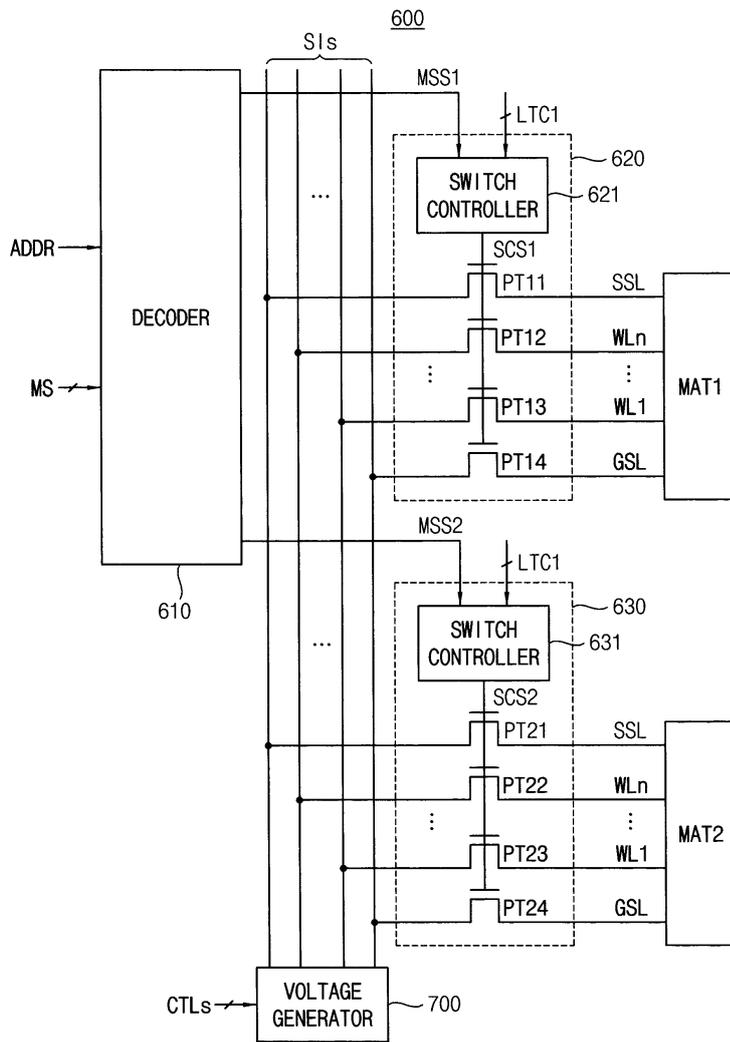
도면7



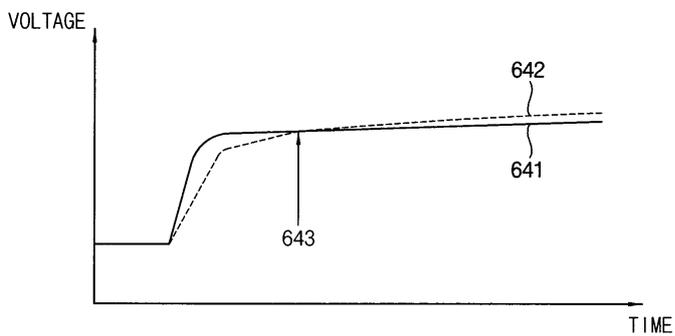
도면8



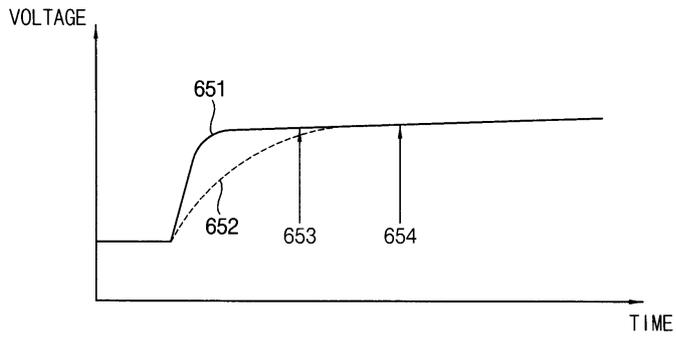
도면9



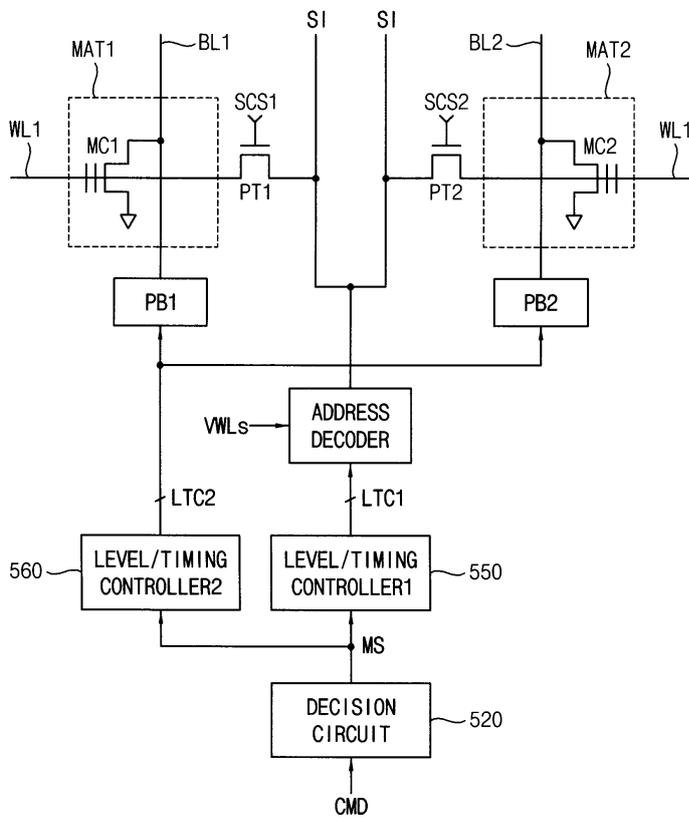
도면10



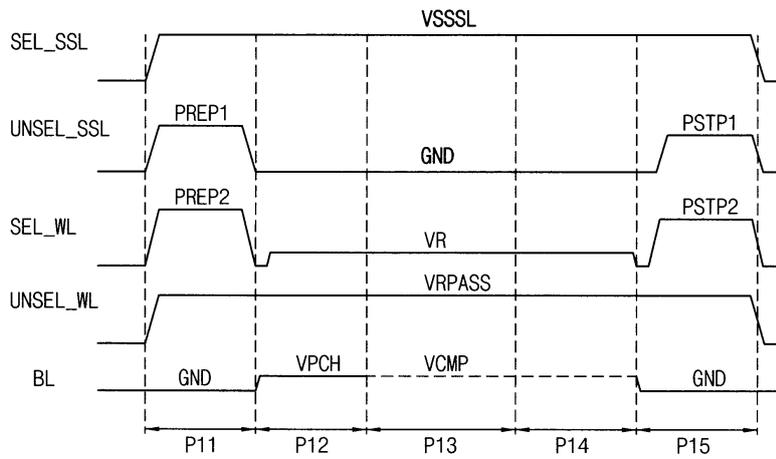
도면11



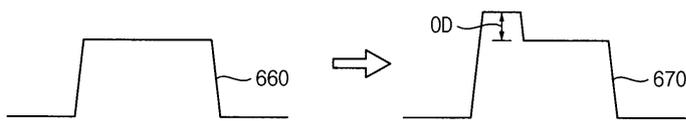
도면12



도면13



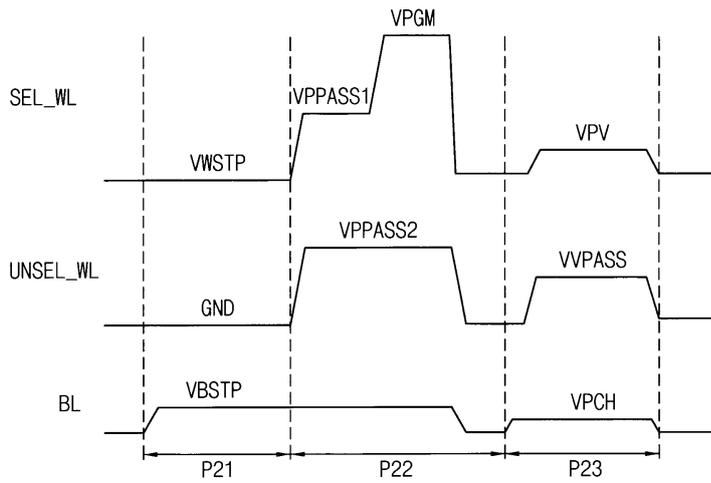
도면14



도면15

MODE	VOLTAGE LEVEL SETTING VALUE		TIMING SETTING VALUE	
	SINGLE MAT	MULTI MAT	SINGLE MAT	MULTI MAT
VSSSL	5.5V	5.7V	20us	21us
PREP1	5.7V	6.0V	8us	8.4us
PSTP1	5.5V	5.8V	6us	6.5us
PREP2	5.3V	5.5V	8us	8.2us
VR	0.5V	0.9V	10us	10.4us
PSTP2	5.0V	5.4V	6us	6.4us
VRPASS	6.0V	6.5V	20us	21.5us
VPCH	0.8V	1.0V	7us	7.2us
VCOMP	0.7V	0.9V	6us	6.4us
OD	0.0V	0.4V	1.5us	1.8us

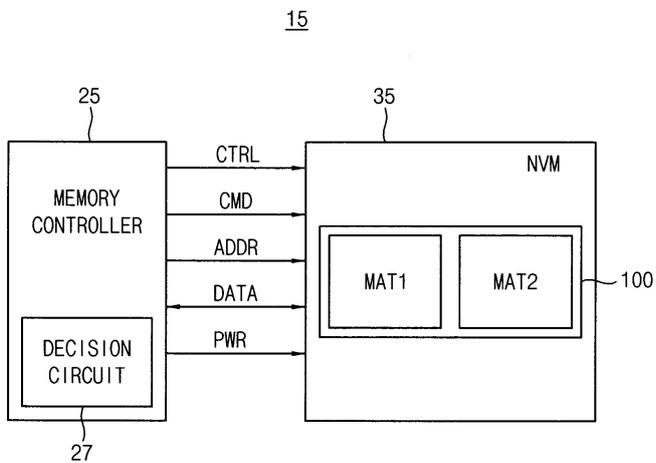
도면16



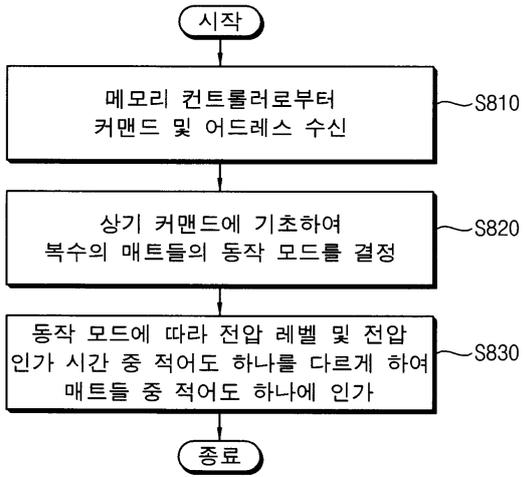
도면17

MODE	VOLTAGE LEVEL SETTING VALUE		TIMING SETTING VALUE	
	SINGLE MAT	MULTI MAT	SINGLE MAT	MULTI MAT
VWSTP	0V	1V	5us	7us
VPGM	19V	20V	10us	12us
VPV	1V	1.2V	15us	17us
VPPASS1	8V	9.5V	4us	4.5us
VPPASS2	10V	12V	8us	10us
VRPASS	8V	9V	20us	22us
VBSTP	2V	2.2V	17us	19us
VPCH	0.5V	0.7V	15us	17us
OD	0.2V	0.3V	2us	2.5us

도면18



도면19



도면20

