



(12) 发明专利申请

(10) 申请公布号 CN 103187404 A

(43) 申请公布日 2013. 07. 03

(21) 申请号 201110458191. 2

(22) 申请日 2011. 12. 31

(71) 申请人 刘胜

地址 200120 上海市浦东新区商城路 660 号

(72) 发明人 刘胜 陈润 陈照辉 刘孝刚

李操

(74) 专利代理机构 上海市华诚律师事务所

31210

代理人 李平

(51) Int. Cl.

H01L 25/00 (2006. 01)

H01L 23/31 (2006. 01)

H01L 21/50 (2006. 01)

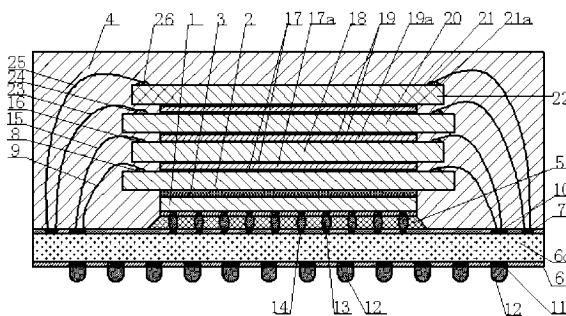
权利要求书2页 说明书4页 附图6页

(54) 发明名称

半导体芯片堆叠封装结构及其工艺

(57) 摘要

半导体芯片堆叠封装结构及其工艺, 包括数个半导体芯片, 封装基板、塑封材料, 其特征在于按上下次序最底下的半导体芯片 A 有源表面朝下, 通过焊球阵列将半导体芯片 A 连接到封装基板的电路层上, 半导体芯片 A 下表面充填底部填充料, 借助粘合层将半导体芯片 B 粘合在半导体芯片 A 背面, 半导体芯片 C、半导体芯片 D 以及以上的半导体芯片呈层状堆叠在半导体芯片 B 上方, 通过焊线将半导体芯片 B、半导体芯片 C、半导体芯片 D 及以上的半导体芯片上的焊盘与封装基板上电路层相连, 堆叠封装结构的封装芯片呈层状堆叠布置。本发明的优点是制作工艺简单, 满足高封装密度的要求, 降低封装成本, 同时提高封装的可靠性。



1. 一种半导体芯片堆叠封装结构,包括数个半导体芯片,封装基板、塑封材料,其特征在于按上下次序最底下的半导体芯片 A 有源表面朝下,经焊球阵列将半导体芯片 A 连接到封装基板的电路层上,半导体芯片 A 下表面充填底部填充料,借助粘合层将半导体芯片 B 粘合在半导体芯片 A 背面,半导体芯片 C、半导体芯片 D 以及以上的半导体芯片呈层状堆叠在半导体芯片 B 上方,经焊线将半导体芯片 B、半导体芯片 C、半导体芯片 D 及以上的半导体芯片上的焊盘与封装基板上电路层相连,堆叠封装结构的封装芯片呈层状堆叠布置。

2. 根据权利要求 1 所述的一种半导体芯片堆叠封装结构,其特征在于所述半导体芯片 A 为倒装结构,半导体芯片 B、半导体芯片 C、半导体芯片 D 及以上的半导体芯片为正装结构。

3. 根据权利要求 1 所述的一种半导体芯片堆叠封装结构,其特征在于所述半导体芯片 A 通过焊料球阵列与封装基板连接,焊球阵列的间距为 0.050 ~ 0.500mm,焊球直径为 0.050 ~ 0.500mm,焊球的成份为 Pb/Sn, SnAgCu, SnAg,焊球阵列可以呈完全分布或部分分布。

4. 根据权利要求 1 所述的一种半导体芯片堆叠封装结构,其特征在于所述半导体芯片 B 的上方可以选择性的堆叠一层或者多层半导体芯片,半导体芯片之间经粘合层与间隔层固定,通过间隔层预留出焊线的空间。

5. 根据权利要求 1 所述的一种半导体芯片堆叠封装结构,其特征在于所述塑封材料将所有半导体芯片以及焊线密封在封装基板上。

6. 根据权利要求 1 所述的一种半导体芯片堆叠封装结构,其特征在于所述所有的半导体芯片表面的焊盘、焊线材料可采用金、铜或铝等金属。

7. 根据权利要求 1 所述的一种半导体芯片堆叠封装结构,其特征在于所述粘合层采用有机高分子银胶,或者无机高分子银胶。

8. 根据权利要求 1 所述的一种半导体芯片堆叠封装结构,其特征在于所述封装基板采用硅基板,陶瓷基板,塑料基板。

9. 一种半导体芯片堆叠封装结构的封装工艺,其特征在于依次包含以下步骤:

(1) 制备封装用的封装基板;

(2) 制备半导体芯片 A 下表面的凸点焊球,采用焊料焊接、热压焊接,或者热声焊接方式将半导体芯片 A 下表面凸点焊球焊接在封装基板上表面的焊盘上,半导体芯片 A 经焊料球阵列与封装基板上焊盘相连;

(3) 在半导体芯片 A 下表面外围注射底部填充料并完成固化;

(4) 通过粘合层将半导体芯片 B 固定在半导体芯片 A 的上表面;

(5) 通过粘合层和间隔层将半导体芯片 C 固定在半导体芯片 B 的上表面,并在间隔层为焊线预留空间;

(6) 通过粘合层和间隔层将半导体芯片 D 固定在半导体芯片 C 的上表面,并在间隔层为焊线预留空间;

(7) 通过粘合层和间隔层将半导体芯片 E 固定在半导体芯片 D 的上表面,并在间隔层为焊线预留空间;

(8) 在半导体芯片 B、半导体芯片 C、半导体芯片 D 以及半导体芯片 E 上表面的焊盘和封装基板上焊盘之间采用超声键合、热压键合,或热超声键合工艺焊接焊线,实现电连接;

(9) 通过塑封工艺将所有半导体芯片和焊线密封封装;

(10) 在封装基板下表面的焊盘上通过丝网印刷工艺、电镀或者蒸镀工艺涂布焊料,再通过回流制备焊球,通过封装基板内部电路与封装基板下表面的焊球连接。

半导体芯片堆叠封装结构及其工艺

技术领域

[0001] 本发明涉及一种半导体器件的结构及其制造方法,特别涉及一种半导体芯片堆叠封装结构及其工艺。

背景技术

[0002] 半导体产品的集成度按摩尔定律每 18 个月翻一番。随着半导体产业的深入发展,摩尔定律受到越来越多的阻碍,要实现摩尔定律所付出的成本越来越高,然而人们对于半导体产品性能的要求却从未停止。目前,通过改变半导体产品封装形式的方向寻求提高产品性能的途径是一个新的方向,三维系统级封装也随之产生。

[0003] 三维堆叠封装可以在更小的空间内集成更多的半导体芯片,采用三维堆叠封装的产品拥有更高的性能、更高的可靠性,以及更低的价格。目前,采用三维堆叠封装的产品,例如存储器,能实现更大的存储量,并且已经实现工业化生产。

发明内容

[0004] 本发明的目的是针对已有技术中存在的缺陷,提供一种半导体芯片堆叠封装结构及其工艺。

[0005] 本发明包括数个半导体芯片,封装基板、塑封材料,其特征在于按上下次序最底下的半导体芯片 A 有源表面朝下,经焊球阵列将半导体芯片 A 连接到封装基板的电路层上,半导体芯片 A 下表面充填底部填充料,以提高焊球的可靠性,借助粘合层将半导体芯片 B 粘合在半导体芯片 A 背面,半导体芯片 C、半导体芯片 D 以及以上的半导体芯片呈层状堆叠在半导体芯片 B 上方,经焊线将半导体芯片 B、半导体芯片 C、半导体芯片 D 及以上的半导体芯片上的焊盘与封装基板上电路层相连。

[0006] 所述半导体芯片 A 采用倒装结构,半导体芯片 B、半导体芯片 C、半导体芯片 D 及以上的半导体芯片采用正装结构。半导体芯片 A 通过焊料球阵列与封装基板连接,焊料球阵列的间距为 0.050 ~ 0.500mm,焊料球直径为 0.050 ~ 0.500mm,焊料的成份为 Pb/Sn, SnAgCu, SnAg,焊料球阵列可以呈完全分布或部分分布。经塑封材料将所有半导体芯片以及焊线密封在封装基板上。

[0007] 所述半导体芯片 B 的上方可以选择性的堆叠一层或者多层半导体芯片,半导体芯片之间采用粘合层与间隔层固定,通过间隔层预留出焊线的空间。

[0008] 所有的半导体芯片表面的焊盘、焊线为金、铜、或铝等金属。粘合层可以采用有机高分子银胶,或者无机高分子银胶。封装基板采用硅基板,陶瓷基板,塑料基板。

[0009] 半导体芯片堆叠封装结构的封装工艺,其特征在于依次包含以下步骤:

[0010] (1) 制备封装用的封装基板;

[0011] (2) 制备半导体芯片 A 下表面的凸点焊球,采用焊料焊接、热压焊接、或者热声焊接方式将半导体芯片 A 下表面凸点焊球焊接在封装基板上表面的焊盘上,半导体芯片 A 经焊料球阵列与封装基板上焊盘相连;

- [0012] (3) 在半导体芯片 A 下表面外围注射底部填充料并完成固化；
- [0013] (4) 通过粘合层将半导体芯片 B 固定在半导体芯片 A 的上表面；
- [0014] (5) 通过粘合层和间隔层将半导体芯片 C 固定在半导体芯片 B 的上表面，并在间隔层为焊线预留空间；
- [0015] (6) 通过粘合层和间隔层将半导体芯片 D 固定在半导体芯片 C 的上表面，并在间隔层为焊线预留空间；
- [0016] (7) 通过粘合层和间隔层将半导体芯片 E 固定在半导体芯片 D 的上表面，并在间隔层为焊线预留空间；
- [0017] (8) 在半导体芯片 B、半导体芯片 C、半导体芯片 D 以及半导体芯片 E 上表面的焊盘和封装基板上焊盘之间采用超声键合、热压键合、或热超声键合工艺焊接焊线，实现电连接；
- [0018] (9) 通过塑封工艺将所有半导体芯片和焊线密封封装；
- [0019] (10) 在封装基板下表面的焊盘上通过丝网印刷工艺、电镀或者蒸镀工艺涂布，再通过回流制备焊球，通过封装基板内部电路与封装基板下表面的焊球连接。
- [0020] 本发明的优点是本发明的工艺流程简单、成本低，适合大规模工业化生产，同时本发明的半导体芯片三维堆叠封装结构具有可靠性高，能够满足高集成度对半导体产品性能的要求。

附图说明

- [0021] 图 1 本发明的半导体芯片堆叠封装结构的剖面示意图；
- [0022] 图 2 封装基板的结构示意图；
- [0023] 图 3 采用倒装芯片方式将半导体芯片 A 固定在封装基板上表面的结构示意图；
- [0024] 图 4 在半导体芯片 A 下表面填充底部填充料的结构示意图；
- [0025] 图 5 在半导体芯片 A 的上表面固定半导体芯片 B 的结构示意图；
- [0026] 图 6 在半导体芯片 B 的上表面上固半导体芯片 C 的结构示意图；
- [0027] 图 7 在半导体芯片 C 的上表面上固定半导体芯片 D 的结构示意图；
- [0028] 图 8 在半导体芯片 D 的上表面上固定半导体芯片 E 的结构示意图；
- [0029] 图 9 在半导体芯片和封装基板之间通过焊线实现电连接的结构示意图；
- [0030] 图 10 通过塑封工艺将半导体芯片以及焊线密封的结构示意图；
- [0031] 图 11 在封装基板下表面制作焊球阵列的示意图；
- [0032] 图 12 实施例二的结构示意图；
- [0033] 图 13 实施例三的结构示意图。
- [0034] 图中：1 半导体芯片 A、2 半导体芯片 B、3 粘合层、4 环氧模塑料、5 填充料、6 封装基板、6c 互连电路、7 封装基板上表面的焊盘、8 芯片 B 的焊盘、9 焊线、10 封装基板上表面的焊盘、11 封装基板下表面焊盘、12 封装基板下表面的焊球阵列、13 半导体芯片 A 下表面焊料球阵列、14 封装基板上表面的焊盘、15 焊线、16 芯片 C 的焊盘、17 粘合层、17a 间隔层、18 半导体芯片 C、19 粘合层、19a 间隔层、20 半导体芯片 D、21 粘合层、21a 间隔层、22 半导体芯片 E、23 焊线、24 芯片 D 的焊盘、25 焊线、26 芯片 E 的焊盘。

具体实施方式

[0035] 实施例一

[0036] 下面结合附图进一步说明本实施例：

[0037] 按上下次序最底下的半导体芯片 A 有源表面朝下，通过焊球阵列 13 将半导体芯片 A 连接到封装基板 6 的电路层上。所述封装基板 6 采用硅基板，陶瓷基板，塑料基板。焊球阵列 13 的间距为 0.050 ~ 0.500mm，焊球直径为 0.050 ~ 0.500mm，焊球的成份为 Pb/Sn，SnAgCu，SnAg，焊球阵列可以呈完全分布或部分分布。半导体芯片 A 下表面充填底部填充料 5，以提高焊球 13 的可靠性。借助粘合层 3 将半导体芯片 B 粘合在半导体芯片 A 背面，半导体芯片 C、半导体芯片 D 以及以上的半导体芯片呈层状堆叠在半导体芯片 B 上方，半导体芯片 A 采用倒装结构，半导体芯片 B、半导体芯片 C、半导体芯片 D 及半导体芯片 E 采用正装结构。通过焊线将半导体芯片 B、半导体芯片 C、半导体芯片 D 及半导体芯片 E 上的焊盘 8、焊盘 16、焊盘 24、焊盘 26 与封装基板 6 上电路层上的焊盘 7、焊盘 10 相连，堆叠封装结构的封装芯片呈层状堆叠布置。半导体芯片 B 以上可以选择性的堆叠一层或者多层半导体芯片，本实施例在半导体芯片 B 上堆叠三层半导体芯片。半导体芯片之间采用粘合层 3、17、19、21 与间隔层 17a、19a、21a 固定，粘合层 3、17、19、21 可以采用有机高分子银胶，或者无机高分子银胶。通过间隔层 17a、19a、21a 预留出焊线的空间。塑封材料将所有半导体芯片以及焊线密封在封装基板上。所有的半导体芯片表面的焊盘、焊线为金、铜或铝金属材料制作。

[0038] 本实施例具体实现半导体芯片三维堆叠封装的工艺步骤如下：

[0039] (1) 如图 2 所示，制备封装所用封装基板 6，所用材料可以是硅基板、陶瓷基板、塑料基板如 BT，FR4、复合材料如 AlSiC、MCPCB，其中封装基板的上部表面 6a 以及封装基板的下表面 6b 包括起电连接作用的焊盘，封装基板内部包括内部多层互连电路 6c。

[0040] (2) 如图 3 所示，制备半导体芯片 A 下表面下凸点 13，然后采用焊料焊接、热压焊接、或者热声焊接等方式将芯片下表面凸点焊接在封装基板 6 上表面 6a 的焊盘 14 上，半导体芯片 A 通过焊料球阵列 13 与封装基板 6 上焊盘相连，经由封装基板 6 内部电路 6c 与封装基板下表面焊盘 11 相连。

[0041] (3) 如图 4 所示，充填底部填充料。在半导体芯片 A 下表面外围注射填充料 5，填充料 5 由热固性聚合物以及二氧化硅的填料组成。由于半导体芯片 A 下表面和封装基板 6 之间缝隙的毛细作用，填料被吸入半导体芯片 A 和封装基板 6 上表面之间的空隙。然后加热到 130℃左右，保持 3 ~ 4 个小时完成固化。

[0042] (4) 如图 5 所示，通过粘合层 3 将半导体芯片 B 固定在半导体芯片 A 的表面上方，粘合剂可以采用高分子贴片材料或者焊料。

[0043] (5) 如图 6 所示，通过粘合层 17 和间隔层 17a 将半导体芯片 C 固定在半导体芯片 B 的上表面，间隔层 17a 为焊线预留空间。

[0044] (6) 如图 7 所示，通过粘合层 19 和间隔层 19a 将芯片 D 固定在芯片 C 的上表面，间隔层 19a 为焊线预留空间。

[0045] (7) 如图 8 通过粘合层 21 和间隔层 21a 将半导体芯片 E 固定在半导体芯片 D 的上表面，间隔层 21a 为焊线预留空间。

[0046] (8) 如图 9 所示，在半导体芯片 B、半导体芯片 C、半导体芯片 D 及半导体芯片 E 上表面的焊盘 8、16、24 以及 26 和封装基板 6 上焊盘 7、焊盘 10 之间焊接焊线 9、15、23、25 实

现电连接。焊线材料可以采用金线、铝线或铜线，焊线工艺可以采用超声键合、热压键合、或热超声键合工艺。

[0047] (9) 如图 10 所示，通过塑封工艺将所有半导体芯片和焊线密封起来，密封材料 4 可以选用环氧模塑料 (EMC) 等。

[0048] (10) 如图 11 所示，在焊盘 11 上制备焊球阵列 12，焊料可以采用铅锡焊料、金锡焊料、或者锡银铜无铅焊料。凸点制备工艺可以采用丝网印刷工艺、蒸镀或者电镀，然后回流工艺形成焊球阵列 12。

[0049] 实施例二

[0050] 实施例二与实施例一相同，所不同的是本实施例采用了两层堆叠的封装形式，参见图 12。

[0051] 实施例三

[0052] 实施例三与实施例一相同，所不同的是本实施例采用三层堆叠的封装形式，参见图 13。

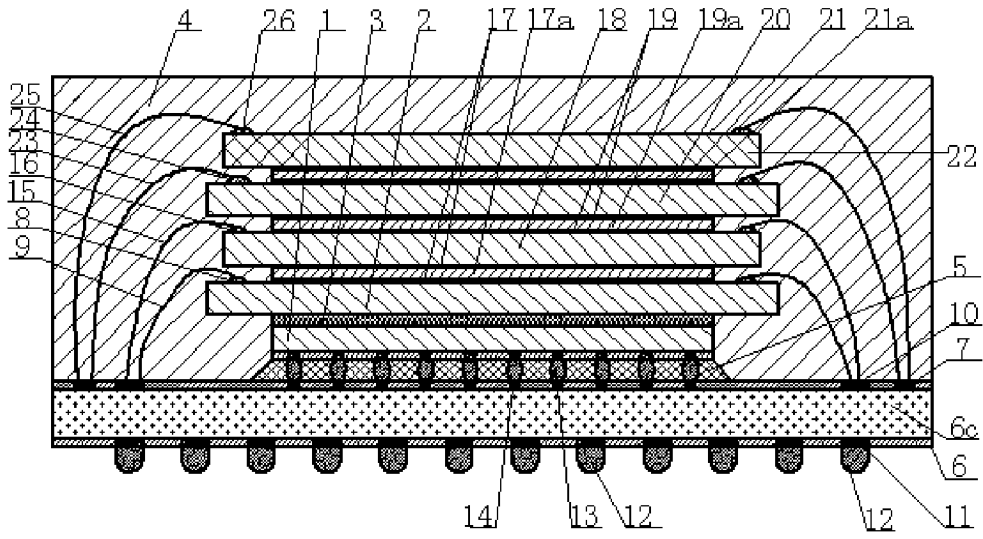


图 1

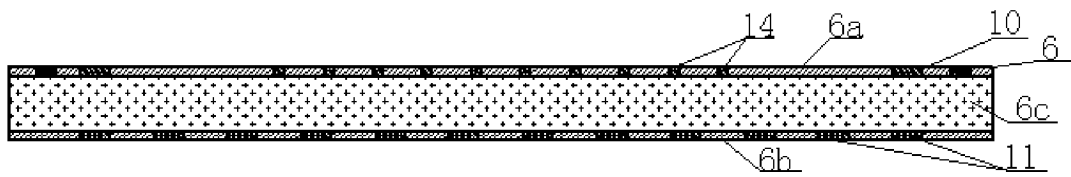


图 2

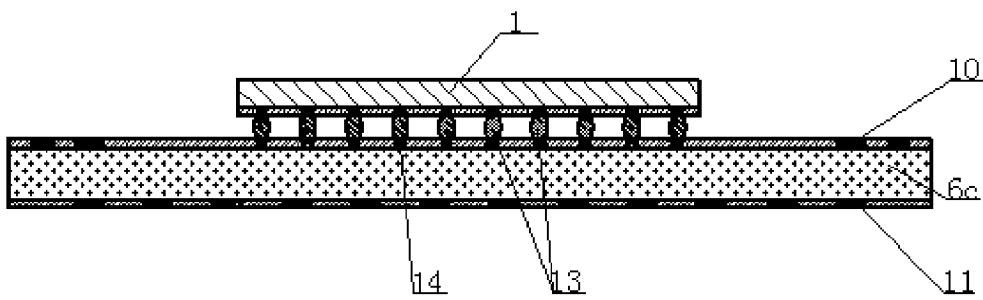


图 3

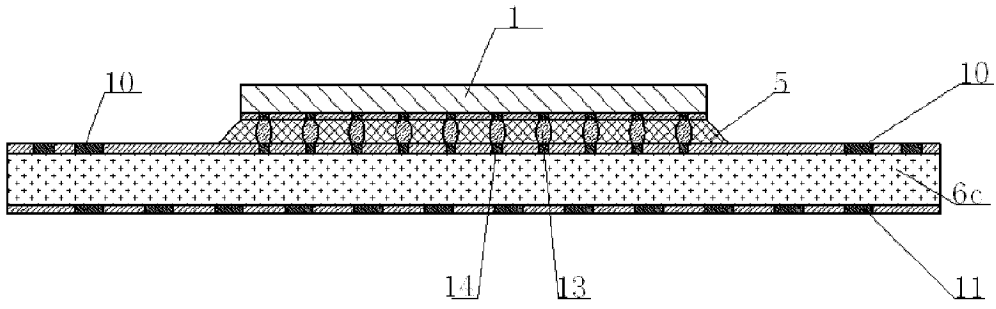


图 4

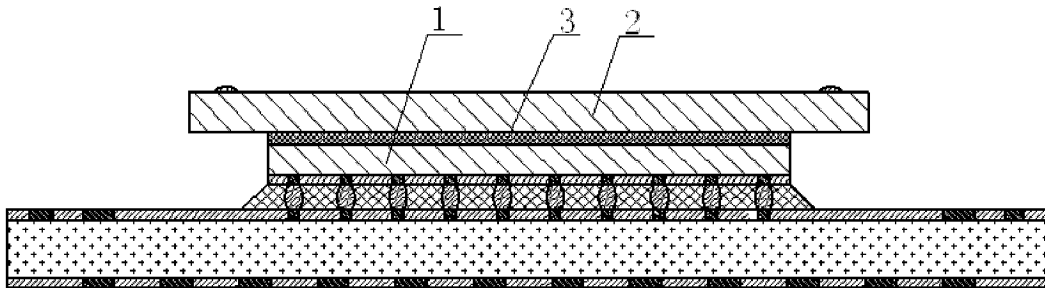


图 5

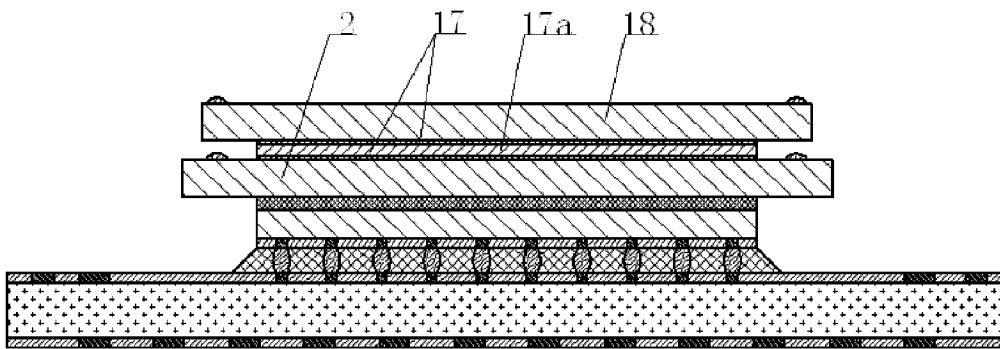


图 6

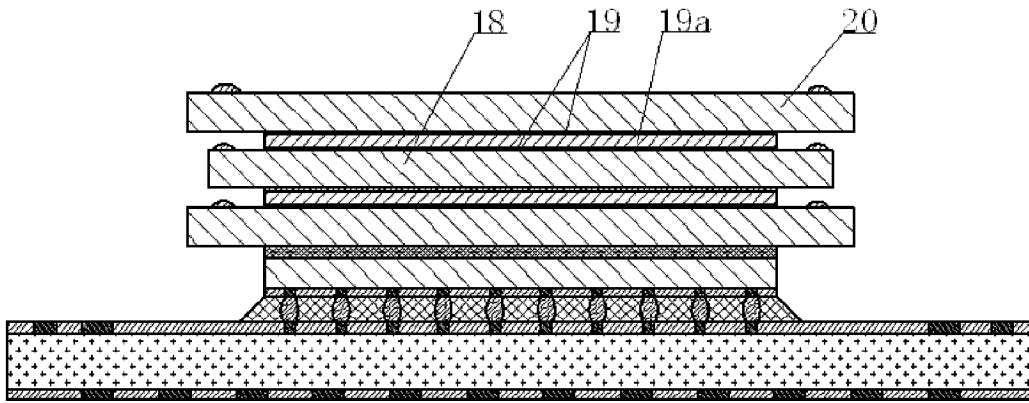


图 7

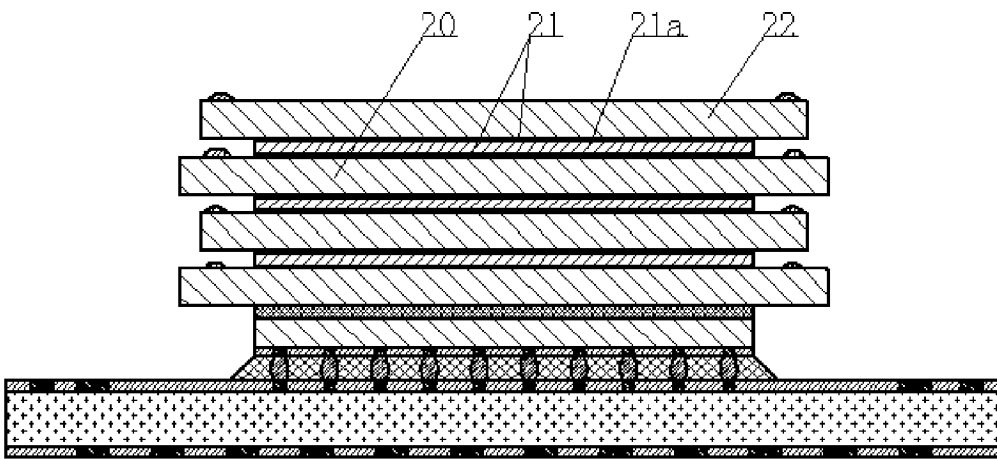


图 8

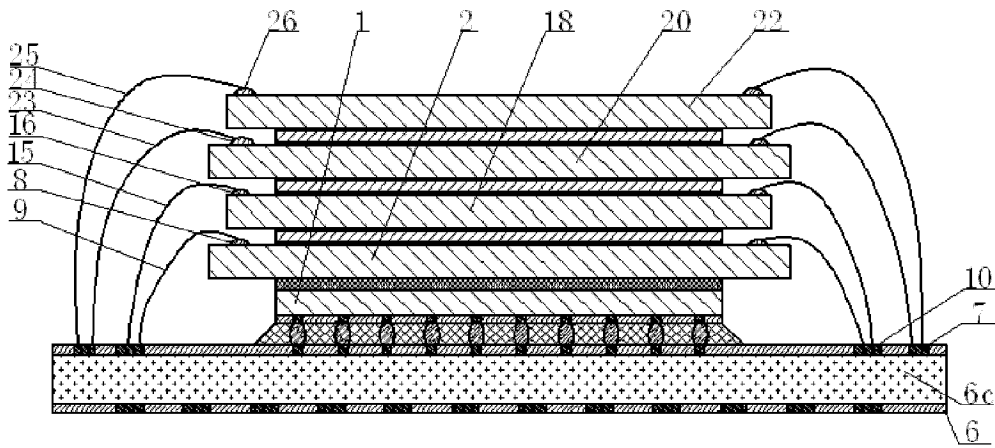


图 9

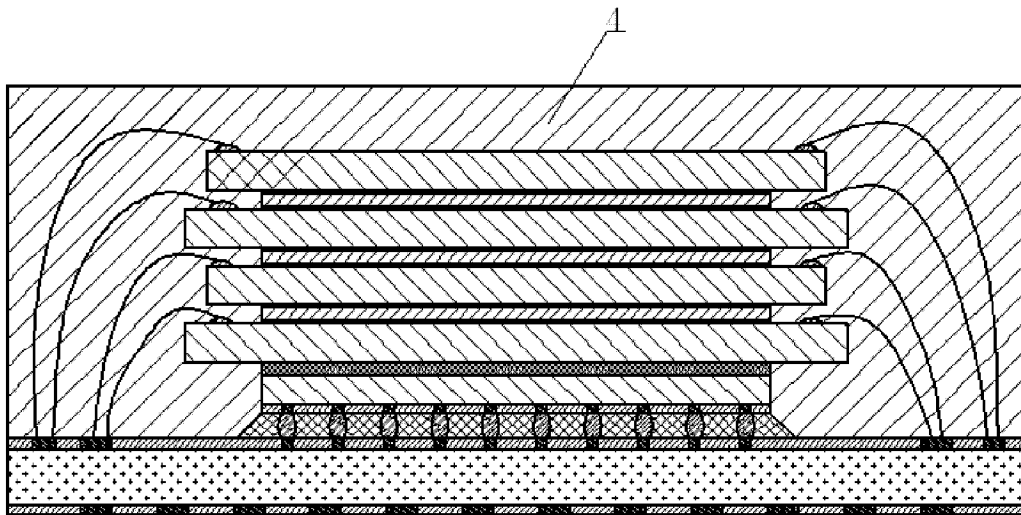


图 10

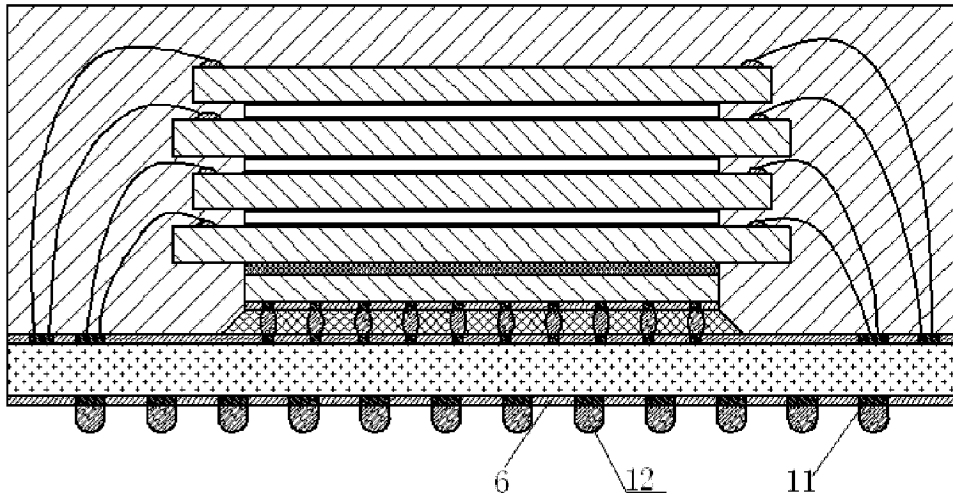


图 11

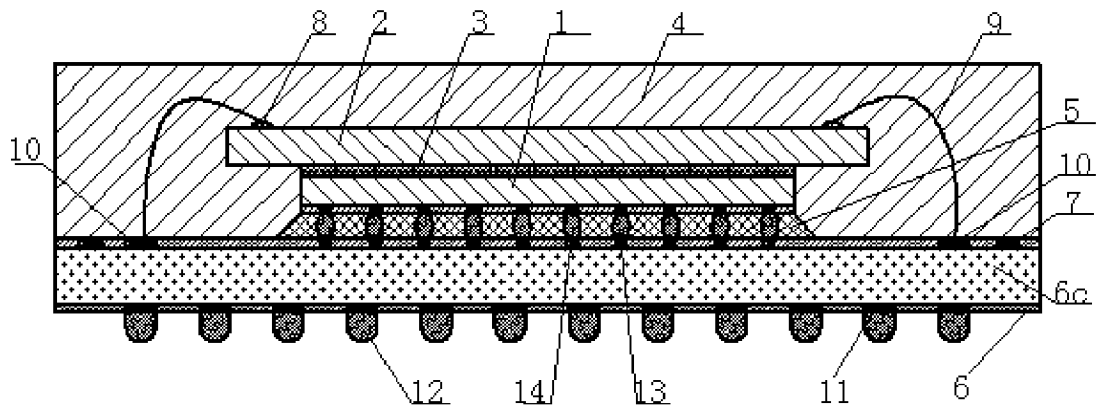


图 12

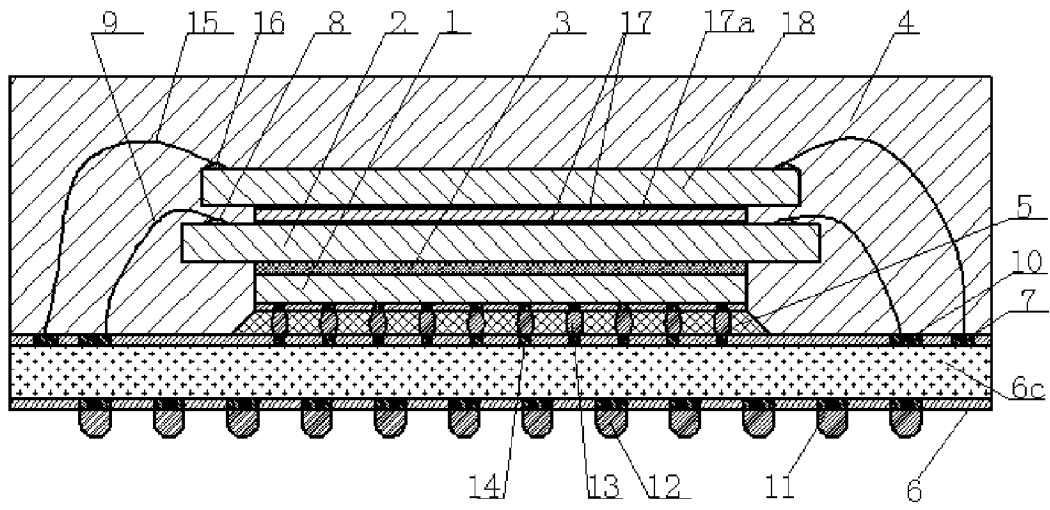


图 13