

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年2月11日(11.02.2016)



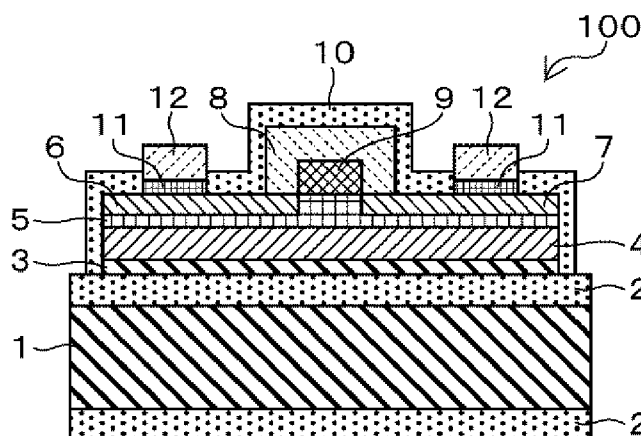
(10) 国際公開番号
WO 2016/021057 A1

- (51) 国際特許分類:
H01S 5/32 (2006.01)
 - (21) 国際出願番号: PCT/JP2014/071060
 - (22) 国際出願日: 2014年8月8日(08.08.2014)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (71) 出願人: 株式会社日立製作所 (HITACHI, LTD.)
[JP/JP]; 〒1008280 東京都千代田区丸の内一丁目
6番6号 Tokyo (JP).
 - (72) 発明者: 奥村 忠嗣 (OKUMURA Tadashi); 〒
1008280 東京都千代田区丸の内一丁目6番6号
株式会社日立製作所内 Tokyo (JP). 谷 和樹
(TANI Kazuki); 〒1008280 東京都千代田区丸の内
一丁目6番6号 株式会社日立製作所内 Tokyo
(JP).
 - (74) 代理人: 青稜特許業務法人 (SEIRYO I.P.C.); 〒
1040032 東京都中央区八丁堀二丁目7番1号
Tokyo (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR OPTICAL ELEMENT AND SEMICONDUCTOR OPTICAL ELEMENT MANUFACTURING METHOD

(54) 発明の名称: 半導体光素子及び半導体光素子の製造方法

図1B



(57) Abstract: This semiconductor optical element is provided with: a silicon substrate formed of single-crystal silicon; a first-conductivity-type buffer layer, which is provided on the silicon substrate, and which is configured from a single-crystal material containing a group IV element; a second-conductivity-type well layer, which is provided on the buffer layer, and which is configured from a first group IV single-crystal material; a light emitting layer, which is provided on the well layer, and which is configured from a second group IV single crystal material; a third-conductivity-type first diffusion layer provided on the well layer; a fourth-conductivity-type second diffusion layer provided on the well layer; and a stressor that applies stress to the light emitting layer. The lattice spacing of the second group IV single-crystal material constituting the light emitting layer, said lattice spacing being in the predetermined direction, is larger than the lattice spacing of the first group IV single-crystal material constituting the well layer.

(57) 要約:

[続葉有]

WO 2016/021057 A1

単結晶シリコンからなるシリコン基板と、前記シリコン基板上に設けられ、I V族元素を含む単結晶材料で構成された、第1の導電型を有するバッファ層と、前記バッファ層上に設けられ、第1のI V族単結晶材料で構成された第2の導電型を有するウェル層と、前記ウェル層上に設けられ、第2のI V族単結晶材料で構成された発光層と、前記ウェル層上に設けられた第3の導電型を有する第1の拡散層と、前記ウェル層上に設けられた第4の導電型を有する第2の拡散層と、前記発光層に応力を印加するストレッチャとを備え、前記発光層を構成する第2のI V族単結晶材料の、所定の方向における格子間隔が、前記ウェル層を構成する第1のI V族単結晶材料の格子間隔より大きい半導体光素子である。

明 細 書

発明の名称：半導体光素子及び半導体光素子の製造方法

技術分野

[0001] 本発明は、ⅠⅤ族元素を用いた半導体光素子及び半導体光素子の製造方法に関する。

背景技術

[0002] インターネット産業を支えるブロード・バンド・ネットワークでは、光通信が採用されている。この光通信における光の送受信には、ⅠⅠⅠ-Ⅴ族やⅠⅠ-ⅤⅠ族などの化合物半導体を用いたレーザ・ダイオードが使用されている。

[0003] 一方、情報処理や記憶処理はシリコンを基幹としたLSI上で行われており、シリコンのチップ間やチップ内といった近距離の光配線を、シリコン等のⅣ族元素を用いた光学素子で実現しようとする試みがなされており、この研究分野はシリコン・フォトニクスと呼ばれている。これは、世界的に広く普及し技術的に洗練されているシリコン・ラインを用いて、光学素子を作製する技術である。現在は、これらのシリコン・ラインでCMOS (Complementary Metal-Oxide-Semiconductorの略、相補的MOS型トランジスタ) に基づくLSI (Large Scale Integrationの略、大規模集積回路) が生産されているが、将来的には、上記のようなシリコン・フォトニクスによる光回路をCMOS回路と集積した、フォトニクスとエレクトロニクスの融合回路技術が実現すると考えられている。

[0004] しかしながら、バルク状態のシリコンやゲルマニウムは間接遷移型半導体であるため、一般に、これらは極めて発光効率が悪いことが知られている。このため、シリコン・フォトニクスにおいて、光源として十分な発光効率を得られる発光素子を得ることが、最もチャレンジングな課題となっている。

[0005] そこで、シリコンやゲルマニウムを高効率で発光させるため、これらを間接遷移型から直接遷移型半導体に変化させる方法が近年提案されている。ゲ

ルマニウムを直接遷移型半導体に変える方法の一つとして、ゲルマニウムに伸長歪みを印加する方法が知られている。ゲルマニウムに伸長歪みを印加すると、歪みの大きさに応じて伝導帯の Γ 点のエネルギーが小さくなる。 Γ 点のエネルギーがL点のエネルギーよりも小さくなればゲルマニウムは直接遷移型の半導体に変化する。非特許文献1では、約2%の伸長歪みを印加することにより、ゲルマニウムが直接遷移型半導体に変化することが報告されている。

[0006] 特許文献1には、Siウェハー4上に直接エピタキシャル生長させたGeエピ層6を所定の温度でアニールすることで、シリコンとゲルマニウムとの熱膨張係数の差により各Geエピ層6に引っ張り応力を導入するようにした光検出器2が開示されている。

[0007] 特許文献2は、ゲルマニウムのL点（伝導帯の底）と Γ 点（直接遷移エネルギーを示す点）との間のエネルギーギャップが0.136 eVと小さいことを利用したものであり、エピタキシャル成長させたGe層8に0.25%程度の伸長歪みを導入することにより、完全には直接遷移にならずとも、高濃度にドーピングされたn+型Ge層8にキャリアを注入することで、電子と正孔との直接遷移型の再結合による発光を可能としたレーザー・ダイオードが開示されている。

[0008] しかしながら、特許文献1及び2では、シリコン上に発光層のゲルマニウムが直接エピタキシャル成長されているために、シリコンとゲルマニウム発光層との界面に多数の結晶欠陥が発生し、ゲルマニウム発光層の発光効率が低下するという問題がある。

[0009] 特許文献3には、シリコンの活性層にボンド伸長を与えて電子と正孔を再結合発光させるようにした発光素子が開示されている。また、特許文献4には、ゲルマニウム層であるコア11内に光を強く閉じ込めることで、パーセル効果によりレーザー発振させるようにした発光素子が開示されている。

[0010] しかしながら、上記特許文献3、4でも、室温で十分な発光効率をもって連続発振する機能を得ることは困難であった。

- [0011] 一方、非特許文献2には、シリコン基板上にゲルマニウム層をエピタキシャル成長させて作製した縦型のLED素子が開示されている。
- [0012] しかしながら、非特許文献2では、ゲルマニウム発光層に導入される伸張歪量は0.2%程度であり、ゲルマニウムの直接遷移化には不十分である。なお、非特許文献2のGe-on-SiLED素子は、上記したように、縦型の構造を有しており、ゲルマニウム発光層の上面に、n型電極が設けられているため、伸張歪量を導入するための層を、直接ゲルマニウム発光層上面に設けることは、設計上不可能である。また、ゲルマニウム発光層の上面及び下面には、それぞれn型電極とp+Si(100)基板が設けられており、これらと、ゲルマニウム発光層内を伝搬する光との重なりが大きいため、電極や基板内のドーピング成分に起因する自由キャリア吸収により、光損失が大きくなる。
- [0013] また、ダブルヘテロ構造の半導体レーザでは、一般に、伝導帯エネルギーに関しては、活性層よりクラッド層の方が高くなるように設計し、価電子帯エネルギーに関しては、クラッド層より活性層の方が高くなるように設計することで、電子及び正孔が活性層内に閉じ込められ易くなる。非特許文献2では、p+Si(100)基板とゲルマニウム発光層とのヘテロ接合によってPNダイオードを形成しているものの、シリコンの伝導帯エネルギーがゲルマニウムの伝導帯エネルギーより低いため、ゲルマニウム発光層内に電子を閉じ込めるのが困難な構造となっている。

先行技術文献

特許文献

- [0014] 特許文献1：特表2005-530360号公報
特許文献2：特表2009-514231号公報
特許文献3：特開2007-173590号公報
特許文献4：特開2009-76498号公報

非特許文献

- [0015] 非特許文献1：F. Zhang, V.H. Crespi, フィジカル・レビュー・レターズ(Ph

ysical Review Letters), 102, 2009年, p.156401

非特許文献2: X. Sun, J. Liu, L. C. Kimerling, J. Michel, オプティクス・レターズ(Optics Letters), Vol.34, No. 8, 2009年, p.1198

発明の概要

発明が解決しようとする課題

[0016] ところで、半導体光素子においては、発光強度をより高くすることが求められている。発光強度を低下させる要因となる結晶欠陥は、上述したように、シリコン基板との界面近傍に多く存在する傾向にあるため、発光層における結晶欠陥を抑制する観点からは、シリコン基板と発光層との間の膜厚を大きくすることが望ましい。

[0017] 一方、例えばシリコン基板上にゲルマニウム発光層を設けた半導体光素子では、シリコンがゲルマニウムよりも短波長側に発光波長領域を有するため、シリコン基板は、ゲルマニウム発光層から発光される波長の光を吸収せず、光損失が抑制されている。また、シリコンがゲルマニウムより低い屈折率を有するため、シリコン基板は、ゲルマニウム発光層からの光を全反射し、優れた光閉じ込め機能を発揮する。

[0018] しかしながら、ゲルマニウム発光層とシリコン基板との間の層の膜厚が大きくなると、ゲルマニウム発光層から発せられた光の一部が、シリコン基板に至るまでの間に吸収されて、発光効率が低下するおそれがあり、また、ゲルマニウム発光層がシリコン基板と隔離されることで、シリコン基板による光閉じ込め機能を十分に得られなくなるおそれがある。

[0019] したがって、半導体光素子において高効率で発光可能とするには、発光層の結晶欠陥に起因する非発光再結合による発光効率の低下や、素子内での自由キャリア吸収による光損失を抑制するとともに、素子内部での光吸収を抑制し、また良好な光閉じ込め構造を持たせることが必要である。

[0020] そこで本発明の目的は、上記課題を解決し、ⅠⅤ族半導体で構成された発光層を用いて高効率に発光可能な半導体光素子を提供することにある。

課題を解決するための手段

[0021] 上記課題を解決するため、本発明は、好ましい実施形態として、単結晶シリコンからなるシリコン基板と、前記シリコン基板上に設けられ、ⅠⅤ族元素を含む単結晶材料で構成された、第1の導電型を有するバッファ層と、前記バッファ層上に設けられ、第1のⅠⅤ族単結晶材料で構成された第2の導電型を有するウェル層と、前記ウェル層上に設けられ、第2のⅠⅤ族単結晶材料で構成された発光層と、前記ウェル層上に設けられた第3の導電型を有する第1の拡散層と、前記ウェル層上に設けられた第4の導電型を有する第2の拡散層と、前記発光層に応力を印加するストレッサとを備え、前記発光層を構成する第2のⅣ族単結晶材料の、所定の方向における格子間隔が、前記ウェル層を構成する第1のⅣ族単結晶材料の格子間隔より大きいことを特徴とする半導体光素子を提供する。

[0022] また、上記課題を解決するため、本発明は、好ましい実施形態として、単結晶シリコンからなるシリコン基板上に、ⅠⅤ族元素を含む単結晶材料で構成された第1の導電型を有するバッファ層をエピタキシャル成長させる工程と、前記バッファ層上に、第1のⅠⅤ族単結晶材料で構成された第2の導電型を有するウェル形成層をエピタキシャル成長により形成する工程と、前記ウェル形成層の一部にイオン注入して第3の導電型を有する第1の拡散層を形成する工程と、前記ウェル形成層の一部にイオン注入して第4の導電型を有する第2の拡散層を形成する工程と、前記ウェル形成層の一部の上に、被形成領域に応力を印加するストレッサを形成して発光層を形成する工程と、を有し、前記発光層を形成する工程では、前記ウェル形成層から該発光層を除いた領域に、第1のⅠⅤ族単結晶材料で構成された第2の導電型を有するウェル層が形成され、前記発光層を構成する第2のⅣ族単結晶材料は、所定の方向における格子間隔が、前記ウェル層を構成する第1のⅣ族単結晶材料の格子間隔より大きくなるように形成されることを特徴とする半導体光素子の製造方法を提供する。

発明の効果

[0023] 本発明によれば、ⅠⅤ族半導体で構成された発光層を用いて高効率に発光

可能な半導体光素子を提供することができる。

図面の簡単な説明

[0024] [図1A]第1の実施形態に係る半導体光素子の平面模式図である。

[図1B]図1AのA-A線断面図である。

[図1C]図1AのB-B線断面図である。

[図2A]第1の実施形態に係る半導体光素子の製造工程を説明するための平面模式図である。

[図2B]図2AのA-A線断面図である。

[図2C]図2AのB-B線断面図である。

[図3A]第1の実施形態に係る半導体光素子の製造工程を説明するための平面模式図である。

[図3B]図3AのA-A線断面図である。

[図3C]図3AのB-B線断面図である。

[図4A]第1の実施形態に係る半導体光素子の製造工程を説明するための平面模式図である。

[図4B]図4AのA-A線断面図である。

[図4C]図4AのB-B線断面図である。

[図5A]第2の実施形態に係る半導体光素子の平面模式図である。

[図5B]図5AのA-A線断面図である。

[図5C]図5AのB-B線断面図である。

[図6A]第3の実施形態に係る半導体光素子の平面模式図である。

[図6B]図6AのA-A線断面図である。

[図6C]図6AのB-B線断面図である。

[図7A]第4の実施形態に係る半導体光素子の平面模式図である。

[図7B]図7AのA-A線断面図である。

[図7C]図7AのB-B線断面図である。

発明を実施するための形態

[0025] 以下に、本発明の好適な実施の形態について添付図面に基づいて説明する

。

[0026] 以下の実施形態では、通常のシリコン・プロセスを用いて容易に形成可能な方法によって作製したファブリ・ペロー型 (Fabry-Perot: F P) ゲルマニウム・レーザ・ダイオードの構造及びその製造方法について説明する。

[0027] (第1の実施形態)

図1 Aは、第1の実施形態に係る半導体光素子の平面模式図であり、図1 Bは、図1 AのA-A線断面図であり、図1 Cは、図1 AのB-B線断面図である。

[0028] 第1の実施形態に係る半導体光素子100は、単結晶シリコンからなるシリコン基板1上に、二酸化シリコンからなる埋め込み酸化膜 (Buried Oxide) としてのBOX層2を介して、Silicon On Insulator (以下、SOIと略す) 層3、第1の導電性を有するバッファ層4、第2の導電性を有するウェル層5がこの順で積層されている。シリコン基板1には、上面と併せて下面にも、BOX層2が形成されている。

[0029] ウェル層5は、中央領域が突出した凸形状を有しており、この突出部を挟んで対峙するように、第3の導電性を有するp型拡散層6、第4の導電性を有するn型拡散層7が、ウェル層5の上に設けられている。

[0030] ウェル層5の突出部の上には、発光層9が設けられており、この発光層9を覆うように、窒化シリコン層8が設けられている。

[0031] p型拡散層6及びn型拡散層7上には、それぞれ、TiN電極11及びAl電極12がこの順で積層されている。p型拡散層6及びn型拡散層7の上面のうちTiN電極11及びAl電極12の形成領域を除く領域と、窒化シリコン層8の上面及び側面、並びにSOI層3、バッファ層4、ウェル層5、p型拡散層6及びn型拡散層7からなる積層体の側面には、二酸化シリコン層10が設けられている。

[0032] バッファ層4は、発光層9とシリコンとの格子定数の不整合を緩和して発光層の結晶欠陥を低減するとともに、発光層9からの光に対する光閉じ込め層としての機能を担う層であり、I V族元素を含む単結晶材料で構成される

- 。
- [0033] バッファ層4は、 $1 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度のp型にドーピングされた第1の導電型を有しており、単結晶ゲルマニウムからなるゲルマニウム層もしくはシリコンとゲルマニウムの混晶であるシリコン・ゲルマニウムからなるシリコン・ゲルマニウム層の単層構造で構成されていてもよく、シリコン・ゲルマニウム層とゲルマニウム層との積層構造で構成されていてもよい。
- 。
- [0034] ウェル層5は、バッファ層4とともに光閉じ込め層としての機能を担う層であり、第1のⅠⅤ族単結晶材料で構成される。
- [0035] ウェル層5を構成する第1のⅠⅤ族単結晶材料としては、単結晶ゲルマニウム等のゲルマニウム又はゲルマニウムとスズの混晶であるゲルマニウム・スズが用いられる。ウェル層5は、第1のⅠⅤ族単結晶材料が、 $1 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度のn型にドーピングされた第2の導電型を有している。
- [0036] p型拡散層6及びn型拡散層7は、発光層9に正孔及び電子を注入するための層である。p型拡散層6は、第1のⅠⅤ族単結晶材料に、例えば BF_2 イオンが $1 \times 10^{15} / \text{cm}^2$ 程度の高濃度に注入された第3の導電型を有する第1の拡散層であり、n型拡散層7は、第1のⅠⅤ族単結晶材料に、例えばPイオンが $1 \times 10^{15} / \text{cm}^2$ 程度の高濃度に注入された第4の導電型を有する第2の拡散層である。
- [0037] 発光層9は、注入された電子と正孔が結合して発光する層であり、第2のⅠⅤ族単結晶材料で構成される。発光層9は細線状に形成されており、発光層9の延伸方向にそって、光が発光層9、ウェル層5及びバッファ層4に分布し伝搬する。
- [0038] 発光層9を構成する第2のⅠⅤ族単結晶材料としては、ゲルマニウム、又はゲルマニウム・スズが用いられる。
- [0039] 窒化シリコン層8は、発光層9に応力を印加するストレッサである。
- [0040] 発光層9は、窒化シリコン層8から印加された応力により、所定の方向に伸長歪みが導入されており、発光層9を構成する第2のⅠⅤ族単結晶材料は

、その伸長方向における格子間隔が、ウェル層5を構成する第1のⅠⅤ族単結晶材料の格子間隔より大きくなっている。

[0041] このように、窒化シリコン層8から伸長歪みが導入されることにより、この領域が、間接遷移型から直接遷移型に変化し、発光層として機能する。詳しくは後述する。

[0042] 発光層9の貫通転位密度は 10^7 cm^{-2} 以下であることが好ましい。発光層9の貫通転位密度を 10^7 cm^{-2} 以下とすることで、発光層9での非発光再結合を抑制し、高い発光効率を得ることができる。詳しくは後述する。

[0043] 発光層9での貫通転移密度を低減する観点から、バッファ層4の下面から発光層9の下面までの厚さは、概ね $0.7 \mu\text{m}$ 以上 $5 \mu\text{m}$ 以下であることが好ましい。バッファ層4の下面から発光層9の下面までの厚さを $0.7 \mu\text{m}$ 以上とすることで、発光層9における結晶欠陥が少なくなり、貫通転位密度を所望の範囲に低減することができる。

[0044] 発光層9、ウェル層5及びバッファ層4の両端面は垂直なミラーに加工されており、ファブリ・ペロー型の光共振器としての役割も担っている。

[0045] 発光層9と窒化シリコン層8とが直接接触していると、窒化シリコン層8などの界面に、 10^{13} cm^{-2} 以上の界面準位が生じ、この界面準位でのキャリアトラップにより、非発光再結合が生じて発光効率が低下することがある。このため、窒化シリコン層8と発光層9との間には、例えば GeO_2 等の、不図示の第1の誘電体を介在させてもよい。

[0046] 第1の誘電体は、 GeO_2 、 SiO_2 、 Al_2O_3 、 TiO_2 、 HfO_2 、 ZrO_2 、 SiON のいずれか、またはそれらの組み合わせから構成される。

[0047] 第1の誘電体と発光層9との界面に存在する界面準位密度は 10^{12} cm^{-2} 以下であることが好ましい。

[0048] 発光層9と第1の誘電体との界面における界面準位密度を 10^{12} cm^{-2} 以下とすることで、発光層9の表面で生じるキャリアの非発光再結合が抑制され、発光効率が向上する。

[0049] [製造方法]

以下に、上記した第1の実施形態に係る半導体光素子100の製造方法について説明する。

図2A～2C、図3A～図3C、図4A～図4Cは、第1の実施形態に係る半導体光素子100の製造工程を説明するための平面模式図であり、図2B、図3B、図4Bは、それぞれ、図2A、図3A、図4AのA-A線断面図であり、図2C、図3C、図4Cは、それぞれ、図2A、図3A、図4AのB-B線断面図である。

[0050] まず、図2A、図2B及び図2Cに示すように、支持基板として、膜厚2000nmのBOX層2が上面及び下面に形成されたシリコン基板1の一方の面に、このBOX層2を介してSOI層3が積層されたSOI基板を用意した。

[0051] 本実施例で用いたSOI層3は表面に(100)面を有しており、初期膜厚は20nmであった。なお、本実施例では、支持基板としてSOI基板を用いたが、シリコン基板を支持基板に用い、後から適宜必要な層を形成するようにしても差し支えない。

[0052] 図2B及び図2Cに示すように、シリコン基板1の上面に形成したのと同じ厚さ2000nmのBOX層2を、シリコン基板1の下面にも形成することで、シリコン基板1の両面に、両BOX層2から強い圧縮応力が印加され、ウェハ全体としての反りが低減、あるいは防止される。

[0053] なお、下面側に露出するBOX層2は、後述する洗浄工程やウェットエッチング工程中に消失しやすいが、BOX層2が消失すると、ウェハ全体が反り、例えばウェハを静電チャックに吸着できない等の不具合が生じ、その後の製造プロセスに支障を来すおそれがある。このため、上記した工程では、下面側に露出するBOX層2が消失しないよう留意して行った。

[0054] 洗浄工程を行った後、まず、SOI基板のSOI層3上に、第1の導電型を有するバッファ層として、p型の単結晶ゲルマニウム・バッファ層4（膜厚800nm、キャリア濃度 $1 \times 10^{17} \text{ cm}^{-3}$ 程度）を、350℃以上550℃以下の温度でエピタキシャル成長させた。エピタキシャル成長時の温度

を350℃以上とすることで、原料成分を十分に分解し、良好なエピタキシャル成長を行える。一方、成長時の温度が550℃を超えると、得られる層が島状となり易く、均一な単結晶ゲルマニウムの層を形成できないおそれがある。

[0055] 次に、この単結晶ゲルマニウム・バッファ層4を、650℃以上950℃以下の温度で熱処理した。上記の温度範囲で熱処理することで、単結晶ゲルマニウム・バッファ層4の表面に存在する凹凸を平坦化することができる。熱処理温度が950℃を超えると、単結晶ゲルマニウム・バッファ層4自体が熱分解し、かえって表面状態を劣化させるおそれがある。

[0056] 熱処理後、単結晶ゲルマニウム・バッファ層4の上に、第1のIV族単結晶材料としてのゲルマニウムを600℃以上950℃以下の温度でエピタキシャル成長させて、第2の導電型を有するウェル層を形成するためのウェル形成層として、n型の単結晶ゲルマニウム・ウェル形成層5a（膜厚200nm、キャリア濃度 $1 \times 10^{17} \text{ cm}^{-3}$ 程度）を形成した。なお、単結晶ゲルマニウム・ウェル形成層5aは、図1に示す単結晶ゲルマニウム・ウェル形成層5が形成される前の工程における層を示したものであり、図3A、図3B及び図3C中、5aの符号で示される層である。

[0057] 単結晶ゲルマニウム・ウェル形成層5aは、その下地層が、単結晶ゲルマニウム・ウェル形成層5aと同じゲルマニウムを主体とした層となっており、この下地層の影響を受けることなく、単結晶ゲルマニウムとして最適な、600℃以上の温度範囲でエピタキシャル成長させることができる。このため、良好な単結晶ゲルマニウム層を形成することができる。エピタキシャル成長時の温度が950℃を超えると、原料成分気体が高温になり過ぎ、安定したエピタキシャル成長を行えなくなるおそれがある。

[0058] このエピタキシャル成長の過程で、単結晶ゲルマニウム・バッファ層4及び単結晶ゲルマニウム・ウェル形成層5aには、下地のシリコン基板1との熱膨張係数の差により、0.2%程度の伸長歪みが生じた。

[0059] シリコン基板1上にエピタキシャル成長されているゲルマニウムの層には

、シリコンとの格子定数の違いにより、貫通転移と呼ばれる結晶欠陥が発生し、一般に、シリコンとゲルマニウムの界面付近の領域では、 $1 \times 10^8 \text{ cm}^{-2}$ 程度の貫通転位密度が発生する。この貫通転移により、非発光再結合が増大し、発光効率が低下する。

[0060] 一方、シリコンとの界面から離れるほど、ゲルマニウムの層における結晶欠陥の数は減少するため、シリコン基板1の上に形成される層の膜厚が厚くなると、界面から離れた領域の層では、貫通転位密度は減少する。本実施例では、シリコンとの界面付近の領域での貫通転位密度は $1 \times 10^8 \text{ cm}^{-2}$ 程度であったが、単結晶ゲルマニウム・バッファ層4を挟んで形成された単結晶ゲルマニウム・ウェル形成層5aでは、貫通転位密度は $1 \times 10^6 \text{ cm}^{-2}$ 以下にまで減少した。

[0061] 次に、レジストを塗布した後に、フォトリソグラフィーによるマスク露光によって、所望の領域にのみレジストを残した後に、異方性ドライエッチングを施すことによって、SOI層3、単結晶ゲルマニウム・バッファ層4、単結晶ゲルマニウム・ウェル形成層5aをメサ形状に加工した。この工程によって、SOI層3、単結晶ゲルマニウム・バッファ層4、単結晶ゲルマニウム・ウェル形成層5aを島状（メサ形状）に分離する。また、この工程においてSOI層3、単結晶ゲルマニウム・バッファ層4及び単結晶ゲルマニウム・ウェル形成層5aの端面は垂直に加工されたため、デバイス完成後には、端面は光を反射するミラーとして機能する。

[0062] 次に、レジストを除去した後、再びレジストを塗布し、フォトリソグラフィーによるマスク露光によって、所望の領域にのみレジストを残し、単結晶ゲルマニウム・ウェル形成層5aに異方性ドライエッチングを施すことによって、この単結晶ゲルマニウム・ウェル形成層5aの膜厚より小さい高さの段差を形成し、図3Bに示すように、中央に突出部を有する形状に加工した。

[0063] 単結晶ゲルマニウム・バッファ層4及び後述する単結晶ゲルマニウム・ウェル層5はデバイス完成後に光閉じ込め層としての役割も担うので、本実施

例では単結晶ゲルマニウム・バッファ層4及び単結晶ゲルマニウム・ウェル層5が細線状の光共振器になるように設計されている。この際、細線上に加工された単結晶ゲルマニウム・ウェル層5中を光が伝播するように細線形状の高さ、幅を設計する必要がある。また、本実施例では示していないが、単結晶ゲルマニウム・ウェル層5をリング状に設計することによって、単結晶ゲルマニウム・バッファ層4及び単結晶ゲルマニウム・ウェル層5はデバイス完成後に光導波路端面での反射による損失が無いリング型の光閉じ込め層とするリング型レーザを作製することも可能である。

[0064] 次に、イオン注入によって、単結晶ゲルマニウム・ウェル形成層5 aの所望の領域に不純物を注入した。まず、フォトリソグラフィーを用いたレジストパターンニングによって、単結晶ゲルマニウム・ウェル形成層5 aの所望の領域のみにレジストを残した後、 BF_2 イオンをドーズ量： $1 \times 10^{15} / \text{cm}^2$ でイオン注入して、単結晶ゲルマニウム・ウェル形成層5 a中に、第3の導電型を有するp型拡散層6（第1の拡散層）を形成した。

[0065] 次に、レジストを除去した後に、再び、フォトリソグラフィーを用いたレジストパターンニングによって、単結晶ゲルマニウム・ウェル形成層5 aの所望の領域のみにレジストを残し、Pイオンをドーズ量 $1 \times 10^{15} / \text{cm}^2$ でイオン注入し、単結晶ゲルマニウム・ウェル形成層5 a中に、第4の導電型を有するn型拡散層7（第2の拡散層）を形成した。

[0066] 上記のようにしてイオン注入がなされると、イオン注入された領域の単結晶ゲルマニウム・ウェル形成層5 aはアモルファス化され、結晶性が悪化する。このため、イオン注入工程においては、単結晶ゲルマニウム・ウェル形成層5 aのうち、p型拡散層6、n型拡散層7を形成する、上層部のみをアモルファス化し、その下の領域の単結晶ゲルマニウム・ウェル形成層5 a及び単結晶ゲルマニウム・バッファ層4には、結晶ゲルマニウムが残存するように、イオン注入時の加速電圧等の条件を調整してイオン注入を行った。

[0067] イオン注入の加速電圧を過度に高く設定すると、イオン注入した領域において、単結晶ゲルマニウム・ウェル形成層5 a及び単結晶ゲルマニウム・バ

ツファ層4の全ての領域が非晶質化され、仮に、その後アニール処理を施しても、単結晶性が回復されず、多結晶になってしまうという不具合が発生する。一方、上記したように、単結晶ゲルマニウム・ウェル形成層5aの上層部のみをアモルファス化するように、イオン注入条件を調整して行えば、その下の領域の単結晶ゲルマニウム・ウェル形成層5a等の結晶性は、その後の活性化熱処理等により回復される。p型拡散層6とn型拡散層7との間の抵抗の増大を抑制する観点から、単結晶ゲルマニウム・ウェル形成層5aが単結晶性を有することは重要である。

[0068] 次いで、窒素雰囲気中600℃でイオン注入後の積層体にアニール処理を行い、不純物を活性化させると同時に単結晶ゲルマニウム・ウェル形成層5aの結晶性を回復させた。

[0069] アニール処理後の積層体に洗浄工程を施した後、CVD等により、単結晶ゲルマニウム・ウェル形成層5a上に窒化シリコンの層を堆積させた。そして、フォトリソグラフィを用いたレジストパターニングによって、窒化シリコンの層の所望の領域のみにレジストを残し、異方性ドライエッチングすることで、図4A、図4B及び図4Cに示すストレスサとしての窒化シリコン層8を形成した。

[0070] 窒化シリコン層8は、上記したように、単結晶ゲルマニウム・ウェル形成層5aの一部に応力を与えて伸長歪みを印加するものであり、図4B、図4Cに示すように、窒化シリコン層8を、単結晶ゲルマニウム・ウェル形成層5aの近傍に設けることにより、この単結晶ゲルマニウム・ウェル形成層5aに効率的に伸長歪みを印加することができる。

[0071] 本実施例では、窒化シリコン層8が設けられた単結晶ゲルマニウム・ウェル形成層5aの領域には、窒化シリコン層8からの応力により、所定の方向に2%の伸長歪みが印加された。これにより、発光層9が形成された。伸長歪みが印加された領域は、間接遷移型から直接遷移型に変化し、発光強度が向上した。また、発光層9の形成と同時に、単結晶ゲルマニウム・ウェル形成層5aから発光層9、p型拡散層6及びn型拡散層7を除いた領域が、第

2の導電型を有するウェル層としての単結晶ゲルマニウム・ウェル層5となった。

[0072] 本実施例では単結晶ゲルマニウム・バッファ層4をp型に、単結晶ゲルマニウム・ウェル形成層5aから形成される単結晶ゲルマニウム・ウェル層5をn型としたが、単結晶ゲルマニウム・バッファ層4と単結晶ゲルマニウム・ウェル層5の電氣的な極性が異なっているため、単結晶ゲルマニウム・バッファ層4と単結晶ゲルマニウム・ウェル層5を電氣的に分離することができる。

[0073] 伸長歪みが導入された領域を構成する第2のⅠⅤ族単結晶材料は、その伸長方向における格子間隔が、単結晶ゲルマニウム・ウェル層5を構成する第1のⅠⅤ族単結晶材料の格子間隔より大きくなっている。

[0074] このように伸長歪みが印加された領域は、伸長歪みが印加されていないときよりも、発光波長が長波長側に移行し、かつ屈折率が高められる。このため、伸長歪みが印加されていない単結晶ゲルマニウム・ウェル層5は、伸長歪みが印加された発光層9と比較すると、相対的に、発光波長が短く、かつ屈折率の低い領域となる。このような単結晶ゲルマニウム・ウェル層5が、単結晶ゲルマニウム・バッファ層4とともに、発光層9とシリコン基板1との間に設けられることで、発光層9からシリコン基板1に至るまでの領域での光損失が抑制され、かつ良好な光閉じ込め機能を得られるため、優れた発光効率を実現することができる。

[0075] また、上記のように、伸長歪みが印加された領域は、伸長歪みが印加されていないときよりも、バンドギャップ・エネルギーが小さくなっている。このため、発光層9は、単結晶ゲルマニウム・ウェル層5よりもバンドギャップ・エネルギーが小さい構成となっており、発光層9内にキャリア（電子と正孔）が閉じ込められ易く、再結合の効率が高められる。

[0076] また、単結晶ゲルマニウム・バッファ層4を、ドーピング濃度を例えば 10^{17} cm^{-3} 程度と低くし、p型拡散層6とn型拡散層7との間のごく狭い領域でのみキャリア移動させることで、単結晶ゲルマニウム・バッファ層4で

の自由キャリア吸収が抑えられ、光損失の少ない優れた発光効率を得ることができる。

[0077] また、シリコン基板 1 と発光層 9 との間には、単結晶ゲルマニウム・バッファ層 4 が形成されており、シリコン基板 1 と発光層 9 との間の膜厚が確保されているため、発光層 9 における貫通転移密度を低減することができ、高い発光効率を得ることができる。良好な発光特性を得るためには、貫通転移密度を $1 \times 10^7 \text{ cm}^{-2}$ 以下にすることが望ましい。

[0078] 異方性ドライエッチング後の単結晶ゲルマニウム・ウェル形成層 5 a の表面に、窒化シリコン層 8 を直接設けると、窒化シリコン層 8 との界面に 10^{13} cm^{-2} 以上の界面準位が生じるおそれがある。このため、窒化シリコン層 8 を形成する前に、単結晶ゲルマニウム・ウェル形成層 5 a の表面を、熱処理して酸化させることにより表面に二酸化ゲルマニウムを形成し、表面をパッシベートした。

[0079] 単結晶ゲルマニウム・ウェル形成層 5 a の表面をパッシベートした後に窒化シリコン層 8 を設けることで、窒化シリコン層 8 との界面準位を 10^{12} cm^{-2} 以下とすることができ、発光層 9 での非発光再結合が抑制され、発光効率を向上させることができる。

[0080] 引き続き、窒化シリコン層 8 を形成した積層体の表面に、CVD 等で二酸化シリコン層 10 を堆積した後、フォトリソグラフィーを用いたレジストパターンニングによって、所望の領域のみにレジストを残し、フッ酸を用いたウェットエッチングによって所望の領域の二酸化シリコン層を除去した。

[0081] 引き続き、積層体の表面全体に、TiN 層及び Al 層を、この順で堆積させた後、フォトリソグラフィーを用いたレジストパターンニングによって、所望の領域のみにレジストを残し、Al 層をウェットエッチングで加工した後に TiN 層をウェットエッチングで加工し、図 4 A、図 4 B、及び図 4 C に示す TiN 電極 11 及び Al 電極 12 を形成した。なお、二酸化シリコン層 10、Al 層及び TiN 層の加工方法は、ウェットエッチングに限られず、異方性ドライエッチングを用いても差し支えない。

[0082] 引き続き、水素アニール処理を施し、プロセス中に生じた欠陥を水素終端する処理を行うことで図1A、図1B、及び図1Cに示す半導体光素子100を作製した。

[0083] なお、本実施例では、単結晶ゲルマニウム・ウェル層5を構成する第1のⅠⅤ族単結晶材料と、発光層9を構成する第2のⅠⅤ族単結晶材料を、共にゲルマニウムからなるものとしたが、必ずしもこのような構成に限られず、第2のⅠⅤ族単結晶材料を、第1のⅠⅤ族単結晶材料とは異なる材質からなるものとしてもよい。

[0084] 図1Aを用いて、上記のようにした作製した半導体光素子100の動作について説明する。

[0085] A1電極12及びTiN電極11から、p型拡散層6とn型拡散層7との間に順方向電流を流すことにより、発光層9にキャリア（電子+正孔）が注入された。

[0086] 発光層9のバンドギャップ・エネルギーは、伸長歪みによって単結晶ゲルマニウム・ウェル層5のバンドギャップ・エネルギーより小さくなっているため、電子と正孔が発光層9中に閉じ込められ、効率良く再結合して発光した。発光した光は発光層9をコア層として延伸方向に伝播し、閾値以上の電流を流すと誘導放出が引き起こされ、レーザ発振した。

[0087] また、発光層9には2%の伸長歪みが印加されており、このため、発光層9は直接遷移半導体の特性を有し、その発振波長は、設計波長である約2500nmであった。一方、単結晶ゲルマニウム・バッファ層4及び単結晶ゲルマニウム・ウェル層5中の伸長歪みは小さいため、波長2500nmの光はほとんど吸収しなかった。

[0088] また、単結晶ゲルマニウム・バッファ層4のドーピング濃度は 10^{17} cm^{-3} 程度と低く、自由キャリア吸収が少ないため、発振したレーザ光に関してロスが少ない導波構造となっていた。さらに、レーザ光はシリコン基板1に対して平衡に出射されるため、オンチップ上での光配線などの用途に最適であることも実証された。

[0089] ところで、上述の図1A、図1B及び図1Cでは配線工程の前までの工程とその構造を示したが、光集積回路を形成する場合には、この後所望の配線処理を施せばよい。また、電子回路と混載させる時には、上述の工程の幾つかをトランジスタ形成の工程と同時に行うことができる。このように通常のシリコン・プロセスを通して光デバイスを作製すると、電子デバイスとの混載は容易である。本実施例では記載していないが、同様の工程を用いてオンチップ光配線に有用な導波路結合型ゲルマニウム受光素子を作製することができる。上記の導波路結合型ゲルマニウム受光素子は受光部のバンドギャップ・エネルギーが小さくなっているので長波長の光に対して感度が高く、オンチップ光送受信に最適である。

[0090] 以上、本実施例によれば、ⅠⅤ族元素で構成された発光層に電子を効率良く注入することができ、高効率で発光可能な半導体光素子（ファブリ・ペロー型レーザ・ダイオード）を提供することができる。

[0091] また、本実施例では示していないが、発光層9をリング状に設計することによって、端面での反射による損失の無いゲルマニウム・リングレーザを作製することも可能である。

[0092] （第2の実施形態）

次に、第2の実施形態に係る半導体光素子について、図5A、図5Bおよび図5Cを用いて説明する。

図5Aは、第2の実施形態に係る半導体光素子の平面模式図であり、図5Bは、図5AのA-A線断面図であり、図5Cは、図5AのB-B線断面図である。なお、以下の第2実施形態～第4実施形態に係る半導体光素子100の構成のうち、第1の実施形態の半導体光素子と重複する部分については、その説明を省略した。

[0093] 図5A及び図5Cに示すように、第2の実施形態に係る半導体光素子100では、細線状に加工された発光層9の延伸方向の延長線上における半導体光素子100の両端近傍に、第2の誘電体として、ゲルマニウム、又はシリコンなどからなる小片が、それぞれ2個ずつ周期的な間隔で配置されている

。これにより、第2の誘電体からなる小片群は、分布ブラッグ反射型 (Distributed Bragg Reflector : DBR) のDBRミラー13を形成し、DBRゲルマニウム・レーザ・ダイオードとすることができる。なお、DBRミラー13は、周囲の絶縁膜との屈折率差を利用して構成される誘電体ミラーであり、99.9%以上の高反射率を得ることができる。

[0094] このような高反射率のミラーを、シリコン・プロセスによって簡便に形成できるため、仮にゲルマニウムからの発光が微弱であったとしても、レーザ発振を達成することが可能となる。DBRミラー13は、小片の幅と間隔が重要なパラメータであり、それらを媒質中の発光波長の約1/2の整数倍になるように、適宜設計して配置される。

[0095] 第2の誘電体としての小片は、図5A～図5Cに示すように、発光層9の延伸方向の延長線上において、半導体光素子100の両端近傍に、それぞれ、複数個を周期的に配置してもよく、各両端部に1個ずつ配置してもよく、半導体光素子100のいずれかの端部に、1個だけ配置してもよい。

[0096] (第3の実施形態)

次に、第3の実施形態に係る半導体光素子について、図6A、図6Bおよび図6Cを用いて説明する。

図6Aは、第3の実施形態に係る半導体光素子の平面模式図であり、図6Bは、図6AのA-A線断面図であり、図6Cは、図6AのB-B線断面図である。

[0097] 図6Cに示すように、第3の実施形態に係る半導体光素子100では、発光層9が小片状に形成され、各小片が所定の間隔を空けて周期的に配置されている。これによって、発光層9は、発光層としての機能のみならず、伝搬する光に周期的な屈折率変化を与え、分布帰還型 (Distributed Feed-Back: DFB) レーザとして用いることができる。

[0098] なお、図6A～図6Cでは、発光層9のみを、複数の小片として周期的に配置した形態を示したが、第3の実施形態としては、例えば、発光層9とウェル層5とを一体的に形成した小片の複数個を、所定の間隔を空けて、周期

的に配置した形態とすることも可能である。

[0099] (第4の実施形態)

次に、第4の実施形態に係る半導体光素子について、図7A、図7Bおよび図7Cを用いて説明する。

図7Aは、第4の実施形態に係る半導体光素子の平面模式図であり、図7Bは、図7AのA-A線断面図であり、図7Cは、図7AのB-B線断面図である。

[0100] 図7A～図7Cに示すように、第4の実施形態に係る半導体光素子100では、BOX層2が開口され、開口部のシリコン基板1上に、バッファ層4が選択エピタキシャル成長によって形成されている。バッファ層4上には、第1の実施形態と同様にして、ウェル層5、p型拡散層6及びn型拡散層7、発光層9、窒化シリコン層8、二酸化シリコン層10並びにTiN電極11及びAl電極12が積層されて、発光領域14が形成されている。発光領域14から所定の間隔を空けた位置には、SOI層3、二酸化シリコン層10がこの順でBOX層2上に積層された、受光領域15が形成されており、発光領域14の発光層9は、受光領域15のSOI層3と同じ高さになるように、各層の膜厚が調整されている。

[0101] 第4の実施形態に係る半導体光素子では、SOI層3からなるシリコン細線導波路に、発光層9からの光を、効率よく結合することができるゲルマニウム・レーザとすることができる。

符号の説明

[0102] 100…半導体光素子、1…シリコン基板、2…BOX層、3…SOI層、4…バッファ層（単結晶ゲルマニウム・バッファ層）、5…ウェル層（単結晶ゲルマニウム・ウェル層）、5a…ウェル形成層（単結晶ゲルマニウム・ウェル形成層）、6…p型拡散層、7…n型拡散層、8…窒化シリコン層、9…発光層、10…二酸化シリコン層、11…TiN電極、12…Al電極、13…DBRミラー、14…発光領域、15…受光領域

請求の範囲

- [請求項1] 単結晶シリコンからなるシリコン基板と、
前記シリコン基板上に設けられ、ⅠⅤ族元素を含む単結晶材料で構成された、第1の導電型を有するバッファ層と、
前記バッファ層上に設けられ、第1のⅠⅤ族単結晶材料で構成された第2の導電型を有するウェル層と、
前記ウェル層上に設けられ、第2のⅠⅤ族単結晶材料で構成された発光層と、
前記ウェル層上に設けられた第3の導電型を有する第1の拡散層と、
、
前記ウェル層上に設けられた第4の導電型を有する第2の拡散層と、
、
前記発光層に応力を印加するストレッサとを備え、
前記発光層を構成する第2のⅠⅤ族単結晶材料の、所定の方向における格子間隔が、前記ウェル層を構成する第1のⅠⅤ族単結晶材料の格子間隔より大きいことを特徴とする半導体光素子。
- [請求項2] 請求項1記載の半導体光素子において、
前記第3の導電型はp型であり、前記第4の導電型はn型であることを特徴とする半導体光素子。
- [請求項3] 請求項2記載の半導体光素子において、
前記第1のⅠⅤ族単結晶材料がゲルマニウム、又はゲルマニウム・スズであることを特徴とする半導体光素子。
- [請求項4] 請求項2記載の半導体光素子において、
前記第2のⅠⅤ族単結晶材料がゲルマニウム、又はゲルマニウム・スズであることを特徴とする半導体光素子。
- [請求項5] 請求項2記載の半導体光素子において、
前記バッファ層がゲルマニウム層もしくはシリコン・ゲルマニウム層からなる単層構造、又はシリコン・ゲルマニウム層とゲルマニウム

層との積層構造から構成されることを特徴とする半導体光素子。

- [請求項6] 請求項1記載の半導体光素子において、
前記発光層の貫通転位密度が 10^7 cm^{-2} 以下であることを特徴とする半導体光素子。
- [請求項7] 請求項1記載の半導体光素子において、
前記ストレスが窒化シリコンで構成されていることを特徴とする半導体光素子。
- [請求項8] 請求項1記載の半導体光素子において、
前記発光層と前記ストレスとが接触していることを特徴とする半導体光素子。
- [請求項9] 請求項1記載の半導体光素子において、
前記発光層と前記ストレスが第1の誘電体を介して隣接していることを特徴とする半導体光素子。
- [請求項10] 請求項9記載の半導体光素子において、
前記第1の誘電体が GeO_2 、 SiO_2 、 Al_2O_3 、 TiO_2 、 HfO_2 、 ZrO_2 、 SiON のいずれか、またはそれらの組み合わせから構成されることを特徴とする半導体光素子。
- [請求項11] 請求項7記載の半導体光素子において、
前記発光層が細線形状を有しており、前記発光層の延伸方向の延長線上に、小片状の第2の誘電体が一個、または周期的に複数個配置されていることを特徴とする半導体光素子。
- [請求項12] 請求項7記載の半導体光素子において、
前記発光層、又は前記発光層及び前記ウェル層が前記発光層の延伸方向に沿って周期的に配置された構造を有することを特徴とする半導体光素子。
- [請求項13] 単結晶シリコンからなるシリコン基板上に、 I-V 族元素を含む単結晶材料で構成された第1の導電型を有するバッファ層をエピタキシャル成長させる工程と、

前記バッファ層上に、第1のⅠⅤ族単結晶材料で構成された第2の導電性を有するウェル形成層をエピタキシャル成長により形成する工程と、

前記ウェル形成層の一部にイオン注入して第3の導電性を有する第1の拡散層を形成する工程と、

前記ウェル形成層の一部にイオン注入して第4の導電性を有する第2の拡散層を形成する工程と、

前記ウェル形成層の一部の上に、被形成領域に応力を印加するストレッチを形成して発光層を形成する工程と、を有し、

前記発光層を形成する工程では、前記ウェル形成層から該発光層を除いた領域に、第1のⅠⅤ族単結晶材料で構成された第2の導電性を有するウェル層が形成され、

前記発光層を構成する第2のⅣ族単結晶材料は、所定の方向における格子間隔が、前記ウェル層を構成する第1のⅣ族単結晶材料の格子間隔より大きくなるように形成されることを特徴とする半導体光素子の製造方法。

[請求項14]

請求項13記載の半導体光素子の製造方法において、

前記バッファ層を形成する工程及び前記ウェル形成層を形成する工程が、前記シリコン基板上に350℃以上550℃以下の温度で単結晶ゲルマニウム・バッファ層をエピタキシャル成長させる工程と、前記単結晶ゲルマニウム・バッファ層を650℃以上950℃以下の温度で熱処理する工程と、前記前記単結晶ゲルマニウム・バッファ層上に600℃以上950℃以下の温度で単結晶ゲルマニウム・ウェル形成層をエピタキシャル成長させる工程と、を有することを特徴とする半導体光素子の製造方法。

[請求項15]

請求項13記載の半導体光素子の製造方法において、

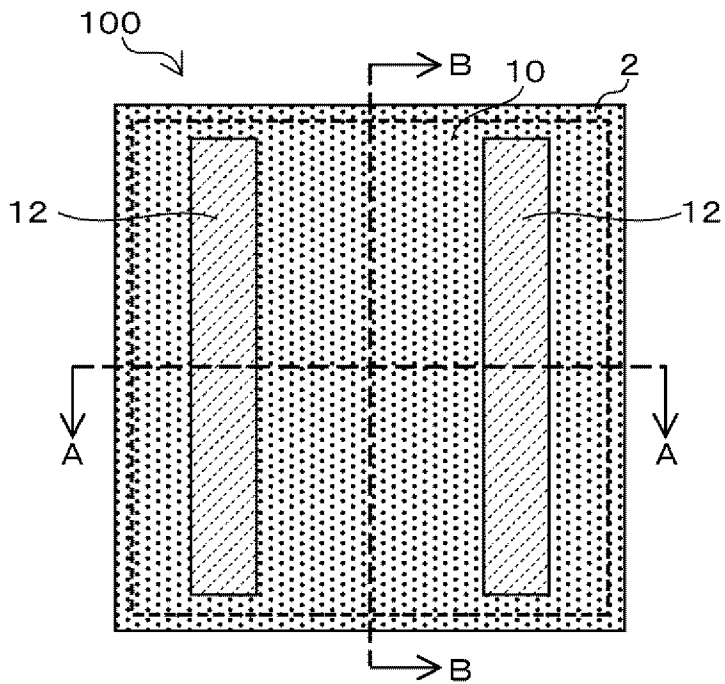
前記ウェル形成層を形成する工程は、前記第1のⅠⅤ族単結晶材料をエピタキシャル成長させる工程と、前記第1のⅠⅤ族単結晶材料か

らなる層に、該第1のⅠⅤ族単結晶材料の膜厚より小さい高さの段差を設ける工程と、を有し、

前記発光層を形成する工程は、前記ウェル形成層の一部に窒化シリコン層を堆積させる工程と、前記窒化シリコン層をドライエッチングする工程と、を有することを特徴とする半導体光素子の製造方法。

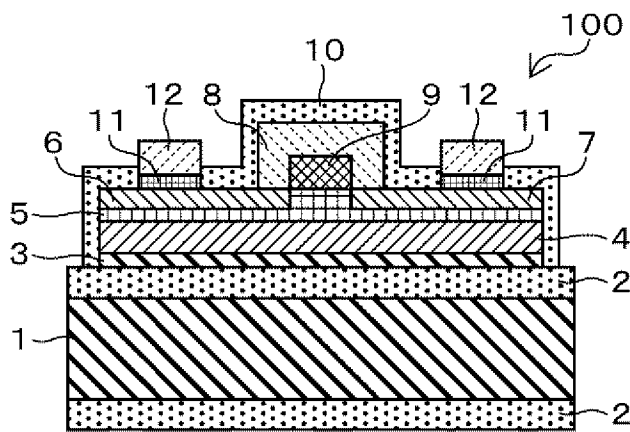
[図1A]

図 1 A



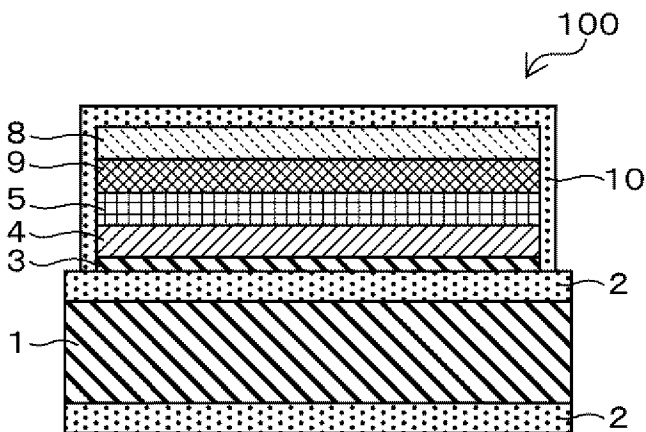
[図1B]

図 1 B



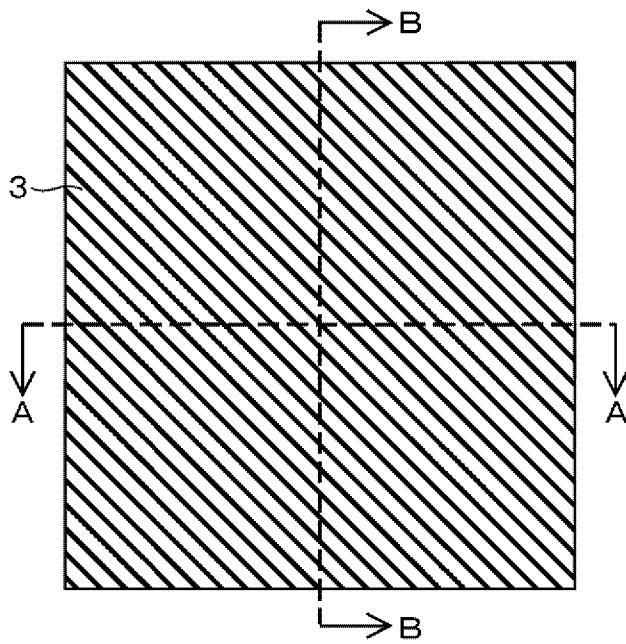
[図1C]

図 1 C



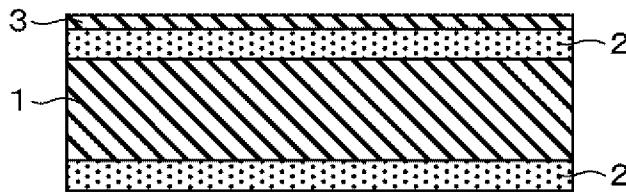
[図2A]

図 2 A



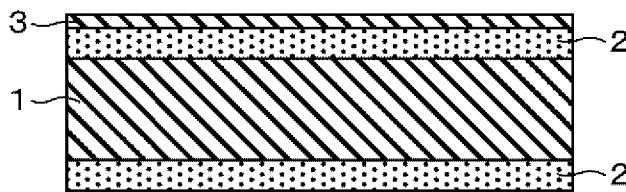
[図2B]

図 2 B



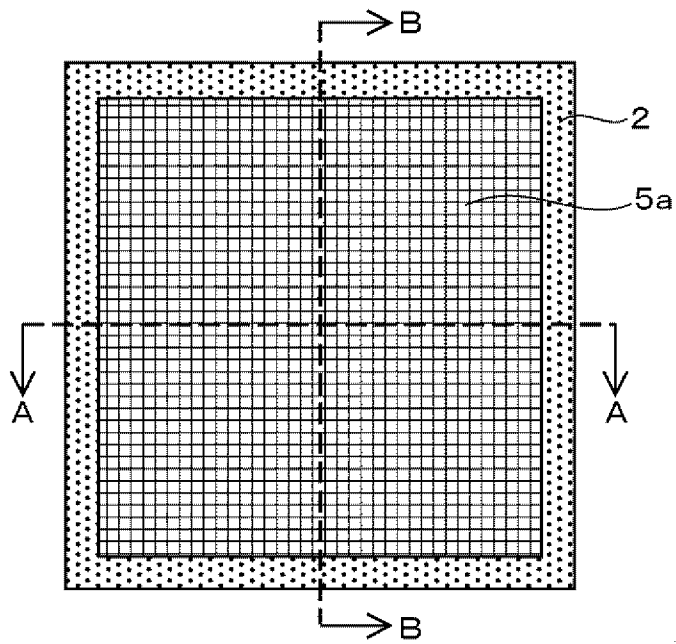
[図2C]

図 2 C



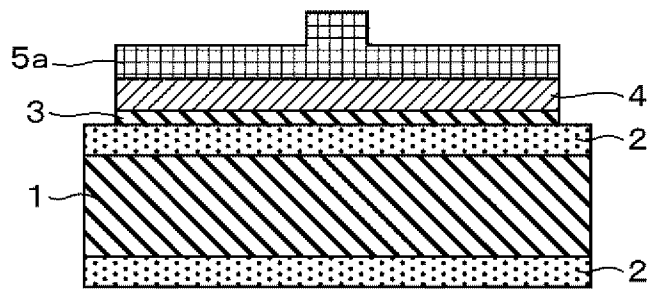
[図3A]

図 3 A



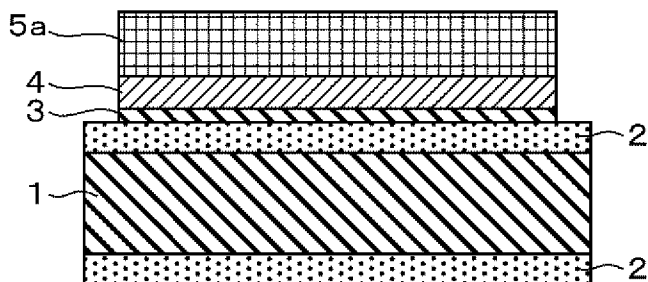
[図3B]

図 3 B



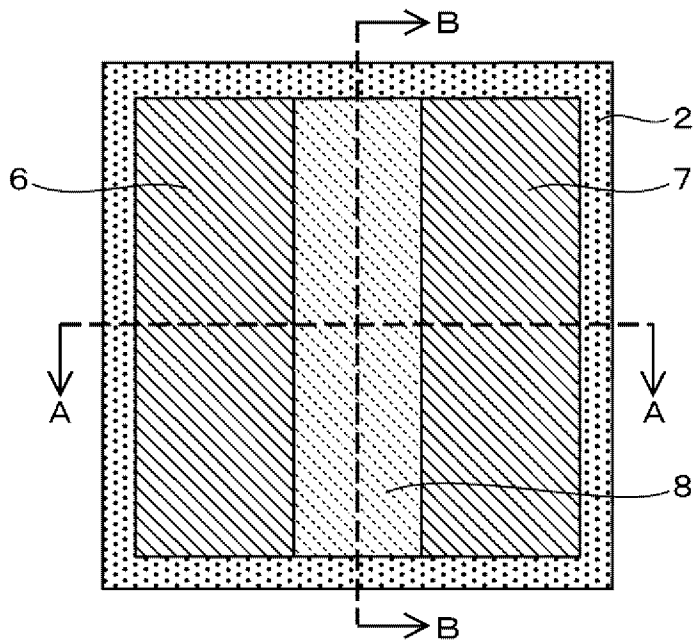
[図3C]

図 3 C



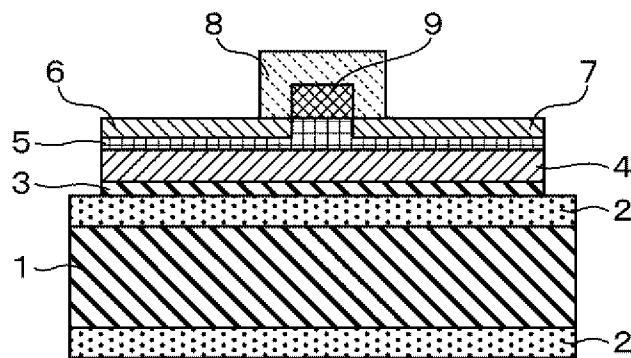
[図4A]

図 4 A



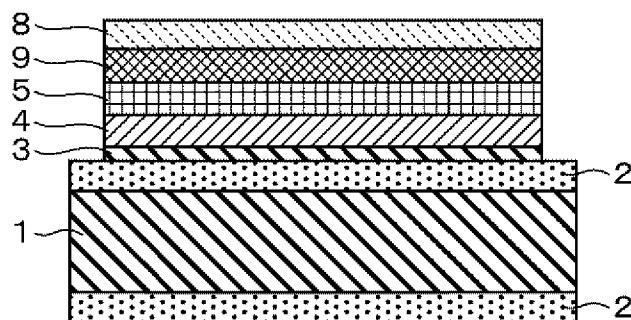
[図4B]

図 4 B

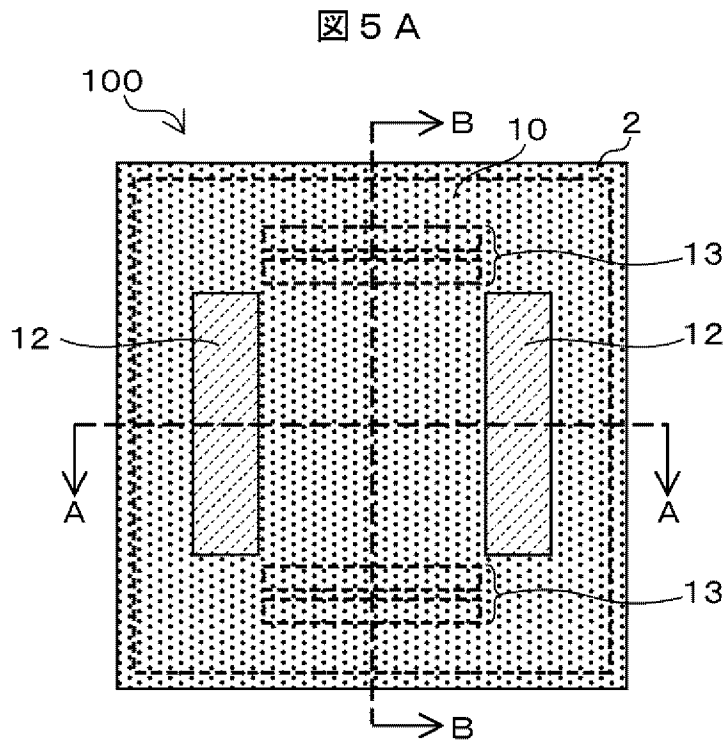


[図4C]

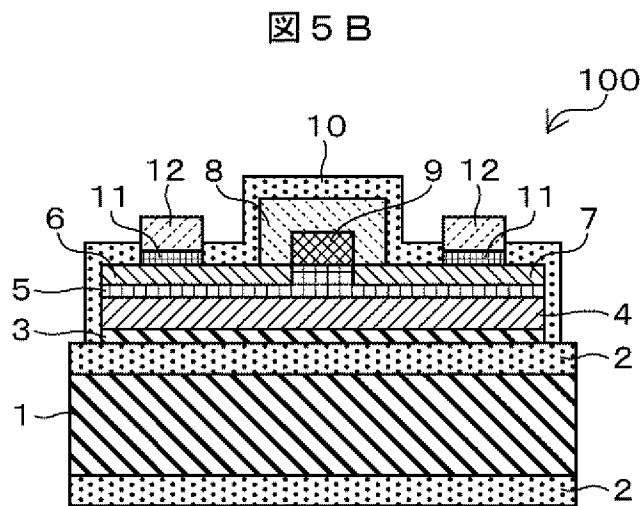
図 4 C



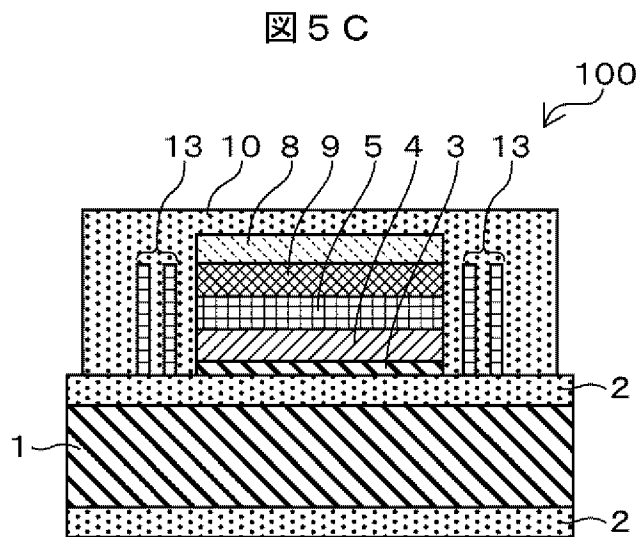
[図5A]



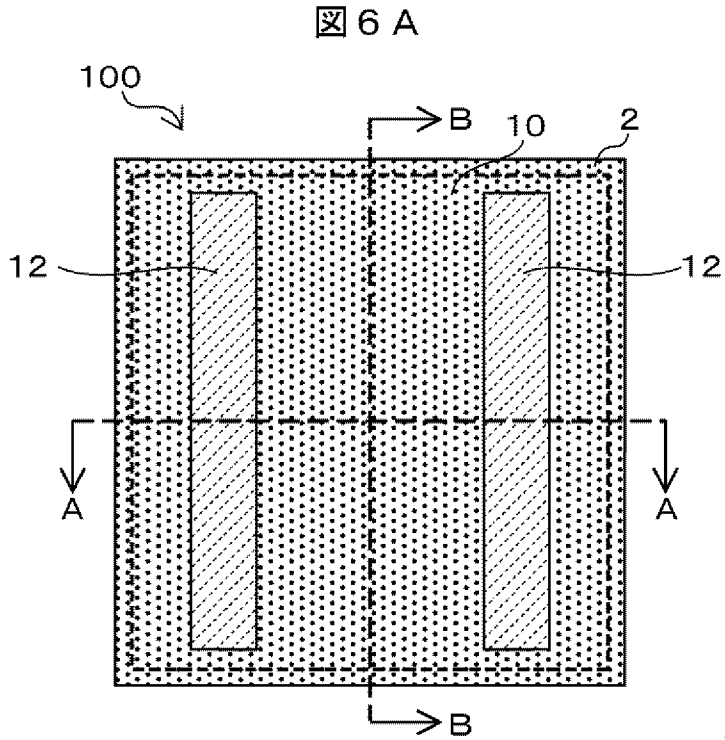
[図5B]



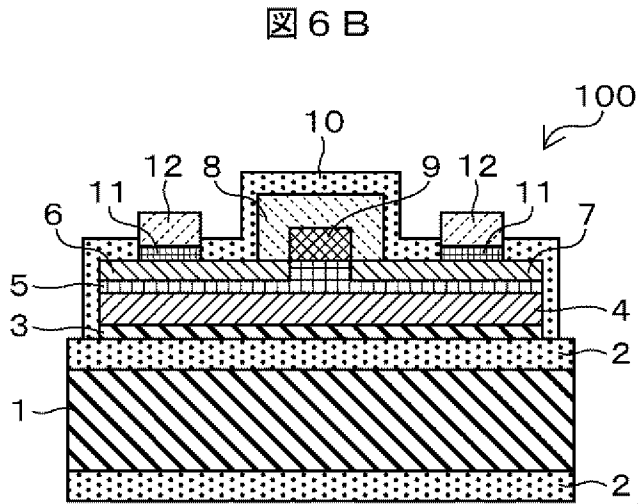
[図5C]



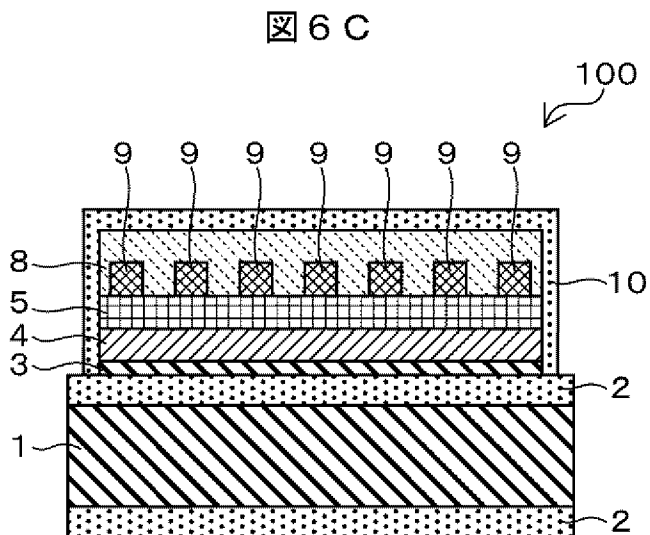
[図6A]



[図6B]

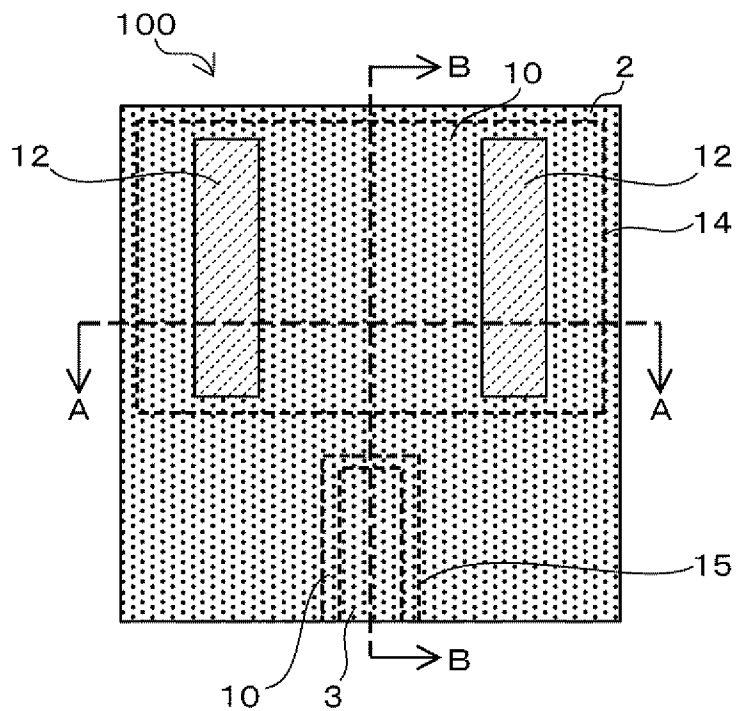


[図6C]



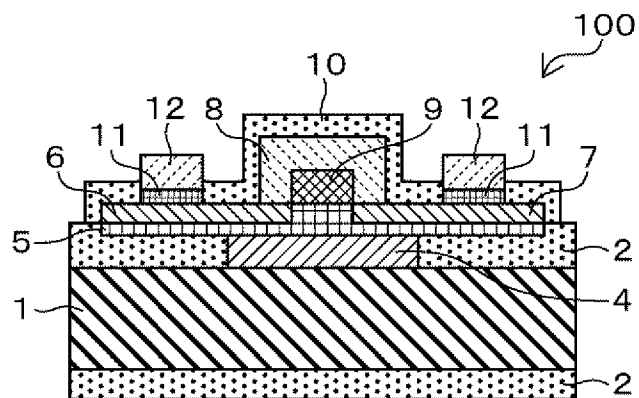
[図7A]

図 7 A



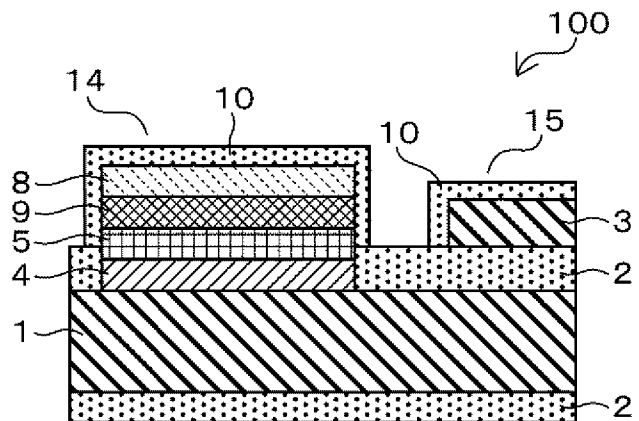
[図7B]

図 7 B



[図7C]

図 7 C



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/071060

A. CLASSIFICATION OF SUBJECT MATTER
H01S5/32(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01S5/00-5/50, H01L33/00-33/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
JSTPlus (JDreamIII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2011/111436 A1 (Hitachi, Ltd.), 15 September 2011 (15.09.2011), entire text; all drawings (particularly, paragraphs [0068] to [0070], [0082], [0083], [0095] to [0114], [0119] to [0137]; fig. 13, 16) & US 2012/0287959 A1	1-15
Y	WO 2013/088490 A1 (Hitachi, Ltd.), 20 June 2013 (20.06.2013), entire text; all drawings (particularly, paragraphs [0010], [0018] to [0021]) (Family: none)	1-15

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 09 April 2015 (09.04.15)	Date of mailing of the international search report 21 April 2015 (21.04.15)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/071060

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-207231 A (Hitachi, Ltd.), 07 October 2013 (07.10.2013), entire text; all drawings (particularly, paragraphs [0113] to [0148]; fig. 24, 29) (Family: none)	1-15
A	JP 2007-173590 A (Toshiba Corp.), 05 July 2007 (05.07.2007), entire text; all drawings (particularly, paragraphs [0051], [0109]; fig. 10) & US 2007/0145394 A1	1-15
A	JP 2009-514231 A (Massachusetts Institute of Technology), 02 April 2009 (02.04.2009), entire text; all drawings (particularly, claim 8; paragraph [0012]) & US 2007/0105251 A1 & EP 1952495 A2 & WO 2007/053431 A2	1-15
A	US 5548128 A (THE UNITED STATES OF AMERICA AS REPRESENTED BY THE SECRETARY OF THE AIR FORCE), 20 August 1996 (20.08.1996), entire text; all drawings (particularly, column 2, lines 41 to 58) (Family: none)	1-15

A. 発明の属する分野の分類（国際特許分類（IPC））
 Int.Cl. H01S5/32(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（IPC））
 Int.Cl. H01S5/00-5/50, H01L33/00-33/46

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2015年
 日本国実用新案登録公報 1996-2015年
 日本国登録実用新案公報 1994-2015年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）
 JSTPlus(JDreamIII)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2011/111436 A1（株式会社日立製作所）2011.09.15, 全文、全図（特に、[0068]-[0070], [0082], [0083], [0095]-[0114], [0119]-[0137]、図 13, 16） & US 2012/0287959 A1	1-15
Y	WO 2013/088490 A1（株式会社日立製作所）2013.06.20, 全文、全図（特に、[0010], [0018]-[0021]） （ファミリーなし）	1-15

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 09.04.2015	国際調査報告の発送日 21.04.2015
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 佐藤 秀樹 電話番号 03-3581-1101 内線 3294	2 X	3 1 5 4
--	---	-----	---------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-207231 A (株式会社日立製作所) 2013. 10. 07, 全文、全図 (特に、[0113]-[0148]、図 24, 29) (ファミリーなし)	1-15
A	JP 2007-173590 A (株式会社東芝) 2007. 07. 05, 全文、全図 (特に、[0051], [0109]、図 10) & US 2007/0145394 A1	1-15
A	JP 2009-514231 A (マサチューセッツ・インスティテュート・オブ・ テクノロジー) 2009. 04. 02, 全文、全図 (特に、請求項 8、[0012]) & US 2007/0105251 A1 & EP 1952495 A2 & WO 2007/053431 A2	1-15
A	US 5548128 A (THE UNITED STATES OF AMERICA AS REPRESENTED BY THE SECRETARY OF THE AIR FORCE) 1996. 08. 20, 全文、全図 (特に、第 2 欄第 41-58 行) (ファミリーなし)	1-15