(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G09G 3/28 (2006.01)

(45) 공고일자 2007년01월12일
(11) 등록번호 10-0667550
(24) 등록일자 2007년01월05일

(21) 출원번호 10-2005-0002353
(22) 출원일자 2005년01월10일
심사청구일자 2005년01월10일

(65) 공개번호 10-2006-0081608
(43) 공개일자 2006년07월13일

(73) 특허권자 엘지전자 주식회사
서울특별시 영등포구 여의도동 20번지

(72) 발명자 이병준
경기도 용인시 죽전동 벽산아파트 207동 903호

(74) 대리인 이수웅

(56) 선행기술조사문헌
US20040239592 A1 1020040013160
* 심사관에 의하여 인용된 문헌

심사관 : 김민수

전체 청구항 수 : 총 12 항

(54) 플라즈마 디스플레이 패널의 구동방법

(57) 요약

본 발명은 서스테인 구간에 인가되는 서스테인 펄스를 개선하여 명잔상을 감소시키는 플라즈마 디스플레이 패널의 구동방법에 관한 것으로, 플라즈마 디스플레이 패널의 구동효율을 높이고, 명잔상을 개선하는 효과가 있다.

이러한 본 발명은 발광횟수가 다른 다수개의 서브필드가 초기화기간, 어드레스 기간, 서스테인 기간에서 어드레스 전극, 스캔 전극, 서스테인 전극을 포함하는 방전셀에 펄스를 인가하여 화상을 구현하는 플라즈마 디스플레이 패널 구동방법에 있어서, 서스테인 기간에서 스캔 전극으로 인가되는 서스테인 펄스와 서스테인 전극으로 인가되는 서스테인 펄스는 서로 오버랩(Overlap)되고, 스캔 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Y 유지기간의 길이와의 합은, 서스테인 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Z유지기간의 길이와의 합과 서로 다른 것을 특징으로 한다.

대표도

도 9

특허청구의 범위

청구항 1.

발광횟수가 다른 다수개의 서브필드가 초기화기간, 어드레스 기간, 서스테인 기간에서 어드레스 전극, 스캔 전극, 서스테인 전극을 포함하는 방전셀에 펄스를 인가하여 화상을 구현하는 플라즈마 디스플레이 패널 구동방법에 있어서,

상기 서스테인 기간에서 상기 스캔 전극으로 인가되는 서스테인 펄스와 상기 서스테인 전극으로 인가되는 서스테인 펄스는 서로 오버랩(Overlap)되고,

상기 스캔 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Y유지기간의 길이와의 합은, 상기 서스테인 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Z유지기간의 길이와의 합보다 작고,

상기 서스테인 기간에 상기 스캔 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Y유지기간의 길이의 합과, 상기 서스테인 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Z유지기간의 길이의 합은 상기 방전셀의 셀 피치(Cell Pitch)에 따라 가변되는 것

을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 2.

제 1 항에 있어서,

상기 서스테인 기간에 상기 스캔 전극으로 인가되는 서스테인 펄스와 상기 서스테인 전극으로 인가되는 서스테인 펄스가 서로 오버랩되는 지점은, 서스테인 전압(Vs)의 1/2(Vs/2)의 지점에서 ± 50ns(나노초)의 범위 내의 지점인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 3.

제 1 항에 있어서,

상기 오버랩되는 지점에서 ER-Down하는 서스테인 펄스의 ER-Down기간의 길이와 ER-Up하는 서스테인 펄스의 ER-Up기간의 길이는 서로 다른 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 4.

제 3 항에 있어서,

상기 오버랩되는 지점에서 ER-Down하는 서스테인 펄스의 ER-Down기간의 길이는 ER-Up하는 서스테인 펄스의 ER-Up기간의 길이 보다 작거나 같은 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 5.

제 4 항에 있어서,

상기 오버랩되는 지점에서 ER-Down하는 서스테인 펄스의 ER-Down기간의 길이는 400ns(나노초)이상인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 6.

제 4 항에 있어서,

상기 오버랩되는 지점에서 ER-Up하는 서스테인 펄스의 ER-Up기간의 길이는 400ns(나노초)이상인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 7.

제 1 항 내지 제 6 항 중 어느 하나의 항에 있어서,

상기 오버랩되는 지점은, 상기 스캔 전극으로 인가되는 서스테인 펄스가 ER-Down하고, 상기 서스테인 전극으로 인가되는 서스테인 펄스가 ER-Up하는 지점인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 8.

삭제

청구항 9.

제 1 항에 있어서,

상기 방전셀의 셀 피치가 감소할수록 상기 스캔 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Y유지기간의 길이의 합과, 상기 서스테인 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Z유지기간의 길이의 합의 차이가 증가하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 10.

제 1 항 또는 제 9 항에 있어서,

상기 방전셀의 셀 피치가 브이 지 에이(Video Graphics Array : VGA)급인 경우에 상기 스캔 전극 또는 상기 서스테인 전극 중 어느 하나의 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Y 또는 Z유지기간의 길이의 합은 상기 서스테인 펄스의 한 주기의 20%이상 25%이하의 길이를 갖는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 11.

제 1 항 또는 제 9 항에 있어서,

상기 방전셀의 셀 피치가 브이 지 에이(Video Graphics Array : VGA)급인 경우에 상기 스캔 전극 또는 상기 서스테인 전극 중 어느 하나의 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Y 또는 Z유지기간의 길이의 합은 상기 서스테인 펄스의 한 주기의 75%이상 80%이하의 길이를 갖는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 12.

제 1 항 또는 제 9 항에 있어서,

상기 방전셀의 셀 피치가 엑스 지 에이(Extended Graphics Array : XGA)급인 경우에 상기 스캔 전극 또는 상기 서스테인 전극 중 어느 하나의 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Y유지기간의 길이의 합은 상기 서스테인 펄스의 한 주기의 15%이상 20%이하의 길이를 갖는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 13.

제 1 항 또는 제 9 항에 있어서,

상기 방전셀의 셀 피치가 엑스 지 에이(Extended Graphics Array : XGA)급인 경우에 상기 스캔 전극 또는 상기 서스테인 전극 중 어느 하나의 전극으로 인가되는 서스테인 펄스의 ER-Up기간부터 서스테인 전압(Vs)을 유지하는 Y유지기간까지의 길이는 상기 서스테인 펄스의 한 주기의 80%이상 85%이하의 길이를 갖는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 디스플레이 패널에 관한 것으로, 보다 상세하게는 서스테인 구간에 인가되는 서스테인 펄스를 개선하여 명잔상을 감소시키는 플라즈마 디스플레이 패널의 구동방법에 관한 것이다.

일반적으로 플라즈마 디스플레이 패널은 전면기판과 후면기판 사이에 형성된 격벽이 하나의 단위 셀을 이루는 것으로, 각 셀 내에는 네온(Ne), 헬륨(He) 또는 네온 및 헬륨의 혼합기체(Ne+ He)와 같은 주 방전 기체와 소량의 크세논을 함유하는 불활성 가스가 충진되어 있다. 고주파 전압에 의해 방전이 될 때, 불활성 가스는 진공자외선(Vacuum Ultraviolet rays)을 발생하고 격벽 사이에 형성된 형광체를 발광시켜 화상이 구현된다. 이와 같은 플라즈마 디스플레이 패널은 얇고 가벼운 구성이 가능하므로 차세대 표시장치로서 각광받고 있다.

도 1은 일반적인 플라즈마 디스플레이 패널의 구조를 나타낸 도이다.

도 1에 도시된 바와 같이, 플라즈마 디스플레이 패널은 화상이 디스플레이 되는 표시면인 전면 글라스(101)에 스캔 전극(102)과 서스테인 전극(103)이 쌍을 이뤄 형성된 복수의 유지전극쌍이 배열된 전면기판(100) 및 배면을 이루는 후면 글라스(111) 상에 전술한 복수의 유지전극쌍과 교차되도록 복수의 어드레스 전극(113)이 배열된 후면기판(110)이 일정거리를 사이에 두고 평행하게 결합된다.

전면기판(100)은 하나의 방전셀에서 상호 방전시키고 셀의 발광을 유지하기 위한 스캔 전극(102) 및 서스테인 전극(103), 즉 투명한 ITO 물질로 형성된 투명 전극(a)과 금속재질로 제작된 버스 전극(b)으로 구비된 스캔 전극(102) 및 서스테인 전극(103)이 쌍을 이뤄 포함된다. 스캔 전극(102) 및 서스테인 전극(103)은 방전 전류를 제한하며 전극 쌍 간을 절연시켜주는 하나 이상의 상부 유전체층(104)에 의해 덮혀지고, 상부 유전체층(104) 상면에는 방전 조건을 용이하게 하기 위하여 산화마그네슘(MgO)을 증착한 보호층(105)이 형성된다.

후면기판(110)은 복수개의 방전 공간 즉, 방전셀을 형성시키기 위한 스트라이프 타입(또는 웰 타입)의 격벽(112)이 평행을 유지하여 배열된다. 또한, 어드레스 방전을 수행하여 진공자외선을 발생시키는 다수의 어드레스 전극(113)이 격벽(112)에 대해 평행하게 배치된다. 후면기판(110)의 상측면에는 어드레스 방전 시 화상표시를 위한 가시광선을 방출하는 R, G, B 형광체(114)가 도포된다. 어드레스 전극(113)과 형광체(114) 사이에는 어드레스 전극(113)을 보호하기 위한 하부 유전체층(115)이 형성된다.

이와 같은 구조를 갖는 플라즈마 디스플레이 패널의 화상 계조를 표현하는 방법을 살펴보면 다음 도 2와 같다.

도 2는 종래 플라즈마 디스플레이 패널의 화상 계조를 구현하는 방법을 나타낸 도이다.

도 2에 도시된 바와 같이, 종래 플라즈마 디스플레이 패널의 화상 계조(Gray Level) 표현 방법은 한 프레임을 발광횟수가 다른 여러 서브필드로 나누고, 각 서브필드는 다시 모든 셀들을 초기화시키기 위한 리셋기간(RPD), 방전될 셀을 선택하기 위한 어드레스기간(APD) 및 방전횟수에 따라 계조를 구현하는 서스테인 기간(SPD)으로 나뉘어진다. 예를 들어, 256 계조로 화상을 표시하고자 하는 경우에 1/60 초에 해당하는 프레임기간(16.67ms)은 도 2와 같이 8개의 서브필드들(SF1 내지 SF8)로 나누어지고, 8개의 서브 필드들(SF1 내지 SF8) 각각은 리셋기간, 어드레스기간 및 서스테인 기간으로 다시 나누어지게 된다.

각 서브필드의 리셋기간 및 어드레스기간은 각 서브필드마다 동일하다. 방전될 셀을 선택하기 위한 어드레스방전은 어드레스 전극과 스캔 전극인 투명전극 사이의 전압차에 의해 일어난다. 서스테인 기간은 각 서브필드에서 2^n(단, n = 0, 1, 2, 3, 4, 5, 6, 7)의 비율로 증가된다. 이와 같이 각 서브필드에서 서스테인 기간이 달라지게 되므로 각 서브필드의 서스테인 기간 즉, 서스테인 방전 횟수를 조절하여 화상의 계조를 표현하게 된다. 이러한 플라즈마 디스플레이 패널의 구동 방법에 따른 구동파형을 살펴보면 다음 도 3과 같다.

도 3는 종래 플라즈마 디스플레이 패널의 구동 방법에 따른 구동파형을 나타낸 도면이다.

도 3에 도시된 바와 같이, 플라즈마 디스플레이 패널은 모든 셀들을 초기화시키기 위한 리셋 기간, 방전할 셀을 선택하기 위한 어드레스 기간, 선택된 셀의 방전을 유지시키기 위한 서스테인 기간 및 방전된 셀 내의 벽전하를 소거하기 위한 소거기간으로 나뉘어 구동된다.

리셋 기간에 있어서, 셋업 기간에는 모든 스캔 전극들에 상승 램프파형(Ramp-up)이 동시에 인가된다. 이 상승 램프파형에 의해 전화면의 방전셀들 내에는 약한 암방전(Dark Discharge)이 일어난다. 이 셋업 방전에 의해 어드레스 전극과 서스테인 전극상에는 정극성 벽전하가 쌓이게 되며, 스캔 전극 상에는 부극성의 벽전하가 쌓이게 된다.

셋다운 기간에는 상승 램프파형이 공급된 후, 상승 램프파형의 피크전압보다 낮은 정극성 전압에서 떨어지기 시작하여 그라운드(GND)레벨 전압 이하의 특정 전압레벨까지 떨어지는 하강 램프파형(Ramp-down)이 셀들 내에 미약한 소거방전을 일으킴으로써 스캔 전극에 과도하게 형성된 벽 전하를 충분히 소거시키게 된다. 이 셋다운 방전에 의해 어드레스 방전이 안정되게 일어날 수 있을 정도의 벽전하가 셀들 내에 균일하게 잔류된다.

어드레스 기간에는 부극성 스캔 신호(Scan)가 스캔 전극들에 순차적으로 인가됨과 동시에 스캔 신호에 동기되어 어드레스 전극에 정극성의 데이터 신호가 인가된다. 이 스캔 신호와 데이터 신호의 전압 차와 리셋 구간에 생성된 벽 전압이 더해지면서 데이터 신호가 인가되는 방전셀 내에는 어드레스 방전이 발생된다. 어드레스 방전에 의해 선택된 셀들 내에는 서스테인 전압(Vs)이 인가될 때 방전이 일어날 수 있게 하는 정도의 벽전하가 형성된다. 서스테인 전극에는 셋다운 기간과 어드레스 기간 동안에 스캔 전극과의 전압차를 줄여 스캔 전극과의 오방전이 일어나지 않도록 정극성 전압(Vz)이 공급된다.

서스테인 기간에는 스캔 전극과 서스테인 전극들에 교번적으로 서스테인 신호(Sus)가 인가된다. 어드레스 방전에 의해 선택된 셀은 셀 내의 벽 전압과 서스테인 신호가 더해지면서 매 서스테인 신호가 인가될 때 마다 스캔 전극과 서스테인 전극 사이에 서스테인 방전 즉, 표시방전이 일어나게 된다.

서스테인 방전이 완료된 후, 소거 기간에서는 펄스폭과 전압레벨이 작은 소거 램프파형(Ramp-ers)의 전압이 서스테인 전극에 공급되어 전화면의 셀들 내에 잔류하는 벽 전하를 소거시키게 된다.

이와 같이 구동되는 종래 플라즈마 디스플레이 패널은 패널 표시 면에 국부적으로 방전이 일어나게 되면 일반적으로 잔상, 예컨대 명잔상이 발생하는 문제점이 있다.

도 4는 종래의 플라즈마 디스플레이 패널에서 발생되는 명잔상의 발생을 설명하기 위한 도면이다. 도 4에 도시된 바와 같이, 소정의 윈도우 패턴을 화면 중앙 부분에 표시하는 경우, 윈도우 패턴은 패널 표시면(400)의 일부분(400a)에 집중적으로 방전을 일으킨다. 이어서, 패널 전체(400b)에 방전을 일으키면, 패널 표시면(400)의 일부분(400a)에 표시되었던 윈도우 패턴이 잔상(400c)으로 나타난다. 이러한 잔상(400c)은 여러 가지 원인에 의하여 나타나지만 궁극적으로는 패널 표시면의 셀 방전시 형광체의 발광효율이 불안정하여 나타나게 된다. 특히, 최근에는 방전 효율의 특성의 향상을 위해 방전셀

내의 크세논(Xe)의 함량을 증가시키고 있다. 이러한 방전셀 내의 크세논(Xe)의 함량의 증가는 전술한 바와 같은 명잔상 현상을 더욱 발생시킨다. 이러한 방전셀 내의 크세논(Xe)의 함량과 방전셀 내의 방전형태의 상관관계를 살펴보면 다음 도 5와 같다.

도 5는 방전셀 내의 크세논(Xe)의 함량과 방전의 형태와의 상관관계를 설명하기 위한 도면이다. 도시된 바와 같이, 크세논(Xe)의 함량이 많은 방전셀 내에서의 방전이 더욱 어드레스 전극(113)쪽으로 끌린다. 이러한 방전을 도 3에 나타난 종래의 구동파형에서 서스테인 기간에서의 서스테인 펄스를 보다 상세히 나타낸 도 6을 결부시켜 살펴보면 다음과 같다.

예컨대 어드레스 전극(113)과 서스테인 전극(103)에 그라운드 레벨의 전압이 인가되는 상태에서 스캔 전극(102)에 서스테인 전압(Vs)이 인가되면, 스캔 전극(102)에 의한 서스테인 방전이 발생된다. 이와는 반대로 어드레스 전극(113)과 스캔 전극(102)에 그라운드 레벨의 전압이 인가되는 상태에서 서스테인 전극(103)에 서스테인 전압(Vs)이 인가되면, 서스테인 전극(103)에 의한 서스테인 방전이 발생된다. 이러한 서스테인 방전은 스캔 전극(102)과 서스테인 전극(103) 사이에서 발생하는 면 방전에 의존하지만, 플라즈마 디스플레이 패널 내부의 크세논(Xe)의 양이 증가하면 할수록, 스캔 전극(102)과 서스테인 전극(103)간의 면방전 시 어드레스 전극(113)과의 강한 상호작용으로 스캔 전극(102)과 서스테인 전극(103)간의 전계를 분산시켜 방전셀 내에서의 방전이 더욱 어드레스 전극(113)쪽으로 끌린다. 즉, 방전셀 내에 크세논(Xe)의 함량이 증가할수록 방전셀 내에서의 방전은 어드레스 전극(113)쪽으로 끌린다.

또한, 이러한 도 6의 서스테인 펄스에서는 스캔 전극(102)에 서스테인 전압(Vs)이 공급되어 유지되는 기간과, 서스테인 전극(103)에 서스테인 전압(Vs)이 공급되어 유지되는 기간이 동일하다. 여기서, 스캔 전극(102)에 서스테인 전압(Vs)이 공급되는 동안에 강방전이 발생하고, 서스테인 전극(103)에 서스테인 전압(Vs)이 공급되는 동안에도 강방전이 발생하여 방전셀 내에서의 방전에 어드레스 전극(113)쪽으로 더욱 끌리게 된다.

이와 같이, 방전셀 내의 방전이 어드레스 전극(113)쪽으로 끌리면 끌릴수록 플라즈마 디스플레이 패널의 형광체 중 하부 형광체를 열화시켜 플라즈마 디스플레이 패널의 수명을 단축시키고, 명잔상을 더욱 발생시킨다. 여기서 전술한 형광체는 플라즈마 디스플레이 패널의 제조 초기에 매우 불안정한 상태로서 이를 안정시키기 위해서 플라즈마 디스플레이 패널의 제조 시 에이징(Aging)을 실시하게 되는데, 이러한 형광체 에이징에 대해 살펴보면 다음 도 7과 같다.

도 7은 플라즈마 디스플레이 패널의 형광체를 안정시키기 위해 실시하는 에이징(Aging)을 설명하기 위한 도면이다.

도 7에 도시된 바와 같이, 플라즈마 디스플레이 패널의 형광체를 안정시키기 위해 실시하는 에이징 시 플라즈마 디스플레이 패널의 형광체(114) 중에서 하부 형광체(114b)보다 격벽(112)측에 형성되는 측벽 형광체(114a)가 상대적으로 더 열화가 된다. 따라서 측벽 형광체(114a)는 하부 형광체(114b)보다 더욱 안정된다. 결국, 플라즈마 디스플레이 패널의 에이징 시 측벽 형광체(114a)의 절대 휘도를 하부 형광체(114b)보다 현저히 떨어뜨려 측벽 형광체(114a)의 방전 흔들림 폭이 하부 형광체(114b)의 방전 흔들림 폭보다 더 작게 된다. 이러한 방전 흔들림을 살펴보면 다음 도 8과 같다.

도 8은 플라즈마 디스플레이 패널의 형광체의 방전 흔들림을 설명하기 위한 도면이다.

도 8에 도시된 바와 같이, 플라즈마 디스플레이 패널의 형광체 중에서 하부 형광체는 측벽 형광체에 비해 방전 흔들림 폭이 상대적으로 더 크다. 즉, 방전한 이후에 안정된 상태로 복귀하는데 걸리는 시간이 하부 형광체가 측벽 형광체에 비해 상대적으로 더 길다.

이에 따라, 전술한 바와 같이 크세논(Xe)의 양이 증가하거나 또는 서스테인 기간에서 스캔 전극과 서스테인 전극간에 강방전만이 반복적으로 발생되는 이유로 인해 방전셀 내에서 스캔 전극과 서스테인 전극 간에 발생한 면방전이 어드레스 전극쪽으로 끌리면 플라즈마 디스플레이 패널의 에이징(Aging) 시 상대적으로 덜 열화되었던 하부 형광체가 열화되어 플라즈마 디스플레이 패널의 수명이 감소되며, 이와 함께 방전후 안정된 상태로 복귀하는 복귀 시간이 상대적으로 긴 하부 형광체가 발광함으로 인해 플라즈마 디스플레이 패널의 표시면 상에 명잔상이 발생되는 것이다.

이러한 명잔상 생성의 문제점은 면방전시 스캔 전극 및 서스테인 전극에 인가되는 서스테인 펄스의 ER-Up 타임을 길게 가져가면 해결가능하다. 이러한 ER_Up 타임(Energy Recovery Time)이란 서스테인 펄스가 0V에서 서스테인 전압(Vs)까지 상승할 때의 시간을 말한다. 이렇게 ER-Up Time을 길게 가져가면 면방전 시 방전이 어드레스 전극쪽으로 끌리는 것을 감소시킨다. 이에 따라, 명잔상이 감소한다.

그러나 이러한 서스테인 펄스의 ER_Up 타임이 길어지게 되면 화면에 잔상이 나타남을 개선할 수 있지만, 반면에 로드 이펙트(Load effect)와 고온에서 오방전 발생율이 급격하게 증가하고, 마진(Margin)이 감소하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

이러한 문제점을 해결하기 위한 본 발명은, 서스테인 기간에서 인가되는 서스테인 펄스를 개선하여 명잔상의 발생을 저감시키는 플라즈마 디스플레이 패널의 구동방법을 제공하는데 그 목적이 있다.

발명의 구성

이러한 목적을 이루기 위한 본 발명은 발광횟수가 다른 다수개의 서브필드가 초기화기간, 어드레스 기간, 서스테인 기간에서 어드레스 전극, 스캔 전극, 서스테인 전극을 포함하는 방전셀에 펄스를 인가하여 화상을 구현하는 플라즈마 디스플레이 패널 구동방법에 있어서, 서스테인 기간에서 스캔 전극으로 인가되는 서스테인 펄스와 서스테인 전극으로 인가되는 서스테인 펄스는 서로 오버랩(Overlap)되고, 스캔 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Y유지기간의 길이와의 합은, 서스테인 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Z유지기간의 길이와의 합과 서로 다르고 서스테인 기간에 스캔 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Y유지기간의 길이의 합과, 서스테인 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Z유지기간의 길이의 합은 방전셀의 셀 피치(Cell Pitch)에 따라 가변되는 것을 특징으로 한다.

여기서, 서스테인 기간에 스캔 전극으로 인가되는 서스테인 펄스와 서스테인 전극으로 인가되는 서스테인 펄스가 서로 오버랩되는 지점은, 서스테인 전압(Vs)의 1/2(Vs/2)의 지점에서 ± 50ns(나노초)의 범위 내의 지점인 것을 특징으로 한다.

또한, 오버랩되는 지점에서 ER-Down하는 서스테인 펄스의 ER-Down기간의 길이와 ER-Up하는 서스테인 펄스의 ER-Up기간의 길이는 서로 다른 것을 특징으로 한다.

또한, 오버랩되는 지점에서 ER-Down하는 서스테인 펄스의 ER-Down기간의 길이는 ER-Up하는 서스테인 펄스의 ER-Up기간의 길이 보다 작거나 같은 것을 특징으로 한다.

또한, 오버랩되는 지점에서 ER-Down하는 서스테인 펄스의 ER-Down기간의 길이는 400ns(나노초)이상인 것을 특징으로 한다.

또한, 오버랩되는 지점에서 ER-Up하는 서스테인 펄스의 ER-Up기간의 길이는 400ns(나노초)이상인 것을 특징으로 한다.

또한, 오버랩되는 지점은, 스캔 전극으로 인가되는 서스테인 펄스가 ER-Down하고, 서스테인 전극으로 인가되는 서스테인 펄스가 ER-Up하는 지점인 것을 특징으로 한다.

또한, 서스테인 기간에 스캔 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Y유지기간의 길이의 합과, 서스테인 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Z유지기간의 길이의 합은 상기 방전셀의 셀 피치(Cell Pitch)에 따라 가변되는 것을 특징으로 한다.

또한, 방전셀의 셀 피치가 감소할수록 스캔 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Y유지기간의 길이의 합과, 서스테인 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Z유지기간의 길이의 합의 차이가 증가하는 것을 특징으로 한다.

또한, 방전셀의 셀 피치가 브이 지 에이(Video Graphics Array : VGA)급인 경우에 스캔 전극 또는 서스테인 전극 중 어느 하나의 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Y 또는 Z유지기간의 길이의 합은 서스테인 펄스의 한 주기의 20%이상 25%이하의 길이를 갖는 것을 특징으로 한다.

또한, 방전셀의 셀 피치가 브이 지 에이(Video Graphics Array : VGA)급인 경우에 스캔 전극 또는 서스테인 전극 중 어느 하나의 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Y 또는 Z유지기간의 길이의 합은 서스테인 펄스의 한 주기의 75%이상 80%이하의 길이를 갖는 것을 특징으로 한다.

또한, 방전셀의 셀 피치가 엑스 지 에이(Extended Graphics Array : XGA)급인 경우에 스캔 전극 또는 서스테인 전극 중 어느 하나의 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Y유지기간의 길이의 합은 서스테인 펄스의 한 주기의 15%이상 20%이하의 길이를 갖는 것을 특징으로 한다.

또한, 방전셀의 셀 피치가 엑스 지 에이(Extended Graphics Array : XGA)급인 경우에 스캔 전극 또는 서스테인 전극 중 어느 하나의 전극으로 인가되는 서스테인 펄스의 ER-Up기간부터 서스테인 전압(Vs)을 유지하는 Y유지기간까지의 길이는 서스테인 펄스의 한 주기의 80%이상 85%이하의 길이를 갖는 것을 특징으로 한다.

이하 첨부된 도면을 참조하여 본 발명의 플라즈마 디스플레이 패널의 구동방법을 상세히 설명한다.

도 9는 본 발명의 플라즈마 디스플레이 패널의 구동방법에 따른 구동파형을 나타낸 도면이다.

도 9에 도시된 바와 같이, 본 발명의 플라즈마 디스플레이 패널의 구동방법에 따른 구동파형은 서스테인 기간에서 스캔 전극(Y)으로 인가되는 서스테인 펄스와 서스테인 전극(Z)으로 인가되는 서스테인 펄스는 서로 오버랩(Overlap)된다. 이 때 스캔 전극(Y)으로 인가되는 서스테인 펄스의 기울기(Slope)가 0이상(0≥)인 기간(Ws), 즉 스캔 전극(Y)으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Y유지기간의 길이의 합과, 서스테인 전극(Z)으로 인가되는 서스테인 펄스의 기울기가 0이상(0≥)인 기간(Wc), 즉 서스테인 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Z유지기간의 길이의 합은 서로 다르다.

여기 도 9에서는 스캔 전극(Y)으로 인가되는 서스테인 펄스가 하강, 즉 ER-Down하고 서스테인 전극(Z)으로 인가되는 서스테인 펄스는 상승, 즉 ER-Up하는 기간에서 서스테인 펄스들이 오버랩되는 것만을 도시하였지만, 본 발명은 스캔 전극(Y)으로 인가되는 서스테인 펄스가 상승, 즉 ER-Up하고 서스테인 전극(Z)으로 인가되는 서스테인 펄스가 하강, 즉 ER-Down하는 기간에서 서스테인 펄스들이 오버랩될 수도 있고, 또는 스캔 전극(Y)으로 인가되는 서스테인 펄스가 ER-Up 또는 ER-Down하고, 이에 대응되는 서스테인 전극(Z)으로 인가되는 서스테인 펄스가 ER-Down 또는 ER-Up하는 기간에 각각 오버랩될 수도 있다.

여기서, 본 발명의 구동방법에 따른 구동파형은 스캔 전극(Y)으로 인가되는 서스테인 펄스의 기울기(Slope)가 0이상(0≥)인 기간(Ws), 스캔 전극(Y)으로 인가되는 서스테인 펄스의 Y(ER-Up)기간부터 서스테인 전압(Vs)을 유지하는 Y유지기간까지의 길이와, 서스테인 전극(Z)으로 인가되는 서스테인 펄스의 기울기가 0이상(0≥)인 기간(Wc), 즉 서스테인 전극(Z)으로 인가되는 서스테인 펄스의 Z(ER-Up)기간부터 서스테인 전압(Vs)을 유지하는 Z유지기간까지의 길이의 길이는 서로 다른데, 여기 도 9에서는 스캔 전극(Y)으로 인가되는 서스테인 펄스의 기울기(Slope)가 0이상(0≥)인 기간(Ws)의 길이가 서스테인 전극(Z)으로 인가되는 서스테인 펄스의 기울기가 0이상(0≥)인 기간(Wc)의 길이보다 더 짧은 경우만을 도시하고 설명하였다. 이와 반대의 경우는 이후에 도 12에서 설명한다.

여기서, 스캔 전극(Y)으로 인가되는 서스테인 펄스는 상승 또는 하강 시에 소정의 기울기를 가지고 점진적으로 상승 또는 하강한다. 또한, 서스테인 전극(Z)으로 인가되는 서스테인 펄스도 상승 또는 하강 시에 소정의 기울기를 가지고 점진적으로 상승 또는 하강한다. 즉, 도 9와 같이, 소정 길이의 ER-Up Time 또는 ER-Down Time을 갖는다.

이는 서스테인 방전 시 순간적인 포텐셜(Potential) 전위차를 줄여주어 어드레스 전극과의 상호 작용을 최소화하기 위한 것이다. 따라서 서스테인 방전 시 방전이 어드레스 전극쪽으로 끌리는 현상이 저감되어 각 형광체 방전효율을 안정적으로 유지하고, 잔상, 즉 명잔상의 생성을 저감시킬 수 있게 된다.

또한, 이와 같이 스캔 전극(Y)으로 인가되는 서스테인 펄스와 서스테인 전극(Z)으로 인가되는 서스테인 펄스가 서로 오버랩됨에 따라, 스캔 전극(Y) 또는 서스테인 전극(Z)으로 인가되는 서스테인 펄스의 ER-Down기간의 길이 또는 ER-Up기간의 길이가 길어지면서 발생하는 서스테인 마진의 저하를 방지한다. 예를 들면, 전술한 바와 같이, 스캔 전극(Y)으로 인가되는 서스테인 펄스 또는 서스테인 전극(Z)으로 인가되는 서스테인 펄스가 상승 또는 하강 시에 소정의 기울기를 가지고 점진적으로 상승 또는 하강하게 되면 명잔상의 생성은 억제되지만 하나의 서스테인 펄스가 인가되는 시간이 길어져 서스테인 마진이 악화되는데, 전술한 바와 같이 스캔 전극(Y)으로 인가되는 서스테인 펄스와 서스테인 전극(Z)으로 인가되는 서스테인 펄스가 서로 오버랩이 됨에 따라 이러한 서스테인 마진이 악화되는 것을 방지하는 것이다.

또한, 여기서 스캔 전극(Y)으로 인가되는 서스테인 펄스와 서스테인 전극(Z)으로 인가되는 서스테인 펄스를 서로 오버랩시키는 다른 이유는, 스캔 전극(Y)에 인가된 서스테인 펄스의 ER-Down 타임 시 유발되는 자가 방전의 프라이밍(Priming) 입자를 이용하여 이후 낮은 전압으로 서스테인 전극(Z)에 서스테인 펄스를 인가하기 위함임을 밝혀둔다.

또한, 전술한 바와 같이 스캔 전극(Y)으로 인가되는 서스테인 펄스의 서스테인 전압(Vs)을 유지하는 유지기간, 즉 Y유지기간과 서스테인 전극(Z)으로 인가되는 서스테인 펄스의 서스테인 전압(Vs)을 유지하는 기간, 즉 Z유지기간의 길이가 서로 다르다. 이러한 서스테인 펄스를 도 10을 결부하여 좀 더 상세히 살펴보면 다음과 같다.

도 10을 살펴보면, 전술한 서스테인 기간에서 스캔 전극(Y)으로 인가되는 서스테인 펄스와 서스테인 전극(Z)으로 인가되는 서스테인 펄스가 서로 오버랩(overlap)되는 지점은, 서스테인 전압(Vs)의 1/2(Vs/2)의 지점에서 ± 50ns(나노초)이내 범위의 지점인 것이 바람직하다. 예컨대, 스캔 전극(Y) 또는 서스테인 전극(Z)으로 인가되는 서스테인 펄스가 서스테인 전압(Vs)의 1/2(Vs/2)이 되는 시점이 200ns(나노초)라고 가정하면, 전술한 서스테인 기간에서 스캔 전극(Y)으로 인가되는 서스테인 펄스와 서스테인 전극(Z)으로 인가되는 서스테인 펄스가 서로 오버랩(Overlap)되는 지점은, 서스테인 전압(Vs)의 1/2(Vs/2)의 지점의 50ns(나노초)이전, 즉 150ns(나노초)의 시점부터 서스테인 전압(Vs)의 1/2(Vs/2)의 지점의 50ns(나노초)이후, 즉 250ns(나노초)의 시점까지의 범위 내의 지점이다. 이에 따라, 서스테인 방전이 더욱 안정된다. 또한 스캔 전극(Y)에서 서스테인 펄스의 ER-Up 타임이 길어지면서 발생되는 방전전압의 상승은 이 후, 서스테인 전극에 낮은 전압으로도 서스테인 방전이 일어나기 때문에 전체적으로는 방전전압의 상승이 일어나지 않게 된다. 물론, 스캔 전극(Y)과 서스테인 전극(Z)의 ER-Up 타임이 바뀌면서 오버랩이 되더라도 방전전압의 상승이 일어나지 않게 된다.

본 발명의 구동파형은 또한 전술한 바와 같이, 스캔 전극(Y)으로 인가되는 서스테인 펄스의 기울기(Slope)가 0이상(0≥)인 기간(Ws)의 길이와, 서스테인 전극(Z)으로 인가되는 서스테인 펄스의 기울기가 0이상(0≥)인 기간(Wc)의 길이는 서로 다르다. 즉, 스캔 전극(Y)으로 인가되는 서스테인 펄스가 상승하기 시작하면서부터 서스테인 전압(Vs)을 유지하는 기간과, 서스테인 전극(Z)으로 인가되는 서스테인 펄스가 상승하기 시작하면서부터 서스테인 전압(Vs)을 유지하는 기간은 서로 다르다. 이에 따라, 서스테인 펄스의 한주기 동안 약방전과 강방전이 번갈아가면서 발생된다. 바꾸어 말하면, 서스테인 펄스의 한 주기 내에서 스캔 전극(Y)으로 인가되는 서스테인 펄스의 기울기가 0이상(0≥)인 기간, 즉 스캔 전극(Y)으로 인가되는 서스테인 펄스가 상승(Y(ER-Up))하면서부터 서스테인 전압(Vs)을 유지하는 Y유지기간이 서스테인 전극(Z)으로 인가되는 서스테인 펄스의 기울기가 0이상(0≥)인 기간보다 상대적으로 더 길다고 가정하면, 이 기간에서의 방전이 상대적으로 더 강하다. 여기서는 스캔 전극(Y)이 서스테인 전압(Vs)을 유지하고 서스테인 전극(Z)이 그라운드 레벨(GND)을 유지함으로써 방전이 발생되는 것이다. 이에 따라, 서스테인 펄스의 한 주기 내에서 서스테인 전극(Z)으로 인가되는 서스테인 펄스의 기울기가 0이상(0≥)인 기간, 즉 서스테인 전극(Z)으로 인가되는 서스테인 펄스가 상승(Z(ER-Up))하면서부터 서스테인 전압(Vs)을 유지하는 기간에서의 방전은 상대적으로 더 약하게 된다. 결국 전술한 바와 같이 강방전과 약방전이 교대로 발생되어, 방전 시 방전이 어드레스 전극쪽으로 끌리는 현상을 저감시켜 잔상을 개선하는 것이다.

여기서, 이러한 스캔 전극(Y)으로 인가되는 서스테인 펄스의 기울기(Slope)가 0이상(0≥)인 기간(Ws)의 길이와, 서스테인 전극(Z)으로 인가되는 서스테인 펄스의 기울기가 0이상(0≥)인 기간(Wc)의 길이를 서로 다르게 하는 경우에 그 기간간의 길이의 차이는 방전셀의 크기, 즉 셀 피치(Cell Pitch)에 따라 가변될 수 있다. 즉, 스캔 전극(Y)으로 인가되는 서스테인 펄스의 기울기(Slope)가 0이상(0≥)인 기간의 길이(스캔 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Y유지기간의 길이의 합)와, 서스테인 전극(Z)으로 인가되는 펄스의 기울기가 0이상(0≥)인 기간의 길이(서스테인 전극으로 인가되는 서스테인 펄스의 ER-Up기간의 길이와 서스테인 전압(Vs)을 유지하는 Z유지기간의 길이의 합)는 방전셀의 셀 피치에 따라 가변된다. 여기서 방전셀의 셀 피치가 감소할수록 스캔 전극(Y)으로 인가되는 서스테인 펄스의 기울기(Slope)가 0이상(0≥)인 기간(Ws)의 길이와, 서스테인 전극으로 인가되는 펄스의 기울기가 0이상(0≥)인 기간(Wc)의 길이의 차이가 증가하는 것이 더욱 바람직하다. 그 이유는 방전셀의 셀 피치가 작을수록 하나의 방전셀 내의 벽전하(Wall Charge)의 양이 적기 때문에 방전셀 내에 방전에 필요한 충분한 양의 벽전하를 생성하는 시간이 짧아도 관계없다. 또한 방전셀의 크기가 작아져 전극간의 거리가 짧아지기 때문에, 상대적으로 작은 크기의 전압으로도 충분한 방전을 발생시킬 수 있기 때문이다.

또한, 상대적으로 강한 방전과 상대적으로 약한 방전이 교대로 발생될 때 교대로 발생하는 방전의 세기의 차이가 더 커질수록 방전 시 방전이 어드레스 전극쪽으로 끌리는 현상을 저감시키는 이유로 인해, 방전셀의 셀 피치의 크기가 작을수록 스캔 전극(Y)으로 인가되는 서스테인 펄스의 기울기(Slope)가 0이상(0≥)인 기간(Ws)의 길이와, 서스테인 전극(Z)으로 인가되는 펄스의 기울기가 0이상(0≥)인 기간(Wc)의 길이의 차이를 크게 하는 것이 잔생 개선에 더욱 유리하기 때문이다.

예컨대, 방전셀의 셀 피치가 브이 지 에이(Video Graphics Array : VGA)급인 경우에, 스캔 전극(Y)으로 인가되는 서스테인 펄스의 기울기(Slope)가 0이상(0≥)인 기간(Ws)의 길이가 서스테인 전극(Z)으로 인가되는 펄스의 기울기가 0이상(0≥)인 기간(Wc)의 길이보다 더 짧게 설정하는 경우에, 스캔 전극(Y)에 인가되는 서스테인 펄스의 기울기가 0이상인 기간의 길이(Ws)는 서스테인 펄스의 한 주기의 20%이상 25%이하의 길이를 갖는다. 이 때, 서스테인 전극(Z)으로 인가되는 서스테인 펄스의 기울기가 0이상인 기간(Wc)의 길이는 상기 서스테인 펄스의 한 주기의 75%이상 80%히아의 길이를 갖도록 설정하는 것이 더욱 바람직하다.

여기서 전술한 VGA는 해상도를 표현하는 표준의 하나로서 방전셀의 셀 피치에 따라 결정된다. 이러한 VGA는 이미 널리 공지된 사실이므로 더 이상의 상세한 설명은 생략한다.

또한, 방전셀의 셀 피치가 엑스 지 에이(Extended Graphics Array : XGA)급인 경우에는 스캔 전극(Y)으로 인가되는 서스테인 펄스의 기울기(Slope)가 0이상(0≥)인 기간(Ws)의 길이가 서스테인 전극(Z)으로 인가되는 펄스의 기울기가 0이상(0≥)인 기간(Wc)의 길이보다 더 짧게 설정하는 경우에, 스캔 전극(Y)에 인가되는 서스테인 펄스의 기울기가 0이상인 기간의 길이(Ws)는 서스테인 펄스의 한 주기의 15%이상 20%이하의 길이를 갖는다. 이 때, 서스테인 전극(Z)으로 인가되는 서스테인 펄스의 기울기가 0이상인 기간(Wc)의 길이는 상기 서스테인 펄스의 한 주기의 80%이상 85%이하의 길이를 갖도록 설정하는 것이 더욱 바람직하다.

여기서 전술한 XGA도 해상도를 표현하는 표준의 하나로서 방전셀의 셀 피치에 따라 결정된다. 이러한 XGA도 전술한 VGA의 경우와 같이 이미 널리 공지된 사실이므로 더 이상의 상세한 설명은 생략한다.

또한, 본 발명의 플라즈마 디스플레이 패널의 구동방법에 따른 구동파형은 스캔 전극(Y)으로 인가되는 서스테인 펄스와 서스테인 전극(Z)으로 인가되는 서스테인 펄스가 오버랩되는 지점에서 하강하는 서스테인 펄스, 즉 ER-Down하는 서스테인 펄스의 하강기간, 즉 ER-Down기간과 상승하는 서스테인 펄스, 즉 ER-Up하는 서스테인 펄스의 상승기간, 즉 ER-Up기간은 서로 다르게 설정되는데, 이러한 구동파형을 도 11을 결부하여 살펴보면 다음과 같다.

도 11을 살펴보면, 본 발명의 구동파형은 스캔 전극(Y)에 인가되는 서스테인 펄스와 서스테인 전극(Z)으로 인가되는 서스테인 펄스가 오버랩되는 지점에서 ER-Down하는 서스테인 펄스의 하강기간, 즉 ER-Down기간의 길이와 ER-Up하는 서스테인 펄스의 상승기간, 즉 ER-Up기간의 길이는 서로 다르게 설정된다. 여기서 바람직하게는 전술한 스캔 전극(Y)에 인가되는 서스테인 펄스와 서스테인 전극(Z)으로 인가되는 서스테인 펄스가 오버랩되는 지점에서 ER-Down하는 서스테인 펄스의 ER-Down기간의 길이는 ER-Up하는 서스테인 펄스의 ER-Up기간의 길이 보다 작거나 같다.

여기서, 전술한 오버랩되는 지점에서 ER-Down하는 서스테인 펄스의 ER-Down기간의 길이는 400ns(나노초)이상으로 설정되고, ER-Up하는 서스테인 펄스의 ER-Up기간의 길이는 400ns(나노초)이상으로 설정된다. 여기서 ER-Down하는 서스테인 펄스의 ER-Down기간의 길이와, ER-Up하는 서스테인 펄스의 ER-Up기간의 길이를 모두 400ns(나노초)이상으로 설정하였지만 이와 같은 범위 한정은 전술한 바와 같이 오버랩되는 지점에서 ER-Down하는 서스테인 펄스의 ER-Down기간의 길이는 ER-Up하는 서스테인 펄스의 ER-Up기간의 길이 보다 작거나 같은 조건하에서의 수치임을 밝혀둔다.

예컨대, 도 11의 경우처럼, 한 주기(1 Period) 내에서 스캔 전극(Y)으로 인가되는 서스테인 펄스의 기울기가 0이상인 기간(Ws)이 서스테인 전극(Z)으로 인가되는 서스테인 펄스의 기울기가 0이상인 기간(Wc)보다 더 짧은 경우에, 스캔 전극(Y)에 인가되는 서스테인 펄스의 기울기가 0미만인 기간, 즉 스캔 전극(Y)에 인가되는 서스테인 펄스의 하강기간의 길이 Y(ER-Down)가 서스테인 전극(Z)에 인가되는 서스테인 펄스의 상승기간 Z(ER-Up)의 길이보다 더 작다. 여기서, 바람직하게는, 스캔 전극(Y)에 인가되는 서스테인 펄스의 기울기가 0미만인 기간, 즉 스캔 전극(Y)에 인가되는 서스테인 펄스의 하강기간 Y(ER-Down)는 최소한 400ns(나노초)이상의 길이를 갖는다. 이 때, 서스테인 전극(Z)에 인가되는 서스테인 펄스의 상승기간 Z(ER-Up)의 길이는 400ns(나노초)이상의 길이를 갖는다.

이와 같이, 스캔 전극(Y)에 인가되는 서스테인 펄스와 서스테인 전극(Z)으로 인가되는 서스테인 펄스가 오버랩되는 지점에서 ER-Down하는 서스테인 펄스의 하강기간, 즉 ER-Down기간의 길이와 ER-Up하는 서스테인 펄스의 상승기간, 즉 ER-Up기간의 길이는 서로 다르게 설정하는 이유는 충분한 서스테인 방전의 마진을 확보하고, 이와 함께 노이즈의 발생을 저감시키기 위해서이다.

이상에서 설명한 본 발명의 구동방법에 따른 구동파형은 스캔 전극(Y)으로 인가되는 서스테인 펄스의 기울기(Slope)가 0이상(0≥)인 기간(Ws)의 길이가 서스테인 전극(Z)으로 인가되는 서스테인 펄스의 기울기가 0이상(0≥)인 기간(Wc)의 길이보다 더 짧은 경우만을 도시하고 설명하였지만, 이와는 다르게 스캔 전극(Y)으로 인가되는 서스테인 펄스의 기울기(Slope)가 0이상(0≥)인 기간(Ws)의 길이가 서스테인 전극(Z)으로 인가되는 서스테인 펄스의 기울기가 0이상(0≥)인 기간(Wc)의 길이보다 더 길게 설정할 수도 있다. 이러한 구동파형을 살펴보면 다음 도 12와 같다.

도 12는 본 발명의 플라즈마 디스플레이 패널의 구동방법에 따른 또 다른 구동파형을 나타낸 도면이다.

도 12에 도시된 바와 같이, 본 발명의 플라즈마 디스플레이 패널의 구동방법에 따른 구동파형은 스캔 전극(Y)으로 인가되는 서스테인 펄스의 기울기(Slope)가 0이상(0≥)인 기간(Ws)의 길이가 서스테인 전극(Z)으로 인가되는 서스테인 펄스의 기울기가 0이상(0≥)인 기간(Wc)의 길이보다 더 길다. 또한 도 12의 구동파형은 도 9의 구동파형과 실질적으로 동일하여 더 이상의 설명은 생략한다.

여기 도 12의 구동파형은 도 9의 경우와 같이, 스캔 전극(Y)으로 인가되는 서스테인 펄스는 상승 또는 하강 시에 소정의 기울기를 갖도록 설정된다. 또한, 서스테인 전극(Z)으로 인가되는 서스테인 펄스도 상승 또는 하강 시에 소정의 기울기를 갖는 상태에서 상승한다. 이에 따라 서스테인 방전 시 순간적인 포텐셜(Potential) 전위차를 줄여주어 어드레스 전극과의 상호 작용을 최소화한다. 따라서 서스테인 방전 시 방전에 어드레스 전극쪽으로 끌리는 현상이 저감되어 각 형광체 방전효율을 안정적으로 유지하고, 잔상, 즉 명잔상의 생성을 저감시킨다.

또한, 도 12의 구동파형은 도 9의 구동파형과 마찬가지로 스캔 전극(Y)으로 인가되는 서스테인 펄스와 서스테인 전극(Z)으로 인가되는 서스테인 펄스와 서로 오버랩이 되고, 또한 서스테인 전압(Vs)을 유지하는 유지기간이 서로 다르다. 이러한 서스테인 펄스를 도 13을 결부하여 좀 더 상세히 살펴보면 다음과 같다.

도 13을 살펴보면, 예컨대 서스테인 기간에 스캔 전극(Y)으로 인가되는 서스테인 펄스의 기울기가 0미만, 즉 스캔 전극(Y)으로 인가되는 서스테인 펄스가 하강(Y(ER-Down))하면서 동시에, 서스테인 전극(Z)으로 인가되는 서스테인 펄스의 기울기가 0초과, 즉 서스테인 전극(Z)으로 인가되는 서스테인 펄스가 상승(Z(ER-Up))하는 지점에서 스캔 전극(Y)에 인가되는 서스테인 펄스와 서스테인 전극(Z)으로 인가되는 서스테인 펄스가 서로 오버랩이 된다.

또한, 도 12의 구동파형은 전술한 바와 같이 스캔 전극(Y)으로 인가되는 서스테인 펄스의 기울기(Slope)가 0이상(0≥)인 기간(Ws)의 길이가 서스테인 전극(Z)으로 인가되는 서스테인 펄스의 기울기가 0이상(0≥)인 기간(Wc)의 길이보다 길다. 즉, 스캔 전극(Y)으로 인가되는 서스테인 펄스가 상승하기 시작하면서부터 서스테인 전압(Vs)을 유지하는 기간이 서스테인 전극(Z)으로 인가되는 서스테인 펄스가 상승하기 시작하면서부터 서스테인 전압(Vs)을 유지하는 기간보더 더 길다. 이에 따라, 서스테인 펄스의 한주기 동안 약방전과 강방전이 번갈아가면서 발생된다. 결국 도 9의 구동파형의 경우와 마찬가지로 강방전과 약방전이 교대로 발생되어, 방전 시 방전이 어드레스 전극쪽으로 끌리는 현상을 저감시켜 잔상을 개선하는 것이다.

여기 도 12의 구동파형은 도 9의 경우와 같이, 스캔 전극(Y)으로 인가되는 서스테인 펄스의 기울기(Slope)가 0이상(0≥)인 기간(Ws)의 길이와, 서스테인 전극(Z)으로 인가되는 서스테인 펄스의 기울기가 0이상(0≥)인 기간(Wc)의 길이의 차이는 방전셀의 크기, 즉 셀 피치(Cell Pitch)에 따라 결정될 수 있다. 즉, 스캔 전극(Y)으로 인가되는 서스테인 펄스의 기울기(Slope)가 0이상(0≥)인 기간의 길이와, 서스테인 전극(Z)으로 인가되는 펄스의 기울기가 0이상(0≥)인 기간의 길이는 방전셀의 셀 피치에 따라 가변된다.

예컨대, 방전셀의 셀 피치가 브이 지 에이(Video Graphics Array : VGA)급인 경우에, 스캔 전극(Y)으로 인가되는 서스테인 펄스의 기울기(Slope)가 0이상(0≥)인 기간(Ws)의 길이가 서스테인 전극(Z)으로 인가되는 펄스의 기울기가 0이상(0≥)인 기간(Wc)의 길이보다 더 길게 설정하는 경우에, 스캔 전극(Y)에 인가되는 서스테인 펄스의 기울기가 0이상인 기간의 길이(Ws)는 서스테인 펄스의 한 주기의 75%이상 80%이하의 길이를 갖는다. 이 때, 서스테인 전극(Z)으로 인가되는 서스테인 펄스의 기울기가 0이상인 기간(Wc)의 길이는 상기 서스테인 펄스의 한 주기의 20%이상 25%이하의 사이의 길이를 갖도록 설정하는 것이 더욱 바람직하다.

또한, 방전셀의 셀 피치가 엑스 지 에이(Extended Graphics Array : XGA)급인 경우에는 스캔 전극(Y)으로 인가되는 서스테인 펄스의 기울기(Slope)가 0이상(0≥)인 기간(Ws)의 길이가 서스테인 전극(Z)으로 인가되는 펄스의 기울기가 0이상(0≥)인 기간(Wc)의 길이보다 더 길게 설정하는 경우에, 스캔 전극(Y)에 인가되는 서스테인 펄스의 기울기가 0이상인 기간의 길이(Ws)는 서스테인 펄스의 한 주기의 80%이상 85%이하의 길이를 갖는다. 이 때, 서스테인 전극(Z)으로 인가되는 서스테인 펄스의 기울기가 0이상인 기간(Wc)의 길이는 상기 서스테인 펄스의 한 주기의 15%이상 20%이하의 길이를 갖도록 설정하는 것이 더욱 바람직하다.

또한, 본 발명의 플라즈마 디스플레이 패널의 구동방법에 따른 구동파형도 도 9의 11의 경우와 같이, 스캔 전극(Y)으로 인가되는 서스테인 펄스와 서스테인 전극(Z)으로 인가되는 서스테인 펄스가 오버랩되는 지점에서 하강하는 서스테인 펄스, 즉 ER-Down하는 서스테인 펄스의 하강기간, 즉 ER-Down기간의 길이와, 상승하는 서스테인 펄스, 즉 ER-Up하는 서스테인 펄스의 상승기간, 즉 ER-Up기간의 길이는 서로 다르게 설정될 수 있는데, 이러한 구동파형을 도 14를 결부하여 살펴보면 다음과 같다.

도 14를 살펴보면, 본 발명의 구동파형은 한 주기(1 Period) 내에서 스캔 전극(Y)에 인가되는 서스테인 펄스와 서스테인 전극(Z)으로 인가되는 서스테인 펄스가 오버랩되는 지점에서 ER-Down하는 서스테인 펄스의 하강기간, 즉 ER-Down기간의 길이와 ER-Up하는 서스테인 펄스의 상승기간, 즉 ER-Up기간의 길이는 서로 다르게 설정된다. 여기서 바람직하게는 전술한 스캔 전극(Y)에 인가되는 서스테인 펄스와 서스테인 전극(Z)으로 인가되는 서스테인 펄스가 오버랩되는 지점에서 ER-Down하는 서스테인 펄스의 ER-Down기간의 길이는 ER-Up하는 서스테인 펄스의 ER-Up기간의 길이 보다 작거나 같다. 이러한 도 14의 구동파형은 기본적으로 도 11의 구동파형과 동일하므로 중복되는 설명은 생략한다.

이상에서 보는 바와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.

그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 하고, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

발명의 효과

이상에서 상세히 설명한 바와 같이, 본 발명의 플라즈마 디스플레이 패널이 구동방법은 스캔 전극에 인가되는 서스테인 펄스와 서스테인 전극에 인가되는 서스테인 펄스를 개선하여 구동효율을 높이고, 명잔상을 개선하는 효과가 있다.

도면의 간단한 설명

도 1은 일반적인 플라즈마 디스플레이 패널의 구조를 나타낸 도.

도 2는 종래 플라즈마 디스플레이 패널의 화상 계조를 표현하는 방법을 나타낸 도.

도 3은 종래 플라즈마 디스플레이 패널의 구동방법에 따른 구동파형을 나타낸 도.

도 4는 종래의 플라즈마 디스플레이 패널에서 발생되는 잔상의 발생을 설명하기 위한 도.

도 5는 종래 플라즈마 디스플레이 패널 내부에 주입된 제논의 양이 증가함에 따라 나타나는 방전현상을 설명하기 위한 도.

도 6은 종래 플라즈마 디스플레이 패널의 구동방법에 따른 구동파형에서 서스테인 기간에서의 서스테인 파형을 나타낸 도.

도 7은 플라즈마 디스플레이 패널의 형광체를 안정시키기 위해 실시하는 에이징(Aging)을 설명하기 위한 도.

도 8은 플라즈마 디스플레이 패널의 형광체의 방전 흔들림을 설명하기 위한 도.

도 9는 본 발명의 플라즈마 디스플레이 패널의 구동방법에 따른 구동파형을 나타낸 도.

도 10은 본 발명의 플라즈마 디스플레이 패널의 구동방법에 따른 구동파형을 좀 더 상세히 나타낸 도.

도 11은 스캔 전극과 서스테인 전극의 서스테인 펄스가 오버랩이 되는 부분을 좀 더 상세히 설명하기 위한 도.

도 12는 본 발명의 플라즈마 디스플레이 패널의 구동방법에 따른 또 다른 구동파형을 나타낸 도.

도 13은 본 발명의 플라즈마 디스플레이 패널의 구동방법에 따른 구동파형을 좀 더 상세히 나타낸 도.

도 14는 스캔 전극과 서스테인 전극의 서스테인 펄스가 오버랩이 되는 부분을 좀 더 상세히 설명하기 위한 도.

<도면의 주요 부분에 대한 부호의 설명>

100 : 전면 기판 101 : 전면 글라스

102 : 스캔 전극 103 : 서스테인 전극

104 : 상부 유전체층 105 : 보호층

110 : 후면 기판 111 : 후면 글라스

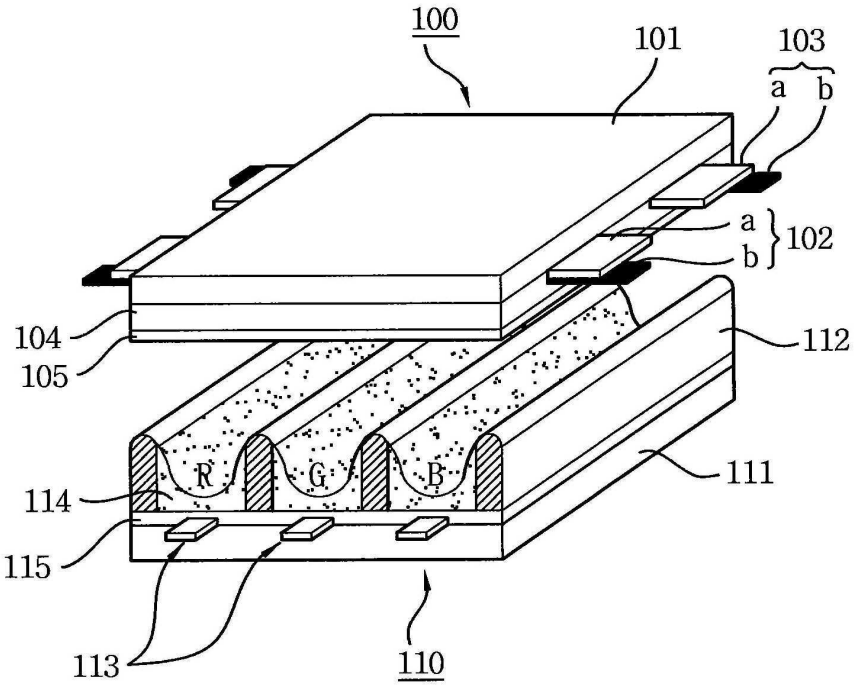
112 : 격벽 113 : 어드레스 전극

114 : 형광체층 115 : 하부 유전체층

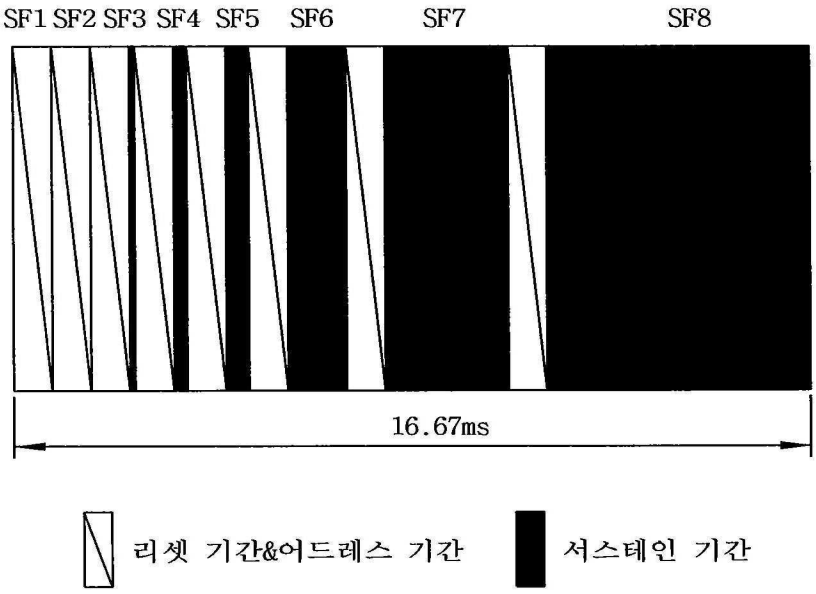
a : 투명 전극 b : 버스 전극

도면

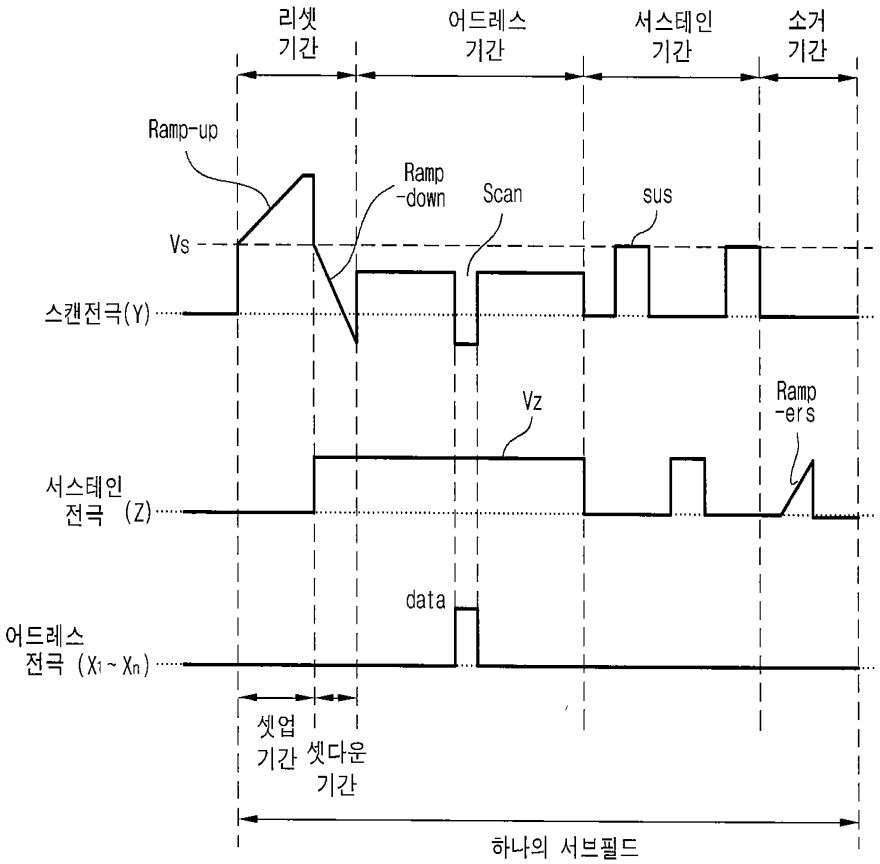
도면1



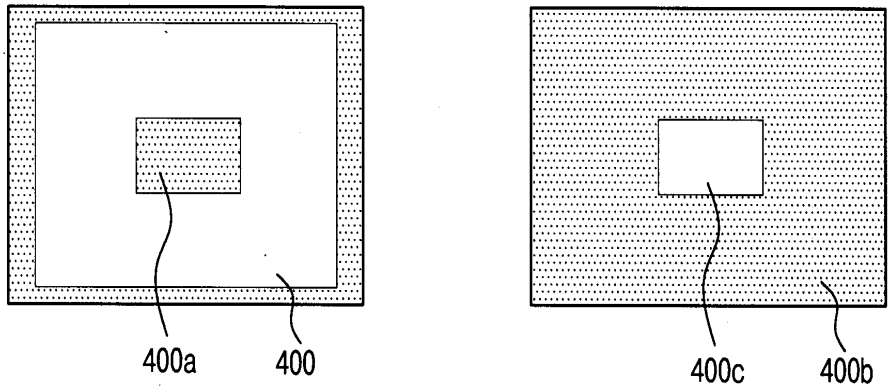
도면2


SF1 SF2 SF3 SF4 SF5 SF6 SF7 SF8
16.67ms
리셋 기간&어드레스 기간
서스테인 기간

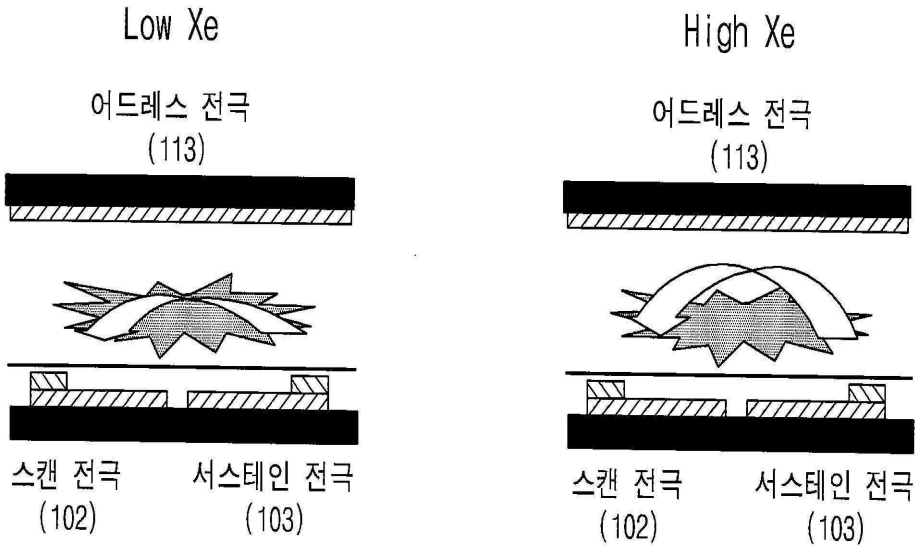
도면3


리셋 기간
어드레스 기간
서스테인 기간
소거 기간
Ramp-up
Ramp -down
Scan
sus
Vs
스캔전극(Y)
Vz
Ramp -ers
서스테인 전극 (Z)
data
어드레스 전극 (X1~Xn)
셋업 기간
셋다운 기간
하나의 서브필드

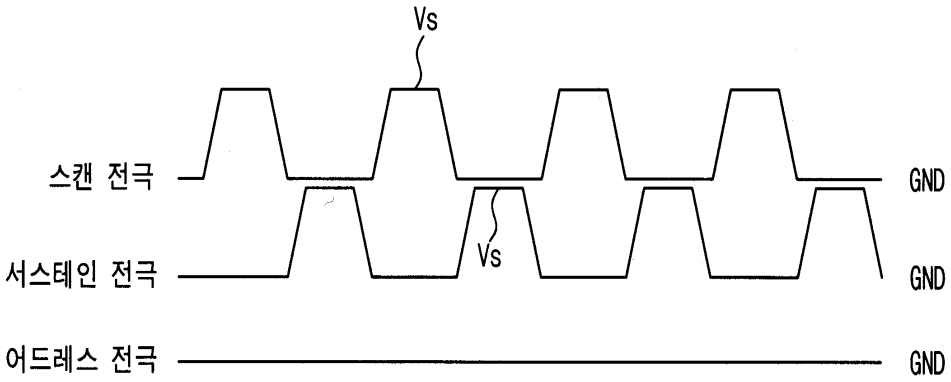
도면4


400a
400
400c
400b

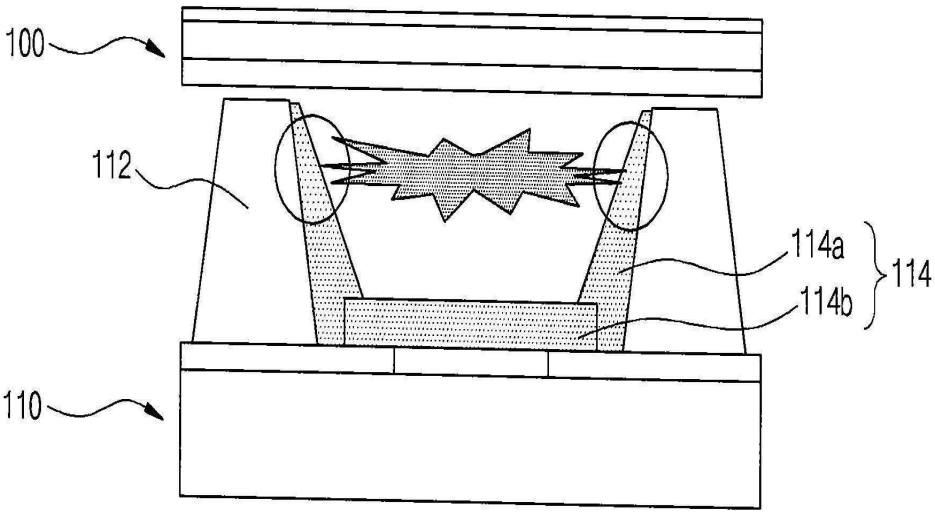
도면5


Low Xe
어드레스 전극
(113)
스캔 전극
(102)
서스테인 전극
(103)
High Xe
어드레스 전극
(113)
스캔 전극
(102)
서스테인 전극
(103)

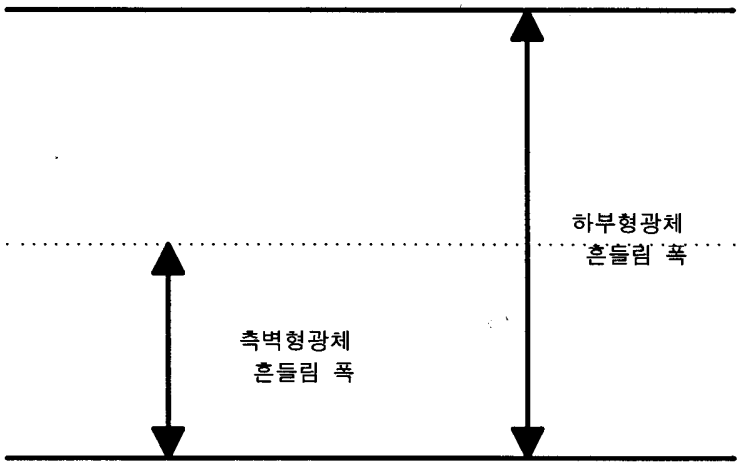
도면6


Vs
스캔 전극
서스테인 전극
어드레스 전극
Vs
GND
GND
GND

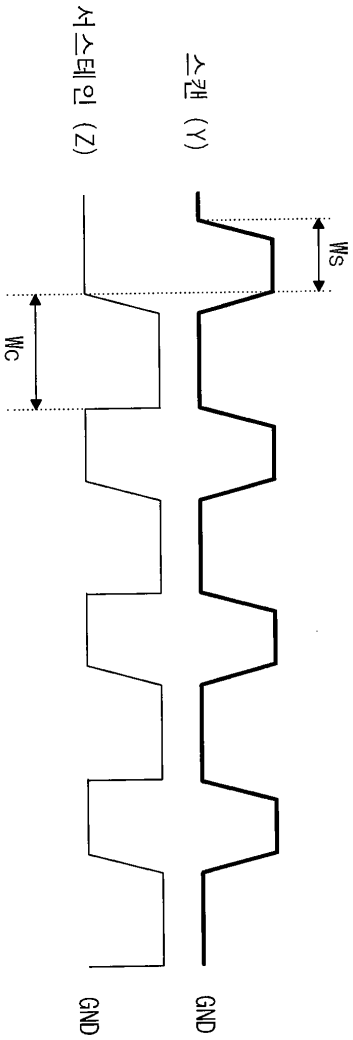
도면7



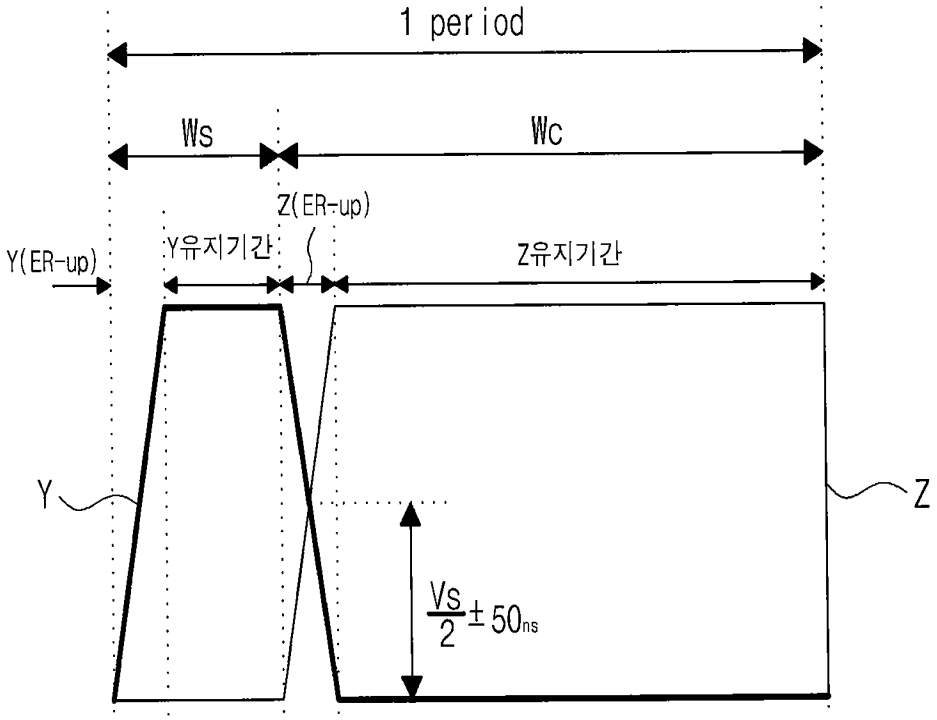
도면8



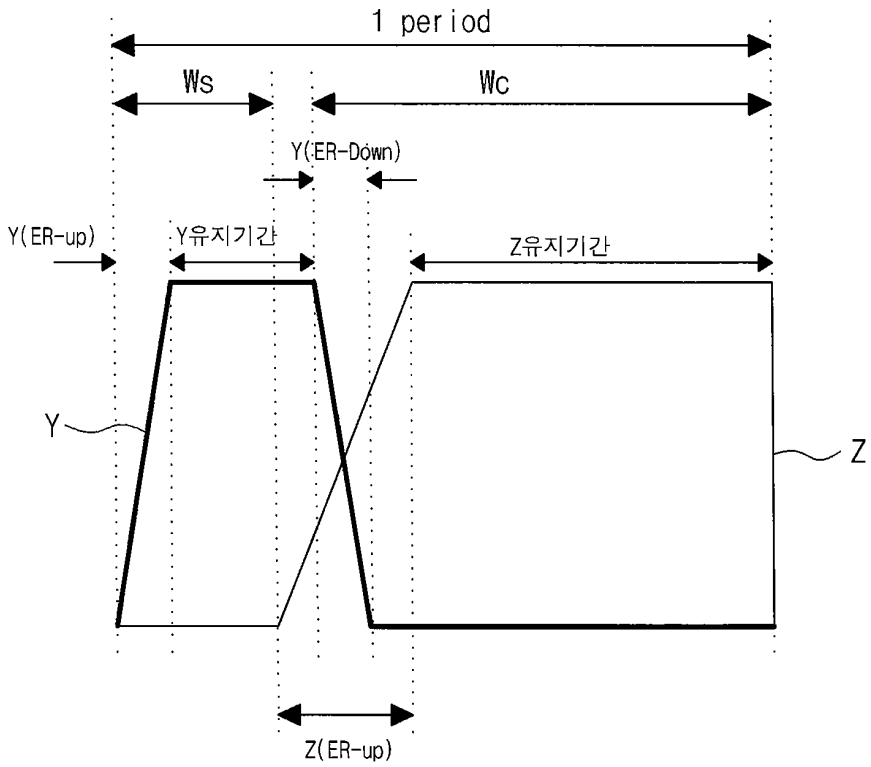
도면9


서스테인 (Z)
스캔 (Y)
Ws
Wc
GND
GND

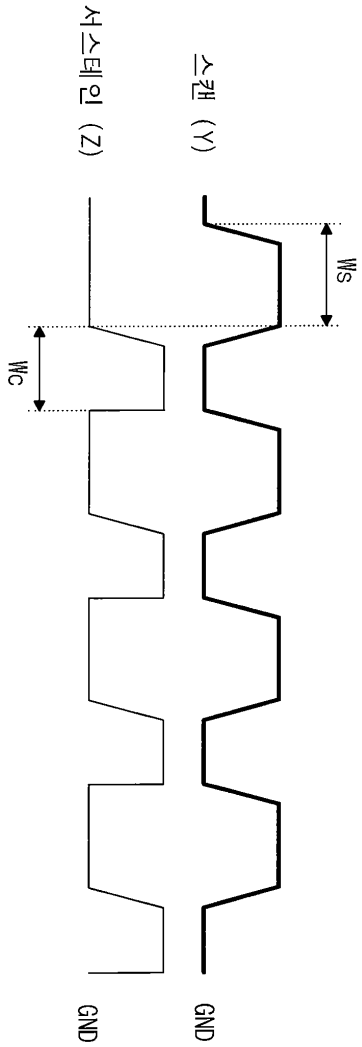
도면10


1 period
Ws
Wc
Z(ER-up)
Y(ER-up)
Y유지기간
Z유지기간
Y
Z
Vs/2 ± 50ns

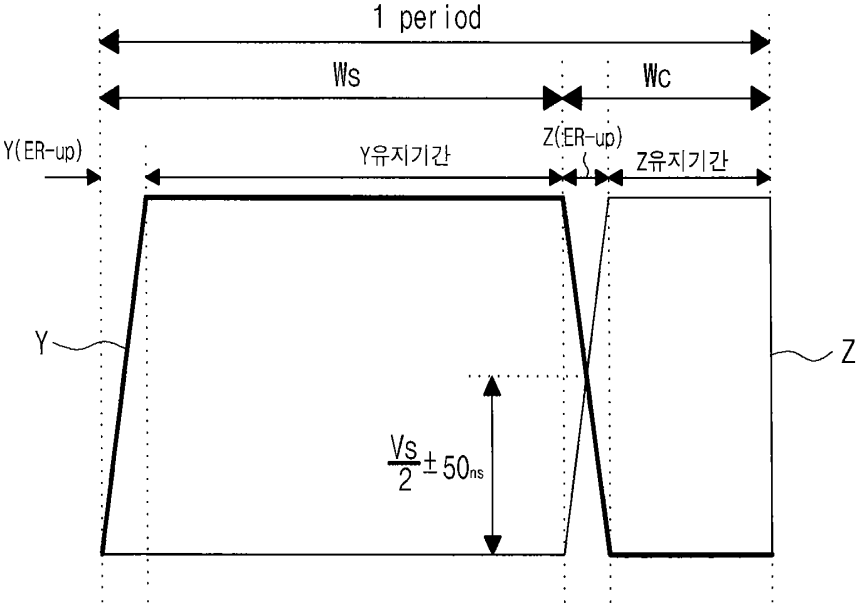
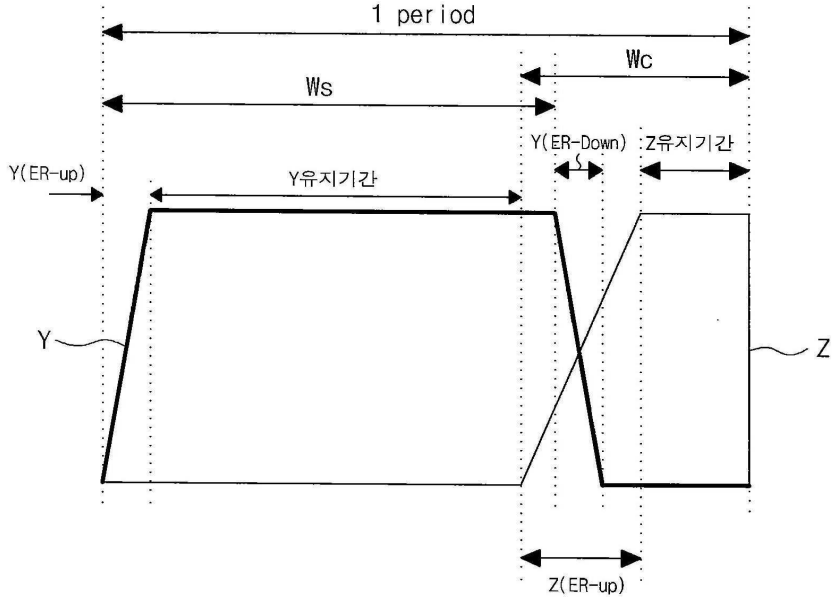
도면11



도면12


서스테인 (Z)
스캔 (Y)
Ws
Wc
GND
GND

도면13


1 period
Ws
Wc
Y(ER-up)
Y유지기간
Z(ER-up)
Z유지기간
Y
Z
Vs/2 ± 50ns

도면14