



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0058969  
(43) 공개일자 2014년05월15일

(51) 국제특허분류(Int. Cl.)  
*H01L 33/36* (2010.01)

(21) 출원번호 10-2012-0125488

(22) 출원일자 2012년11월07일

심사청구일자 없음

(71) 출원인

한국전자통신연구원

대전광역시 유성구 가정로 218 (가정동)

(72) 발명자

윤두협

대전 유성구 엑스포로 448, 104동 1203호 (전민동, 엑스포아파트)

최춘기

대전광역시 유성구 대덕대로 617 로텐하우스아파트 101동 601호

정광효

대전 유성구 상대남로 26, 907동 1701호 (상대동, 트리폴시티아파트)

(74) 대리인

권혁수, 송윤호, 오세준

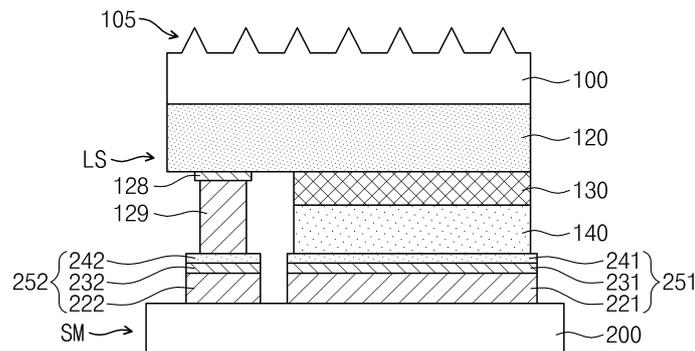
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **발광 다이오드 및 그 제조 방법**

**(57) 요약**

발광 다이오드가 제공된다. 제 1 기판 및 상기 제 1 기판 상의 전극부들을 포함하는 서브 마운트 구조가 제공된다. 제 1 반도체층, 제 2 반도체층, 및 상기 제 1 반도체층과 상기 제 2 반도체층 사이의 활성층을 포함하고, 상기 서브 마운트 구조 상에 실장된 발광 구조체가 제공된다. 상기 전극부들은 상기 제 1 반도체층과 연결되는 제 1 전극부 및 상기 제 2 반도체층과 연결되는 제 2 전극부를 포함한다. 상기 제 1 및 제 2 전극부들 각각은 상기 제 1 기판 상에 차례로 제공되는 제 1 금속층, 그래핀층, 및 제 2 금속층을 포함한다.

**대표도** - 도1



## 특허청구의 범위

### 청구항 1

제 1 기관 및 상기 제 1 기관 상의 전극부들을 포함하는 서브 마운트 구조; 및

제 1 반도체층, 제 2 반도체층, 및 상기 제 1 반도체층과 상기 제 2 반도체층 사이의 활성층을 포함하고, 상기 서브 마운트 구조 상에 실장된 발광 구조체를 포함하고,

상기 전극부들은 상기 제 1 반도체층과 연결되는 제 1 전극부 및 상기 제 2 반도체층과 연결되는 제 2 전극부를 포함하고,

상기 제 1 및 제 2 전극부들 각각은 상기 제 1 기관 상에 차례로 제공되는 제 1 금속층, 그래핀층, 및 제 2 금속층을 포함하는 발광 다이오드.

### 청구항 2

제 1 항에 있어서,

상기 발광 구조체는 상기 제 1 반도체층 상의 제 2 기관을 더 포함하고,

상기 제 2 기관의 상부는 요철을 포함하는 발광 다이오드.

### 청구항 3

제 2 항에 있어서,

상기 발광 구조체는 상기 제 1 반도체층의 하면과 상기 제 1 전극부를 연결하는 전극 연결부를 더 포함하는 발광 다이오드.

### 청구항 4

제 1 항에 있어서,

상기 제 2 금속층은 메시(mesh) 형태의 투명 전극인 발광 다이오드.

### 청구항 5

제 4 항에 있어서,

상기 제 2 금속층은 상기 제 1 금속층보다 얇은 발광 다이오드.

### 청구항 6

제 1 항에 있어서,

상기 발광 구조체는 복수 개가 제공되고,

상기 복수 개의 발광 구조체들의 제 1 반도체층들은 상기 제 1 전극부에 공통적으로 연결되고,

상기 복수 개의 발광 구조체들의 제 2 반도체층들은 상기 제 2 전극부에 공통적으로 연결되는 발광 다이오드.

### 청구항 7

제 6 항에 있어서,

상기 서브 마운트 구조는 상기 제 1 및 제 2 전극부들로부터 각각 연장되는 접속 패드들을 더 포함하는 발광 다이오드.

### 청구항 8

제 1 기관 상에 제 1 금속층, 그래핀층, 및 제 2 금속층을 차례로 형성하여 제 1 전극부 및 상기 제 1 전극부와 이격된 제 2 전극부를 포함하는 서브 마운트를 형성하는 것; 및

상기 서브 마운트 상에 활성층을 포함하는 발광 구조체를 플립칩 형태로 실장하는 것을 포함하는 발광 다이오드의 제조 방법.

**청구항 9**

제 8 항에 있어서,

상기 그래핀층을 형성하는 것은 상기 제 1 금속층을 촉매로 화학 기상 증착 공정을 수행하는 것을 포함하는 발광 다이오드의 제조 방법.

**청구항 10**

제 9 항에 있어서,

상기 그래핀층을 형성하는 것은 상기 화학 기상 증착 공정 이후 냉각 공정을 더 포함하는 발광 다이오드의 제조 방법.

**청구항 11**

제 8 항에 있어서,

상기 제 2 금속층을 형성하는 것은:

상기 제 1 기판 상에 웨도우 마스크를 제공하는 것; 및

상기 웨도우 마스크에 의하여 노출된 상기 제 1 기판 상에 전기 방사 방법으로 용액을 제공하는 것을 포함하는 발광 다이오드의 제조 방법.

**청구항 12**

제 11 항에 있어서,

상기 용액은 금속 입자들 및 용제를 포함하고,

상기 용액의 점도는 10 cPs 내지 50 cPs인 발광 다이오드의 제조 방법.

**청구항 13**

제 8 항에 있어서,

상기 발광 구조체를 형성하는 것을 더 포함하고,

상기 발광 구조체를 형성하는 것은:

제 2 기판 상에 제 1 반도체층, 상기 활성층, 및 제 2 반도체층을 차례로 형성하는 것;

상기 제 2 반도체층 및 상기 활성층을 패터닝하여 상기 제 1 반도체층의 일부를 노출하는 것; 및

노출된 상기 제 1 반도체층 상에 전극 연결부를 형성하는 것을 포함하는 발광 다이오드의 제조 방법.

**청구항 14**

제 13 항에 있어서,

상기 서브 마운트 상에 상기 발광 구조체를 실장하는 것은 상기 전극 연결부를 상기 제 1 전극부 상에 배치하고, 상기 제 2 반도체층의 적어도 일부를 상기 제 2 전극부 상에 배치하는 것을 포함하는 발광 다이오드의 제조 방법.

**청구항 15**

제 8 항에 있어서,

상기 서브 마운트 상에 상기 발광 구조체를 실장하는 것은 상기 발광 구조체를 상기 서브 마운트 상에 배치한 후 열처리 공정을 수행하는 것을 더 포함하는 발광 다이오드의 제조 방법.

**명세서**

**기술분야**

[0001] 본 발명은 발광 다이오드에 관한 것으로, 더욱 상세하게는 서브 마운트를 포함하는 플립칩 형태의 발광 다이오드 및 그 제조 방법에 관한 것이다.

**배경기술**

[0002] 발광 다이오드(Light Emitting Diode: LED)는 P-N 접합 다이오드의 일종으로 순 방향으로 전압이 걸릴 때 단파장광(monochromatic light)이 방출되는 현상인 전기발광효과(electroluminescence)를 이용한 반도체 소자로서, 발광 다이오드로부터 방출되는 빛의 파장은 사용되는 소재의 밴드 갭 에너지(Bandgap Energy, Eg)에 의해 결정된다. 발광 다이오드 기술의 초기에는 주로 적외선과 적색광을 방출할 수 있는 발광소자가 개발되었으며, 청색 LED는 1993년에 니치아(Nichia) 화학의 Nakamura가 GaN를 이용하여 청색광을 생성할 수 있음을 발견한 이후에야, 본격적으로 연구되고 있다. 백색은 적색, 녹색 및 청색의 조합을 통해 만들 수 있다는 점에서, 상기 GaN에 기반한 청색 발광소자의 개발은, 이미 개발되었던 적색 및 녹색 발광 다이오드들과 함께, 백색 발광 다이오드의 구현을 가능하게 만들었다.

[0003] 한편, 발광 다이오드의 시장성(marketability)을 증대시키기 위해서는, 그것의 발광 효율(Light-Emitting Efficiency) 및 수명(Lifetime)을 증가시킬 필요가 있다. 하지만, 상기 GaN에 기반한 청색 발광소자는, GaN과 공기 사이의 굴절률의 차이에 의해, 활성층에서 생성된 빛의 일부만이 발광에 이용되고, 대부분의 빛은 소자의 내부로 재흡수되어 소멸된다. 이에 따라, 대부분의 청색 발광 다이오드의 외부 양자 효율(external quantum efficiency)은 대략 54%의 수준에 머무르고 있지만, 최근 상기 발광 효율을 증대시키기 위한 다양한 기술들이 제안되고 있다.

[0004] 그래핀은 탄소가 2차원 평면상에서 sp<sup>2</sup> 결합을 이루며 벌집 모양으로 배치된 탄소 동소체를 지칭한다. 그래핀은 구조적 화학적으로 매우 안정하고 실리콘보다 약 100배이상 높은 전하 이동도를 갖는다. 또한 그래핀은 높은 투명도를 갖고 열적/기계적 특성이 우수하다. 이와 같은 그래핀의 우수한 특성들을 이용하기 위한 다양한 연구들이 진행되고 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명이 해결하려는 과제는 발광 다이오드의 발광 효율과 열방출 효율을 개선하는데 있다.

[0006] 본 발명이 해결하려는 다른 과제는 그래핀층의 손상 없이 그래핀층을 전극으로 이용할 수 있는 발광 다이오드를 제조하는데 있다.

**과제의 해결 수단**

[0007] 상기 과제를 달성하기 위한 본 발명에 따른 발광 다이오드는 제 1 기판 및 상기 제 1 기판 상의 전극부들을 포함하는 서브 마운트 구조; 및 제 1 반도체층, 제 2 반도체층, 및 상기 제 1 반도체층과 상기 제 2 반도체층 사이의 활성층을 포함하고, 상기 서브 마운트 구조 상에 실장된 발광 구조체를 포함하고, 상기 전극부들은 상기 제 1 반도체층과 연결되는 제 1 전극부 및 상기 제 2 반도체층과 연결되는 제 2 전극부를 포함하고, 상기 제 1 및 제 2 전극부들 각각은 상기 제 1 기판 상에 차례로 제공되는 제 1 금속층, 그래핀층, 및 제 2 금속층을 포함할 수 있다.

[0008] 상기 발광 구조체는 상기 제 1 반도체층 상의 제 2 기판을 더 포함하고, 상기 제 2 기판의 상부는 요철을 포함할 수 있다.

[0009] 상기 발광 구조체는 상기 제 1 반도체층의 하면과 상기 제 1 전극부를 연결하는 전극 연결부를 더 포함할 수 있다.

[0010] 상기 제 2 금속층은 메시(mesh) 형태의 투명 전극일 수 있다.

[0011] 상기 제 2 금속층은 상기 제 1 금속층보다 얇을 수 있다.

- [0012] 상기 발광 구조체는 복수 개가 제공되고, 상기 복수 개의 발광 구조체들의 제 1 반도체층들은 상기 제 1 전극부에 공통적으로 연결되고, 상기 복수 개의 발광 구조체들의 제 2 반도체층들은 상기 제 2 전극부에 공통적으로 연결될 수 있다.
- [0013] 상기 서브 마운트 구조는 상기 제 1 및 제 2 전극부들로부터 각각 연장되는 접속 패드들을 더 포함할 수 있다.
- [0014] 제 1 기판 상에 제 1 금속층, 그래핀층, 및 제 2 금속층을 차례로 형성하여 제 1 전극부 및 상기 제 1 전극부와 이격된 제 2 전극부를 포함하는 서브 마운트를 형성하는 것; 및 상기 서브 마운트 상에 활성층을 포함하는 발광 구조체를 플립칩 형태로 실장하는 것을 포함할 수 있다.
- [0015] 상기 그래핀층을 형성하는 것은 상기 제 1 금속층을 촉매로 화학 기상 증착 공정을 수행하는 것을 포함할 수 있다.
- [0016] 상기 그래핀층을 형성하는 것은 상기 화학 기상 증착 공정 이후 냉각 공정을 더 포함할 수 있다.
- [0017] 상기 제 2 금속층을 형성하는 것은: 상기 제 1 기판 상에 웨도우 마스크를 제공하는 것; 및 상기 웨도우 마스크에 의하여 노출된 상기 제 1 기판 상에 전기 방사 방법으로 용액을 제공하는 것을 포함할 수 있다.
- [0018] 상기 용액은 금속 입자들 및 용제를 포함하고, 상기 용액의 점도는 10 cPs 내지 50 cPs일 수 있다.
- [0019] 상기 발광 구조체를 형성하는 것을 더 포함하고, 상기 발광 구조체를 형성하는 것은: 제 2 기판 상에 제 1 반도체층, 상기 활성층, 및 제 2 반도체층을 차례로 형성하는 것; 상기 제 2 반도체층 및 상기 활성층을 패터닝하여 상기 제 1 반도체층의 일부를 노출하는 것; 및 노출된 상기 제 1 반도체층 상에 전극 연결부를 형성하는 것을 포함할 수 있다.
- [0020] 상기 서브 마운트 상에 상기 발광 구조체를 실장하는 것은 상기 전극 연결부를 상기 제 1 전극부 상에 배치하고, 상기 제 2 반도체층의 적어도 일부를 상기 제 2 전극부 상에 배치하는 것을 포함할 수 있다.
- [0021] 상기 서브 마운트 상에 상기 발광 구조체를 실장하는 것은 상기 발광 구조체를 상기 서브 마운트 상에 배치한 후 열처리 공정을 수행하는 것을 더 포함할 수 있다.

**발명의 효과**

- [0022] 본 발명의 실시예들에 따르면, 그래핀층을 전극의 일부로 제공하여 발광 다이오드의 발광 효율과 열방출 효율을 개선할 수 있다. 또한, 그래핀층의 전사 공정이 불요하여 그래핀층의 손상 없이 이를 전극으로 이용할 수 있는 발광 다이오드를 제조할 수 있다.

**도면의 간단한 설명**

- [0023] 도 1은 본 발명의 일 실시예에 따른 발광 다이오드의 단면도이다.  
 도 2a, 도 2b, 및 도 2c는 본 발명의 일 실시예에 따른 발광 구조체의 제조 방법을 설명하기 위한 단면도들이다.  
 도 3은 본 발명의 일 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 공정 흐름도이다.  
 도 4a 내지 도 9a는 본 발명의 일 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 평면도들이다.  
 도 4b 내지 도 9b는 각각 도 4a 내지 도 9a의 I-I'선에 따른 단면도들이다.  
 도 10a 및 도 10b는 본 발명의 다른 실시예에 따른 서브 마운트(SM) 구조를 설명하기 위한 평면도들이다.  
 도 11은 본 발명의 일 실시예에 따라 금속층을 형성하기 위한 전기 방사 방법의 개략도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0024] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

- [0025] 본 명세서에서, 도전성막, 반도체막, 또는 절연성막 등의 어떤 물질막이 다른 물질막 또는 기판"상"에 있다고 언급되는 경우에, 그 어떤 물질막은 다른 물질막 또는 기판상에 직접 형성될 수 있거나 또는 그들 사이에 또 다른 물질막이 개재될 수도 있다는 것을 의미한다. 또 본 명세서의 다양한 실시예들에서 제 1, 제 2, 제 3 등의 용어가 물질막 또는 공정 단계를 기술하기 위해서 사용되었지만, 이는 단지 어느 특정 물질막 또는 공정 단계를 다른 물질막 또는 다른 공정 단계와 구별시키기 위해서 사용되었을 뿐이며, 이 같은 용어들에 의해서 한정되어서는 안된다.
- [0026] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0027] 또한, 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함되는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.
- [0028] 이하, 도면들을 참조하여 본 발명의 실시예에 따른 발광 다이오드 및 그 제조 방법에 대해 상세히 설명하기로 한다.
- [0029] 도 1은 본 발명의 일 실시예에 따른 발광 다이오드의 단면도이다.
- [0030] 도 1을 참조하여, 제 1 기판(200) 및 상기 제 1 기판(200) 상의 전극부들을 포함하는 서브 마운트(SM)가 제공된다. 상기 제 1 기판(200)은 일 예로, 반도체 기판 또는 반도체 기판 상에 산화막이 형성된 SOI(Silicon On Insulator) 기판일 수 있다.
- [0031] 상기 전극부들은 제 1 전극부(252) 및 제 2 전극부(251)를 포함할 수 있다. 상기 제 1 전극부(252)는 상기 제 1 기판(200) 상에 차례로 제공되는 제 1 금속층(222), 그래핀층(232), 및 제 2 금속층(242)을 포함할 수 있다. 상기 제 2 전극부(251)는 상기 제 1 기판(200) 상에 차례로 제공되는 제 1 금속층(221), 그래핀층(231), 및 제 2 금속층(241)을 포함할 수 있다. 상기 제 1 금속층들(221, 222)은 일 예로, 니켈(Ni) 또는 구리(Cu)를 포함할 수 있다. 상기 그래핀층들(231, 232)은 탄소 원자들이 2차원적으로 sp<sup>2</sup> 결합을 이루며 벌집 모양으로 배치된 탄소 동소체일 수 있다. 상기 그래핀층들(231, 232)은 단층일 수 있으나, 이와 다르게 제조 방법에 따라 2 내지 4의 탄소층들을 포함할 수 있다. 상기 제 2 금속층들(241, 242)은 일 예로, 아연(Zn), 인듐(In), 티타늄(Ti), 주석(Sn), 구리(Cu), 및 안티몬(Sb) 중 적어도 하나를 포함할 수 있다.
- [0032] 상기 제 2 금속층들(241, 242)은 상기 제 1 금속층들(221, 222)보다 얇을 수 있다. 일 예로, 상기 제 2 금속층들(241, 242)의 두께는 상기 제 1 금속층들(221, 222)의 두께의 25% 이하일 수 있다. 일 예로, 상기 제 2 금속층들(241, 242)은 금속 와이어들이 메시(mesh) 형태로 적층된 형상일 수 있다. 상기 제 2 금속층들(241, 242)은 상대적으로 얇은 두께 및 메시 형상에 의하여 실질적으로 투명할 수 있다.
- [0033] 상기 서브 마운트(SM) 상에 발광 구조체(LS)가 제공될 수 있다. 상기 발광 구조체(LS)는 제 2 기판(100), 상기 제 2 기판(100)과 상기 서브 마운트(SM) 사이의 활성층(130), 상기 활성층(130)과 상기 제 2 기판(100) 사이의 제 1 반도체층(120), 상기 활성층(130)을 사이에 두고 상기 제 1 반도체층(120)과 이격된 제 2 반도체층(140)을 포함할 수 있다.
- [0034] 상기 제 2 기판(100)은 일 예로, 사파이어 기판일 수 있다. 상기 제 2 기판(100)은 상부에 요철들(105)을 포함할 수 있다. 상기 요철들(105)은 상기 활성층(130)으로부터 발생된 빛의 외부 방출 효율을 높일 수 있다.
- [0035] 상기 제 1 반도체층(120)은 n형 클래드층일 수 있다. 일 예로, 상기 제 1 반도체층(120)은 n형 Ga<sub>x</sub>N<sub>1-x</sub>(0<x<1)층일 수 있다. 상기 활성층(130)은 양자 우물층(Multi Quantum Well: MQW)을 포함할 수 있다. 상기 양자우물층은 전자와 정공의 재결합에 의해 빛을 방사할 수 있다. 일 예로, 상기 활성층(130)은 In<sub>x</sub>Ga<sub>1-x</sub>N(0≤x<1)층일 수 있다. 상기 제 2 반도체층(140)은 p형 클래드층일 수 있다. 일 예로, 상기 제 2 반도체층(140)은 p형 Ga<sub>x</sub>N<sub>1-x</sub>

$x(0 < x < 1)$ 층일 수 있다. 상기 제 1 반도체층(120)과 상기 제 2 기판(100) 사이에 버퍼층(미도시)이 제공될 수 있다. 상기 버퍼층은 상기 제 1 반도체층(120)을 형성하기 위한 시드(seed)층일 수 있다. 일 예로, 상기 버퍼층은  $Al_xN_{1-x}(0 < x < 1)$ ,  $Al_xGa_yN_{1-x-y}(0 < x < 1, 0 < y < 1)$ ,  $Ga_xN_{1-x}(0 < x < 1)$  및  $In_xGa_yN_{1-x-y}(0 < x < 1, 0 < y < 1)$  중 적어도 하나 이상을 포함할 수 있다. 본 명세서에서 조성을 나타내기 위하여  $x, y$  등의 기호가 사용되었으나 이는 특정 조성을 나타내는 것이 아니며, 동일한 기호가 사용되었다고 하여 동일한 조성을 갖는다고 볼 수 없다.

[0036] 상기 제 1 반도체층(120)의 하면의 일부는 노출될 수 있고, 노출된 상기 제 1 반도체층(120)의 하면과 상기 제 1 전극부(252)를 전기적으로 연결하는 전극 연결부(129)가 제공될 수 있다. 상기 전극 연결부(129)는 도전성 물질로 형성된 기둥 형상을 갖거나 솔더볼일 수 있다. 상기 전극 연결부(129)와 상기 제 1 반도체층(120) 사이에 연결 패드(128)가 제공될 수 있다. 상기 전극 연결부(129) 및 상기 연결 패드(128)는 일 예로, Ag, Al, Au, Pd, Ni, Zn, Mo, W, Cr, Ti, Eu, Pt 및 Mn 중 적어도 하나를 포함할 수 있다.

[0037] 상기 제 2 반도체층(140)의 하면은 상기 제 2 전극부(251)와 연결될 수 있다. 상기 활성층(130)에서 방출된 빛은 직접 상기 제 1 반도체층(120) 및 상기 제 2 기판(100)을 투과하여 발광 다이오드의 상부로 방출될 수 있다. 상기 활성층(130)에서 방출된 빛의 일부는 상기 제 2 반도체층(140), 상기 제 2 금속층(241), 및 상기 그래핀층(231)을 투과한 후, 상기 제 1 금속층(221)에 반사되어 발광 다이오드의 상부로 방출될 수 있다.

[0038] 상기 제 2 금속층(241)과 상기 그래핀층(231)은 상기 활성층(130)에서 방출된 빛의 산란을 방지할 수 있을 정도로 실질적으로 투명할 수 있다. 상술한 바와 같이, 상기 제 2 금속층(241)은 상대적으로 얇은 두께 및 메시 형상에 의하여 실질적으로 투명할 수 있다. 상기 그래핀층(231)은 얇은 두께에 의하여 높은 광 투과율, 특히 자외선 영역에서 높은 광 투과율을 갖는다. 통상적으로 투명전극으로 사용되는 ITO(Indium Tin Oxide)는 자외선 영역(300-400nm)에서 투과율이 떨어진다. 상기 그래핀층(231)은 상기 활성층(130)에서 발생된 빛 중 자외선 영역의 빛을 70% 이상 투과시킬 수 있다. 상기 제 1 금속층(221)은 상기 제 2 금속층(241)에 비하여 상대적으로 두꺼운 두께에 의하여 상기 활성층(130)에서 방출된 빛을 전반사할 수 있다.

[0039] 통상의 사파이어 기판과 GaN은 13%의 결정 상수 차이와 34%의 열 팽창 계수 차이를 갖는다. 따라서 기판으로부터 에피층의 형성 시 마지막으로 형성되는 P형 GaN의 표면에는 다수의 결정 결함이 형성된다. 이와 같은 결정 결함은 GaN의 밴드갭과는 다른 에너지 준위를 갖는 딥-레벨(deep-level)이 되어 통상적인 GaN의 물성과는 다른 물성을 나타낼 수 있다. 또한 이러한 결정 결함은 순간적으로 높은 역 전압이 걸릴 경우 전류의 다이렉트 패스(direct path)로 작용하여 정전 내전압을 저하시키고 기생 저항 발생으로 인한 누설 전류의 발생 요인이 될 수 있다. 또한, p형 GaN의 성장 시 도펀트로 첨가되는 Mg와 캐리어 가스인 H<sub>2</sub>의 결합으로 Mg-H 복합체가 형성될 수 있다. 따라서 이를 분리하여 Mg를 활성화하는 열처리 공정을 수행한다. 그러나 실제로 활성화된 Mg의 도핑 농도는 첨가된 Mg 농도보다 낮다. 따라서 저항이 높아져 p형 GaN층에서의 전류 확산(current spreading)이 저하될 수 있다.

[0040] 상기 그래핀층(231)의 비저항은 통상적인 금속에 비하여 상대적으로 매우 낮다. 상기 그래핀층(231)의 낮은 비저항에 의하여 상기 그래핀층(231)을 통하여 공급되는 전류는 상기 제 2 반도체층(140)의 전 영역으로 고르게 확산될 수 있다. 따라서 상기 제 2 반도체층(140)으로의 전류 확산이 개선되어 발광 다이오드의 발광 효율을 개선할 수 있다.

[0041] 상기 그래핀층(231)의 열전도도는 약 4800 W/m·K 내지 약 5300 W/m·K 로 통상적인 금속에 비하여 상대적으로 매우 높다. 상기 그래핀층(231)의 높은 열전도도에 의하여 발광 다이오드로부터 발생된 열이 발광 다이오드의 하부로 효과적으로 방출될 수 있다. 따라서 발광 다이오드의 동작 온도를 낮추어 신뢰성을 확보할 수 있다.

[0042] 상기 제 2 금속층(241)은 상기 그래핀층(231)과 상기 제 2 반도체층(140) 사이의 오믹 접촉(ohmic contact)을 위한 층일 수 있다. 상기 제 2 금속층(241)의 일함수(work fuction)는 상기 제 2 반도체층(140)과 상기 그래핀층(231)의 중간 값을 가질 수 있다. 일 예로, 상기 제 2 금속층(241)의 일함수는 약 4.5eV 내지 약 7.5eV일 수 있다. 따라서 상기 제 2 금속층(241)은 상기 제 2 반도체층(140)과 상기 그래핀층(231) 사이의 전위 장벽(potential barrier)을 낮추어 발광 다이오드의 구동 전류 값을 낮출 수 있다.

[0043] 본 발명의 일 실시예에 따르면, 상기 그래핀층(231)에 의하여 전류 확산을 개선하고 열 방출을 개선할 수 있다. 또한, 상기 그래핀층(231)의 높은 광 투과성에 의하여 발광 다이오드의 발광 효율이 개선될 수 있다. 상기 제 2 금속층(241)에 의하여 발광 다이오드의 구동 전류 값을 낮출 수 있다.

[0044] 도 2a, 도 2b, 및 도 2c는 본 발명의 일 실시예에 따른 발광 구조체의 제조 방법을 설명하기 위한

단면도들이다.

- [0045] 도 2a를 참조하여, 제 2 기판(100) 상에 차례로 제 1 반도체층(120), 활성층(130), 및 제 2 반도체층(140)이 형성될 수 있다. 상기 제 2 기판(100)은 일 예로, 사파이어 기판일 수 있다. 상기 제 1 반도체층(120)은 n형 클래드층일 수 있다. 일 예로, 상기 제 1 반도체층(120)은 실리콘(Si) 도핑에 의하여 n형  $Ga_xN_{1-x}$  ( $0 < x < 1$ ) 층으로 형성될 수 있다. 상기 활성층(130)은 양자 우물층(Multi Quantum Well: MQW)을 포함할 수 있다. 상기 양자우물층은 전자와 정공의 재결합에 의해 빛을 방사할 수 있다. 일 예로, 상기 활성층(130)은  $In_xGa_{1-x}N$  ( $0 \leq x < 1$ ) 층일 수 있다. 상기 제 2 반도체층(140)은 p형 클래드층일 수 있다. 일 예로, 상기 제 2 반도체층(140)은 마그네슘(Mg) 도핑에 의하여 p형  $Ga_xN_{1-x}$  ( $0 < x < 1$ ) 층으로 형성될 수 있다. 상기 제 1 반도체층(120)과 상기 제 2 기판(100) 사이에 버퍼층(미도시)이 제공될 수 있다. 상기 제 1 반도체층(120)은 상기 버퍼층을 시드(seed)층으로 하여 성장될 수 있다. 일 예로, 상기 버퍼층은  $Al_xN_{1-x}$  ( $0 < x < 1$ ),  $Al_xGa_yN_{1-x-y}$  ( $0 < x < 1$ ,  $0 < y < 1$ ),  $Ga_xN_{1-x}$  ( $0 < x < 1$ ) 및  $In_xGa_yN_{1-x-y}$  ( $0 < x < 1$ ,  $0 < y < 1$ ) 중 적어도 하나 이상을 포함할 수 있다. 상기 제 1 및 제 2 반도체층(120, 140)과 상기 활성층(130)은 유기금속화학기상증착(Metal Organic Chemical Vapor Deposition: MOCVD) 또는 기상에피택시(Vapor-Phase Epitaxy: VPE)에 의해 형성될 수 있다.
- [0046] 도 2b를 참조하여, 상기 제 2 반도체층(140) 및 상기 활성층(130)의 일부가 메사(mesa) 식각될 수 있다. 상기 메사 식각 공정은 유도 결합 플라즈마(inductively coupled plasma: ICP) 에칭을 포함할 수 있다. 상기 메사 식각 공정에 의하여 상기 제 1 반도체층(120)이 노출될 수 있다. 상기 노출된 제 1 반도체층(120) 상에 연결 패드(128)가 형성될 수 있다. 상기 연결 패드(128)는 Ag, Al, Au, Pd, Ni, Zn, Mo, W, Cr, Ti, Eu, Pt 및 Mn 중 적어도 하나를 포함할 수 있다. 상기 연결 패드(128)는 전자빔증착법(e-beam evaporation), 리프트 오프(lift-off), 스퍼터링 또는 MOCVD에 의하여 형성될 수 있다.
- [0047] 도 2c를 참조하여, 상기 제 2 기판(100)의 상부에 요철들(105)이 형성될 수 있다. 상기 요철들(105)의 형성은 상기 제 1 반도체층(120)과 대향하는 상기 제 2 기판(100)의 상면이 위로 향하도록 뒤집어서 진행될 수 있다. 상기 요철들(105)은 일 예로, 유도 결합 플라즈마 에칭으로 형성될 수 있다. 상기 연결 패드(128) 아래에 전극 연결부(129)가 형성될 수 있다. 상기 전극 연결부(129)는 솔더볼로 형성되거나, 리프트 오프 공정 또는 스퍼터링 공정에 의하여 형성될 수 있다. 상기 전극 연결부(129)는 상기 요철들(105)의 형성 이후에 형성되거나, 상기 요철들(105)의 형성 이전에 형성될 수 있다.
- [0048] 도 2a, 도 2b, 및 도 2c에 따라 발광 구조체(LS)가 형성되며, 상기 발광 구조체(LS)는 이후 설명될 서브 마운트 상에 실장될 수 있다.
- [0049] 도 3은 본 발명의 일 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 공정 흐름도이다. 도 4a 내지 도 9a는 본 발명의 일 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 평면도들이고, 도 4b 내지 도 9b는 각각 도 4a 내지 도 9a의 I-I'선에 따른 단면도들이다.
- [0050] 도 3, 도 4a, 및 도 4b를 참조하여, 제 1 기판(200) 상에 웨도우 마스크(210)가 제공될 수 있다(S1). 상기 웨도우 마스크(210)는 일 예로, 스테인리스 스틸로 형성될 수 있다. 상기 웨도우 마스크(210)는 상기 제 1 기판(200)의 상면을 노출하는 제 1 오프닝들(214) 및 제 2 오프닝들(215)을 포함할 수 있다. 상기 제 1 오프닝들(214)에 의하여 노출된 상기 제 1 기판(200)의 면적은 상기 제 2 오프닝들(215)에 의하여 노출된 상기 제 1 기판(200)의 면적보다 작을 수 있다.
- [0051] 도 3, 도 5a, 및 도 5b를 참조하여, 상기 오프닝들(214, 215) 내에 제 1 금속층들(221, 222)이 형성될 수 있다. 상기 제 1 금속층들(221, 222)은 전기 방사 방법으로 형성될 수 있다.
- [0052] 이하, 전기 방사 방법이 도 11을 참조하여 보다 상세히 설명된다. 지지부(24) 상에 배치되는 집전체(collector, 25) 상에 상기 웨도우 마스크가 제공된 상기 제 1 기판(200)이 제공된다. 금속 원소들을 함유한 용액(20)을 실린더(21) 안에 넣고, 상기 실린더(21)의 노즐(22)을 통하여 상기 용액(20)이 상기 제 1 기판(200) 상으로 공급될 수 있다. 상기 실린더(21)와 상기 집전체(25) 사이에는 소정의 전압이 인가될 수 있다. 상기 용액(20)은 니켈(Ni) 또는 구리(Cu)를 포함하는 금속 입자들을 포함할 수 있다. 상기 금속 입자의 평균 직경은 약 10nm 내지 약 100nm일 수 있다. 상기 용액(20)은 di-ethylene glycol(41.8~43.5 cPs), terpineol(36.6 cPs), ethylene glycol(24.0 cPs), di-ethylene glycol mono-benzyl ether(19.3 cPs), propylene glycol mono-phenyl ether(23.2 cPs), glycerol(300 cPs), propylene glycol(41.7 cPs), tri-ethylene glycol(36.1 cPs) 중 적어도 하나의 물질을 포함하는 용제를 포함할 수 있다. 상기 용액(20)의 점도는 전기 방사 공정을 수행하기에 적합

한 점도, 일 예로 약10 ~ 약50 cPs 사이의 점도를 가질 수 있다. 상기 제 1 금속층들(221, 222)의 형성 이후, 상기 웨도우 마스크(210)는 제거될 수 있다.

- [0053] 본 발명의 다른 실시예에 있어서, 제 1 금속층들(221, 222)은 전자빔증착법(e-beam evaporation), 리프트 오프(lift-off), 스퍼터링 또는 MOCVD에 의하여 형성될 수 있다.
- [0054] 도 3, 도 6a, 및 도 6b를 참조하여, 상기 제 1 금속층들(221, 222) 상에 그래핀층들(231, 232)이 형성될 수 있다(S3). 상기 그래핀층들(231, 232)의 형성은 일 예로, 상기 제 1 금속층들(221, 222)을 촉매로 화학 기상 증착 공정을 수행하여 형성될 수 있다. 따라서, 상기 그래핀층들(231, 232)은 상기 제 1 금속층들(221, 222) 상에 선택적으로 형성될 수 있다.
- [0055] 이하, 상기 그래핀층들(231, 232)의 형성 공정이 보다 상세히 설명된다. 상기 제 1 금속층들(221, 222)이 형성된 상기 제 1 기판(200)을 화학 기상 증착 장비의 챔버 내에 배치한 후, 약 800℃ 내지 약 900℃에서 CH<sub>4</sub>, H<sub>2</sub> 및 Ar 등을 포함하는 소스 가스를 주입한다. 상기 CH<sub>4</sub>로부터 열분해에 의하여 탄소가 형성되고 상기 탄소는 상기 제 1 금속층들(221, 222) 내로 흡수되거나 상기 제 1 금속층들(221, 222)의 표면에 흡착된다. 그 후, 상기 제 1 기판(200)을 냉각하면, 상기 제 1 금속층들(221, 222)에 흡수되었던 탄소 원자들이 상기 제 1 금속층들(221, 222)의 표면에서 결정화되면서 그래핀 결정 구조를 형성할 수 있다.
- [0056] 도 3, 도 7a, 및 도 7b를 참조하여, 상기 그래핀층들(231, 232) 상에 제 2 금속층들(241, 242)이 형성될 수 있다(S4). 상기 제 2 금속층들(241, 242)은 일 예로, 도 11을 참조하여 설명된 전기 방사 방법으로 형성될 수 있다. 즉, 상기 그래핀층들(231, 232)이 형성된 상기 제 1 기판(200) 상에 상기 웨도우 마스크(210)가 다시 제공된 후, 전기 방사 방법으로 상기 제 2 금속층들(241, 242)이 형성될 수 있다.
- [0057] 상기 제 2 금속층들(241, 242)은 상기 제 1 금속층들(221, 222)에 비하여 상대적으로 얇게 형성되고 상기 전기 방사 방법에 의하여 메시(mesh) 형태를 가질 수 있다. 그 결과, 상기 제 2 금속층들(241, 242)은 높은 투명도를 가질 수 있다. 상기 제 2 금속층들(241, 242)의 형성을 위한 용액은 아연(Zn), 인듐(In), 티타늄(Ti), 주석(Sn), 구리(Cu), 및 안티몬(Sb) 중 적어도 하나를 포함하는 금속 입자들을 포함할 수 있다. 상기 제 2 금속층들(241, 242)의 형성에 의하여 제 1 전극부들(252) 및 제 2 전극부들(251)을 포함하는 서브 마운트(SM)가 완성될 수 있다. 이후, 상기 웨도우 마스크(210)는 제거될 수 있다.
- [0058] 도 3, 도 8a, 및 도 8b를 참조하여, 상기 서브 마운트(SM) 상에 발광 구조체들(LS)이 실장될 수 있다(S5). 상기 발광 구조체들(LS)은 상기 제 2 기판(100)이 상기 활성층(130) 보다 위에 배치된 상태에서 플립칩(Flip Chip) 형태로 실장될 수 있다. 상기 발광 구조체들(LS)은 도 2a 내지 도 2c를 참조하여 설명된 방법으로 제조된 발광 구조체들일 수 있다. 상기 발광 구조체들(LS)의 제 2 반도체층들(140)은 상기 제 2 전극부들(251) 상에 배치되고, 상기 전극 연결부들(129)은 상기 제 1 전극부들(252) 상에 배치될 수 있다. 상기 발광 구조체들(LS)을 상기 서브 마운트(SM) 상에 배치한 후 열처리 공정이 수행될 수 있다. 일 예로, 상기 열처리 공정은 약50℃ 내지 약 100℃에서 약 30분 동안 수행될 수 있다. 상기 열처리 공정에 의하여 상기 제 2 금속층들(241, 242) 각각은 상기 제 2 반도체층들(140)과 상기 전극 연결부들(129)에 부착될 수 있다. 다른 실시예에서, 상기 발광 구조체들(LS)을 상기 서브 마운트(SM) 상에 부착하기 위한 별도의 도전성 접착층이 제공될 수 있다.
- [0059] 도 3, 도 9a, 및 도 9b를 참조하여, 상기 서브 마운트(SM) 상에 실장된 상기 발광 구조체들(LS)을 개별 발광 다이오드들로 분리하기 위한 다이싱(dicing) 공정이 수행될 수 있다(S6). 상기 다이싱 공정 이전에, 상기 발광 구조체들(LS) 사이를 채우는 언더필층(310)이 형성될 수 있다. 상기 언더필층(310)은 일 예로, 실리콘 수지일 수 있다. 상기 언더필층(310) 상에 상기 발광 구조체들(LS)을 덮는 포장 수지층(320)이 형성될 수 있다. 상기 포장 수지층(320)은 형광 물질을 포함하는 층일 수 있다.
- [0060] 본 발명의 일 실시예에 따르면, 그래핀층의 전사(transfer) 공정 및/또는 패터닝 공정 없이 그래핀층을 발광 다이오드 전극의 일부로 사용할 수 있다. 통상적인 방법으로 그래핀층을 제조하여 사용하는 경우, 그래핀층의 형성 이후 포토 레지스트를 이용한 패터닝 공정이 수반된다. 그래핀층은 포토레지스트와 강한 결합력을 가지며, 따라서 포토레지스트의 제거 공정 시에 그래핀층이 함께 분리될 수 있다. 본 발명의 일 실시예에 따른 제조 방법에 의하면, 금속-그래핀-금속의 3중층을 포함하는 서브 마운트 구조를 형성한 후 이를 그대로 발광 다이오드의 전극으로 사용할 수 있으므로, 별도의 패터닝이나 전사 공정없이 그래핀층을 발광 다이오드의 전극으로 사용할 수 있다.
- [0061] 도 10a 및 도 10b는 본 발명의 다른 실시예에 따른 서브 마운트(SM) 구조를 설명하기 위한 평면도들이다. 설명의 간소화를 위하여 중복된 구성에 대한 설명은 생략될 수 있다.

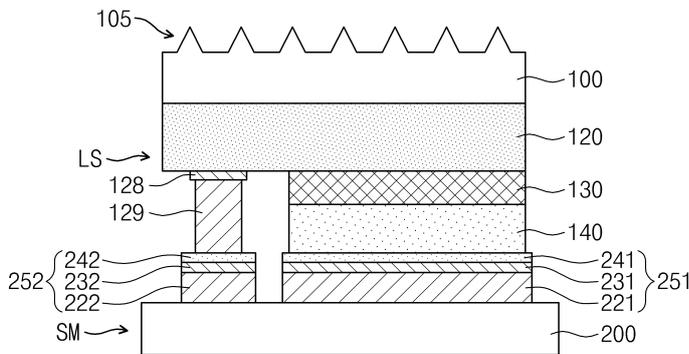
[0062] 도 10a를 참조하여, 복수의 발광 구조체들(LS)이 하나의 제 1 전극부(252) 및 하나의 제 2 전극부(251)와 연결될 수 있다. 이 경우, 상기 복수의 발광 구조체들(LS)은 상기 제 1 전극부(252) 및 상기 제 2 전극부(251) 사이에 인가되는 전압에 의하여 동시에 동작될 수 있다. 상기 제 1 전극부(252)의 일 측에 상기 제 1 전극부(252)로부터 연장되는 제 1 접속 패드(254)가 제공될 수 있고, 상기 제 2 전극부(251)의 일 측에 상기 제 2 전극부(251)로부터 연장되는 제 2 접속 패드(253)가 제공될 수 있다. 상기 제 1 및 제 2 접속 패드들(253, 254)은 외부 전원 인가를 위한 접속 통로일 수 있다. 상기 제 1 및 제 2 접속 패드들(253, 254)은 상기 전극부들(251, 252)과 동일한 층으로 구성될 수 있다. 즉, 상기 제 1 및 제 2 접속 패드들(253, 254)은 그래핀층을 포함할 수 있으며, 상기 제 1 및 제 2 접속 패드들(253, 254)의 상대적으로 큰 면적에 의하여, 발광 다이오드들로부터 발생된 열이 상기 그래핀층을 통하여 용이하게 외부로 방출될 수 있다.

[0063] 상기 전극부들(251, 252)의 형상은 메사 식각에 따른 상기 발광 구조체(LS) 하부의 형상에 따라 다양하게 변형될 수 있다. 일 예로, 도 10b에 도시된 바와 같이, 상기 제 2 전극부(251)는 상기 제 1 전극부(252)의 두 변과 마주보도록 형성될 수 있다.

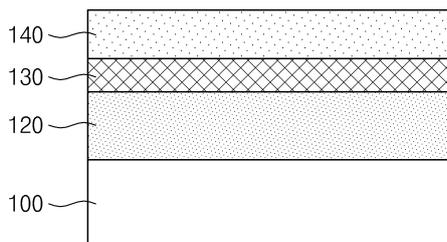
[0064] 이상의 상세한 설명은 본 발명을 예시하고 설명하는 것이다. 또한, 전술한 내용은 본 발명의 바람직한 실시형태를 나타내고 설명하는 것에 불과하며, 전술한 바와 같이 본 발명은 다양한 다른 조합, 변경 및 환경에서 사용할 수 있으며, 본 명세서에 개시된 발명의 개념의 범위, 저술한 개시 내용과 균등한 범위 및/또는 당업계의 기술 또는 지식의 범위 내에서 변경 또는 수정이 가능하다. 따라서, 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니다. 또한, 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 한다.

**도면**

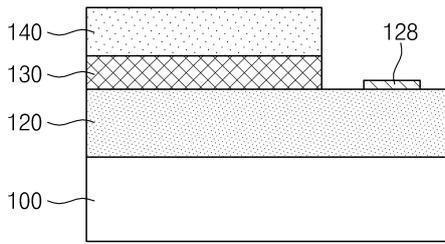
**도면1**



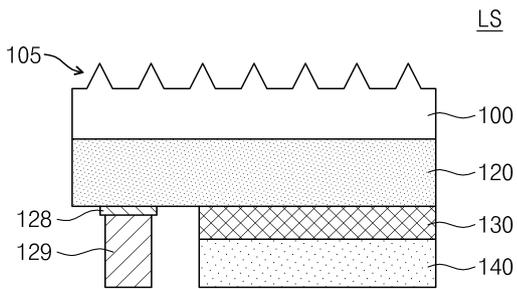
**도면2a**



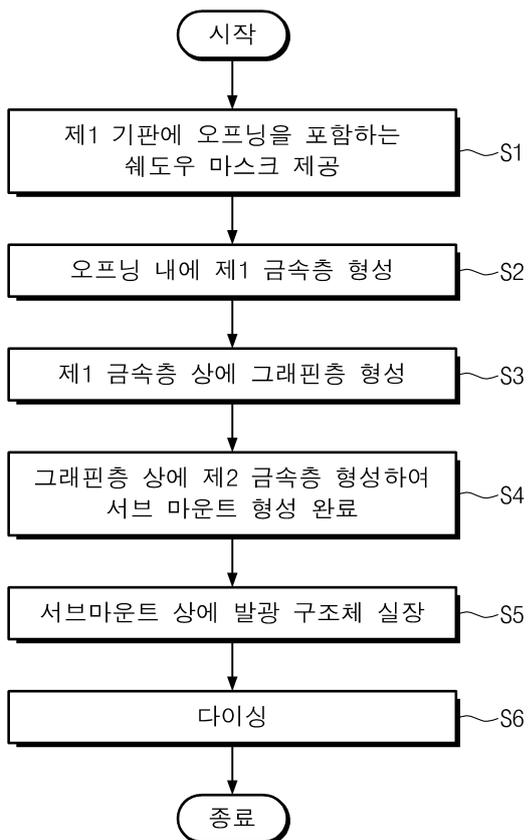
도면2b



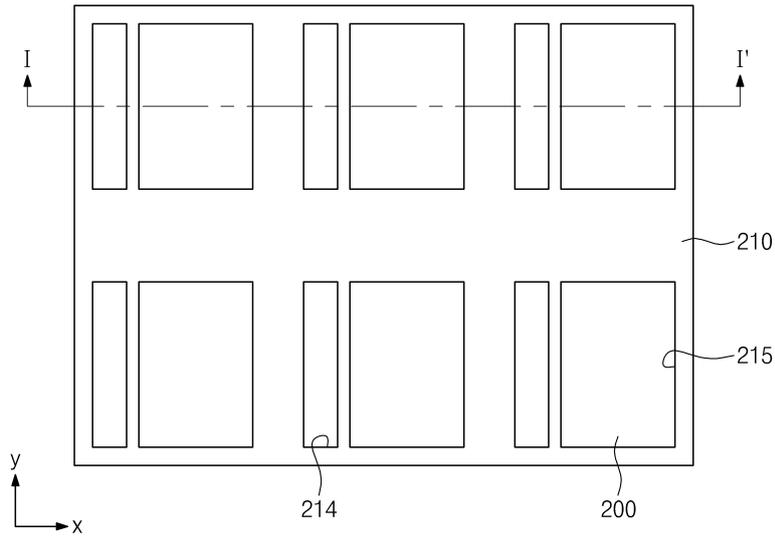
도면2c



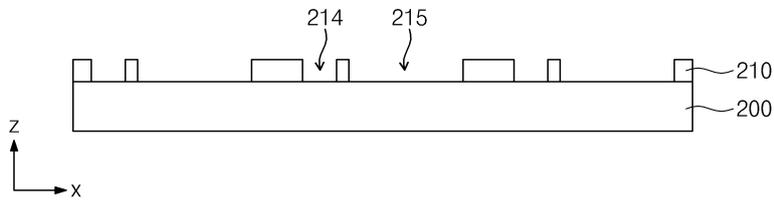
도면3



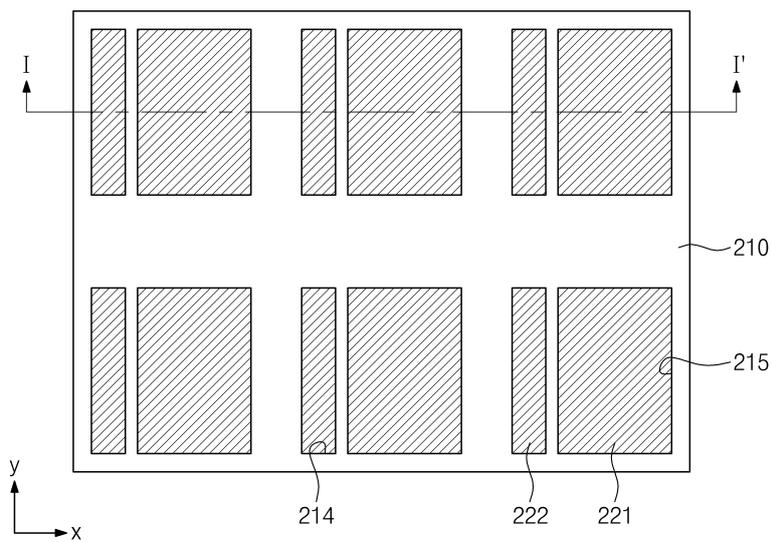
도면4a



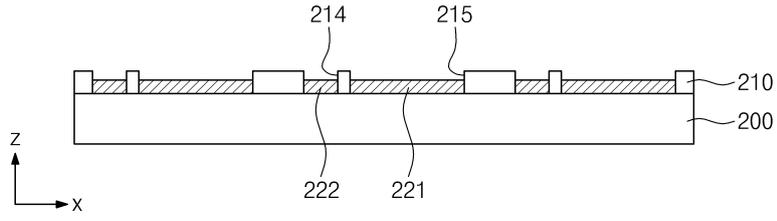
도면4b



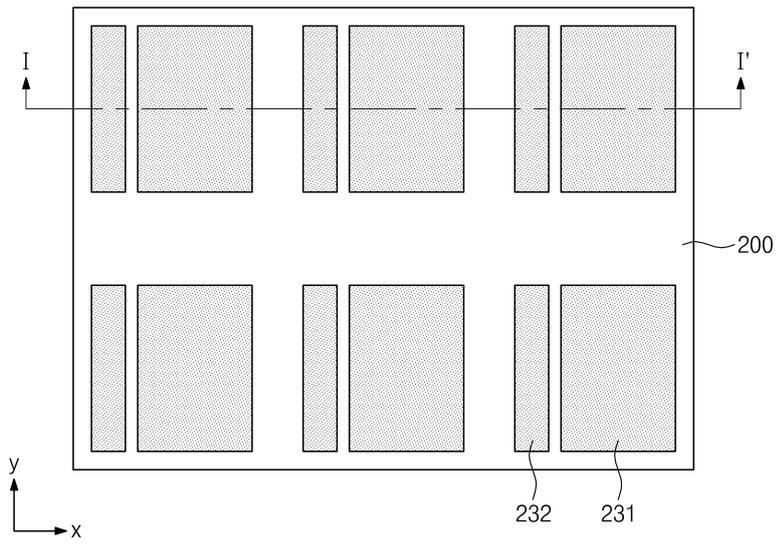
도면5a



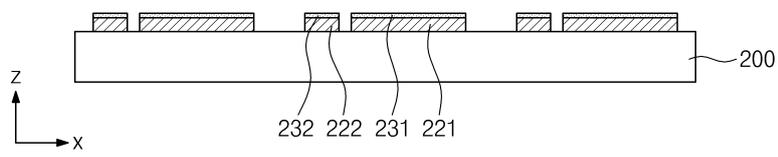
도면5b



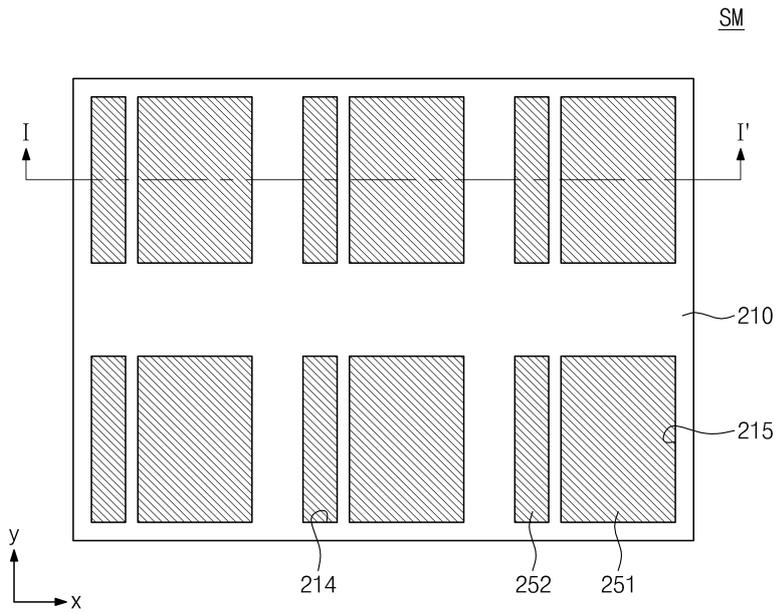
도면6a



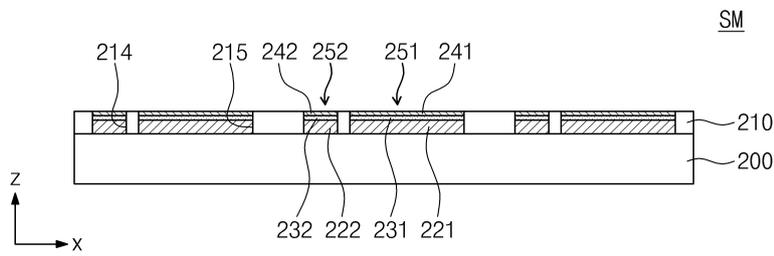
도면6b



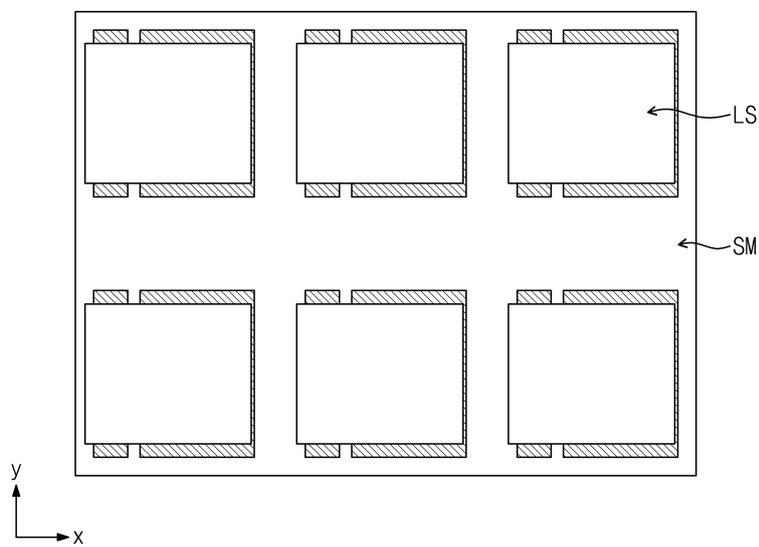
도면7a



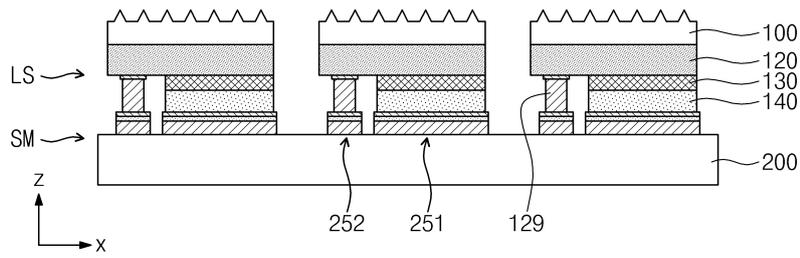
도면7b



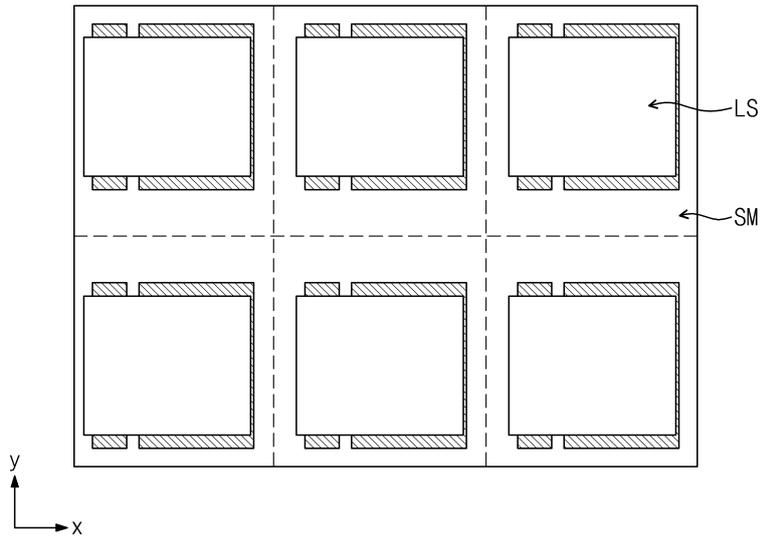
도면8a



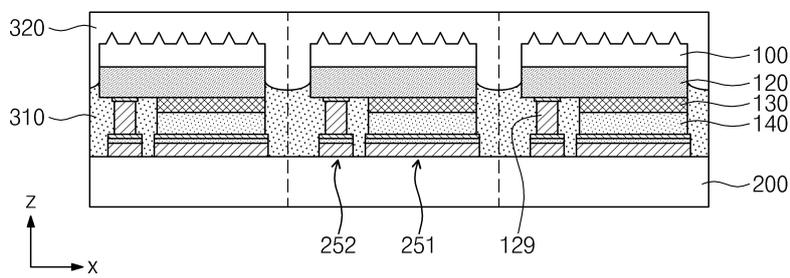
도면8b



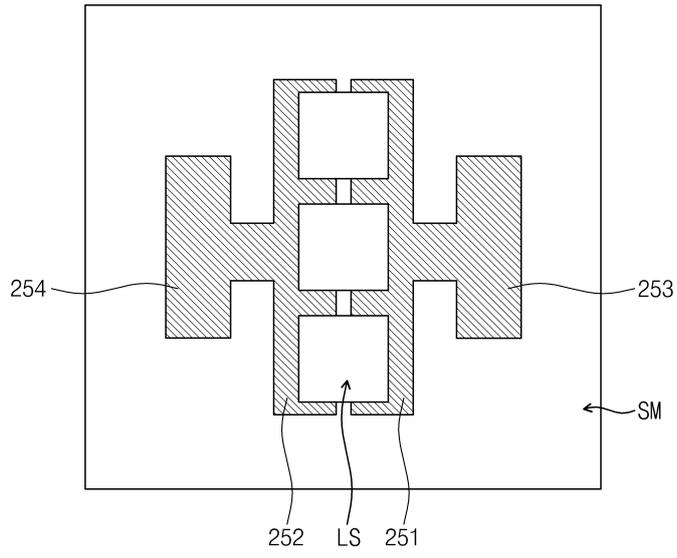
도면9a



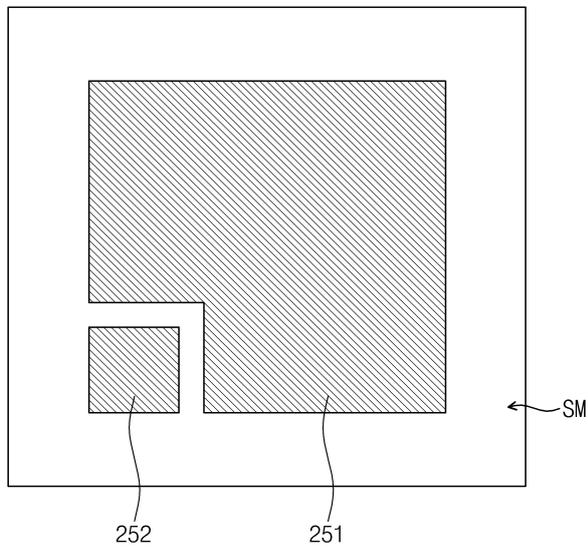
도면9b



도면10a



도면10b



도면11

