

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6046590号
(P6046590)

(45) 発行日 平成28年12月21日(2016.12.21)

(24) 登録日 平成28年11月25日(2016.11.25)

(51) Int. Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 C
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 7 C
HO 1 L 21/20 (2006.01)	HO 1 L 29/78 6 1 7 K
HO 1 L 29/41 (2006.01)	HO 1 L 29/78 6 1 8 A
HO 1 L 29/423 (2006.01)	HO 1 L 21/20

請求項の数 2 (全 14 頁) 最終頁に続く

(21) 出願番号	特願2013-226603 (P2013-226603)	(73) 特許権者	000004226 日本電信電話株式会社 東京都千代田区大手町一丁目5番1号
(22) 出願日	平成25年10月31日(2013.10.31)	(74) 代理人	100064621 弁理士 山川 政樹
(65) 公開番号	特開2015-88647 (P2015-88647A)	(74) 代理人	100098394 弁理士 山川 茂樹
(43) 公開日	平成27年5月7日(2015.5.7)	(74) 代理人	100153006 弁理士 小池 勇三
審査請求日	平成28年1月8日(2016.1.8)	(72) 発明者	佐々木 智 東京都千代田区大手町二丁目3番1号 日 本電信電話株式会社内
		(72) 発明者	館野 功太 東京都千代田区大手町二丁目3番1号 日 本電信電話株式会社内

最終頁に続く

(54) 【発明の名称】 電界効果トランジスタの製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体ナノワイヤを形成する工程と、
前記半導体ナノワイヤの側面を覆うナノワイヤ絶縁層を形成して前記ナノワイヤ絶縁層で被覆された被覆ナノワイヤを形成する工程と、

基板の上のゲート電極形成領域の上に下部ゲート電極を形成する工程と、
前記下部ゲート電極の上に前記被覆ナノワイヤを交差させて配置する工程と、
前記下部ゲート電極および前記被覆ナノワイヤを覆って前記基板の上にネガ型の感光性を有するネガ型レジスト層を形成する工程と、

前記ネガ型レジスト層の上に、ポジ型の感光性を有するポジ型レジスト層を形成する工程と、

前記被覆ナノワイヤの両端部を含むソース・ドレイン形成領域の前記ポジ型レジスト層および前記ネガ型レジスト層に露光光を照射し、前記ソース・ドレイン形成領域のポジ型レジスト層は現像により溶解する状態とし、前記ソース・ドレイン形成領域の前記ネガ型レジスト層は、前記ポジ型レジスト層の現像では溶解しない状態の第1絶縁層とする工程と、

露光光が照射された後、前記ポジ型レジスト層を現像して前記ソース・ドレイン形成領域の前記ポジ型レジスト層に開口部を形成する工程と、

前記開口部における前記半導体ナノワイヤ上部の前記第1絶縁層および前記ナノワイヤ絶縁層を除去して前記半導体ナノワイヤを露出させる工程と、

10

20

前記開口部に金属材料を堆積することで、前記ナノワイヤ絶縁層を除去することで露出した前記半導体ナノワイヤの両端部に各々接続された前記金属材料よりなるソース電極およびドレイン電極を形成する工程と、

前記ソース電極および前記ドレイン電極の露出している面を酸化して第2絶縁層を形成する工程と、

前記第2絶縁層を形成した後、未露光部分の前記ポジ型レジスト層を除去する工程と、

前記ポジ型レジスト層を除去した後、前記ネガ型レジスト層を現像する工程と、

前記ネガ型レジスト層を現像処理した後、前記被覆ナノワイヤに交差して前記ソース電極および前記ドレイン電極の形成領域にオーバーラップする上部ゲート電極を形成する工程と

10

を備えることを特徴とする電界効果トランジスタの製造方法。

【請求項2】

請求項1記載の電界効果トランジスタの製造方法において、

前記ネガ型レジスト層は、ハイドロジェンシルセスキオキサンから構成され、

前記ポジ型レジスト層は、ポリメタクリル酸メチルから構成され、

前記露光光は、電子線である

ことを特徴とする電界効果トランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体ナノワイヤを用いた電界効果トランジスタの製造方法に関する。

20

【背景技術】

【0002】

半導体ナノワイヤ（以下、単にナノワイヤとも言う）は、結晶成長によってボトムアップ的に得られる高品質な擬1次元物質である。この半導体ナノワイヤを伝導チャネルとして用いる電界効果トランジスタ（Field Effect Transistor: FET）が、次世代ナノエレクトロニクスデバイスの構成要素として有望視されている。ナノワイヤによるFETには、絶縁膜で覆われた導電性基板全体をゲート電極として用いるものやナノワイヤの上から絶縁膜を介してゲート電極を形成したものなどがあるが、これらは、主にナノワイヤの片側のみからゲート電界が作用する。

30

【0003】

これに対し、絶縁膜を介してナノワイヤの周囲を完全に巻き取ったゲート電極を有するFETが提案されている（特許文献1参照）。このFETは、「GAA（gate-all-around）FET」などとも呼ばれており、大きな相互コンダクタンスを有し、ショートチャネル効果（short channel effect）を抑制し、S値（subthreshold slope）やON/OFF比などの特性が改善できるという特徴を有する。

【0004】

以下、上述したナノワイヤFETについて、図6A、図6B、図6Cを用いて簡単に説明する。図6A、図6Bは、ナノワイヤFETの一部構成を示す斜視図であり、図6Cは、図6Aのa-a'線における断面を示す断面図である。

40

【0005】

このナノワイヤFETは、半導体ナノワイヤ601、絶縁層602、基板621、第1下部ゲート電極622a、第2下部ゲート電極622b、上部ゲート電極624、ソース電極625、およびドレイン電極626を備える。

【0006】

第1下部ゲート電極622aは、基板621のゲート電極形成領域の上に形成され、この上に、絶縁層621aを介して半導体ナノワイヤ601が配置される。また、第2下部ゲート電極622bは、第1下部ゲート電極622aの上に接触して形成された、第2下部ゲート電極622bの上に交差して配置されている。また、半導体ナノワイヤ601は、第2下部ゲート電極622bとの交差部の側面が絶縁層602で被覆されている。

50

【 0 0 0 7 】

ここで、第2下部ゲート電極622bは、第1下部ゲート電極622aの上に接して形成されている。また、第1下部ゲート電極622aのゲート長方向の長さは、第2下部ゲート電極622bのゲート長方向の長さより長く形成されている。第1下部ゲート電極622aのゲート長方向の長さは、ソース・ドレイン間より長く形成し、ゲート長方向の両端が、ソース領域およびドレイン領域に重なる状態とされている。なお、ゲート長方向とは、よく知られているように、ソースとドレインとが配列されている方向のことである。

【 0 0 0 8 】

また、第2下部ゲート電極622bのゲート長方向の長さは、ソース・ドレイン間より短く形成し、ソース領域およびドレイン領域には重ならない状態とし、ソース電極625およびドレイン電極626と絶縁分離している。また、第1下部ゲート電極622aの第2下部ゲート電極622bよりはみ出ている領域が、絶縁層621aにより覆われている。

10

【 0 0 0 9 】

また、上部ゲート電極624は、半導体ナノワイヤ601を配置した基板621のゲート電極形成領域の上に、半導体ナノワイヤ601に絶縁層602を介して交差して第1下部ゲート電極622aに重なる状態に形成されている。また、上部ゲート電極624と、第2下部ゲート電極622bが形成されている領域を挟む状態に、半導体ナノワイヤ601の両端部に各々接続し、ソース電極625およびドレイン電極626が形成されている。

20

【 0 0 1 0 】

このナノワイヤFETでは、ソース・ドレイン電極間に一定のドレイン電圧を印加してドレイン電流を流しておき、ゲート電極にゲート電圧を印加することにより、ドレイン電流を変調するFET動作が可能となる。ゲート電極をGAA構造にしているため、ドレイン電流が0に近づくピンチオフ領域近傍で、ゲート電圧の変化に対して急峻にドレイン電流が変化する。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 1 】

【 特許文献 1 】 特開 2 0 1 3 - 1 7 9 2 7 4 号 公 報

30

【 非特許文献 】

【 0 0 1 2 】

【 非特許文献 1 】 S.A.Dayeh et al. , "III-V Nanowire Growth Mechanism: V/III Ratio and Temperature Effects", NANO LETTERS, vol.7, no.8, pp.2486-2490, 2007.

【 非特許文献 2 】 T. Tanaka et al. , "Vertical Surrounding Gate Transistors Using Single InAs Nanowires Grown on Si Substrates", Applied Physics Express, vol.3, 025003, 2010.

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 3 】

40

一般的に、FETの駆動電流、すなわちゲート電極にゲート電圧を印加したときのドレイン電流を増大するには、ゲート長を極力短くして相互コンダクタンスを大きくすればよい。しかしながら、上述したナノワイヤFETでは、ソース電極625およびドレイン電極626と第2下部ゲート電極622bとの間の短絡を避けるために、第2下部ゲート電極622bのゲート長方向の長さを短くして領域640を設け、ソース領域およびドレイン領域には重ならない状態としている。

【 0 0 1 4 】

ここで、一般的な製造工程では、第2下部ゲート電極622bが先に形成され、第2下部ゲート電極622bが形成されている状態で、ソース電極625およびドレイン電極626を形成することになる。このため、ソース電極625およびドレイン電極626を形

50

成するときに位置合わせ誤差を考慮すると、この誤差よりも領域640の幅を十分大きくとっておく必要がある。この結果、ソース・ドレイン間距離であるゲート長は、短くても200nm程度にとどまっていた。このように、上述したナノワイヤFETでは、ゲート長を短くすることができないという課題があった。

【0015】

本発明は、以上のような問題点を解消するためになされたものであり、ナノワイヤを用いたFETのゲート長をより短くできるようにすることを目的とする。

【課題を解決するための手段】

【0016】

本発明に係る電界効果トランジスタの製造方法は、半導体ナノワイヤを形成する工程と、半導体ナノワイヤの側面を覆うナノワイヤ絶縁層を形成してナノワイヤ絶縁層で被覆された被覆ナノワイヤを形成する工程と、基板の上のゲート電極形成領域の上に下部ゲート電極を形成する工程と、下部ゲート電極の上に被覆ナノワイヤを交差させて配置する工程と、下部ゲート電極および被覆ナノワイヤを覆って基板の上にネガ型の感光性を有するネガ型レジスト層を形成する工程と、ネガ型レジスト層の上に、ポジ型の感光性を有するポジ型レジスト層を形成する工程と、被覆ナノワイヤの両端部を含むソース・ドレイン形成領域のポジ型レジスト層およびネガ型レジスト層に露光光を照射し、ソース・ドレイン形成領域のポジ型レジスト層は現像により溶解する状態とし、ソース・ドレイン形成領域のネガ型レジスト層は、ポジ型レジスト層の現像では溶解しない状態の第1絶縁層とする工程と、露光光が照射された後、ポジ型レジスト層を現像してソース・ドレイン形成領域のポジ型レジスト層に開口部を形成する工程と、開口部における半導体ナノワイヤ上部の第1絶縁層およびナノワイヤ絶縁層を除去して半導体ナノワイヤを露出させる工程と、開口部に金属材料を堆積することで、ナノワイヤ絶縁層を除去することで露出した半導体ナノワイヤの両端部に各々接続された金属材料よりなるソース電極およびドレイン電極を形成する工程と、ソース電極およびドレイン電極の露出している面を酸化して第2絶縁層を形成する工程と、第2絶縁層を形成した後、未露光部分のポジ型レジスト層を除去する工程と、ポジ型レジスト層を除去した後、ネガ型レジスト層を現像する工程と、ネガ型レジスト層を現像処理した後、被覆ナノワイヤに交差してソース電極およびドレイン電極の形成領域にオーバーラップする上部ゲート電極を形成する工程とを備える。

【0017】

上記電界効果トランジスタの製造方法において、ネガ型レジスト層は、ハイドロジェンシルセスキオキサンから構成され、ポジ型レジスト層は、ポリメタクリル酸メチルから構成され、露光光は、電子線であればよい。

【発明の効果】

【0018】

以上説明したことにより、本発明によれば、ナノワイヤを用いたFETのゲート長が、より短くできるようになるという優れた効果が得られる。

【図面の簡単な説明】

【0019】

【図1A】図1Aは、本発明の実施の形態における電界効果トランジスタの製造方法を説明するための各工程における状態を示す構成図である。

【図1B】図1Bは、本発明の実施の形態における電界効果トランジスタの製造方法を説明するための各工程における状態を示す構成図である。

【図1C】図1Cは、本発明の実施の形態における電界効果トランジスタの製造方法を説明するための各工程における状態を示す構成図である。

【図1D】図1Dは、本発明の実施の形態における電界効果トランジスタの製造方法を説明するための各工程における状態を示す構成図である。

【図1E】図1Eは、本発明の実施の形態における電界効果トランジスタの製造方法を説明するための各工程における状態を示す構成図である。

【図1F】図1Fは、本発明の実施の形態における電界効果トランジスタの製造方法を説

10

20

30

40

50

明するための各工程における状態を示す構成図である。

【図 1 G】図 1 G は、本発明の実施の形態における電界効果トランジスタの製造方法を説明するための各工程における状態を示す構成図である。

【図 1 H】図 1 H は、本発明の実施の形態における電界効果トランジスタの製造方法を説明するための各工程における状態を示す構成図である。

【図 1 I】図 1 I は、本発明の実施の形態における電界効果トランジスタの製造方法を説明するための各工程における状態を示す構成図である。

【図 1 J】図 1 J は、本発明の実施の形態における電界効果トランジスタの製造方法を説明するための各工程における状態を示す構成図である。

【図 1 K】図 1 K は、本発明の実施の形態における電界効果トランジスタの製造方法を説明するための各工程における状態を示す構成図である。

10

【図 1 L】図 1 L は、本発明の実施の形態における電界効果トランジスタの製造方法を説明するための各工程における状態を示す構成図である。

【図 1 M】図 1 M は、本発明の実施の形態における電界効果トランジスタの製造方法を説明するための各工程における状態を示す構成図である。

【図 1 N】図 1 N は、本発明の実施の形態における電界効果トランジスタの製造方法を説明するための各工程における状態を示す構成図である。

【図 1 O】図 1 O は、本発明の実施の形態における電界効果トランジスタの製造方法を説明するための各工程における状態を示す構成図である。

【図 2】図 2 は、本発明の実施の形態における電界効果トランジスタの構成を示す平面図 (a) , 断面図 (b) , (c) である。

20

【図 3】図 3 は、本発明の実施の形態における電界効果トランジスタの構成を示す斜視図である。

【図 4】図 4 は、本発明の実施の形態における製造方法で実際に製造したナノワイヤ F E T の状態を示す走査電子顕微鏡写真である。

【図 5】図 5 は、本発明の実施の形態における製造方法で実際に製造したナノワイヤ F E T におけるドレイン電流のゲート電圧依存性 (転送特性) を測定した結果を示す特性図である。

【図 6 A】図 6 A は、ナノワイヤ F E T の一部構成を示す斜視図である。

【図 6 B】図 6 B は、ナノワイヤ F E T の一部構成を示す斜視図である。

30

【図 6 C】図 6 C は、ナノワイヤ F E T の一部構成を示す断面図である。

【発明を実施するための形態】

【 0 0 2 0 】

以下、本発明の実施の形態について図を参照して説明する。図 1 A ~ 図 1 O は、本発明の実施の形態における電界効果トランジスタの製造方法を説明するための各工程における状態を示す構成図である。図 1 A , 図 1 C , 図 1 D , 図 1 E , 図 1 N , 図 1 O は、斜視図であり、図 1 B , 図 1 F , 図 1 G , 図 1 H , 図 1 I , 図 1 J , 図 1 K , 図 1 L , 図 1 M は、一部断面図である。

【 0 0 2 1 】

まず、図 1 A に示すように、半導体ナノワイヤ 1 0 1 を形成する。例えば、I n A s からなる成長基板 1 5 1 の上に、径が数 1 0 n m の A u などの金属微粒子触媒 (不図示) を配置し、ここに、トリメチルインジウム (T M I n) およびアルシン (A s H ₃) を供給し、V L S (Vapor-liquid-solid) 法などを用いることで、I n A s からなる半導体ナノワイヤ 1 0 1 が形成できる (非特許文献 1 参照) 。また、金属微粒子触媒を使用することなく、パターニングした酸化膜を用いて選択成長を行うなど、別の手法を用いて半導体ナノワイヤを形成してもよい (非特許文献 2 参照) 。

40

【 0 0 2 2 】

次に、図 1 B に示すように、半導体ナノワイヤ 1 0 1 の側面 (周面) を覆うナノワイヤ絶縁層 1 0 2 を形成し、ナノワイヤ絶縁層 1 0 2 で被覆された被覆ナノワイヤ 1 0 3 を形成する。例えば、前述したように、成長基板 1 5 1 に I n A s からなる半導体ナノワイヤ

50

101が形成されている状態で、原子層堆積(Atomic Layer Deposition:ALD)法を用い、 Al_2O_3 、 HfO_2 などの絶縁材料の層を、半導体ナノワイヤ101を覆って形成してナノワイヤ絶縁層102とすればよい。 Al_2O_3 や HfO_2 は、ゲート特性の向上に適した高誘電率を有する絶縁材料である。

【0023】

よく知られているように、ALD法は、原料となる有機化合物の1分子層を形成対象の表面に吸着させることによる成膜方法であり、均一な厚さの層を三次元形状の表面に形成することが可能である。このALD法によれば、半導体ナノワイヤ101の全ての側面にナノワイヤ絶縁層102を形成することが容易である。なお、ALD法に限るものではなく、スパッタ法を用いることで、半導体ナノワイヤ101の側面を覆う状態にナノワイヤ絶縁層102を形成することも可能である。

10

【0024】

次に、図1Cに示すように、基板121の上に絶縁層121aを形成し、絶縁層121a上のゲート電極形成領域の上に下部ゲート電極122を形成する。第1下部ゲート電極122は、一方向に延在する短冊状に形成すればよい。なお、第1下部ゲート電極122の延在している両端部は、端子123となる。基板121は、例えば、シリコン基板であればよく、この主表面に酸化シリコンなどの絶縁層121aが形成されていればよい。また、基板121が絶縁材料から構成されていれば、絶縁層121aはなくてもよい。

【0025】

下部ゲート電極122の形成は、公知のリソグラフィー技術とリフトオフとにより行えばよい。例えば、絶縁層121aの上に、電子ビーム露光により電極形成部に開口を備えるレジストパターンを形成し、この上に、層厚10nm程度にTi層およびAu層を堆積する。この後、先に形成してあるレジストパターンを除去(リフトオフ)すれば、下部ゲート電極122が形成できる。

20

【0026】

ここで、ゲート電極形成領域との相対的な位置関係が既知の合わせマーク(不図示)を、基板121に形成しておき、この合わせマークを基準とし、基板121の平面上で設計された箇所(ゲート電極形成領域)に、上述したレジストパターンを形成すればよい。例えば、金属蒸着およびリフトオフによって、予め合わせマークを形成しておけばよい。このようにすることで、ゲート電極形成領域に合わせて下部ゲート電極122が形成できる。これは、リソグラフィー技術の露光において、一般に用いられている方法である。なお、絶縁層121aは、例えば、酸化シリコンをよく知られたCVD法により堆積することで形成できる。

30

【0027】

次に、図1Dに示すように、下部ゲート電極122の上に被覆ナノワイヤ103を交差させて配置する。例えば、被覆ナノワイヤ103が形成されている成長基板151を、下部ゲート電極122が形成されている基板121に押し付け、成長基板151上の被覆ナノワイヤ103を、基板121の絶縁層121a上に転写することで、被覆ナノワイヤ103を基板121の上に配置すればよい。

【0028】

40

また、複数の被覆ナノワイヤ103を成長基板151より分離し、これらをアルコールなどの溶媒中に入れ、ここに超音波を印加することで分散させた分散液を作製し、この分散液を基板121上に滴下し、溶媒を蒸発させることで、被覆ナノワイヤ103を基板121の上に配置してもよい。このように基板121の上に配置した複数の被覆ナノワイヤ103のいずれかが、下部ゲート電極122の上に交差して配置されるようになる。なお、図1Dでは、絶縁層121a上の他の領域に配置されているナノワイヤについては省略して図示していない。

【0029】

次に、図1E、図1Fに示すように、下部ゲート電極122および被覆ナノワイヤ103を覆う状態に、絶縁層121aの上にネガ型レジスト層124を形成し、ネガ型レジス

50

ト層 1 2 4 の上にポジ型レジスト層 1 2 5 を形成する。ネガ型レジスト層 1 2 4 は、電子線、紫外線などの露光光が照射された箇所が現像後に残る感光性を備えるものである。

【 0 0 3 0 】

ネガ型レジスト層 1 2 4 は、例えば、液体ガラス的な性質を有する H S Q (hydrogen silsesquioxane : ハイドロジェンシルセスキオキサン) であればよい。H S Q は、電子線を露光光源としたネガ型レジストであり、電子線が照射された箇所が、 $S i O_x$ に変化する。H S Q をスピコート法により塗布し、例えば、1 1 0 ・ 3 分の条件で加熱して溶媒などを揮発させることでネガ型レジスト層 1 2 4 を形成する。ネガ型レジスト層 1 2 4 は、下部ゲート電極 1 2 2 および被覆ナノワイヤ 1 0 3 などの下層の段差を、平坦化する状態に形成する。

10

【 0 0 3 1 】

上述したように、表面が平坦化された状態で形成されたネガ型レジスト層 1 2 4 の上に、例えば、ポリメタクリル酸メチル樹脂 (Polymethyl methacrylate : P M M A) からなるポジ型レジスト層 1 2 5 を、スピコート法などにより形成すればよい。ポジ型レジスト層 1 2 5 は、電子線、紫外線などの露光光が照射された箇所が、現像によって除去される感光性を備えるものである。P M M A は、電子線を露光光源とした場合にポジ型となる材料である。なお、H S Q によるネガ型レジスト層 1 2 4 の表面に H M D S (1,1,1,3,3,3-hexamethyldisilazane) を塗布しておくことで、より良好な状態で P M M A が塗布できる。

【 0 0 3 2 】

20

次に、図 1 G に示すように、被覆ナノワイヤ 1 0 3 の両端部のソース・ドレイン形成領域 2 0 1 に、電子線を照射 (描画) し、ポジ型レジスト層 1 2 5 およびネガ型レジスト層 1 2 4 を同時に露光する。この露光 (露光光の照射) により、ポジ型レジスト層 1 2 5 の電子線が照射された領域は、メチルイソブチルケトン (methyl isobutyl ketone ; M I B K) などの現像液に溶解する状態となる。また、上記露光により、ネガ型レジスト層 1 2 4 の電子線が照射された領域は、H S Q が $S i O_x$ に変化する。ここで、上記露光により、ネガ型レジスト層 1 2 4 は、露光された領域 (ソース・ドレイン形成領域 2 0 1) が、ポジ型レジスト層 1 2 5 の現像では溶解しない状態とすることが重要である。H S Q の場合、上記露光により $S i O_x$ となるため、露光された領域が、ポジ型レジスト層 1 2 5 の現像では溶解しない状態となる。

30

【 0 0 3 3 】

以上のように電子線描画をした後、現像液として M I B K を用いてポジ型レジスト層 1 2 5 を現像し、露光部分のポジ型レジスト層 1 2 5 を溶解除去する。これにより、図 1 H に示すように、ソース・ドレイン形成領域 2 0 1 のポジ型レジスト層 1 2 5 に、開口部 1 2 5 a が形成される。また、電子線が照射された箇所に、 $S i O_x$ からなる絶縁層 (第 1 絶縁層) 1 2 6 が形成される。なお、絶縁層 1 2 6 は、上述した現像により溶解することではなく、ポジ型レジスト層 1 2 5 の現像では、開口部 1 2 5 a に絶縁層 1 2 6 の上面が露出する。

【 0 0 3 4 】

次に、よく知られたドライエッチングにより、開口部 1 2 5 a に露出している絶縁層 1 2 6 の上部、およびこの領域のナノワイヤ絶縁層 1 0 2 を除去し、図 1 I に示すように、開口部 1 2 5 a において、半導体ナノワイヤ 1 0 1 を露出させる。ここでは、開口部 1 2 5 a における半導体ナノワイヤ 1 0 1 上部の絶縁層 1 2 6、およびナノワイヤ絶縁層 1 0 2 を除去し、半導体ナノワイヤ 1 0 1 を露出させる。

40

【 0 0 3 5 】

次に、例えば、開口部 1 2 5 a を形成したポジ型レジスト層 1 2 5 をマスクとし、真空蒸着法などにより A 1 を堆積することで、図 1 J に示すように、金属層 1 2 7 を形成する。例えば、前述したドライエッチングを実施した装置を利用し、減圧 (真空) 状態を維持して上述した A 1 の堆積を行えばよい。

【 0 0 3 6 】

50

開口部 125a の領域では、金属層 127 が半導体ナノワイヤ 101 に接触して形成される。半導体ナノワイヤ 101 に接触して形成された部分の金属層 127 が、後述するように、ソース・ドレインとなる。また、絶縁層 126 が形成されているため、開口部 125a の内部に堆積された金属層 127 (ソース・ドレイン) が、下部ゲート電極 122 に接触することがない。このように、開口部 125a を形成したポジ型レジスト層 125 が、ソース・ドレイン形成のためのマスクパターン (鋳型) となり、ネガ型レジスト層 124 の露光された絶縁層 126 が、ソース・ドレインと下部ゲート電極 122 との短絡を回避している。

【0037】

このように、本発明では、ソース・ドレインを形成するための鋳型 (モールド) と、ソース・ドレインと下部ゲート電極 122 との間の短絡を回避するための絶縁層 126 とを、一度の露光により作製する点に特徴がある。このような特徴により、従来技術で行っていた複数回の描画 (露光) を行うために必要な合わせ精度による制限を受けなくなることから、ゲート長の短いナノワイヤ FET を実現することができる。

【0038】

次に、金属層 127 の表面を酸化することで、図 1K に示すように、絶縁層 (第 2 絶縁層) 128 を形成する。例えば、金属層 127 を Al から構成した場合、絶縁層 128 は、 Al_2O_3 から構成されたものとなる。

【0039】

次に、開口部 125a を形成したポジ型レジスト層 125 をマスクとした状態で、例えば、スパッタリング法などにより酸化シリコンを堆積することで、図 1L に示すように、絶縁層 129 を形成する。

【0040】

次に、アセトンなどにより PMMA を溶解することで、未露光部分のポジ型レジスト層 125 を除去 (リフトオフ) し、また、ポジ型レジスト層 125 上の金属層 127、絶縁層 129 などを同時に除去する。更に、現像液として水酸化テトラメチルアンモニウム (tetramethyl ammonium hydroxide; TMAH) を用い、ネガ型レジスト層 124 を現像する。上述したリフトオフおよび上記現像により、図 1M に示すように、電子線が照射されて Si_xO となった絶縁層 126 が残り、また、ソース電極 127a およびドレイン電極 127b が得られる。また、上記リフトオフの後、ソース電極 127a およびドレイン電極 127b の側部などの露出面を酸化して絶縁層 128a を形成する。なお、半導体ナノワイヤ 101 の端部下部のネガ型レジスト層 124 は、絶縁層 126 で覆われているため、現像処理によっても溶解せずに残ることになる。

【0041】

この結果、図 1M、図 1N に示すような、ソース・ドレイン電極積層構造が完成する。実施の形態によれば、図 1M に示すように、被覆ナノワイヤ 103 の両端には、絶縁層 126 が接している。被覆ナノワイヤ 103 の両端部の領域は、ソース電極 127a およびドレイン電極 127b が接して配置された状態となる。一方、被覆ナノワイヤ 103 の下部に配置されている下部ゲート電極 122 のゲート長方向の側部は、絶縁層 126 によりソース電極 127a およびドレイン電極 127b より絶縁分離されている。

【0042】

次に、電子ビーム描画によるマスクパターンの形成、Ti/Au などの金属材料の蒸着、およびマスクパターンの除去によりリフトオフにより、図 1O、図 2 に示すように、上部ゲート電極 130 を形成する。ここで、上部ゲート電極 130 のゲート長方向端部の一部が、ソース・ドレイン領域にオーバーラップする (重なる) 状態とする。また、上部ゲート電極 130 は、下部ゲート電極 122 に電氣的に接続して形成する。なお、図 2 の (a) は、透視して状態を模式的に示す平面図であり、図 2 の (b) は図 2 の (a) の bb' 線の断面を示し、図 2 の (c) は図 2 の (a) の cc' 線の断面を示している。

【0043】

ここで、図 1M にも示すように、ソース電極 127a およびドレイン電極 127b は、

10

20

30

40

50

表面が絶縁層 1 2 8 で覆われ、また、ソース電極 1 2 7 a およびドレイン電極 1 2 7 b の上には、絶縁層 1 2 9 が形成されている。これにより、領域が重なるように上部ゲート電極 1 3 0 を形成しても、上部ゲート電極 1 3 0 とソース電極 1 2 7 a およびドレイン電極 1 2 7 b とが接触することがない。

【 0 0 4 4 】

また、実施の形態では、ソース電極 1 2 7 a およびドレイン電極 1 2 7 b を酸化して形成した絶縁層 1 2 8 に加えて絶縁層 1 2 9 を形成し、この上に、上部ゲート電極 1 3 0 がオーバーラップする状態としている。このため、上部ゲート電極 1 3 0 とソース電極 1 2 7 a , ドレイン電極 1 2 7 b との間の絶縁分離がより安定的なものとなる。また、上部ゲート電極 1 3 0 とソース電極 1 2 7 a , ドレイン電極 1 2 7 b との間の寄生容量を低減す

10

【 0 0 4 5 】

図 2 に示すように、実施の形態におけるナノワイヤ F E T は、ナノワイヤ絶縁層 1 0 2 を介し、チャンネルとなる半導体ナノワイヤ 1 0 1 が上下から上部ゲート電極 1 3 0 , 下部ゲート電極 1 2 2 に挟まれた G A A 構造になる。また、上部ゲート電極 1 3 0 , 下部ゲート電極 1 2 2 が、ソース電極 1 2 7 a およびドレイン電極 1 2 7 b にオーバーラップしている。このため、ソース電極 1 2 7 a とドレイン電極 1 2 7 b との間の半導体ナノワイヤ 1 0 1 の周囲が、完全にゲート電極で取り巻かれた (覆われた) 状態となる。これらのごとにより、ゲート長は、セルフアライン的にソース・ドレイン電極間隔と等しくなる。また、この構造は、リソグラフィーの描画における位置合わせ精度による制限を受けないので、ゲート長もより短くできる。この結果、大きな相互コンダクタンスとドレイン電流の増大を実現することができる。

20

【 0 0 4 6 】

また、実施の形態によれば、チャンネルとなるソース・ドレイン間の半導体ナノワイヤ 1 0 1 は、この周囲が全てゲート電極で覆われた状態となる。この構造により、一様に強いゲート電界が印加でき、ゲート電界の均一性が向上する。結果として、ナノワイヤ F E T のドレイン電流を増大させることができる。

【 0 0 4 7 】

ここで、図 3 の斜視図に示すように、基板 1 2 1 の上に、ソース電極引き出し線 3 0 1 , ドレイン電極引き出し線 3 0 2 を形成しておくといよい。この状態で、上述したようにナノワイヤ F E T を形成し、ソース電極 1 2 7 a に連結電極 3 0 3 でソース電極引き出し線 3 0 1 を接続し、ドレイン電極 1 2 7 b に連結電極 3 0 4 でドレイン電極引き出し線 3 0 2 を接続すればよい。ソース電極 1 2 7 a およびドレイン電極 1 2 7 b は、前述したように、絶縁層で覆われているので、この絶縁層の一部を除去して各連結電極を接続すればよい。これら引き出し電極を用いることで、ナノワイヤチャンネルへ電流を流すことができる。

30

【 0 0 4 8 】

次に、実際に作製したナノワイヤ F E T について、図 4 を用いて説明する。図 4 は、本発明の実施の形態における製造方法で実際に製造したナノワイヤ F E T の状態を示す走査電子顕微鏡写真である。図 4 の (a) は、上部ゲート電極を形成する前の状態を示し、図 4 の (b) は上部ゲート電極を形成した後の状態 (完成状態) を示している。なお、ナノワイヤの径は 7 0 n m であり、この場合周長は 2 2 0 n m となる。また、ゲート長は 1 2 0 n m である。

40

【 0 0 4 9 】

このナノワイヤ F E T におけるドレイン電流のゲート電圧依存性 (転送特性) を測定した結果について、図 5 に示す。この測定では、ドレイン電圧は 0 . 1 V とした。なお、図 5 において、横軸は下部ゲート電極および上部ゲート電極に印加したゲート電圧を示し、右軸および左軸はドレイン電流を示している。また、左軸は対数軸での表記としている。

【 0 0 5 0 】

図 5 に示すように、比較的良好な S 値 1 1 0 m V / d e c が得られている。また、閾値

50

電圧から 0.4 V のゲート電圧増加に伴うドレイン電流が 12 μ A、すなわち相互コンダクタンスが 30 μ S (周長で規格化すると 140 μ S/ μ m) というトップクラスの値が得られた。この結果は、より短いゲート長のナノワイヤ FET が実現でき、また、ゲート電界の均一性が改善した結果に基づくものである。このように、本発明によれば、優れた FET 特性を得られることが分かる。

【0051】

なお、本発明は以上に説明した実施の形態に限定されるものではなく、本発明の技術的思想内で、当分野において通常の知識を有する者により、多くの変形および組み合わせが実施可能であることは明白である。例えば、上述した実施の形態では、ネガ型レジストとして HSQ、ポジ型レジストとして PMMA を用いることを説明してきたが、これらの材料に限定されるものではない。

10

【0052】

ネガ型レジスト層は、絶縁性を備える所謂ネガ型の感光性材料で構成されていればよい。また、ネガ型レジスト層は、この上層のポジ型レジスト層の現像時に、溶解などしない材料から構成されていればよい。また、ポジ型レジスト層は、所謂ポジ型の感光性材料から構成されていればよい。ただし、ネガ型レジストは、露光光の照射により SiO_x のような安定な物質になる HSQ を用いることが望ましい。HSQ を用いることで、後工程を経ても、安定な絶縁層を維持することができるからである。

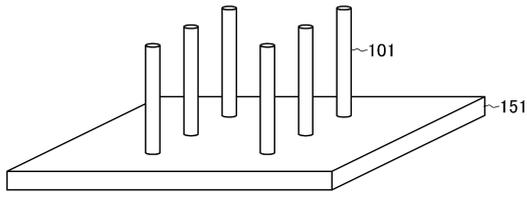
【符号の説明】

【0053】

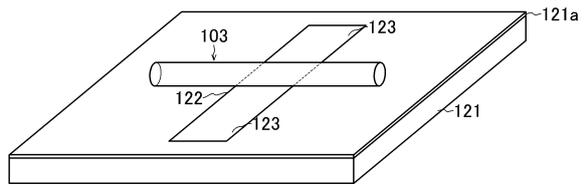
101...半導体ナノワイヤ、102...ナノワイヤ絶縁層、103...被覆ナノワイヤ、121...基板、121a...絶縁層、122...下部ゲート電極、123...端子、124...ネガ型レジスト層、125...ポジ型レジスト層、125a...開口部、126...絶縁層(第1絶縁層)、127...金属層、127a...ソース電極、127b...ドレイン電極、128...絶縁層(第2絶縁層)、129...絶縁層、130...上部ゲート電極、151...成長基板、201...ソース・ドレイン形成領域。

20

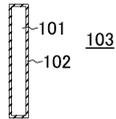
【図 1 A】



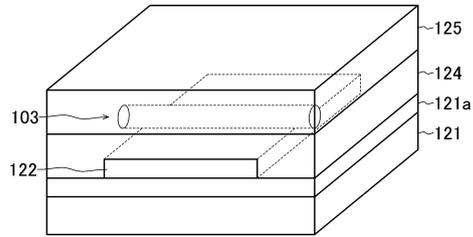
【図 1 D】



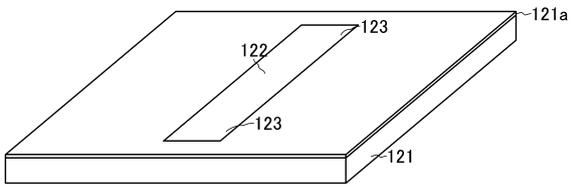
【図 1 B】



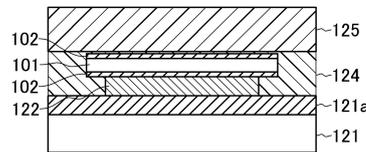
【図 1 E】



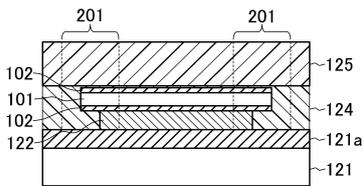
【図 1 C】



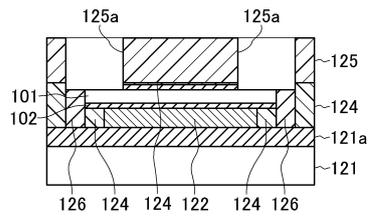
【図 1 F】



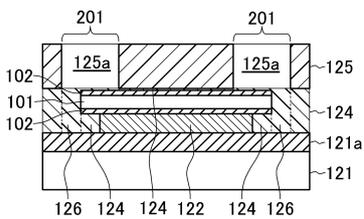
【図 1 G】



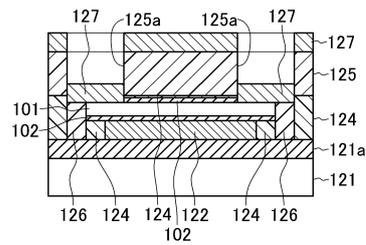
【図 1 I】



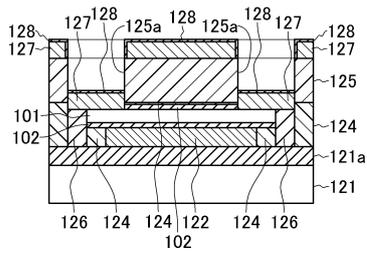
【図 1 H】



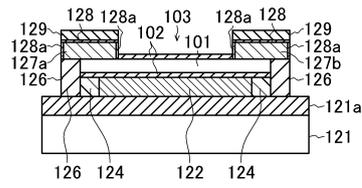
【図 1 J】



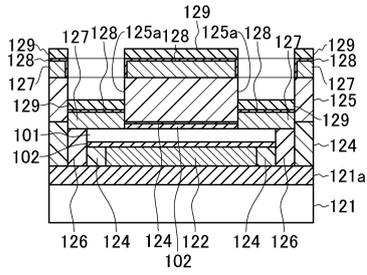
【図 1 K】



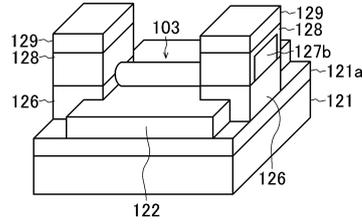
【図 1 M】



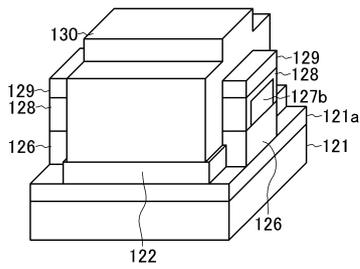
【図 1 L】



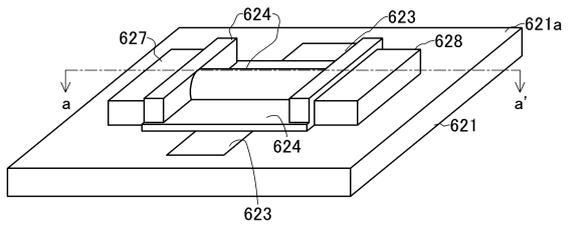
【図 1 N】



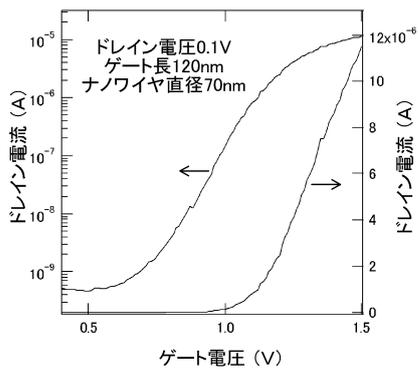
【図 1 O】



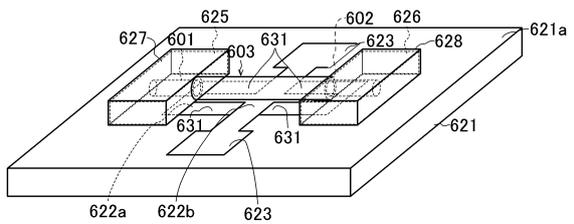
【図 6 A】



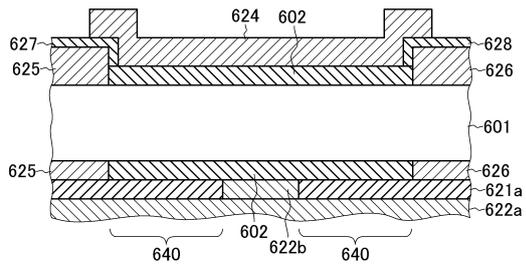
【図 5】



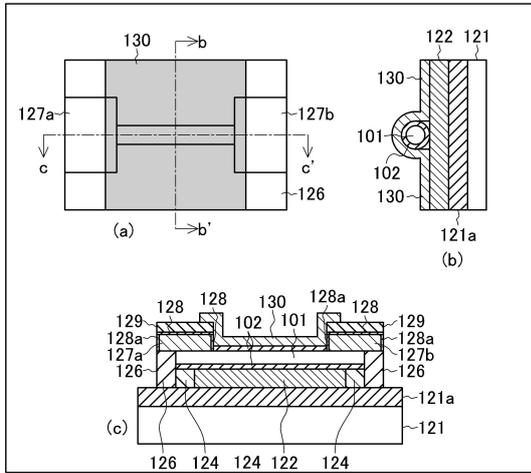
【図 6 B】



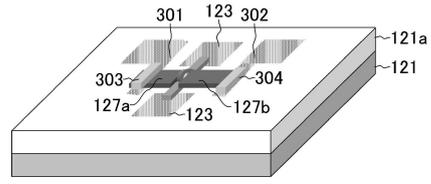
【図6C】



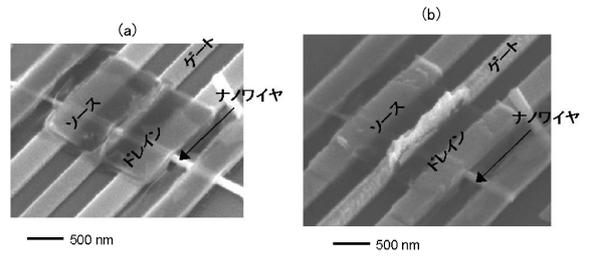
【図2】



【図3】



【図4】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	29/49	(2006.01)	H 0 1 L	29/44 L
H 0 1 L	29/417	(2006.01)	H 0 1 L	29/58 G
H 0 1 L	21/28	(2006.01)	H 0 1 L	29/50 M
H 0 1 L	21/768	(2006.01)	H 0 1 L	21/28 3 0 1 B
H 0 1 L	21/027	(2006.01)	H 0 1 L	21/28 3 0 1 R
			H 0 1 L	21/90 P
			H 0 1 L	21/30 5 7 3

- (72)発明者 章 国強
 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内
- (72)発明者 原田 裕一
 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

審査官 宇多川 勉

- (56)参考文献 特開2013-179274(JP,A)
 特開2007-294908(JP,A)
 特開2010-230379(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|---------|-------------|
| H 0 1 L | 2 9 / 7 8 6 |
| H 0 1 L | 2 1 / 0 2 7 |
| H 0 1 L | 2 1 / 2 0 |
| H 0 1 L | 2 1 / 2 8 |
| H 0 1 L | 2 1 / 3 3 6 |
| H 0 1 L | 2 1 / 7 6 8 |
| H 0 1 L | 2 9 / 4 1 |
| H 0 1 L | 2 9 / 4 1 7 |
| H 0 1 L | 2 9 / 4 2 3 |
| H 0 1 L | 2 9 / 4 9 |